



(21)申請案號：108142444

(22)申請日：中華民國 108 (2019) 年 11 月 22 日

(51)Int. Cl.：

*H01L21/60 (2006.01)**H01L23/528 (2006.01)**H01L23/532 (2006.01)**H01L23/535 (2006.01)*

(30)優先權：2018/11/30

美國

62/773,312

2019/11/13

美國

16/681,952

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72)發明人：陳品玟 CHEN, PIN-WEN (TW)；傅美惠 FU, MEI-HUI (TW)；李弘賢 LEE, HONG-
MAO (TW)；林威戎 LIN, WEI-JUNG (TW)；張志維 CHANG, CHIH-WEI (TW)

(74)代理人：洪澄文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：23 共 48 頁

(54)名稱

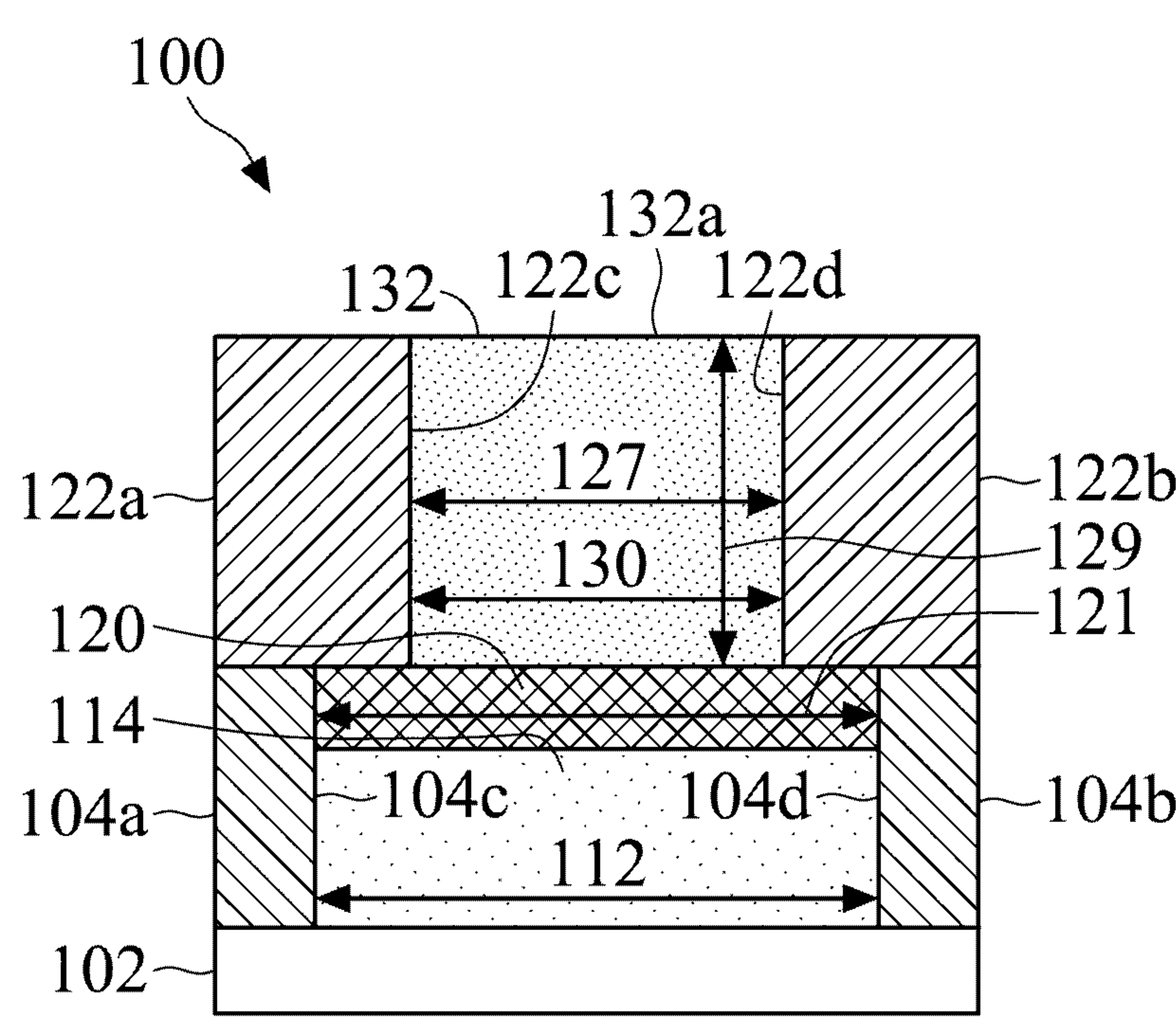
半導體配置及其製造方法

(57)摘要

一種半導體配置的製造方法，包括：移除第一介電層的一部分以形成第一凹部，第一凹部由第一介電層的第一側壁與第二側壁定義；在第一凹部形成第一導體層；移除第一導體層的一部分以形成第二凹部，第二凹部由第一介電層的第一側壁與第二側壁定義；在第二凹部形成第二導體層，第二導體層接觸第一導體層；在第二導體層的上方形成第二介電層；移除第二介電層的一部分以形成第三凹部，第三凹部由第二介電層的第一側壁與第二側壁定義，經由第三凹部暴露第二導體層；以及在第三凹部形成第三導體層，第三導體層接觸第二導體層。

A method for fabricating a semiconductor arrangement includes removing a portion of a first dielectric layer to form a first recess defined by sidewalls of the first dielectric layer, forming a first conductive layer in the first recess, removing a portion of the first conductive layer to form a second recess defined by the sidewalls of the first dielectric layer, forming a second conductive layer in the second recess, where the second conductive layer contacts the first conductive layer, forming a second dielectric layer over the second conductive layer, removing a portion of the second dielectric layer to form a third recess defined by sidewalls of the second dielectric layer, where the second conductive layer is exposed through the third recess, and forming a third conductive layer in the third recess, where the third conductive layer contacts the second conductive layer.

指定代表圖：



符號簡單說明：

100:半導體配置

102:支持中間物

104a,122a:第一部分

104b,122b:第二部分

104c,122c:第一側壁

104d,122d:第二側壁

112,121,127,130:寬度

114:第一導體層

120:第二導體層

129:厚度

132:第三導體層

132a:金屬接觸件

第 20 圖



202038352

【發明摘要】

【中文發明名稱】 半導體配置及其製造方法

【英文發明名稱】 SEMICONDUCTOR ARRANGEMENT AND METHOD FOR
MAKING

【中文】

一種半導體配置的製造方法，包括：移除第一介電層的一部分以形成第一凹部，第一凹部由第一介電層的第一側壁與第二側壁定義；在第一凹部形成第一導體層；移除第一導體層的一部分以形成第二凹部，第二凹部由第一介電層的第一側壁與第二側壁定義；在第二凹部形成第二導體層，第二導體層接觸第一導體層；在第二導體層的上方形成第二介電層；移除第二介電層的一部分以形成第三凹部，第三凹部由第二介電層的第一側壁與第二側壁定義，經由第三凹部暴露第二導體層；以及在第三凹部形成第三導體層，第三導體層接觸第二導體層。

【英文】

A method for fabricating a semiconductor arrangement includes removing a portion of a first dielectric layer to form a first recess defined by sidewalls of the first dielectric layer, forming a first conductive layer in the first recess, removing a portion of the first conductive layer to form a second recess defined by the sidewalls of the first dielectric layer, forming a second conductive layer in the second recess, where the second conductive layer contacts the first conductive layer, forming a second dielectric layer over the second conductive layer, removing a portion of the second dielectric layer to form a third recess defined by sidewalls of the second dielectric layer, where the second conductive layer is exposed through the third recess, and forming a third

conductive layer in the third recess, where the third conductive layer contacts the second conductive layer.

【指定代表圖】 第20圖

【代表圖之符號簡單說明】

100: 半導體配置

102: 支持中間物

104a,122a: 第一部分

104b,122b: 第二部分

104c,122c: 第一側壁

104d,122d: 第二側壁

112,121,127,130: 寬度

114: 第一導體層

120: 第二導體層

129: 厚度

132: 第三導體層

132a: 金屬接觸件

【發明說明書】

【中文發明名稱】 半導體配置及其製造方法

【英文發明名稱】 SEMICONDUCTOR ARRANGEMENT AND METHOD FOR
MAKING

【技術領域】

【0001】 本發明實施例是關於半導體製程技術，特別是關於半導體配置及其製造方法。

【先前技術】

【0002】 在半導體製造的過程中，不同的導體層彼此連接，以建立一半導體結構。連接不同的導體層的技術之一，是使用一或多個金屬接觸物來將二或多個導體層彼此連接。

【發明內容】

【0003】 一實施例是關於一種半導體配置的製造方法，其包括：移除一第一介電層的一部分，以形成一第一凹部，上述第一凹部由上述第一介電層的第一側壁與上述第一介電層的第二側壁所定義；以及在上述第一凹部形成一第一導體層。上述方法亦包括：移除上述第一導體層的一部分，以形成一第二凹部，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義；以及在上述第二凹部形成一第二導體層，其中上述第二導體層接觸上述第一導體層。上述方法亦包括：在上述第二導體層的上方形成一

第二介電層；以及移除上述第二介電層的一部分，以形成一第三凹部，上述第三凹部由上述第二介電層的一第一側壁與上述第二介電層的一第二側壁所定義，其中經由上述第三凹部暴露上述第二導體層。上述方法亦包括：在上述第三凹部形成一第三導體層，其中上述第三導體層接觸上述第二導體層。

【0004】 另一實施例是關於一種半導體配置，其包括：一第一導體層，在一第一介電層的一第一側壁與上述第一介電層的一第二側壁之間，其中上述第一導體層具有一第一寬度。上述半導體結構亦包括：一第二導體層，在上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁之間，並接觸上述第一導體層，其中上述第二導體層具有一第二寬度。上述半導體結構亦包括：一第三導體層，接觸上述第二導體層並在一第二介電層的一第一側壁與上述第二介電層的一第二側壁之間，其中上述第三導體層具有一第三寬度，上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【0005】 又另一實施例是關於一種半導體配置的製造方法，其包括：形成一第一導體層，使其具有一第一材料組成及一第一寬度；以及形成一第二導體層，使其具有一第二材料組成及一第二寬度，其中上述第二導體層在上述第一導體層的上方並接觸上述第一導體層，且上述第二材料組成不同於上述第一材料組成。上述方法亦包括：形成一第三導體層，使其具有一第三材料組成及一第三寬度，其中上述第三導體層在上述第二導體層的上方並接觸上述第二導體層，且上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【圖式簡單說明】

【0006】 根據以下的詳細說明並配合所附圖式做完整揭露。應注意的是，

根據本產業的一般作業，圖示並未必按照比例繪製。事實上，可能任意的放大或縮小元件的尺寸，以做清楚的說明。

第1圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第2圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第3圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第4圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第5圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第6圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第7圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第8圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第9圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第10圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第11圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第12圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第13圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第14圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第15圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第16圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第17圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第18圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第19圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第20圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第21圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第22圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第23圖顯示根據一些實施例之在一製造階段的半導體配置的俯視圖。

【實施方式】

【0007】 要瞭解的是，以下的揭露內容提供許多不同的實施例或範例以實現本發明實施例的不同構件。以下的揭露內容敘述各個構件及其排列方式的特定實施例或範例，以簡化本發明實施例的說明。當然，這些特定的範例並非用以限定。例如，元件的尺寸並非受限於所揭露的範圍或值，但可能依存於製程

條件及/或裝置所需求的性質。此外，若是本發明實施例敘述了一第一構件形成於一第二構件之上或上方，即表示其可能包括上述第一構件與上述第二構件是直接接觸的實施例，亦可能包括了有附加構件形成於上述第一構件與上述第二構件之間，而使上述第一構件與第二構件可能未直接接觸的實施例。為了簡潔，可能以任意的比例繪示各種構件。此外，本發明實施例可能會在各種實施例重複使用相同的元件符號。這樣的重複是為了敘述上的簡化與明確，而非意指所討論的不同實施例及/或結構之間的關係。

【0008】 此外，其與空間相關用詞。例如「在...下方」、「下方」、「較低的」、「上方」、「較高的」及類似的用詞，係為了便於描述圖示中一個元件或構件與另一個(些)元件或構件之間的關係。除了在圖式中繪示的方位外，這些空間相關用詞意欲包括使用中或操作中的裝置之不同方位。裝置可能被轉向不同方位(旋轉90度或其他方位)，則在此使用的空間相關詞也可依此相同解釋。

【0009】 一些實施例是關於一種半導體配置的製造方法，其包括：移除一第一介電層的一部分，以形成一第一凹部，上述第一凹部由上述第一介電層的一第一側壁與上述第一介電層的一第二側壁所定義；在上述第一凹部形成一第一導體層；移除上述第一導體層的一部分，以形成一第二凹部，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義；在上述第二凹部形成一第二導體層，其中上述第二導體層接觸上述第一導體層；在上述第二導體層的上方形成一第二介電層；移除上述第二介電層的一部分，以形成一第三凹部，上述第三凹部由上述第二介電層的一第一側壁與上述第二介電層的一第二側壁所定義，其中經由上述第三凹部暴露上述第二導體層；以及在上述第三凹部形成一第三導體層，其中上述第三導體層接觸上述第

二導體層。

【0010】 根據一些實施例，移除上述第一介電層的上述部分以形成上述第一凹部，結果得到一支持中間物的一相對均勻的上表面，在其上形成上述第一導體層。根據一些實施例，一相對均勻的上表面是具有以下性質中的至少一個的表面：實質上平滑、平坦、符合標準或無缺陷。根據一些實施例，在將上述第一導體層形成在上述支持中間物時的上方，藉由上述支持中間物的上述相對均勻的上表面，得到在上述支持中間物與上述第一導體層之間的一相對均勻的界面。根據一些實施例，藉由在上述支持中間物與上述第一導體層之間的上述相對均勻的界面，與具有較不均勻的界面的多層比較，對上述支持中間物與上述第一導體層造成一較低的電阻。根據一些實施例，藉由在上述支持中間物與上述第一導體層之間的上述相對均勻的界面，與具有較不均勻的界面的多層比較，對上述支持中間物與上述第一導體層造成一較低的電容值。根據一些實施例，藉由在上述支持中間物與上述第一導體層之間的上述相對均勻的界面，與具有較不均勻的界面的多層比較，對上述支持中間物與上述第一導體層造成一較低的阻容遲滯(RC delay)，其中阻容遲滯是用以測量作為電阻及電容的功能的訊號速度方面的遲滯的一度量(metric)。

【0011】 根據一些實施例，移除上述第一導體層的上述部分以形成上述第二凹部，結果得到上述第一導體層的一相對均勻的上表面，在其上形成上述第二導體層。根據一些實施例，在將上述第二導體層形成在上述第一導體層的上方時，藉由上述第一導體層的上述相對均勻的上表面，得到在上述第一導體層與上述第二導體層之間的一相對均勻的界面。根據一些實施例，藉由在上述第一導體層與上述第二導體層之間的上述相對均勻的界面，與具有較不均勻的界

面的複數個導體層比較，對上述第一導體層與上述第二導體層造成一較低的電阻。根據一些實施例，藉由在上述第一導體層與上述第二導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第一導體層與上述第二導體層造成一較低的電容值。根據一些實施例，藉由在上述第一導體層與上述第二導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第一導體層與上述第二導體層造成一較低的阻容遲滯。

【0012】 根據一些實施例，移除上述第二介電層的上述部分以經由上述第三凹部暴露上述第二導體層，結果得到上述第二介電層的一相對均勻的上表面，在其上形成上述第三導體層。根據一些實施例，在將上述第三導體層形成在上述第二介電層的上方時，藉由上述第二導體層的上述相對均勻的上表面，得到在上述第二導體層與上述第三導體層之間的一相對均勻的界面。根據一些實施例，藉由在上述第二導體層與上述第三導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第二導體層與上述第三導體層造成一較低的電阻。根據一些實施例，藉由在上述第二導體層與上述第三導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第二導體層與上述第三導體層造成一較低的電容值。根據一些實施例，藉由在上述第二導體層與上述第三導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第二導體層與上述第三導體層造成一較低的阻容遲滯。

【0013】 根據一些實施例，上述第二導體層的一寬度大於上述第三導體層的一寬度，而使上述第三導體層接觸上述第二導體層但未接觸圍繞或相鄰於上

述第二導體層的上述第一介電層。根據一些實施例，與上述第三導體層接觸至少一些上述第一介電層的一配置比較，在上述第三導體層接觸上述第二導體層但未接觸上述第一介電層之處，減少了上述第二導體層與上述第三導體層相關的電阻。根據一些實施例，與上述第三導體層接觸至少一些上述第一介電層的一配置比較，在上述第三導體層接觸上述第二導體層但未接觸上述第一介電層之處，減少了上述第二導體層與上述第三導體層相關的電容值。根據一些實施例，與上述第三導體層接觸至少一些上述第一介電層的一配置比較，在上述第三導體層接觸上述第二導體層但未接觸上述第一介電層之處，減少了上述第二導體層與上述第三導體層相關的阻容遲滯。

【0014】 第1圖顯示根據一些實施例之半導體配置100，其包括一支持中間物102與一介電層104。在一些實施例中，支持中間物102的功能是作為一基礎(foundation)、基座(base)或工作臺(table)，以在製造的過程中支承各種層狀物。在一些實施例中，支持中間物102是一基板。根據一些實施例，支持中間物102是以玻璃形成。在一些實施例中，支持中間物102對光透明。在一些實施例中，支持中間物102是在紫外線(ultraviolet；UV)的波長對光透明。在一些實施例中，支持中間物102是一p型的半導體基底(P基底)。在一些實施例中，支持中間物102是一n型的半導體基底(N基底)。在一些實施例中，支持中間物102包括矽、鍺、碳化物、砷化物、鎵、砷、磷化物、銦、銻化物、SiGe、SiC、GaAs、GaP、InP、InAs、InSb、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP、GaInAsP或其他適當材料中的至少一個。在一些實施例中，支持中間物102包括至少一個摻雜區。根據一些實施例，支持中間物102包括一磊晶層、一絕緣體上覆矽(silicon-on-insulator；SOI)結構、一晶圓或由一晶圓形成的一晶粒(die)中的至少

一個。

【0015】 根據一些實施例，介電層104是形成在支持中間物102的上方。在一些實施例中，介電層104接觸支持中間物102的一頂表面。在一些實施例中，介電層104包括一聚合物、氧化物、聚苯并呋唑(polybenzobisoxazole；PBO)、聚醯亞胺(polyimide；PI)、金屬氮化物、矽、鍺、碳化物、鎵、砷化物、鍺、砷、銻、氧化矽、藍寶石、一埋入式氧化物(buried oxide；BOX)層、一高介電常數(high-k dielectric constant)材料、稀土元素氧化物、稀土元素氧化物的鋁酸物(aluminate of a rare earth oxide)、稀土元素氧化物的矽酸物(silicate of a rare earth oxide)、一磊晶層、一絕緣物上覆矽結構、一晶圓、由一晶圓形成的一晶粒、一被摻雜的磊晶層、一半導體層、一漸變的半導體層、複數個半導體層、複數個半導體層(其中的一或多層的半導體層與其他的半導體層為不同形式)或其他適當材料中的至少一個。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成介電層104。

【0016】 第2圖顯示根據一些實施例，將一光阻106形成在介電層104的上方。在一些實施例中，藉由旋轉塗佈法、噴灑塗佈法(spray coating)或其他可用

製程中的至少一個，來形成光阻106。

【0017】 第3圖顯示根據一些實施例，將光阻106圖形化而使其具有一開口108，開口108是由此光阻的一第一部分106a的一側壁與此光阻的一第二部分106b的一側壁所定義。在一些實施例中，光阻106包括一光敏材料，其中光阻106的例如溶解度等的性質是受到光的影響。光阻106是一負型光阻或一正型光阻。關於一負型光阻，此負型光阻的區域當受到一光源照射則變為不可溶，而使在一後續的顯影階段，對此負型光阻塗佈一溶劑而移除此負型光阻的未被照射的區域。因此，形成於此負型光阻的一圖案是由上述光源與上述負型光阻之間的一模板的不透明區所定義的一負型圖案。在一正型光阻，此正型光阻的被照射區變成可溶解而在顯影的過程中經由塗佈一溶劑而移除。因此，形成於此正型光阻的一圖案是上述光源與上述正型光阻之間的一模板的不透明區的一正型影像。

【0018】 第4圖顯示根據一些實施例，將圖形化的光阻106用於移除介電層104的一部分，以形成一凹部110，其中凹部110由介電層104的一第一部分104a的一第一側壁104c與介電層104的一第二部分104b的一第二側壁104d所定義。在一些實施例中，施行一蝕刻製程以形成凹部110，其中光阻106的第一部分106a在上述蝕刻的過程中保護或防護介電層104的第一部分104a而免於蝕刻劑的作用，光阻106的第二部分106b在上述蝕刻製程的過程中保護或防護介電層104的第二部分104b而免於蝕刻劑的作用。介電層104之未被光阻106覆蓋的部分則在上述蝕刻製程的過程中暴露於蝕刻劑並被移除或蝕除，以暴露出支持中間物102的一部分。在一些實施例中，在整個途中，介電層104並未被蝕穿，而使支持中間物102並未經由凹部110而被暴露出來。

【0019】 凹部110具有一寬度112，在一些實施例中，寬度112是由介電層104的第一部分104a的第一側壁104c與介電層104的第二部分104b的第二側壁104d之間的距離所定義。根據一些實施例，寬度112實質上為常數，例如其中第一側壁104c與第二側壁104d是實質上平坦且彼此平行。根據一些實施例，凹部110向下延伸至支持中間物102的頂表面。在一些實施例中，凹部110僅延伸至往支持中間物102方向的中途，而使支持中間物102未經由凹部110而暴露出來。凹部110具有一深度113，根據一些實施例，深度113是由支持中間物102的頂表面與介電層104的頂表面之間的距離所定義。在一些實施例中，凹部110的深度113對寬度112的比值在0.25與7.5之間，其表示凹部110夠深，因此足以使形成在凹部110的一部件容納於凹部110中且不太可能容易地被從凹部110移出。在一些實施例中，凹部110的深度113對寬度112的比值小於7.5，其表示凹部110夠深，因此足以使形成在凹部110的一部件容納於凹部110中且不太可能容易地被從凹部110移出。根據一些實施例，上述蝕刻製程是一溼蝕刻製程。根據一些實施例，上述蝕刻製程是一乾蝕刻製程。根據一些實施例，上述蝕刻製程使用氯化氫(HCl_2)、硫化氫(H_2S)或其他適當的材料中的至少一個。根據一些實施例，在形成凹部110之後，支持中間物102的頂表面是相對均勻。在一些實施例中，支持中間物102、介電層104或光阻106中的至少一個相對於上述蝕刻製程的一蝕刻劑的蝕刻選擇性達成支持中間物102的相對均勻的頂表面。在一些實施例中，一相對均勻的表面是實質上平坦，而使此表面中不在同一平面的範圍內者，僅佔其少部分到無任何部分。在一些實施例中，控制時間、溫度、壓力、所使用的一或多種蝕刻劑或其他變數中的至少一個，來控制介電層104的上述部分的移除。在一些實施例中，控制一或多項變數，以促進介電層104的相對於橫向的垂直的移

除，使得在移除介電層104的上述部分時，至少達成下列的其中之一：第一側壁104c與第二側壁104d為實質上平坦；或是介電層104的第一部分104a與介電層104的第二部分104b的各自的厚度歷經極少的改變至沒有改變。在一些實施例中，一或多個蝕刻劑以一實質上均勻的速率移除介電層104，使得隨著介電層104的厚度在第一部分104a與第二部分104b之間縮減，介電層104的厚度仍然在第一部分104a與第二部分104b之間維持實質上為常數。在一些實施例中，介電層104的厚度是從支持中間物102的頂表面測量至介電層104的頂表面。在一些實施例中，介電層104的厚度是從介電層104的一底表面測量至介電層104的頂表面。在一些實施例中，賦與介電層104的一實質上平均的移除速率時，在暴露支持中間物102的頂表面的任何部分之前，一般不會暴露出支持中間物102的頂表面的任何部分。在一些實施例中，支持中間物102的頂表面的實質上均勻的暴露，會獲得支持中間物102的相對均勻的頂表面，其至少是因為支持中間物102的頂表面沒有任何部分是暴露於蝕刻劑的時間比支持中間物102的頂表面的其他部分還久的。在一些實施例中，控制一或多項變數，以促進介電層104的實質上均勻的移除速率，而藉此與未控制如此這些變數的方案比較，獲得支持中間物102的相對均勻的頂表面。

【0020】 第5圖顯示根據一些實施例，將光阻106的第一部分106a與光阻106的第二部分106b清潔乾淨、剝除或以其他方式移除。

【0021】 第6圖顯示根據一些實施例，將一第一導體層114形成在凹部110中及第一側壁104c的上方與第二側壁104d的上方。在一些實施例中，第一導體層114包括用於導電的一金屬材料。根據一些實施例，第一導體層114包括金屬。根據一些實施例，第一導體層114具有導電性。根據一些實施例，第一導體層114

包括金屬，但具有低導電性至非導電性。根據一些實施例，第一導體層114包括鈷、鎢、碳化物、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)或其他適當材料中的至少一個。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成第一導體層114。

【0022】 在一些實施例中，形成第一導體層114，包括在第一側壁104c、第二側壁104d或例如支持中間物102的頂表面等的定義凹部110的底部的一部件的頂表面中的至少一個的上方，形成一種子層(未繪示)。在一些實施例中，上述種子層包括銅、鈦或其他適當材料中的至少一個。在一些實施例中，上述種子層促進第一導體層114在凹部110成長。

【0023】 在一些實施例中，第一導體層114作為一金屬接觸件，其有助於電性連接於例如支持中間物102中的一或多個導體層等的在第一導體層114的上方或下方中的至少一個的一或多個導體層。在一些實施例中，第一導體層114作為一電容器底部金屬(capacitor bottom metal；CBM)電極。在一些實施例中，第一導體層114具有對應於寬度112的一寬度。

【0024】 第7圖根據一些實施例而顯示一移除製程，其將第一導體層114

的多餘材料移除。根據一些實施例，上述移除製程包括化學機械研磨 (chemical-mechanical polishing；CMP)或其他適當技術中的至少一個。根據一些實施例，將第一導體層114的多餘材料移除，向下至介電層104的第一部分104a的頂表面或介電層104的第二部分104b的頂表面中的至少一個。在一些實施例中，除了第一導體層114的多餘材料外，上述移除製程還移除了介電層104的第一部分104a或介電層104的第二部分104b中的至少一個的一些部分。根據一些實施例，例如藉由用於一化學機械研磨製程的化學藥劑、研磨漿(slurry)等的選擇，經由上述移除製程而使第一導體層114的頂表面成為相對均勻。

【0025】 第8圖顯示根據一些實施例，在移除光阻106的第一部分106a與光阻106的第二部分106b之前的形成於凹部110的第一導體層114。因此，不像根據第6圖敘述的方案，在一些實施例中，第一導體層114亦形成在光阻106的留下來的部分的上方。

【0026】 第9圖顯示根據一些實施例，從光阻106的留下來的部分移除第一導體層114的多餘材料。根據一些實施例，上述移除製程包括化學機械研磨 (chemical-mechanical polishing；CMP)或其他適當技術中的至少一個。根據一些實施例，將第一導體層114的多餘材料移除，向下至光阻106的第一部分106a的頂表面或光阻106的第二部分106b的頂表面中的至少一個。在一些實施例中，上述移除製程移除了光阻106的第一部分106a或光阻106的第二部分106b中的至少一個，而使所獲得的結構對應於示於第7圖的結構。

【0027】 第10圖顯示根據一些實施例，移除第一導體層114的一部分以形成一凹部116，其中凹部116由介電層104的一第一部分104a的一第一側壁104c與介電層104的一第二部分104b的一第二側壁104d所定義。在一些實施例中，施行

一蝕刻製程以形成凹部116。在一些實施例中，使用一圖形化的光阻(未繪示)來移除第一導體層114的上述部分，其中上述圖形化的光阻的一第一保留部分在上述蝕刻製程的過程中保護或防護介電層104的第一部分104a而免於蝕刻劑的作用，上述圖形化的光阻的一第二保留部分在上述蝕刻製程的過程中保護或防護介電層104的第二部分104b而免於蝕刻劑的作用。第一導體層114之未被上述圖形化的光阻覆蓋的部分則在上述蝕刻製程的過程中暴露於蝕刻劑並被移除或蝕除。在一些實施例中，在整個途中，第一導體層114並未被蝕穿，而使第一導體層114的一些部分留在介電層104的第一部分104a與介電層104的第二部分104b之間。

【0028】 凹部116具有一寬度118，根據一些實施例，寬度118是由介電層104的第一部分104a的第一側壁104c與介電層104的第二部分104b的第二側壁104d之間的距離所定義。根據一些實施例，寬度118實質上為常數，例如其中第一側壁104c與第二側壁104d是實質上平坦且彼此平行。在一些實施例中，寬度118等於寬度112。請參考第11圖，在一些實施例中，寬度118大於或小於寬度112。在一些實施例中，上述蝕刻製程移除介電層104的第一部分104a或的第二部分104b中的至少一個的至少一些部分，而使寬度118大於寬度112。凹部116具有一深度119，根據一些實施例，深度119是由第一導體層114的頂表面與介電層104的頂表面之間的距離所定義。根據一些實施例，深度119大於3nm。在一些實施例中，凹部118的深度119對寬度118的比值在0.25與7.5之間，其表示凹部116夠深，因此足以使形成在凹部116的一部件容納於凹部116中且不太可能容易地被從凹部116移出。在一些實施例中，凹部116的深度119對寬度118的比值小於7.5，其表示凹部116夠深，因此足以使形成在凹部116的一部件容納於凹部116

中且不太可能容易地被從凹部116移出。根據一些實施例，凹部116的深度119至少為3nm，而至少達成下列的其中之一：避免第一導體層114受到例如一蝕刻製程等的一或多道後續製程的影響；避免將置於第一導體層114上的例如一第三導體層119(第19圖)等的一或多個其他層與第一導體層114交互混入；或是與凹部116的深度119非為至少3nm的情況比較，促進第一導體層114或形成於凹部116的一或多個其他層中的至少一個的相對低的電阻。根據一些實施例，上述蝕刻製程是一溼蝕刻製程。根據一些實施例，上述蝕刻製程是一乾蝕刻製程。根據一些實施例，上述蝕刻製程使用氯化氫(HCl₂)、硫化氫(H₂S)或其他適當的材料中的至少一個。根據一些實施例，在形成凹部116之後，第一導體層114的頂表面是相對均勻。在一些實施例中，第一導體層114、介電層104或上述圖形化的光阻中的至少一個相對於上述蝕刻製程的一蝕刻劑的蝕刻選擇性達成第一導體層114的相對均勻的頂表面。在一些實施例中，一相對均勻的表面是實質上平坦，而使此表面中不在同一平面的範圍內者，僅佔其少部分到無任何部分。在一些實施例中，控制時間、溫度、壓力、所使用的一或多種蝕刻劑或其他變數中的至少一個，來控制第一導體層114的上述部分的移除。在一些實施例中，控制一或多項變數，以促進介電層104的相對於橫向的垂直的移除，使得在移除第一導體層114的上述部分時，至少達成下列的其中之一：第一側壁104c與第二側壁104d為實質上平坦；或是介電層104的第一部分104a與介電層104的第二部分104b的各自的厚度歷經極少的改變至沒有改變。在一些實施例中，一或多個蝕刻劑以一實質上均勻的速率移除第一導體層114，使得隨著第一導體層114的厚度在第一部分104a與第二部分104b之間縮減，第一導體層114的厚度仍然在第一部分104a與第二部分104b之間維持實質上為常數。在一些實施例中，第一導體

層114的厚度是從支持中間物102的頂表面測量至第一導體層114的頂表面。在一些實施例中，第一導體層114的厚度是從第一導體層114的一底表面測量至第一導體層114的頂表面。在一些實施例中，控制一或多項變數，以促進第一導體層114的實質上均勻的移除速率，而藉此與未控制如此這些變數的方案比較，獲得第一導體層114的相對均勻的頂表面。

【0029】 第12圖顯示根據一些實施例，將一第二導體層120形成在凹部116中及第一側壁104c的上方與第二側壁104d的上方。在一些實施例中，第二導體層120包括用於導電的一金屬材料。根據一些實施例，第二導體層120包括金屬。根據一些實施例，第二導體層120具有導電性。根據一些實施例，第二導體層120包括金屬，但具有低導電性至非導電性。根據一些實施例，第二導體層120包括鈷、鎢、碳化物、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)或其他適當材料中的至少一個。在一些實施例中，第二導體層120與第一導體層114包括不同材料或具有不同的材料組成，而對於一蝕刻劑具有不同的蝕刻選擇性。根據一些實施例，不同的蝕刻選擇性會得到用於蝕刻第二導體層120的一蝕刻劑對第一導體層114僅具些許作用或無作用的結果。在一些實施例中，第二導體層120與第一導體層114包括不同材料或具有不同的材料組成，而使第一導體層114良好地黏著於支持中間物102，而第二導體層120具有所需的導電性。在一些實施例中，第二導體層120與第一導體層114包括相同材料或具有相同的材料組成。在一些實施例中，第二導體層120與第一導體層114包括相同材料或具有相同的材料組成，以達成對支持中間物102的黏著性以及所需的導電性之間的平衡。在一些實施例中，第二導體層120與第一導體層114良好地黏著於支持中間物102，但具有一定的電阻。在一些實施例中，第二導體層120與第一導體層114稍微良好地黏

著於支持中間物102，但具有相對低的電阻。在一些實施例中，在第二導體層120與第一導體層114包括相同材料或具有相同的材料組成之情況，不需要多道的蝕刻作業，因此進行單一的作業來填充凹部110，而未形成凹部116。在一些實施例中，第二導體層120接觸第一導體層114。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成第二導體層120。

【0030】 在一些實施例中，形成第二導體層120，包括在第一側壁104c、第二側壁104d或例如第一導體層114的頂表面等的定義凹部116的底部的一部件的頂表面中的至少一個的上方，形成一種子層(未繪示)。在一些實施例中，上述種子層包括銅、鈦或其他適當材料中的至少一個。在一些實施例中，上述種子層促進第二導體層120在凹部116成長。在一些實施例中，形成第二導體層120，包括使用選擇性的金屬成長(selective metal growth)。根據一些實施例，與使用選擇性的金屬成長以外的方法來形成第二導體層120的情況比較，使用選擇性的金屬成長來形成第二導體層120促使第二導體層120的相對低的電阻。

【0031】 第13圖根據一些實施例而顯示一移除製程，其將第二導體層120的多餘材料移除。根據一些實施例，上述移除製程包括化學機械研磨

(chemical-mechanical polishing；CMP)或其他適當技術中的至少一個。根據一些實施例，將第二導體層120的多餘材料移除，向下至介電層104的第一部分104a的頂表面或介電層104的第二部分104b的頂表面中的至少一個。在一些實施例中，除了第二導體層120的多餘材料外，上述移除製程還移除了介電層104的第一部分104a或介電層104的第二部分104b中的至少一個的一些部分。根據一些實施例，例如藉由用於一化學機械研磨製程的化學藥劑、研磨漿等的選擇，經由上述移除製程而使第二導體層120的頂表面成為相對均勻。

【0032】 在一些實施例中，第二導體層120作為用於第一導體層114的一金屬蓋120a。根據一些實施例，第二導體層120作為一接觸件，其有助於電性連接於在第二導體層120的上方或下方中的至少一個的一或多個導體層。第二導體層120具有一寬度121。在一些實施例中，寬度121對應於寬度118。第二導體層120具有一厚度123，根據一些實施例，厚度123對應於示於第10圖的深度119。根據一些實施例，厚度123大於3nm。在一些實施例中，金屬蓋120a的厚度123對寬度121的比值在0.25與7.5之間，其表示至少下列的其中之一：金屬蓋120a良好地容納於凹部116的範圍中且不太可能容易地被從凹部116移出；或是金屬蓋120a的一最上表面對其上的部件提供足夠的表面積來接觸金屬蓋120a。在一些實施例中，金屬蓋120a的厚度123對寬度121的比值小於7.5，其表示至少下列的其中之一：金屬蓋120a良好地容納於凹部116的範圍中且不太可能容易地被從凹部116移出；或是金屬蓋120a的一最上表面對其上的部件提供足夠的表面積來接觸金屬蓋120a。

【0033】 第14圖顯示根據一些實施例，將一介電層122形成在第二導體層120、介電層104的第一部分104a或介電層104的第二部分104b中的至少一個的上

方。在一些實施例中，介電層104接觸第二導體層120的一頂表面、介電層104的第一部分104a的一頂表面或介電層104的第二部分104b的一頂表面中的至少一個。在一些實施例中，介電層122包括一聚合物、氧化物、聚苯并呋唑(polybenzobisoxazole；PBO)、聚醯亞胺(polyimide；PI)、金屬氮化物、矽、鍺、碳化物、鎵、砷化物、鍺、砷、銦、氧化矽、藍寶石、一埋入式氧化物(buried oxide；BOX)層、一高介電常數(high-k dielectric constant)材料、稀土元素氧化物、稀土元素氧化物的鋁酸物(aluminate of a rare earth oxide)、稀土元素氧化物的矽酸物(silicate of a rare earth oxide)、一磊晶層、一絕緣物上覆矽結構、一晶圓、由一晶圓形成的一晶粒、一被摻雜的磊晶層、一半導體層、一漸變的半導體層、複數個半導體層、複數個半導體層(其中的一或多層的半導體層與其他的半導體層為不同形式)或其他適當材料中的至少一個。在一些實施例中，介電層104與介電層122包括相同材料或具有相同的材料成分。在一些實施例中，介電層104與介電層122包括不同材料或具有不同的材料成分。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成介電層104。

【0034】 第15圖顯示根據一些實施例，將一光阻124形成在介電層122的上

方。在一些實施例中，藉由旋轉塗佈法、噴灑塗佈法或其他可用製程中的至少一個，來形成光阻124。

【0035】 第16圖顯示根據一些實施例，將光阻124圖形化而使其具有一開口126，開口126是由此光阻的一第一部分124a的一側壁與此光阻的一第二部分124b的一側壁所定義。在一些實施例中，光阻106包括一光敏材料，如前文對第3圖所作敘述。

【0036】 第17圖顯示根據一些實施例，將圖形化的光阻124用於移除介電層122的一部分，以形成一凹部128，其中凹部128由介電層122的一第一部分122a的一第一側壁122c與介電層122的一第二部分122b的一第二側壁122d所定義。在一些實施例中，施行一蝕刻製程以形成凹部128，其中光阻124的第一部分124a在上述蝕刻的過程中保護或防護介電層122的第一部分122a而免於蝕刻劑的作用，光阻124的第二部分124b在上述蝕刻製程的過程中保護或防護介電層122的第二部分122b而免於蝕刻劑的作用。介電層122之未被光阻124覆蓋的部分則在上述蝕刻製程的過程中暴露於蝕刻劑並被移除或蝕除，以暴露出第二導體層120的一部分。

【0037】 凹部128具有一寬度130，根據一些實施例，寬度130是由介電層122的第一部分122a的第一側壁122c與介電層122的第二部分122b的第二側壁122d之間的距離所定義。根據一些實施例，寬度130實質上為常數，例如其中第一側壁122c與第二側壁122d是實質上平坦且彼此平行。在一些實施例中，寬度130小於寬度118。凹部128具有一深度125，根據一些實施例，深度125是由第二導體層120的頂表面與介電層122的頂表面之間的距離所定義。根據一些實施例，深度125大於寬度130。在一些實施例中，凹部128的深度125對寬度130的比

值在0.25與10之間，其表示凹部128夠深，因此足以使形成在凹部110的一部件容納於凹部128中且不太可能容易地被從凹部128移出。根據一些實施例，上述蝕刻製程是一溼蝕刻製程。根據一些實施例，上述蝕刻製程是一乾蝕刻製程。根據一些實施例，上述蝕刻製程使用氯化氫(HCl₂)、硫化氫(H₂S)或其他適當的材料中的至少一個。根據一些實施例，在形成凹部128之後，第二導體層120的頂表面是相對均勻。在一些實施例中，第二導體層120、介電層122或光阻124中的至少一個相對於上述蝕刻製程的一蝕刻劑的蝕刻選擇性達成第二導體層120的相對均勻的頂表面。在一些實施例中，一相對均勻的表面是實質上平坦，而使此表面中不在同一平面的範圍內者，僅佔其少部分到無任何部分。在一些實施例中，控制時間、溫度、壓力、所使用的一或多種蝕刻劑或其他變數中的至少一個，來控制介電層122的上述部分的移除。在一些實施例中，控制一或多項變數，以促進介電層122的相對於橫向的垂直的移除，使得在移除介電層122的上述部分時，至少達成下列的其中之一：第一側壁122c與第二側壁122d為實質上平坦；或是介電層122的第一部分122a與介電層122的第二部分104b的各自的厚度歷經極少的改變至沒有改變。在一些實施例中，一或多個蝕刻劑以一實質上均勻的速率移除介電層122，使得隨著介電層122的厚度在第一部分122a與第二部分122b之間縮減，介電層122的厚度仍然在第一部分122a與第二部分122b之間維持實質上為常數。在一些實施例中，介電層122的厚度是從第二導體層120的頂表面測量至介電層122的頂表面。在一些實施例中，介電層122的厚度是從介電層122的一底表面測量至介電層122的頂表面。在一些實施例中，賦與介電層122的一實質上平均的移除速率時，在暴露第二導體層120的頂表面的任何部分之前，一般不會暴露出第二導體層120的頂表面的任何部分。在一些實施例中，第二導

體層120的頂表面的實質上均勻的暴露，會獲得第二導體層120的相對均勻的頂表面，其至少是因為第二導體層120的頂表面沒有任何部分是暴露於蝕刻劑的時間比第二導體層120的頂表面的其他部分還久的。在一些實施例中，控制一或多項變數，以促進介電層122的實質上均勻的移除速率，而藉此與未控制如此這些變數的方案比較，獲得第二導體層120的相對均勻的頂表面。

【0038】 第18圖顯示根據一些實施例，將光阻124的第一部分124a與光阻124的第二部分124b清潔乾淨、剝除或以其他方式移除。

【0039】 第19圖顯示根據一些實施例，將一第三導體層132形成在凹部128中及第一側壁122c的上方與第二側壁122d的上方。在一些實施例中，第三導體層132包括用於導電的一金屬材料。根據一些實施例，第三導體層132包括金屬。根據一些實施例，第三導體層132具有導電性。根據一些實施例，第三導體層132包括金屬，但具有低導電性至非導電性。根據一些實施例，第三導體層132包括鈷、鎢、碳化物、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)或其他適當材料中的至少一個。在一些實施例中，第三導體層132與第一導體層114包括不同的材料或具有不同的材料組成。在一些實施例中，第三導體層132與第一導體層114包括相同的材料或具有相同的材料組成。在一些實施例中，第三導體層132與第二導體層120包括不同的材料或具有不同的材料組成。在一些實施例中，第三導體層132與第二導體層120包括相同的材料或具有相同的材料組成。在一些實施例中，第三導體層132接觸第二導體層120。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣

相沉積(atomic layer chemical vapor deposition ; ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition ; UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition ; RPCVD)、分子束磊晶(molecular beam epitaxy ; MBE)、液相磊晶(liquid phase epitaxy ; LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成第三導體層132。

【0040】 在一些實施例中，形成第三導體層132，包括在第一側壁122c、第二側壁122d或例如第二導體層120的頂表面等的定義凹部116的底部的一部件的頂表面中的至少一個的上方，形成一種子層(未繪示)。在一些實施例中，上述種子層包括銅、鈦或其他適當材料中的至少一個。在一些實施例中，上述種子層促進第三導體層132在凹部128成長。在一些實施例中，形成第三導體層132，包括使用選擇性的金屬成長。根據一些實施例，與使用選擇性的金屬成長以外的方法來形成第三導體層132的情況比較，使用選擇性的金屬成長來形成第三導體層132促使第三導體層132的相對低的電阻。

【0041】 第20圖根據一些實施例而顯示一移除製程，其將第三導體層132的多餘材料移除。根據一些實施例，上述移除製程包括化學機械研磨(chemical-mechanical polishing ; CMP)或其他適當技術中的至少一個。根據一些實施例，將第三導體層132的多餘材料移除，向下至介電層122的第一部分122a的頂表面或介電層122的第二部分122b的頂表面中的至少一個。在一些實施例中，除了第三導體層132的多餘材料外，上述移除製程還移除了介電層122的第一部分122a或介電層122的第二部分122b中的至少一個的一些部分。根據一些實施例，例如藉由用於一化學機械研磨製程的化學藥劑、研磨漿等的選擇，經由上述移除製程而使第三導體層132的頂表面成為相對均勻。

【0042】 第21圖顯示根據一些實施例，在移除光阻124的第一部分124a與光阻124的第二部分124b之前的形成於凹部128的第三導體層132。因此，不像根據第19圖敘述的方案，在一些實施例中，第三導體層132亦形成在光阻124的留下來的部分的上方。

【0043】 第22圖顯示根據一些實施例，從光阻124的留下來的部分移除第三導體層132的多餘材料。根據一些實施例，上述移除製程包括化學機械研磨(chemical-mechanical polishing；CMP)或其他適當技術中的至少一個。根據一些實施例，將第三導體層132的多餘材料移除，向下至光阻124的第一部分124a的頂表面或光阻124的第二部分124b的頂表面中的至少一個。在一些實施例中，上述移除製程移除了光阻124的第一部分124a或光阻124的第二部分124b中的至少一個，而使所獲得的結構對應於示於第20圖的結構。

【0044】 在一些實施例中，第三導體層132作為一金屬接觸件132a，其有助於電性連接於在第三導體層132的上方或下方中的至少一個的一或多個導體層。第三導體層132具有一寬度127。在一些實施例中，寬度127對應於寬度130。第二導體層120具有一厚度129。根據一些實施例，厚度129對應於示於第17圖的深度125。在一些實施例中，金屬接觸件132a的厚度129對寬度127的比值在0.25與10之間。根據一些實施例，金屬接觸件132a良好地容納於凹部128的範圍中且不太可能容易地被從凹部128移出。在一些實施例中，金屬接觸件132a的寬度127小於金屬蓋120a的寬度121。在一些實施例中，金屬接觸件132a的寬度127相對大於金屬蓋120a的寬度121，例如藉由阻擋沿著金屬接觸件132a的側壁的一途徑的推進，抑制來自沿著金屬接觸件132a的側壁的一途徑之間的途徑的傷害，例如化學性的傷害。根據一些實施例，金屬蓋120a的設置，在將多個金屬接觸件132a

同時形成在不同的基底上(例如不同的金屬蓋120a的上方)時，對金屬接觸件132a的形成提供成本上的降低。在一些實施例中，各種金屬蓋120a具有各種的材料組成，各種金屬接觸件132a具有各種的材料組成。在一些實施例中，一或多個金屬接觸件132a具有不同的材料組成，而一或多個金屬蓋120a卻具有相同的材料組成。在一些實施例中，一或多個金屬接觸件132a具有相同的材料組成，而一或多個金屬蓋120a卻具有不同的材料組成。在一些實施例中，一或多個金屬接觸件132a具有不同的材料組成，且一或多個金屬蓋120a具有不同的材料組成。在一些實施例中，一或多個金屬接觸件132a具有相同的材料組成，且一或多個金屬蓋120a具有相同的材料組成。

【0045】 第22圖顯示根據一些實施例之半導體配置100的第三導體層132、第二導體層120及第一導體層114的俯視圖。根據一些實施例，第二導體層120的面積大於第三導體層132的面積。在一些實施例中，相對於第二導體層120來設定第三導體層132的尺寸，而使第三導體層132不具任何部分是延伸超出第二導體層120的任何部分或是懸於第二導體層120的任何部分之外。在一些實施例中，相對於第一導體層114來設定第二導體層120的尺寸，而使第二導體層120不具任何部分是延伸超出第一導體層114的任何部分或是懸於第一導體層114的任何部分之外。在一些實施例中，相對於第一導體層114來設定第二導體層120的尺寸，而使第二導體層120的有些部分是延伸超出第一導體層114的任何部分或是懸於第一導體層114的任何部分之外。在一些實施例中，相對於第一導體層114來設定第二導體層120的尺寸，而使第二導體層120的有些部分是延伸超出第一導體層114的任何部分或是懸於第一導體層114的任何部分之外；卻是相對於第二導體層120來設定第三導體層132的尺寸，而使第三導體層132不具任何部分

是延伸超出第二導體層120的任何部分或是懸於第二導體層120的任何部分之外。在一些實施例中，第一導體層114是在一鰭式場效電晶體(FinFET)結構作為一源極/汲極(S/D)接觸件，且金屬接觸件132a是在此鰭式場效電晶體結構作為一接觸導通孔結構(contact via)。在一些實施例中，支持中間物102是作為一鰭式場效電晶體結構的一源極/汲極區，而使半導體配置100提供用以電性耦合至上述鰭式場效電晶體結構的上述源極/汲極區的一構造。在一些實施例中，支持中間物102對應於一金屬—氧化物—半導體電晶體(MOS transistor)的一源極/汲極區，而使半導體配置100提供用以電性耦合至上述金屬—氧化物—半導體電晶體的上述源極/汲極區的一構造。在一些實施例中，支持中間物102是作為一鰭式場效電晶體結構的一閘極，而使半導體配置100提供用以電性耦合至上述鰭式場效電晶體結構的上述閘極的一構造。在一些實施例中，支持中間物102對應於一金屬—氧化物—半導體電晶體的一閘極，而使半導體配置100提供用以電性耦合至上述金屬—氧化物—半導體電晶體的上述閘極的一構造。在一些實施例中，半導體配置100的各種實例分別耦合至例如源極/汲極區、閘極、井(well)等的各種導體區，以分別提供用於電性耦合至各種導體區的構造。

【0046】 根據一些實施例，與較不均勻的界面比較，上述半導體配置在上述支持中間物與上述第一導體層之間的界面、在上述第一導體層與上述第二導體層之間的界面或在上述第二導體層與上述第三導體層之間的界面中的至少一個，具有較低的電阻、較低的電容值或較低的阻容遲滯中的至少一個。

【0047】 根據一些實施例，一種半導體配置的製造方法，其包括：移除一第一介電層的一部分，以形成一第一凹部，上述第一凹部由上述第一介電層的一第一側壁與上述第一介電層的一第二側壁所定義；以及在上述第一凹部形成

一第一導體層。上述方法亦包括：移除上述第一導體層的一部分，以形成一第二凹部，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義；以及在上述第二凹部形成一第二導體層，其中上述第二導體層接觸上述第一導體層。上述方法亦包括：在上述第二導體層的上方形成一第二介電層；以及移除上述第二介電層的一部分，以形成一第三凹部，上述第三凹部由上述第二介電層的一第一側壁與上述第二介電層的一第二側壁所定義，其中經由上述第三凹部暴露上述第二導體層。上述方法亦包括：在上述第三凹部形成一第三導體層，其中上述第三導體層接觸上述第二導體層。

【0048】 在一些實施例中，上述第一導體層是以鈷形成。在一些實施例中，上述第二導體層是以鎢形成。在一些實施例中，上述第二介電層覆於上述第二導體層上。在一些實施例中，移除上述第一介電層的上述部分、移除上述第一導體層的上述部分或移除上述第二介電層的上述部分中的至少一個，是包括施行一蝕刻製程。在一些實施例中，施行上述蝕刻製程包括利用一化學蝕刻劑。在一些實施例中，上述第一導體層具有一第一寬度、上述第二導體層具有一第二寬度、上述第三導體層具有一第三寬度，上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。在一些實施例中，上述第一導體層與上述第二導體層是以不同材料形成。

【0049】 根據一些實施例，一種半導體結構，其包括：一第一導體層，在一第一介電層的一第一側壁與上述第一介電層的一第二側壁之間，其中上述第一導體層具有一第一寬度。上述半導體結構亦包括：一第二導體層，在上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁之間，並接觸上述第一導體層，其中上述第二導體層具有一第二寬度。上述半導體結構亦包括：

一第三導體層，接觸上述第二導體層並在一第二介電層的一第一側壁與上述第二介電層的一第二側壁之間，其中上述第三導體層具有一第三寬度，上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【0050】 在一些實施例中，上述第一導體層接觸上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁。在一些實施例中，上述第二導體層接觸上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁。在一些實施例中，上述第二介電層接觸上述第二導體層。在一些實施例中，上述第二寬度等於上述第一寬度。在一些實施例中，上述第三導體層接觸上述第二介電層的上述第一側壁與上述第二介電層的上述第二側壁。

【0051】 根據一些實施例，一種半導體配置的製造方法，其包括：形成一第一導體層，使其具有一第一材料組成及一第一寬度；以及形成一第二導體層，使其具有一第二材料組成及一第二寬度，其中上述第二導體層在上述第一導體層的上方並接觸上述第一導體層，且上述第二材料組成不同於上述第一材料組成。上述方法亦包括：形成一第三導體層，使其具有一第三材料組成及一第三寬度，其中上述第三導體層在上述第二導體層的上方並接觸上述第二導體層，且上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【0052】 在一些實施例中，形成上述第一導體層包括在一第一凹部形成上述第一導體層，上述第一凹部由一第一介電層的一第一側壁與上述第一介電層的一第二側壁所定義；以及形成上述第二導體層包括在一第二凹部形成上述第二導體層，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義。在一些實施例中，形成上述第三導體層包括在一第三凹部形成上述第三導體層，上述第三凹部由一第二介電層的一第一側壁與上述

第二介電層的一第二側壁所定義。在一些實施例中，上述第二介電層的一底表面接觸上述第二介電層的一頂表面。在一些實施例中，上述第二介電層的一底表面接觸上述第二導電層的一頂表面。

【0053】 以上概述數個實施例之部件，以便在本發明所屬技術領域中具有通常知識者可更易理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應理解，他們能以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介紹的實施例相同之目的及 / 或優勢。在本發明所屬技術領域中具有通常知識者也應理解到，此類均等的製程和結構並無悖離本發明實施例的精神與範圍，且他們能在不違背本發明實施例之精神和範圍之下，做各式各樣的改變、取代和替換。

【0054】 雖然專利申請標的以特定的結構特徵或方法動作描述，應理解的是，附加的請求項所載之專利申請標的不限於上述的特定部件或動作。反而，上述的特定部件或動作係做為實現至少一些請求項的實施例形式。

【0055】 在此提供實施例的各種操作。此處所描述的一些或全部的操作順序並非暗示這些操作必定取決於順序。可理解替代的順序具有此敘述的好處。此外，可理解並非所有的操作在本發明實施例提供的每一個實施例中都是必要的。並且，可理解在一些實施例中，並非所有的操作都是必要的。

【0056】 可理解的是，此處所描述的層、部件、元件等以相對於彼此的特定尺寸顯示，像是結構尺寸或方位，例如，在一些實施例中，為了簡化及易於了解的目的，其實際尺寸基本上不同於此處所繪示。此外，此處提及各種用以形成層、區域、部件、元件等的技術，像是蝕刻技術、平坦化技術、佈植技術、摻雜(doping)技術、旋轉塗佈技術、濺擊(sputtering)技術、成長(growth)技術、或

是沉積技術，例如化學氣相沉積。

【0057】 此外，此處使用「例示(exemplary)」代表做為一實例(example)、例子(instance)、例證(illustration)等，且不一定為優選的。在本發明使用的「或(or)」是為了表達包容性的「或」而不是排他性的「或」。此外，除非特別說明，或者內文已清楚指示為單數形式，否則本發明實施例以及附加的請求項中使用的「一(a)」或「一(an)」被視為代表「一或多個」。還有，A及B中的至少一個及/或其類似用語一般代表A或B，或者A和B兩者。此外，在使用「包括(includes)」、「有(having)」、「具有(has)」、「帶有(with)」、或其變化的範圍中，這樣的用語被用來代表其意義是與用語「包含(comprising)」類似的開放性。還有，除非特別說明，「第一」、「第二」或類似的用語並非用來暗示時間概念、空間概念及順序等。反而，這些用詞僅用以做為部件、元件、項目等的辨識符號、名稱等。例如，第一元件和第二元件一般對應至元件A和元件B或兩個不同或兩個完全相同的(identical)元件或相同(the same)的元件。

【0058】 還有，雖然已以一個或多個實施例顯示或描述本發明實施例，其他所屬技術領域中具有通常知識者可基於閱讀或瞭解本說明書及所附的圖式進行均等的替代或修飾。本發明實施例包括所有這類的修飾及替代且僅受限於以下的請求項記載之範圍。特別是關於上述構件所表現的各種功能，除非特別說明，否則描述這種構件的字語是用來對應至表現所述構件的特定功能的任何構件(例如：在功能上均等)，即使在結構上並未等同於所揭露結構。此外，雖然本發明實施例僅以數個實施例中的其中一實施例揭露特定元件，當受期望或對任何給定或特定的發明有利時，這種特徵可與其他實施例的一或多個其他特徵結合。

【符號說明】

【0059】

- 100: 半導體配置
- 102: 支持中間物
- 104,122: 介電層
- 104a,122a: 第一部分
- 104b,122b: 第二部分
- 104c,122c: 第一側壁
- 104d,122d: 第二側壁
- 106,124: 光阻
- 106a,124a: 第一部分
- 106b,124b: 第二部分
- 108: 開口
- 110,116,128: 凹部
- 112,118,121,127,130: 寬度
- 113,119,125: 深度
- 114: 第一導體層
- 120: 第二導體層
- 120a: 金屬蓋
- 123,129: 厚度
- 132: 第三導體層
- 132a: 金屬接觸件

【發明申請專利範圍】

【請求項1】 一種半導體配置的製造方法，包括：

移除一第一介電層的一部分，以形成一第一凹部，該第一凹部由該第一介電層的一第一側壁與該第一介電層的一第二側壁所定義；

在該第一凹部形成一第一導體層；

移除該第一導體層的一部分，以形成一第二凹部，該第二凹部由該第一介電層的該第一側壁與該第一介電層的該第二側壁所定義；

在該第二凹部形成一第二導體層，其中該第二導體層接觸該第一導體層；

在該第二導體層的上方形成一第二介電層；

移除該第二介電層的一部分，以形成一第三凹部，該第三凹部由該第二介電層的一第一側壁與該第二介電層的一第二側壁所定義，其中經由該第三凹部暴露該第二導體層；以及

在該第三凹部形成一第三導體層，其中該第三導體層接觸該第二導體層。

【請求項2】 如請求項1之半導體配置的製造方法，其中該第一導體層包括鈷。

【請求項3】 如請求項1之半導體配置的製造方法，其中該第二導體層包括錫。

【請求項4】 如請求項1之半導體配置的製造方法，其中該第二介電層覆於該第二導體層上。

【請求項5】 如請求項1之半導體配置的製造方法，其中該第二介電層接觸該第一介電層，以定義出一界面。

【請求項6】 如請求項1之半導體配置的製造方法，其中移除該第一介電層的

該部分、移除該第一導體層的該部分或移除該第二介電層的該部分中的至少一個，包括施行一蝕刻製程。

【請求項7】 如請求項6之半導體配置的製造方法，其中施行該蝕刻製程包括利用一化學蝕刻劑。

【請求項8】 如請求項1之半導體配置的製造方法，其中該第一導體層具有一第一寬度、該第二導體層具有一第二寬度、該第三導體層具有一第三寬度，該第三寬度小於該第一寬度或該第二寬度中的至少一個。

【請求項9】 如請求項1之半導體配置的製造方法，其中該第一導體層與該第二導體層包括不同材料。

【請求項10】 一種半導體配置，包括：

一第一導體層，在一第一介電層的一第一側壁與該第一介電層的一第二側壁之間，其中該第一導體層具有一第一寬度；

一第二導體層，在該第一介電層的該第一側壁與該第一介電層的該第二側壁之間，並接觸該第一導體層，其中該第二導體層具有一第二寬度；以及

一第三導體層，接觸該第二導體層並在一第二介電層的一第一側壁與該第二介電層的一第二側壁之間，其中該第三導體層具有一第三寬度，該第三寬度小於該第一寬度或該第二寬度中的至少一個。

【請求項11】 如請求項10之半導體配置，其中該第一導體層接觸該第一介電層的該第一側壁與該第一介電層的該第二側壁。

【請求項12】 如請求項10之半導體配置，其中該第二導體層接觸該第一介電層的該第一側壁與該第一介電層的該第二側壁。

【請求項13】 如請求項10之半導體配置，其中該第二介電層接觸該第二導體

層。

【請求項14】 如請求項10之半導體配置，其中該第二寬度等於該第一寬度。

【請求項15】 如請求項10之半導體配置，其中該第三導體層接觸該第二介電層的該第一側壁與該第二介電層的該第二側壁。

【請求項16】 一種半導體配置的製造方法，包括：

形成一第一導體層，使其具有一第一材料組成及一第一寬度；

形成一第二導體層，使其具有一第二材料組成及一第二寬度，其中該第二導體層在該第一導體層的上方並接觸該第一導體層，且該第二材料組成不同於該第一材料組成；以及

形成一第三導體層，使其具有一第三材料組成及一第三寬度，其中該第三導體層在該第二導體層的上方並接觸該第二導體層，且該第三寬度小於該第一寬度或該第二寬度中的至少一個。

【請求項17】 如請求項16之半導體配置的製造方法，其中

形成該第一導體層包括在一第一凹部形成該第一導體層，該第一凹部由一第一介電層的一第一側壁與該第一介電層的一第二側壁所定義；以及

形成該第二導體層包括在一第二凹部形成該第二導體層，該第二凹部由該第一介電層的該第一側壁與該第一介電層的該第二側壁所定義。

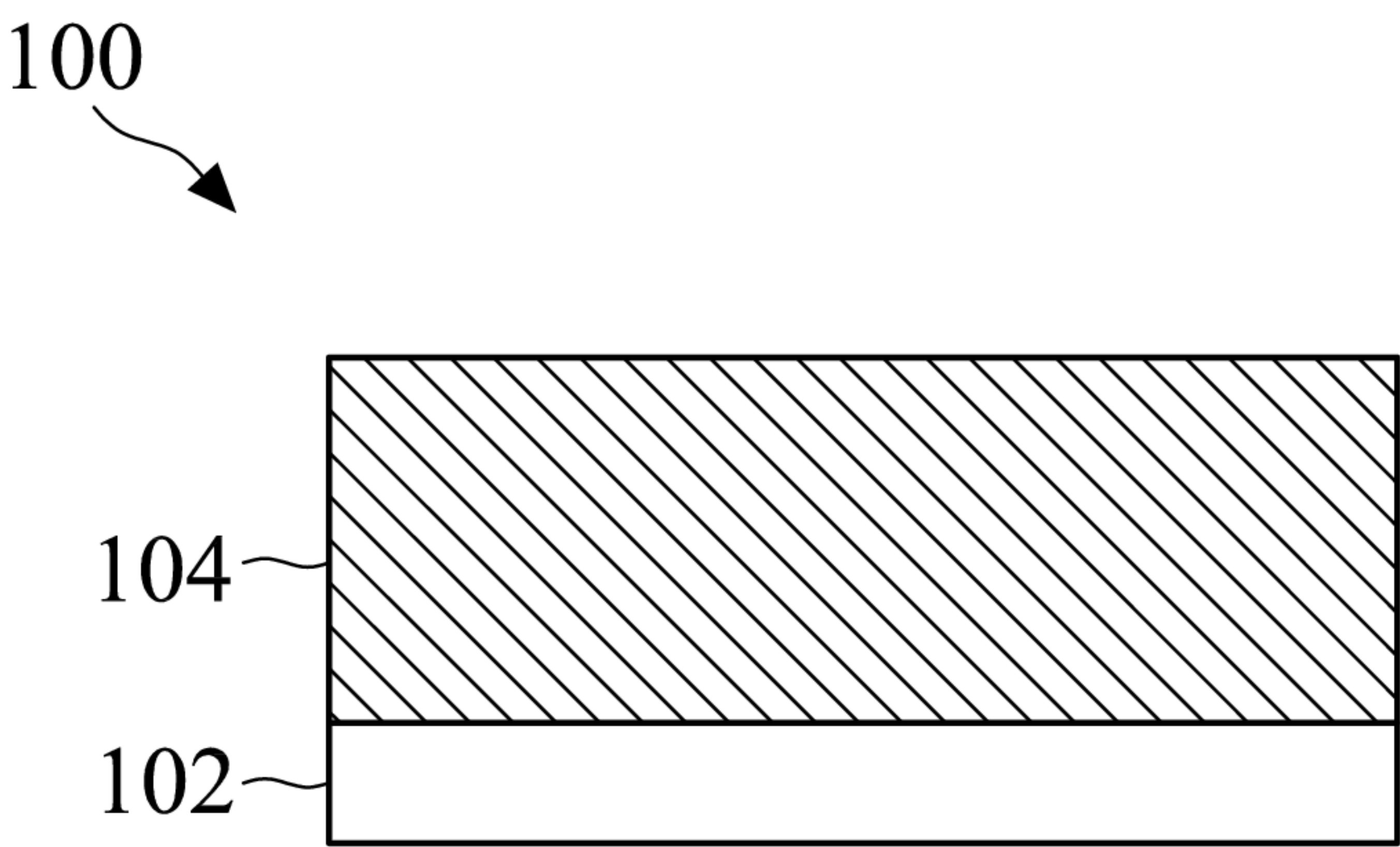
【請求項18】 如請求項17之半導體配置的製造方法，其中形成該第三導體層包括在一第三凹部形成該第三導體層，該第三凹部由一第二介電層的一第一側壁與該第二介電層的一第二側壁所定義。

【請求項19】 如請求項18之半導體配置的製造方法，其中

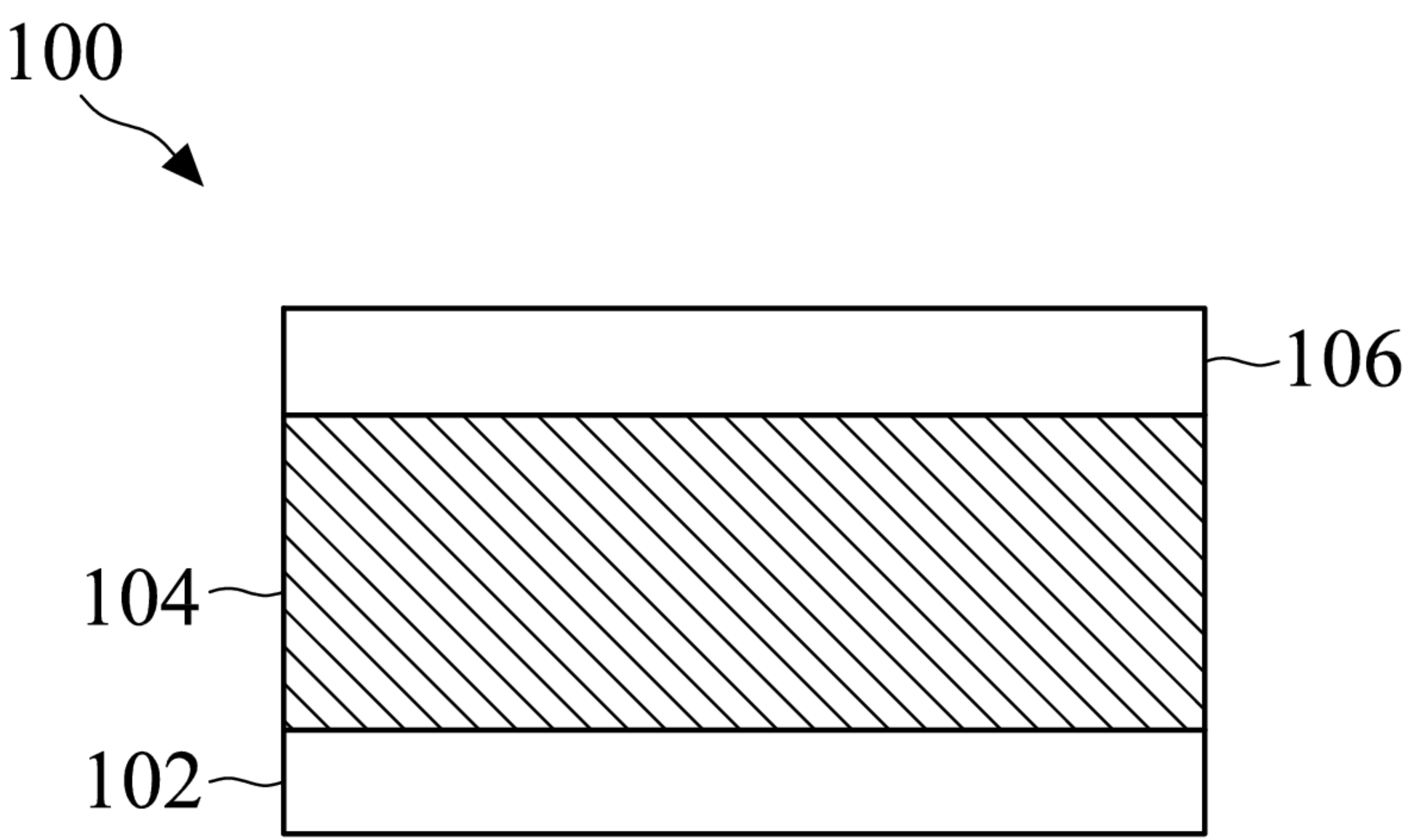
該第二介電層的一底表面接觸該第二介電層的一頂表面。

【請求項20】 如請求項18之半導體配置的製造方法，其中該第二介電層的一底表面接觸該第二導電層的一頂表面。

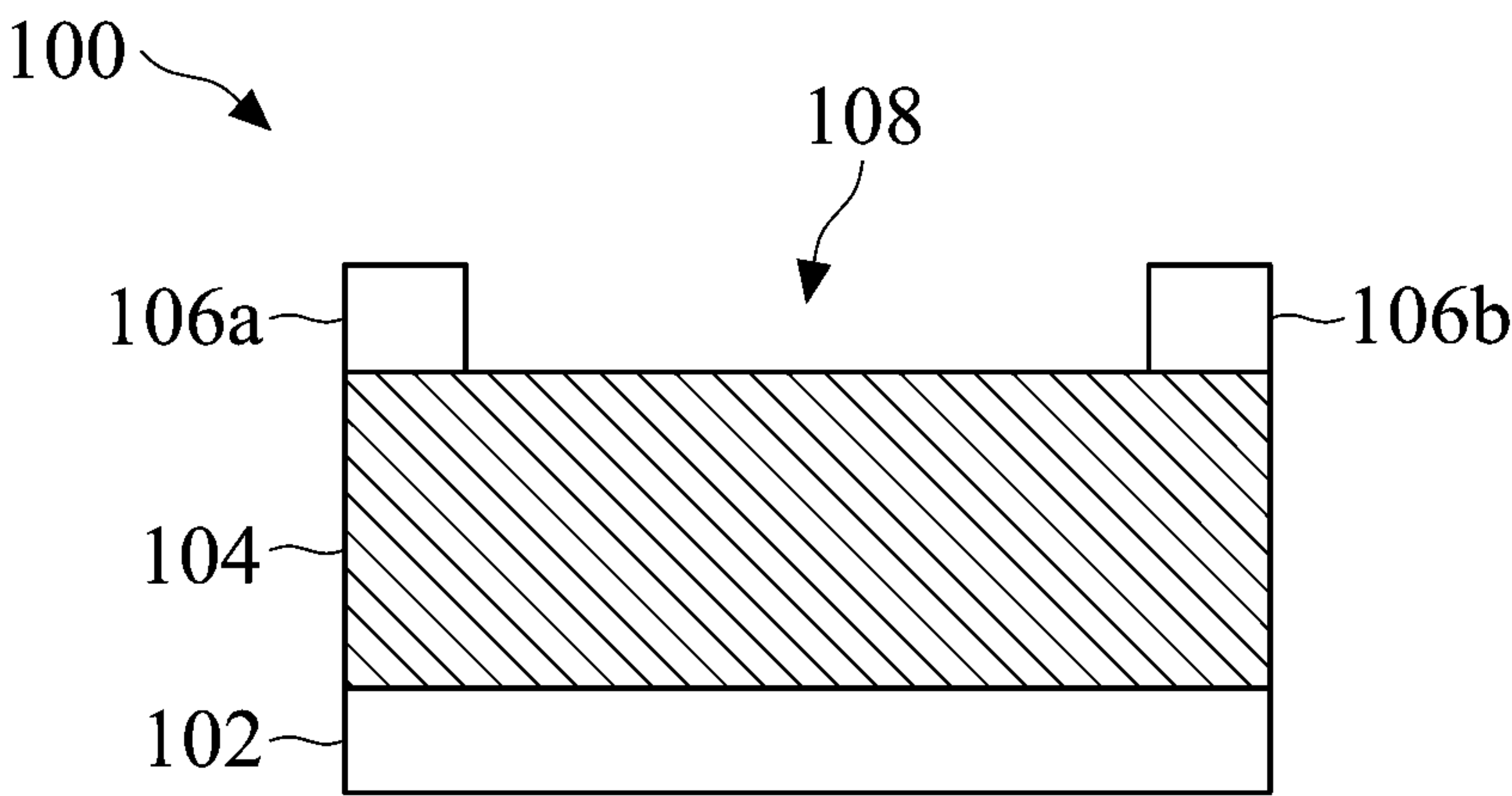
【發明圖式】



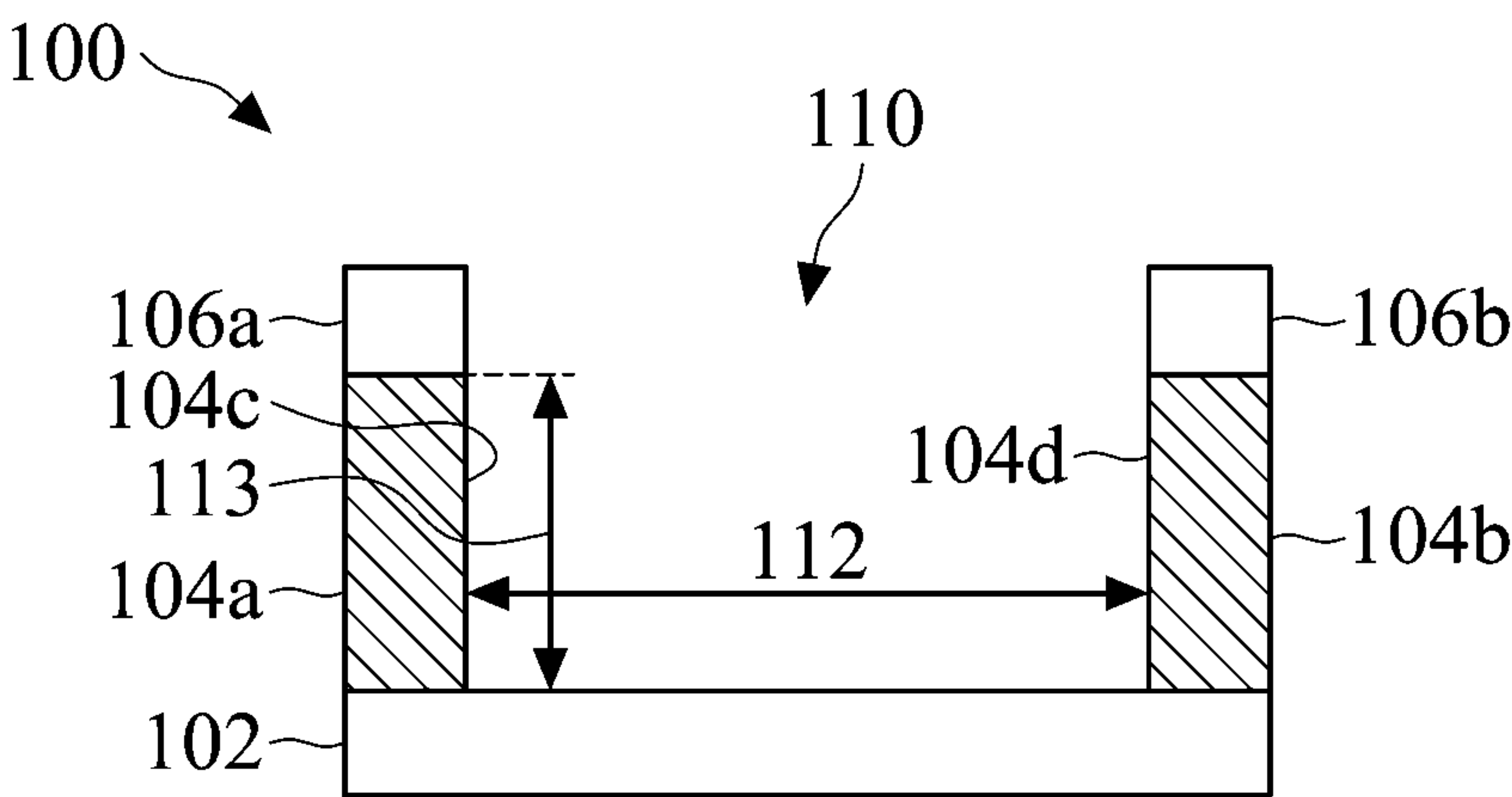
第 1 圖



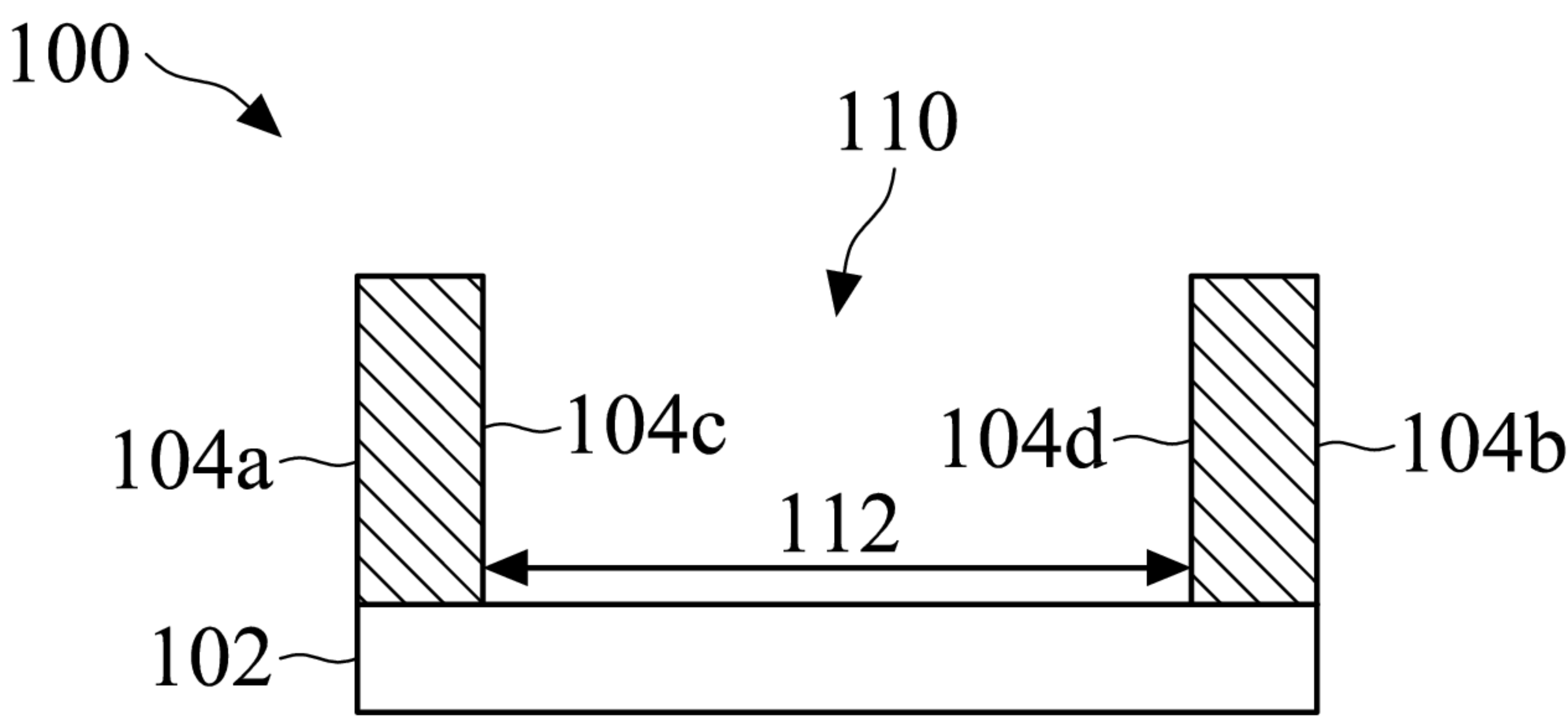
第 2 圖



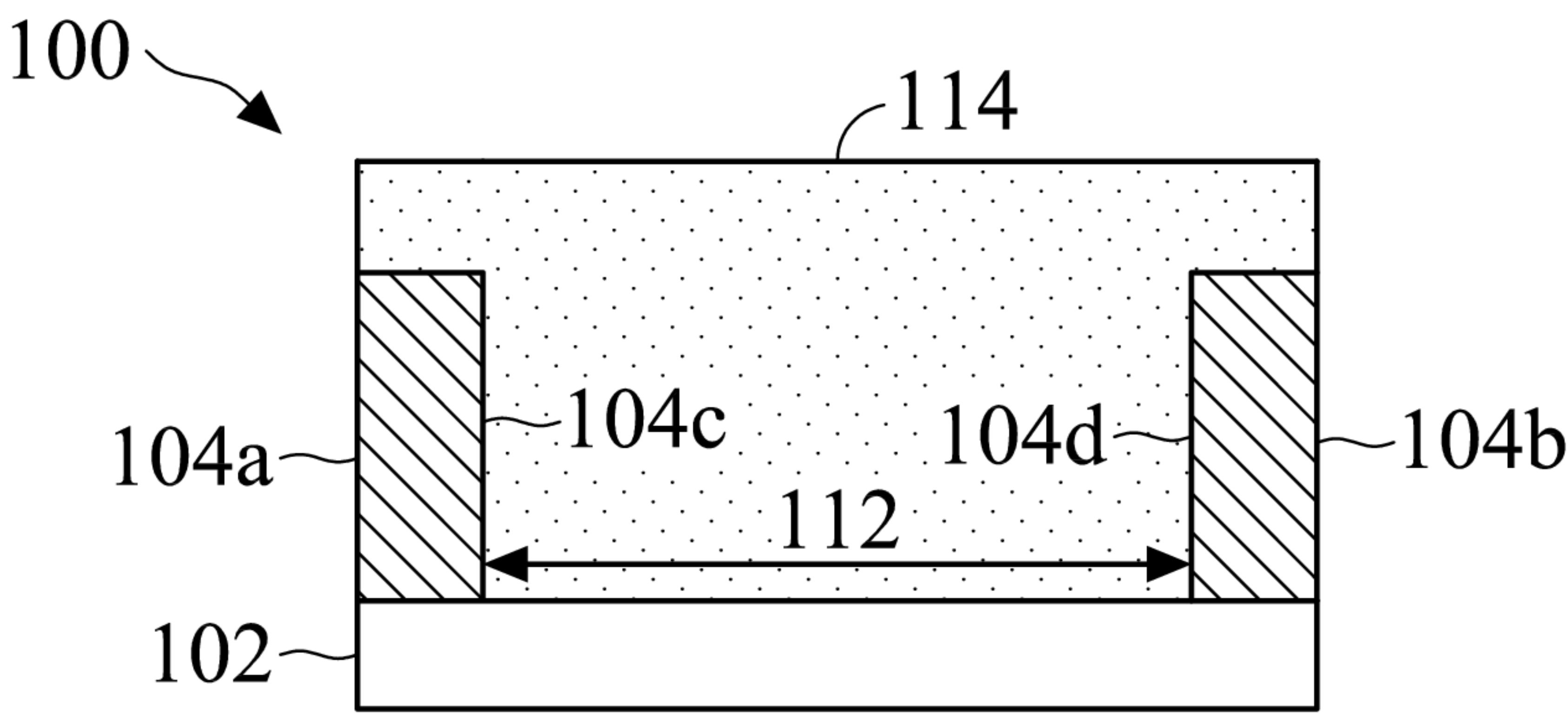
第 3 圖



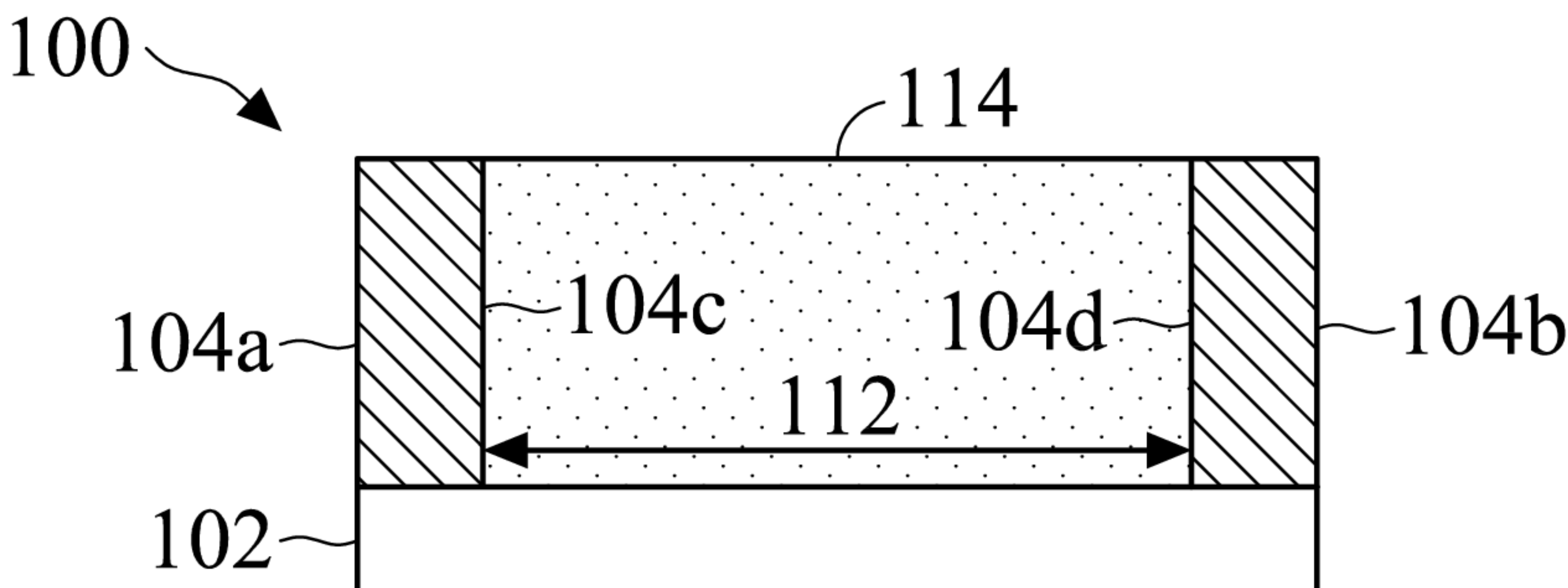
第 4 圖



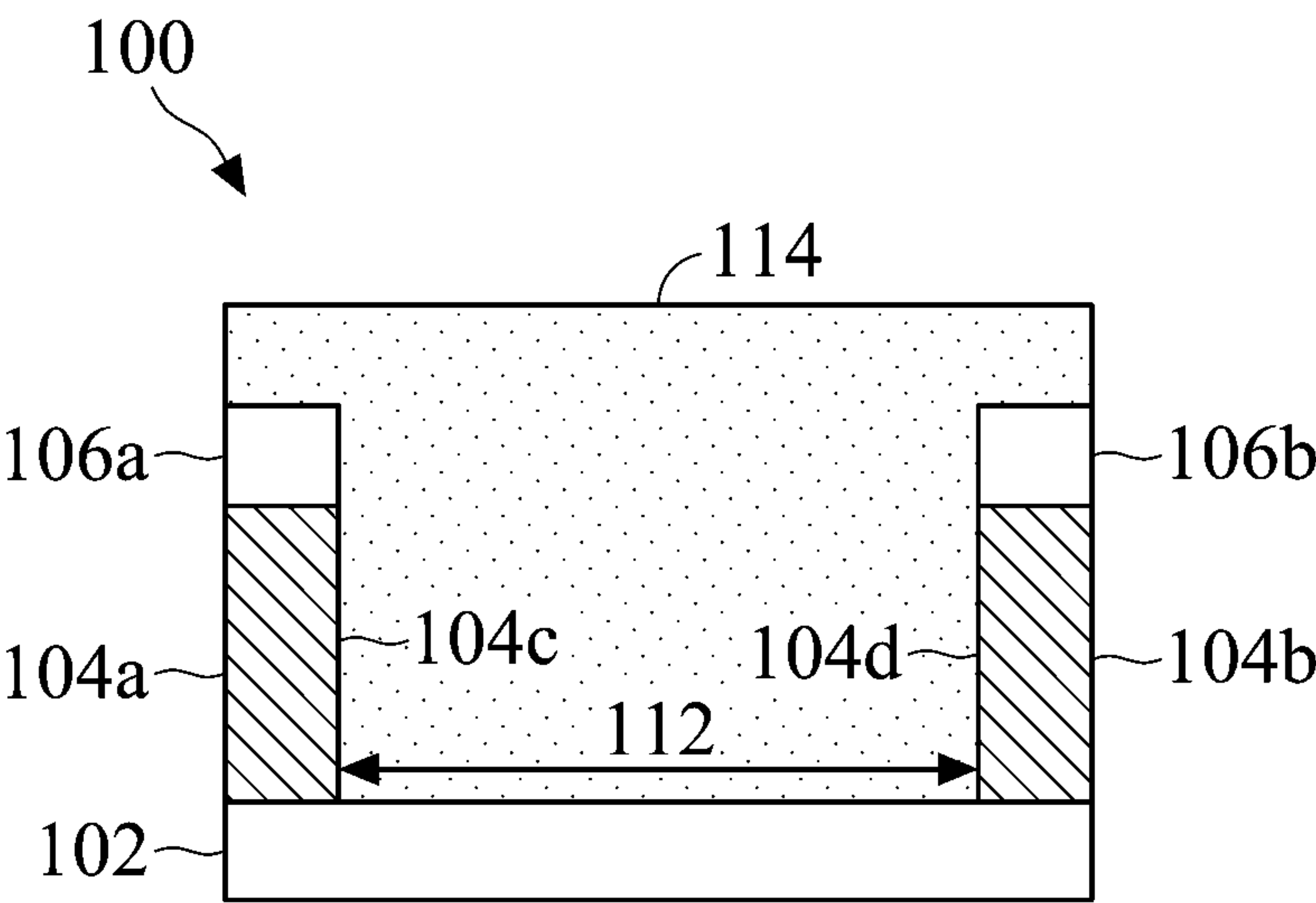
第 5 圖



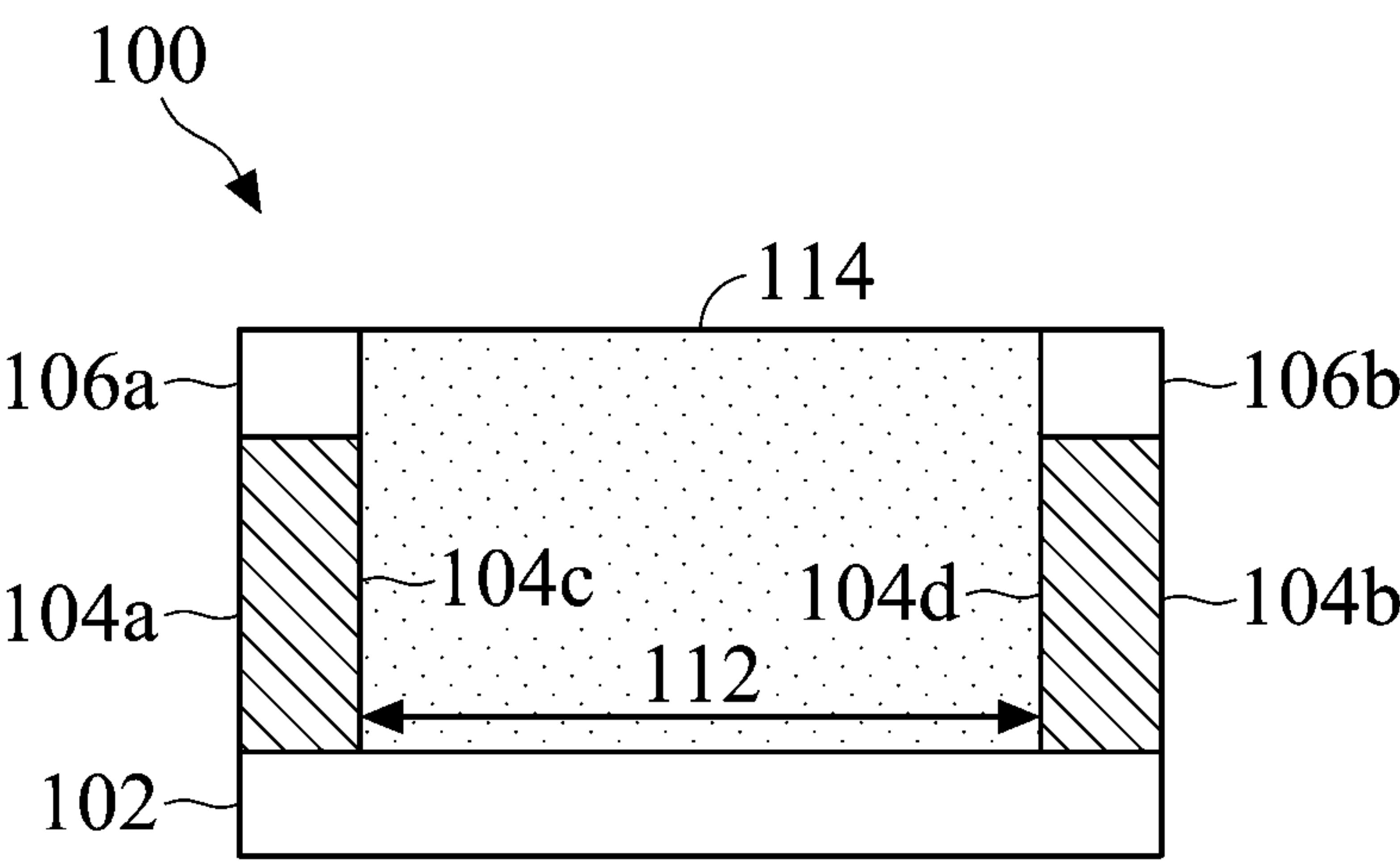
第 6 圖



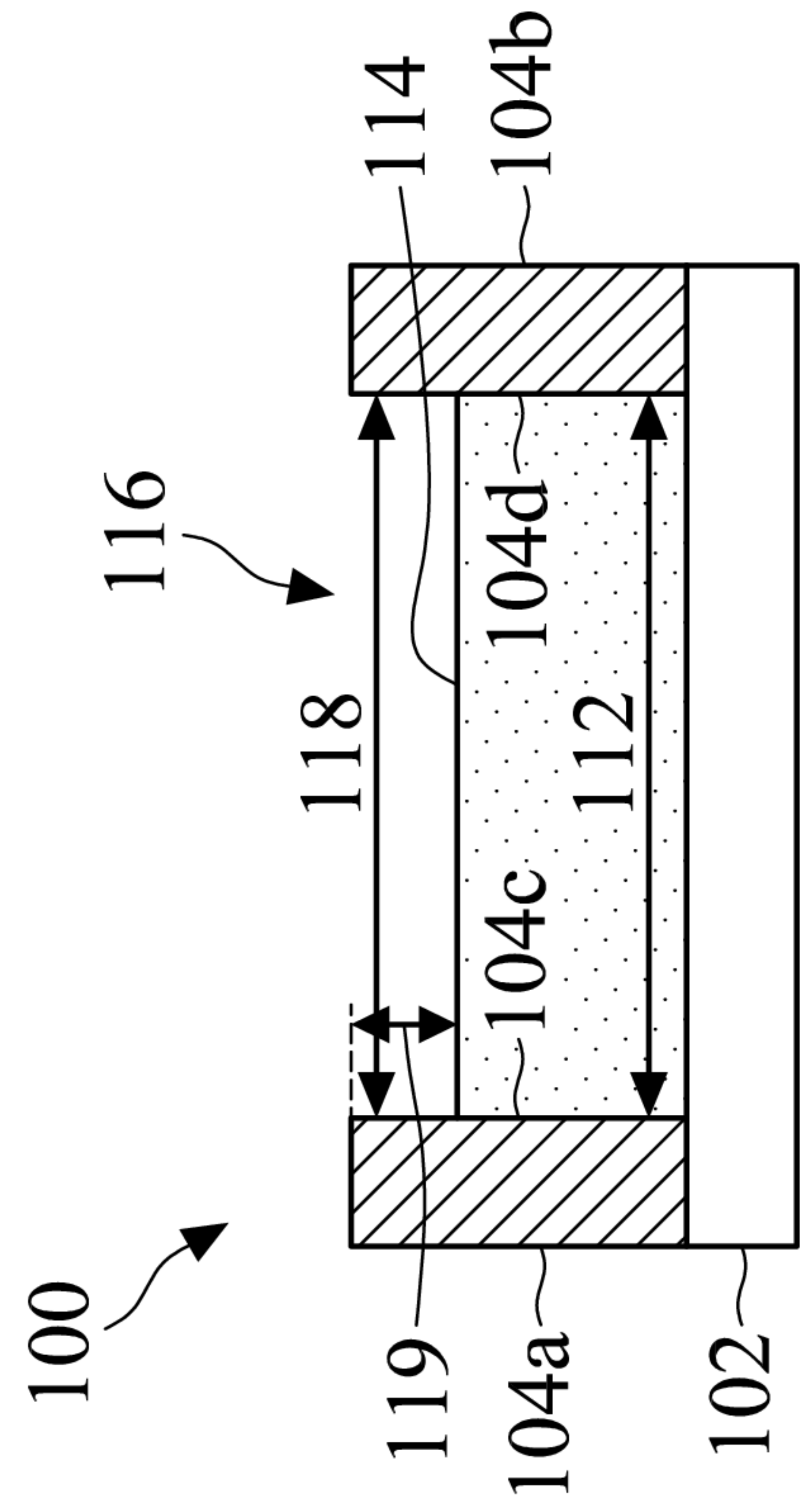
第 7 圖



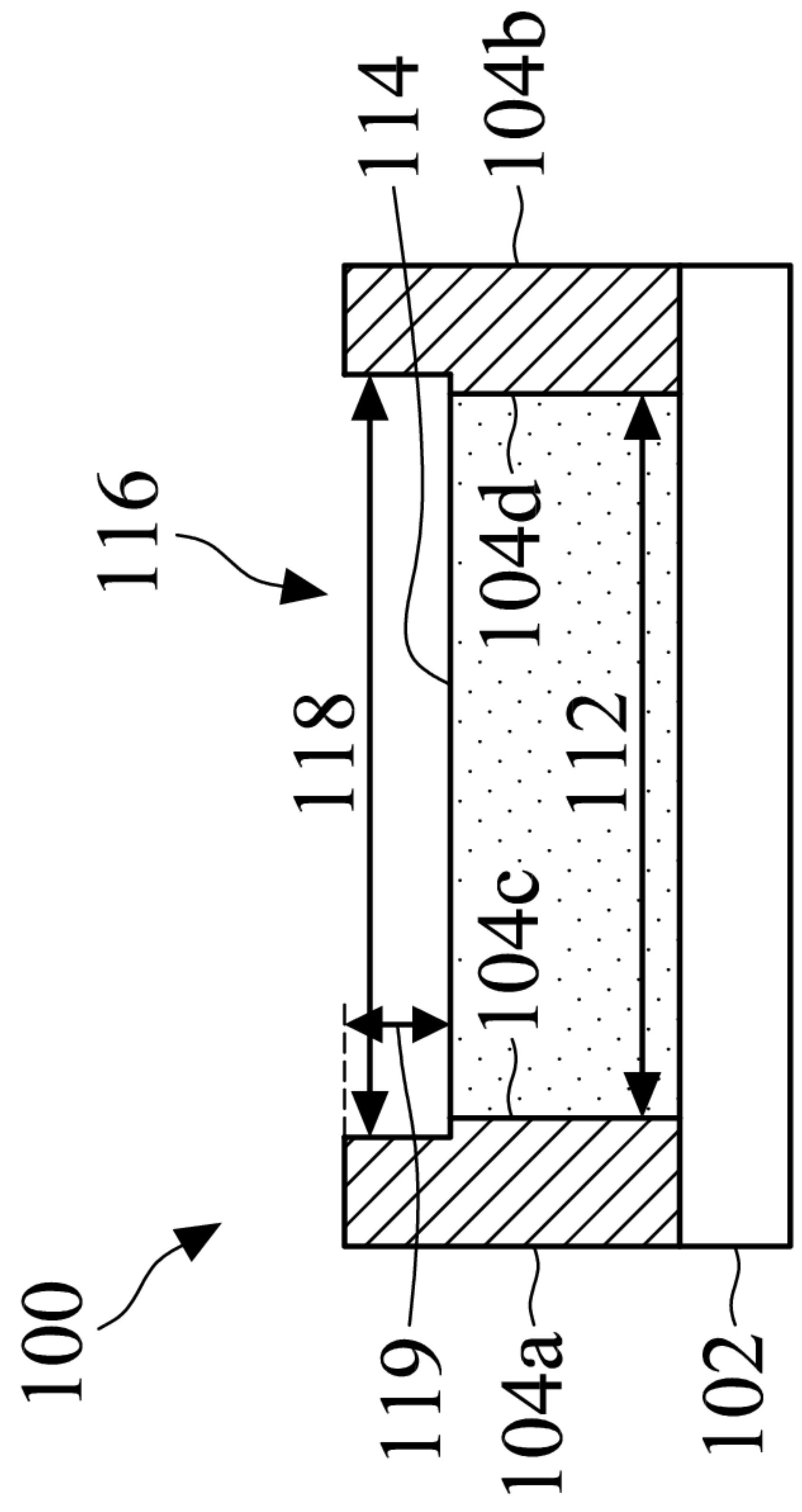
第 8 圖



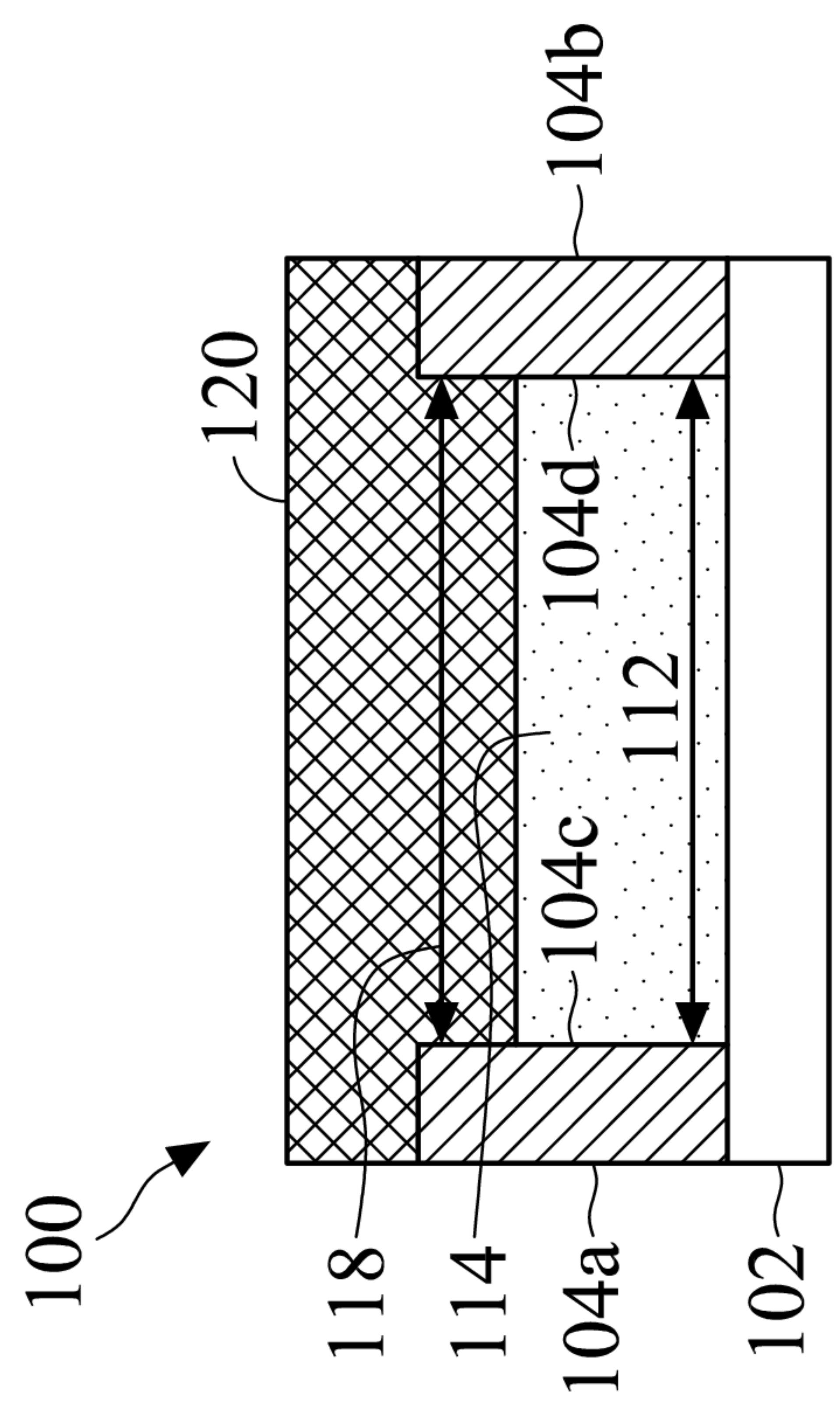
第 9 圖



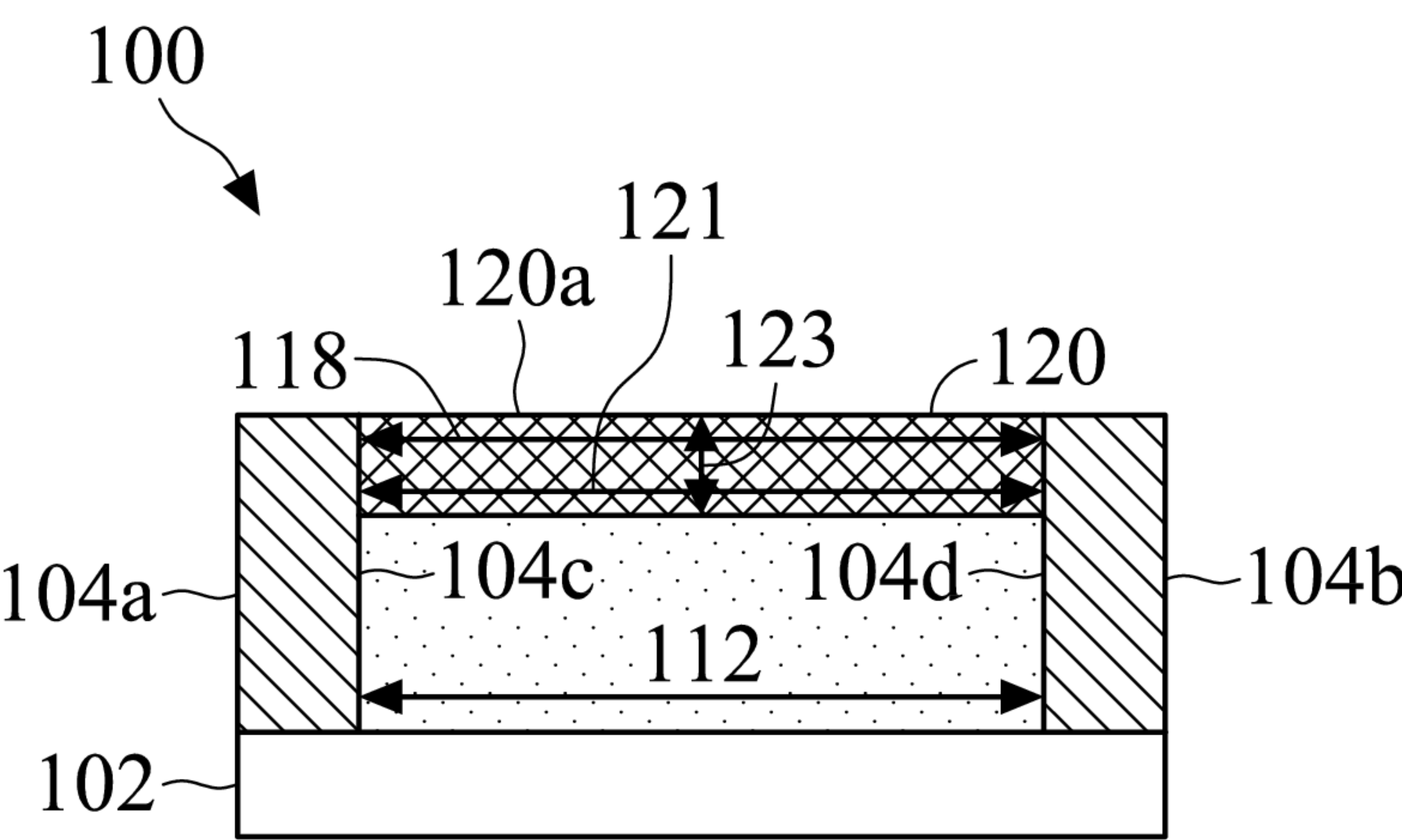
第 10 圖



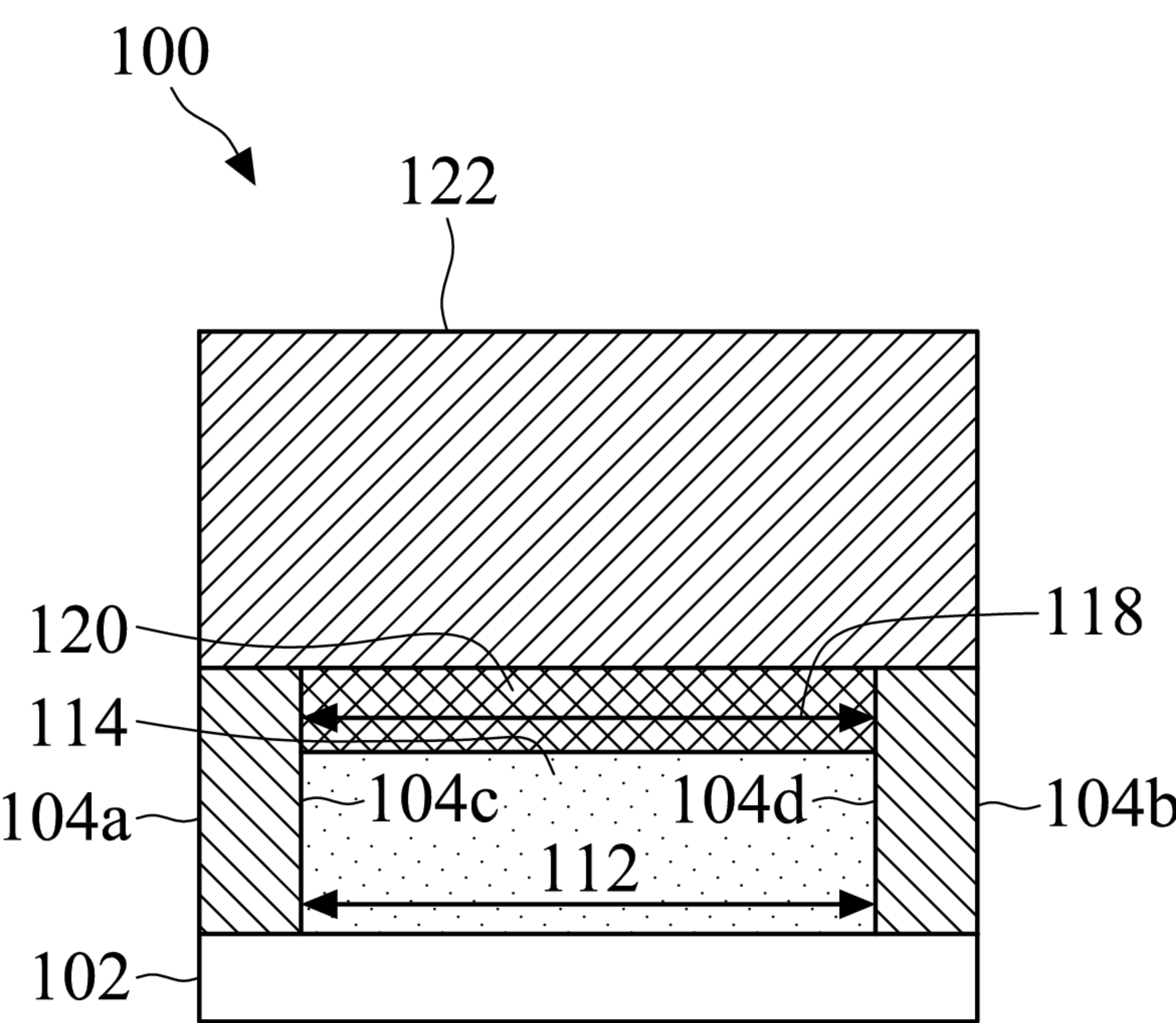
第 11 圖



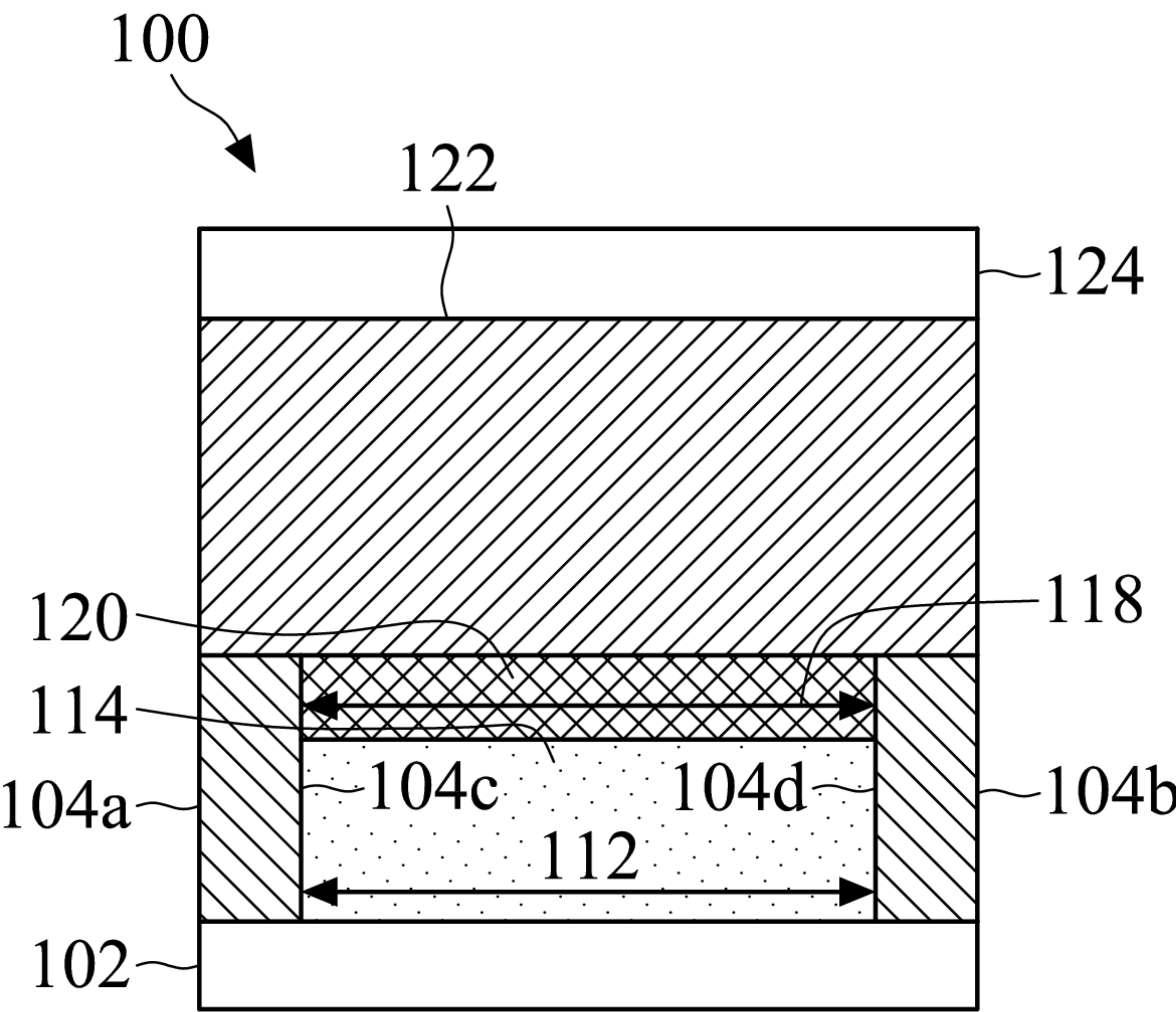
第 12 圖



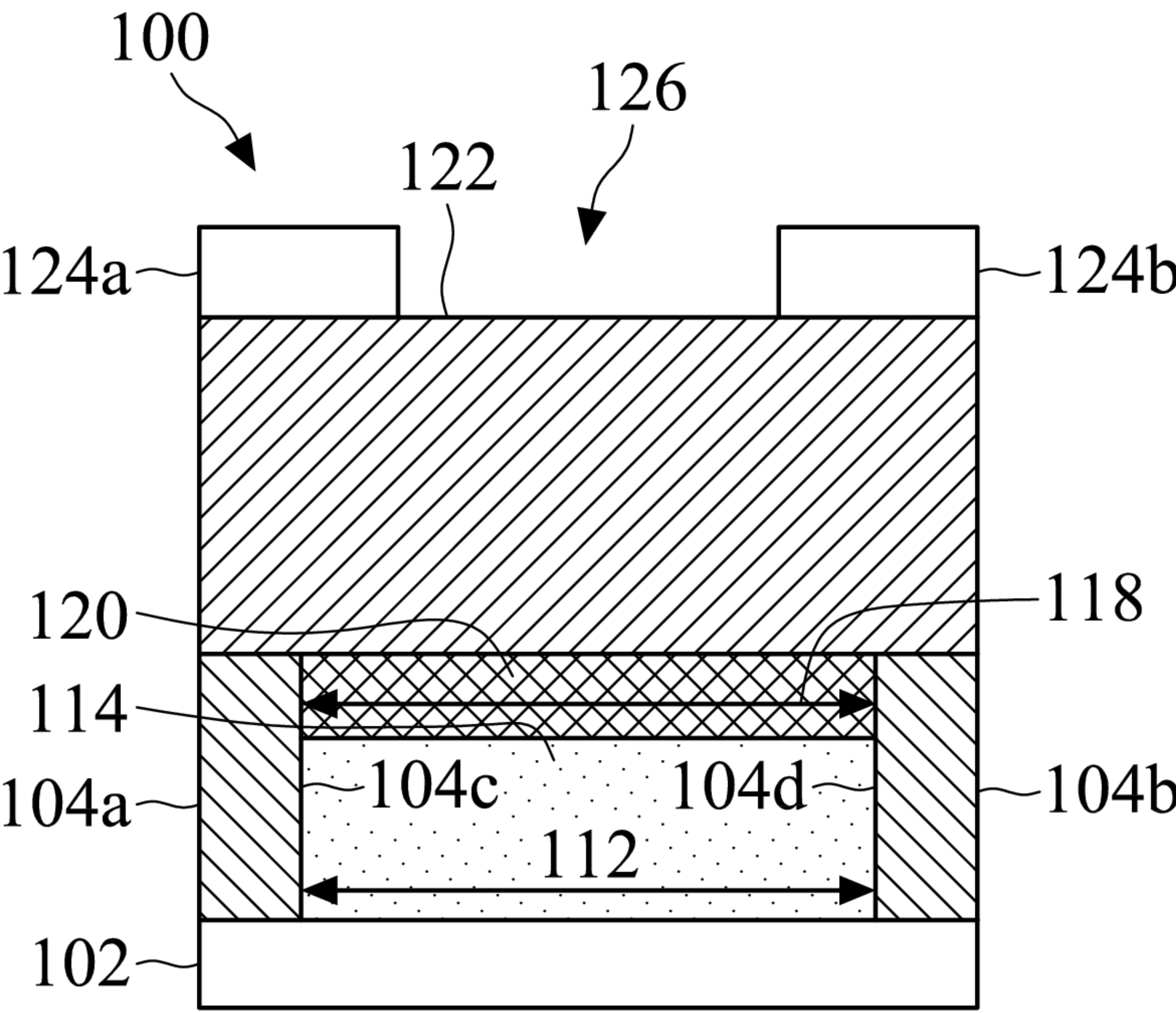
第 13 圖



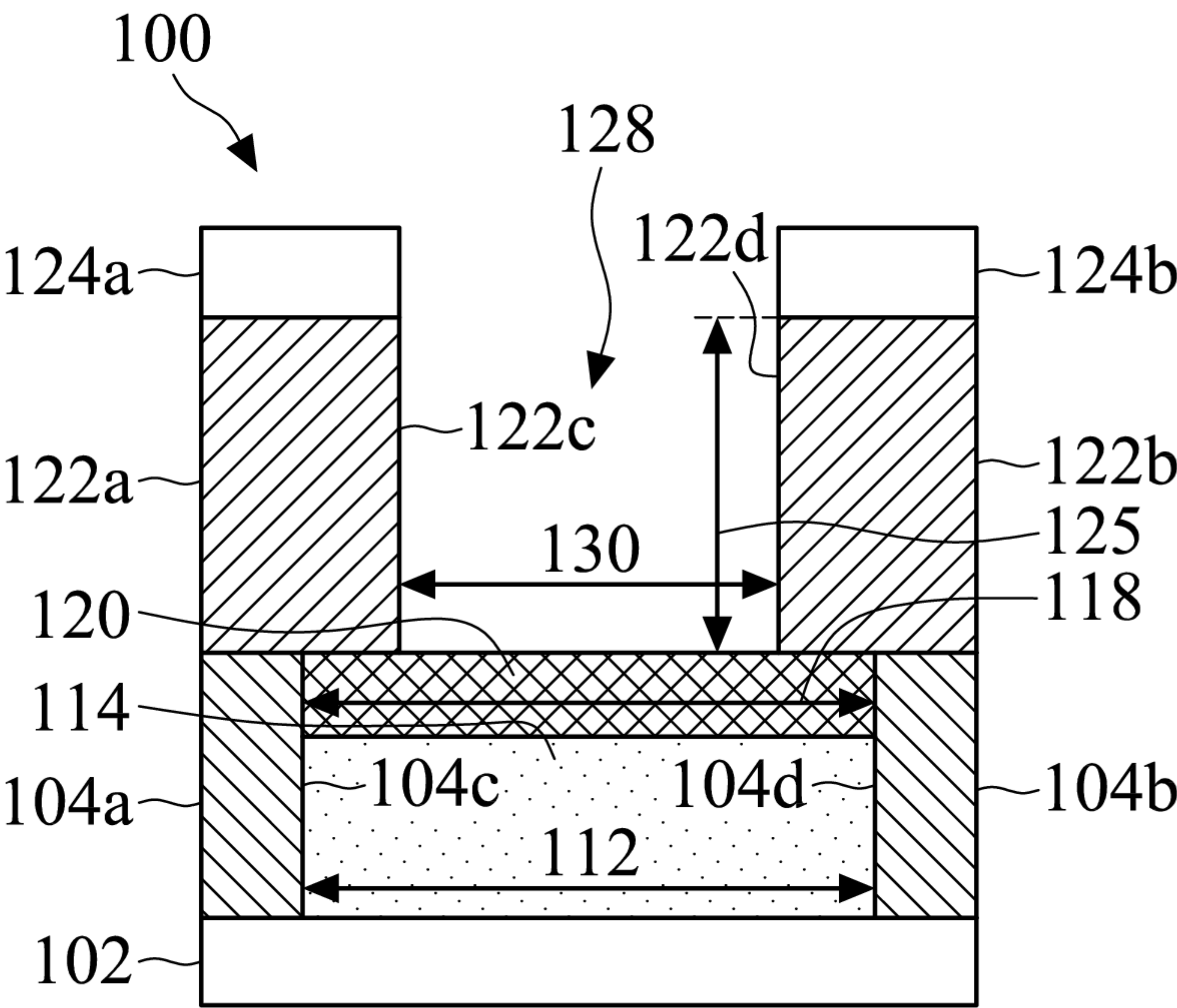
第 14 圖



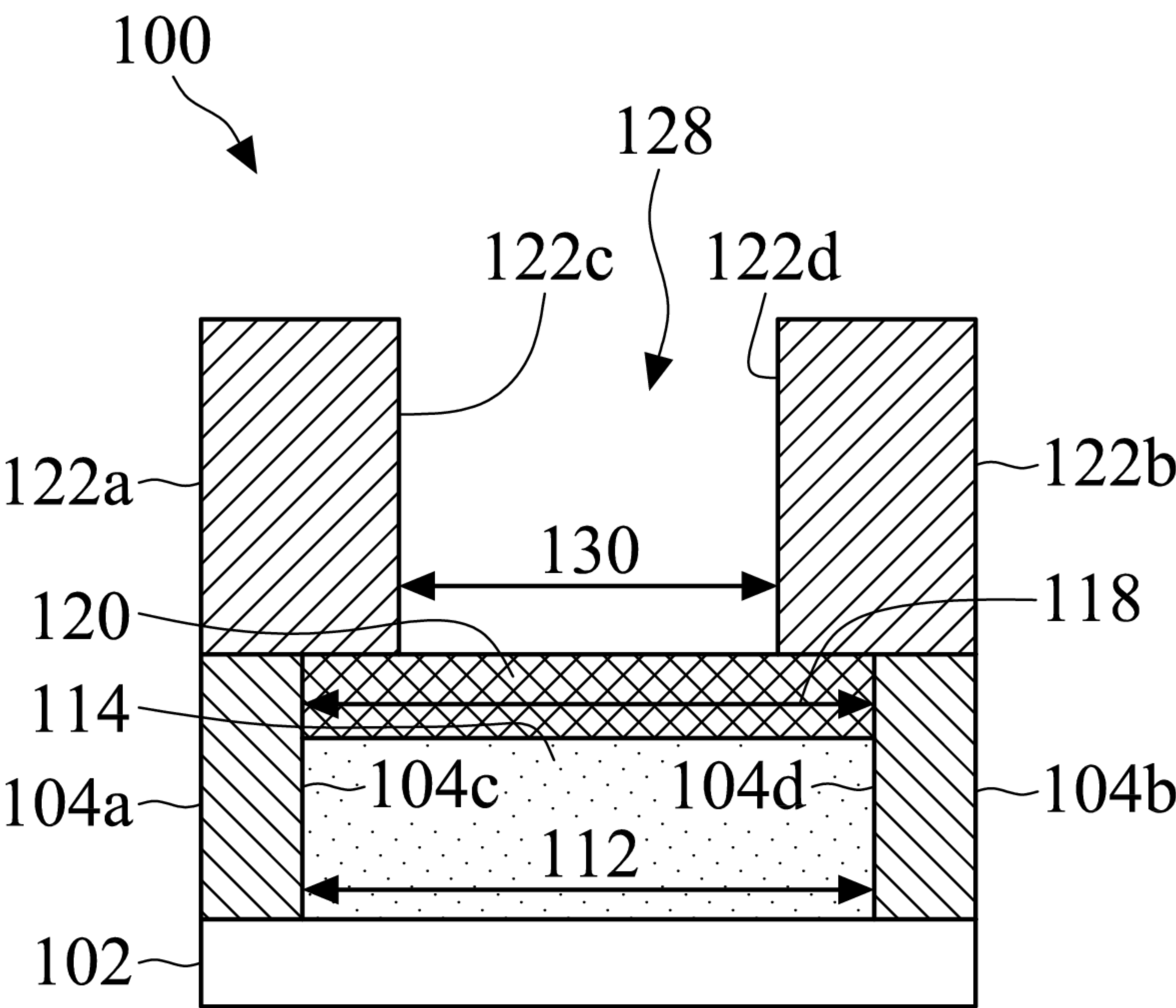
第 15 圖



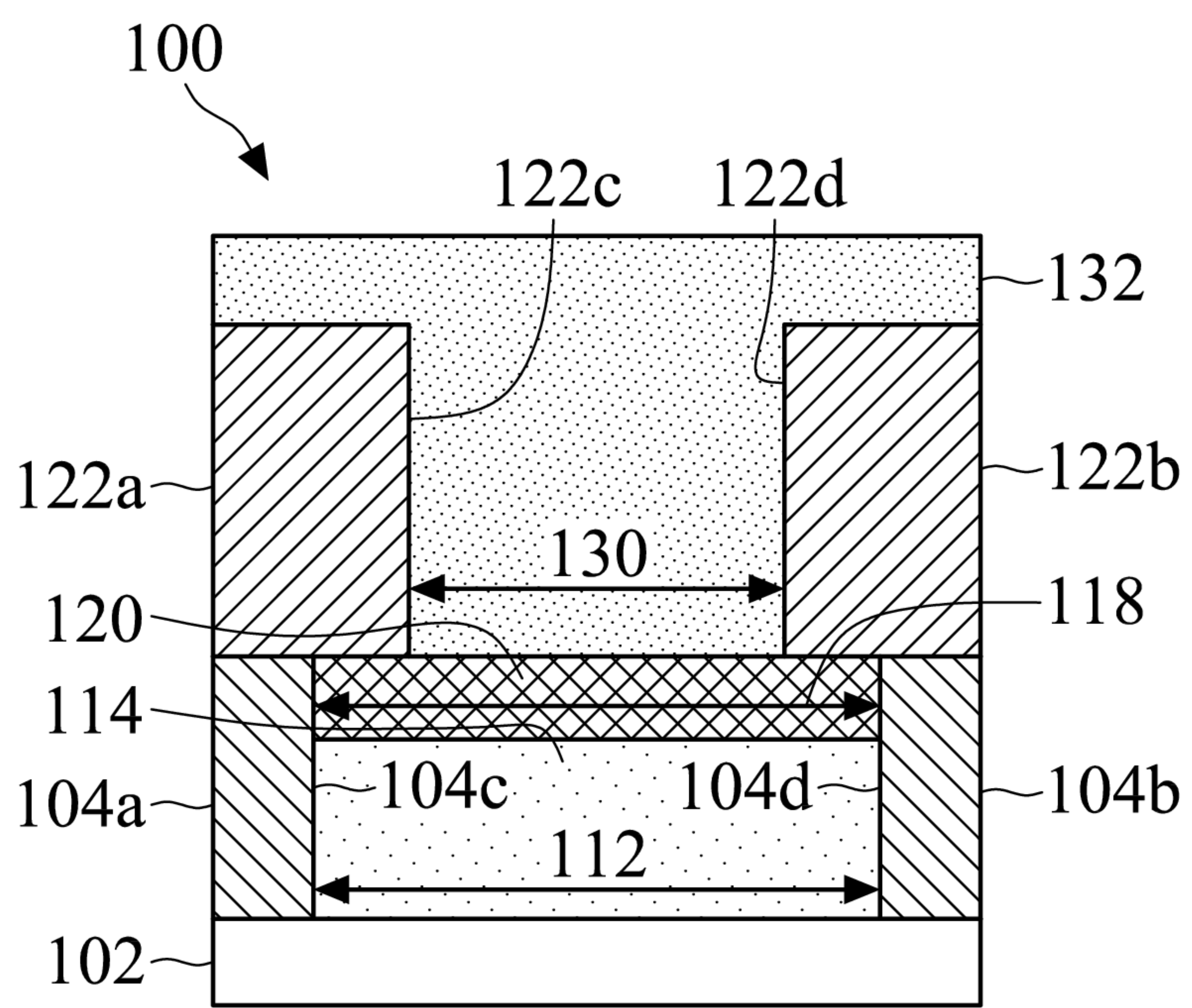
第 16 圖



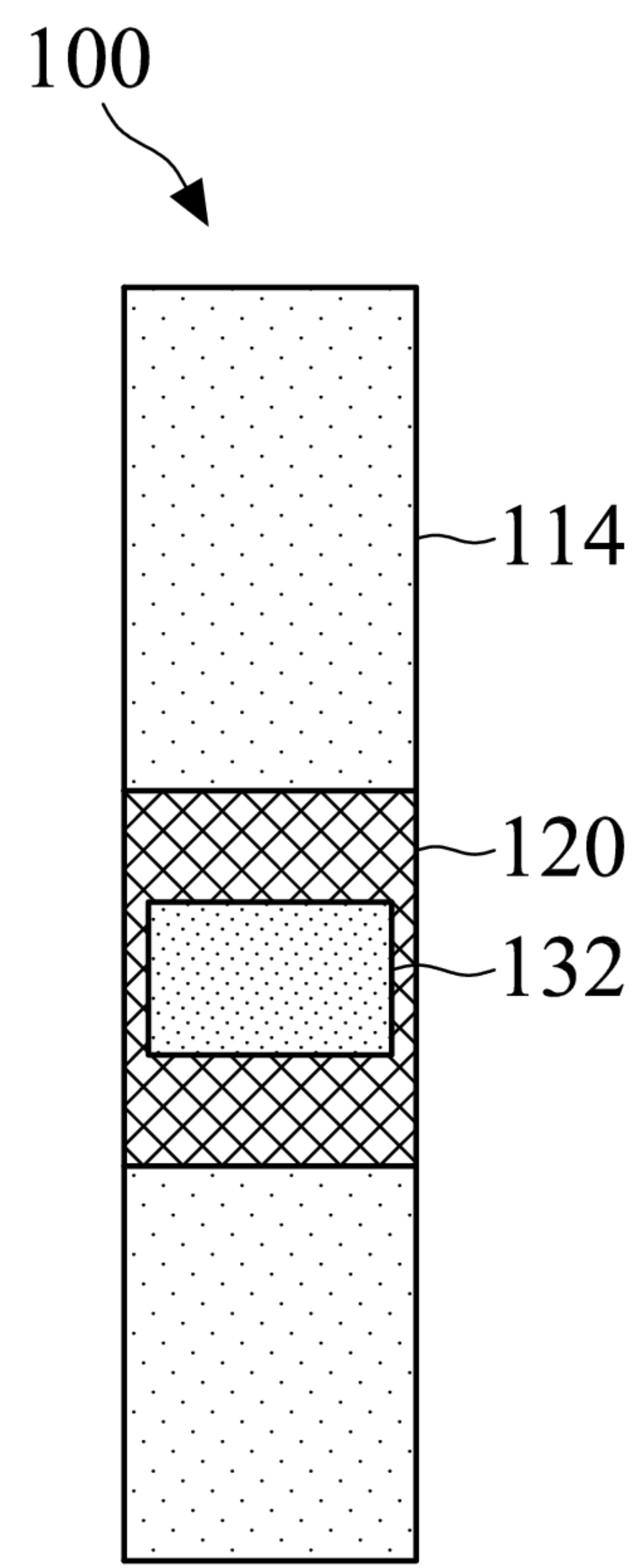
第 17 圖



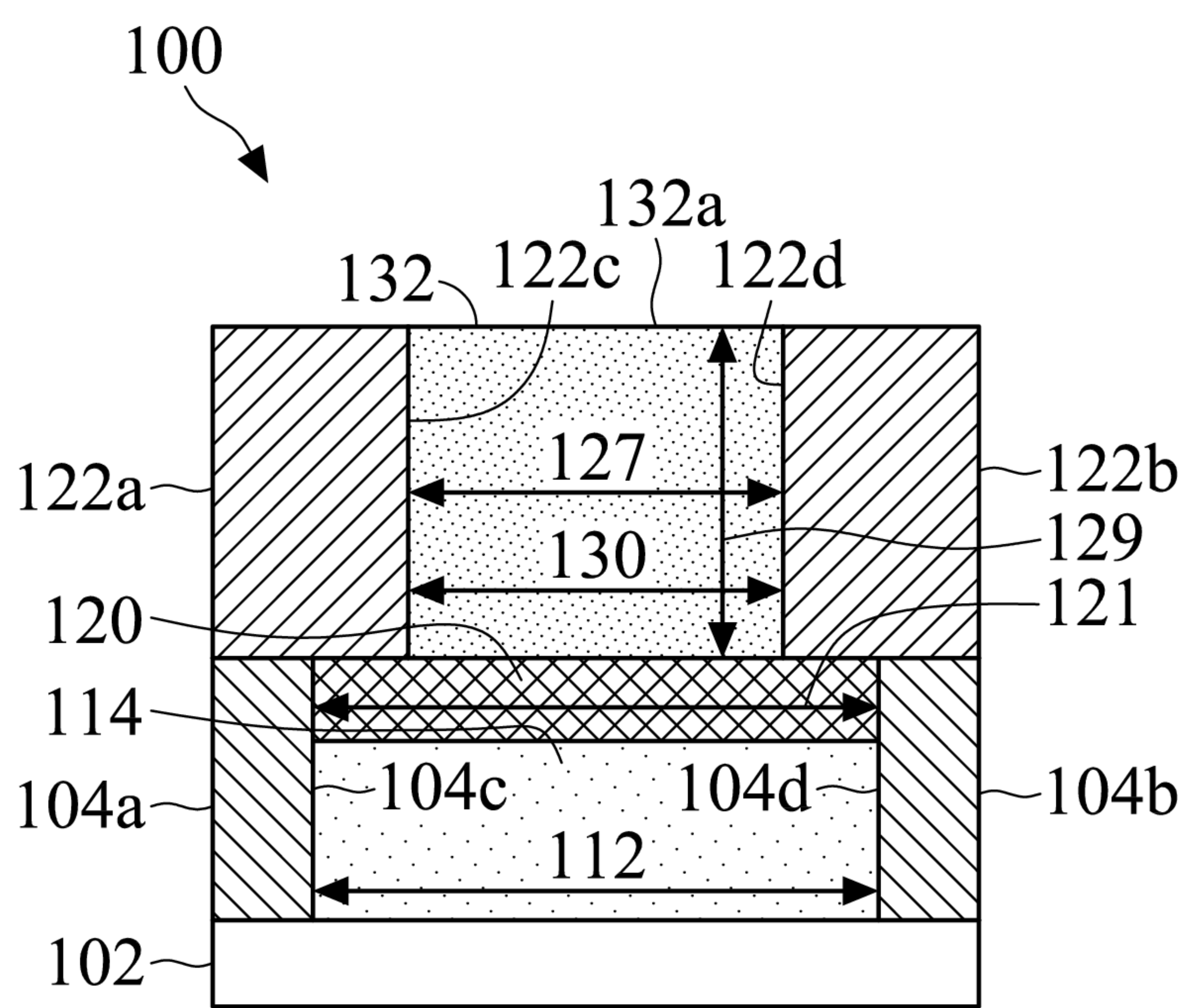
第 18 圖



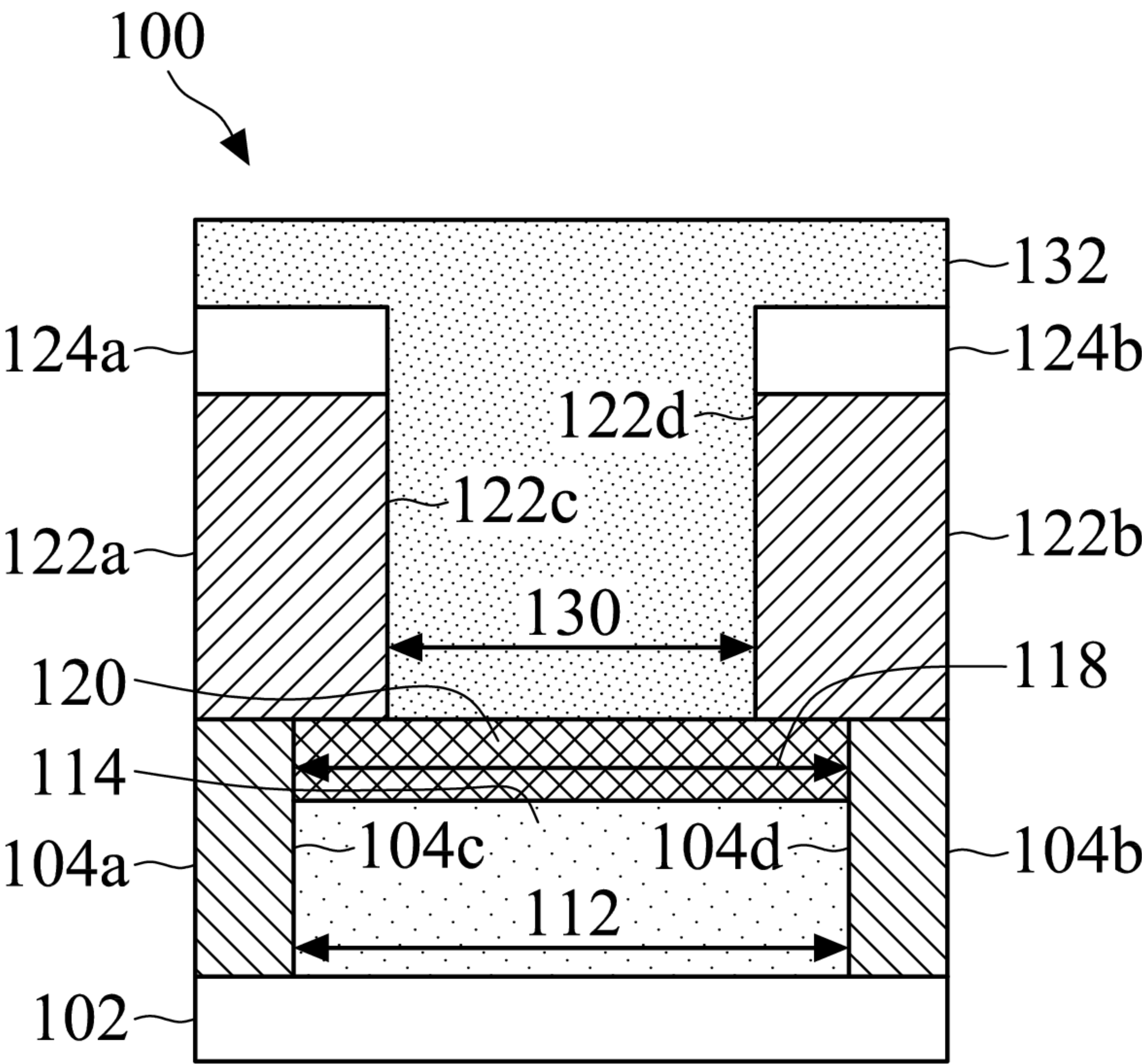
第 19 圖



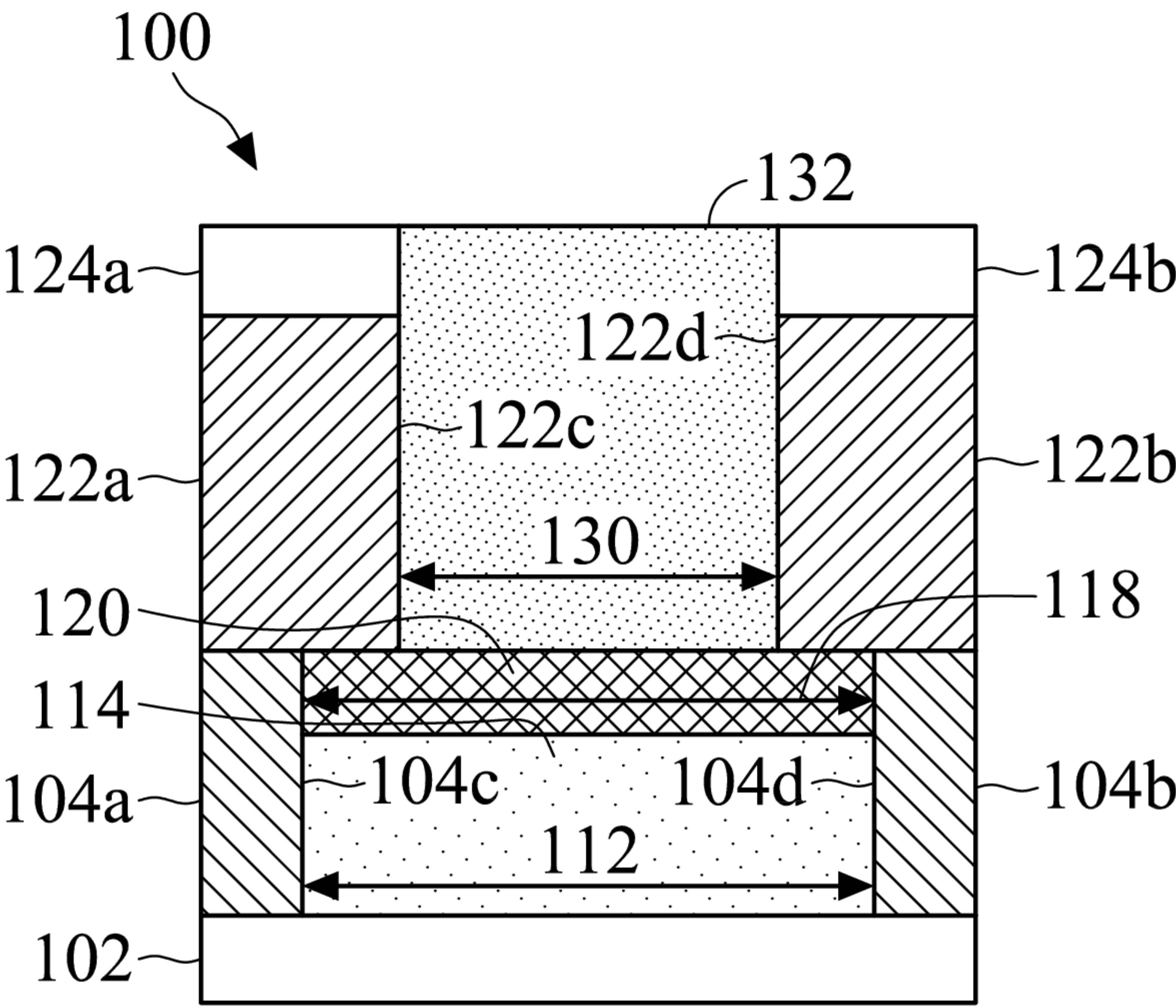
第 23 圖



第 20 圖



第 21 圖



第 22 圖

【發明說明書】

【中文發明名稱】 半導體配置及其製造方法

【英文發明名稱】 SEMICONDUCTOR ARRANGEMENT AND METHOD FOR
MAKING

【技術領域】

【0001】 本發明實施例是關於半導體製程技術，特別是關於半導體配置及其製造方法。

【先前技術】

【0002】 在半導體製造的過程中，不同的導體層彼此連接，以建立一半導體結構。連接不同的導體層的技術之一，是使用一或多個金屬接觸物來將二或多個導體層彼此連接。

【發明內容】

【0003】 一實施例是關於一種半導體配置的製造方法，其包括：移除一第一介電層的一部分，以形成一第一凹部，上述第一凹部由上述第一介電層的第一側壁與上述第一介電層的一第二側壁所定義；以及在上述第一凹部形成一第一導體層。上述方法亦包括：移除上述第一導體層的一部分，以形成一第二凹部，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義；以及在上述第二凹部形成一第二導體層，其中上述第二導體層接觸上述第一導體層。上述方法亦包括：在上述第二導體層的上方形成一

第二介電層；以及移除上述第二介電層的一部分，以形成一第三凹部，上述第三凹部由上述第二介電層的一第一側壁與上述第二介電層的一第二側壁所定義，其中經由上述第三凹部暴露上述第二導體層。上述方法亦包括：在上述第三凹部形成一第三導體層，其中上述第三導體層接觸上述第二導體層。

【0004】 另一實施例是關於一種半導體配置，其包括：一第一導體層，在第一介電層的一第一側壁與上述第一介電層的一第二側壁之間，其中上述第一導體層具有一第一寬度。上述半導體結構亦包括：一第二導體層，在上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁之間，並接觸上述第一導體層，其中上述第二導體層具有一第二寬度。上述半導體結構亦包括：一第三導體層，接觸上述第二導體層並在一第二介電層的一第一側壁與上述第二介電層的一第二側壁之間，其中上述第三導體層具有一第三寬度，上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【0005】 又另一實施例是關於一種半導體配置的製造方法，其包括：形成一第一導體層，使其具有一第一材料組成及一第一寬度；以及形成一第二導體層，使其具有一第二材料組成及一第二寬度，其中上述第二導體層在上述第一導體層的上方並接觸上述第一導體層，且上述第二材料組成不同於上述第一材料組成。上述方法亦包括：形成一第三導體層，使其具有一第三材料組成及一第三寬度，其中上述第三導體層在上述第二導體層的上方並接觸上述第二導體層，且上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【圖式簡單說明】

【0006】 根據以下的詳細說明並配合所附圖式做完整揭露。應注意的是，

根據本產業的一般作業，圖示並未必按照比例繪製。事實上，可能任意的放大或縮小元件的尺寸，以做清楚的說明。

第1圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第2圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第3圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第4圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第5圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第6圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第7圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第8圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第9圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第10圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第11圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第12圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第13圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第14圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面圖。

第15圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第16圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第17圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第18圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第19圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第20圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第21圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第22圖顯示根據一些實施例之在各個製造階段之一的半導體配置的剖面

圖。

第23圖顯示根據一些實施例之在一製造階段的半導體配置的俯視圖。

【實施方式】

【0007】 要瞭解的是，以下的揭露內容提供許多不同的實施例或範例以實現本發明實施例的不同構件。以下的揭露內容敘述各個構件及其排列方式的特定實施例或範例，以簡化本發明實施例的說明。當然，這些特定的範例並非用以限定。例如，元件的尺寸並非受限於所揭露的範圍或值，但可能依存於製程

條件及/或裝置所需求的性質。此外，若是本發明實施例敘述了一第一構件形成於一第二構件之上或上方，即表示其可能包括上述第一構件與上述第二構件是直接接觸的實施例，亦可能包括了有附加構件形成於上述第一構件與上述第二構件之間，而使上述第一構件與第二構件可能未直接接觸的實施例。為了簡潔，可能以任意的比例繪示各種構件。此外，本發明實施例可能會在各種實施例重複使用相同的元件符號。這樣的重複是為了敘述上的簡化與明確，而非意指所討論的不同實施例及/或結構之間的關係。

【0008】 此外，其與空間相關用詞。例如「在...下方」、「下方」、「較低的」、「上方」、「較高的」及類似的用詞，係為了便於描述圖示中一個元件或構件與另一個(些)元件或構件之間的關係。除了在圖式中繪示的方位外，這些空間相關用詞意欲包括使用中或操作中的裝置之不同方位。裝置可能被轉向不同方位(旋轉90度或其他方位)，則在此使用的空間相關詞也可依此相同解釋。

【0009】 一些實施例是關於一種半導體配置的製造方法，其包括：移除一第一介電層的一部分，以形成一第一凹部，上述第一凹部由上述第一介電層的一第一側壁與上述第一介電層的一第二側壁所定義；在上述第一凹部形成一第一導體層；移除上述第一導體層的一部分，以形成一第二凹部，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義；在上述第二凹部形成一第二導體層，其中上述第二導體層接觸上述第一導體層；在上述第二導體層的上方形成一第二介電層；移除上述第二介電層的一部分，以形成一第三凹部，上述第三凹部由上述第二介電層的一第一側壁與上述第二介電層的一第二側壁所定義，其中經由上述第三凹部暴露上述第二導體層；以及在上述第三凹部形成一第三導體層，其中上述第三導體層接觸上述第

二導體層。

【0010】 根據一些實施例，移除上述第一介電層的上述部分以形成上述第一凹部，結果得到一支持中間物的一相對均勻的上表面，在其上形成上述第一導體層。根據一些實施例，一相對均勻的上表面是具有以下性質中的至少一個的表面：實質上平滑、平坦、符合標準或無缺陷。根據一些實施例，在將上述第一導體層形成在上述支持中間物時的上方，藉由上述支持中間物的上述相對均勻的上表面，得到在上述支持中間物與上述第一導體層之間的一相對均勻的界面。根據一些實施例，藉由在上述支持中間物與上述第一導體層之間的上述相對均勻的界面，與具有較不均勻的界面的多層比較，對上述支持中間物與上述第一導體層造成一較低的電阻。根據一些實施例，藉由在上述支持中間物與上述第一導體層之間的上述相對均勻的界面，與具有較不均勻的界面的多層比較，對上述支持中間物與上述第一導體層造成一較低的電容值。根據一些實施例，藉由在上述支持中間物與上述第一導體層之間的上述相對均勻的界面，與具有較不均勻的界面的多層比較，對上述支持中間物與上述第一導體層造成一較低的阻容遲滯(RC delay)，其中阻容遲滯是用以測量作為電阻及電容的功能的訊號速度方面的遲滯的一度量(metric)。

【0011】 根據一些實施例，移除上述第一導體層的上述部分以形成上述第二凹部，結果得到上述第一導體層的一相對均勻的上表面，在其上形成上述第二導體層。根據一些實施例，在將上述第二導體層形成在上述第一導體層的上方時，藉由上述第一導體層的上述相對均勻的上表面，得到在上述第一導體層與上述第二導體層之間的一相對均勻的界面。根據一些實施例，藉由在上述第一導體層與上述第二導體層之間的上述相對均勻的界面，與具有較不均勻的界

面的複數個導體層比較，對上述第一導體層與上述第二導體層造成一較低的電阻。根據一些實施例，藉由在上述第一導體層與上述第二導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第一導體層與上述第二導體層造成一較低的電容值。根據一些實施例，藉由在上述第一導體層與上述第二導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第一導體層與上述第二導體層造成一較低的阻容遲滯。

【0012】 根據一些實施例，移除上述第二介電層的上述部分以經由上述第三凹部暴露上述第二導體層，結果得到上述第二介電層的一相對均勻的上表面，在其上形成上述第三導體層。根據一些實施例，在將上述第三導體層形成在上述第二介電層的上方時，藉由上述第二導體層的上述相對均勻的上表面，得到在上述第二導體層與上述第三導體層之間的一相對均勻的界面。根據一些實施例，藉由在上述第二導體層與上述第三導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第二導體層與上述第三導體層造成一較低的電阻。根據一些實施例，藉由在上述第二導體層與上述第三導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第二導體層與上述第三導體層造成一較低的電容值。根據一些實施例，藉由在上述第二導體層與上述第三導體層之間的上述相對均勻的界面，與具有較不均勻的界面的複數個導體層比較，對上述第二導體層與上述第三導體層造成一較低的阻容遲滯。

【0013】 根據一些實施例，上述第二導體層的一寬度大於上述第三導體層的一寬度，而使上述第三導體層接觸上述第二導體層但未接觸圍繞或相鄰於上

述第二導體層的上述第一介電層。根據一些實施例，與上述第三導體層接觸至少一些上述第一介電層的一配置比較，在上述第三導體層接觸上述第二導體層但未接觸上述第一介電層之處，減少了上述第二導體層與上述第三導體層相關的電阻。根據一些實施例，與上述第三導體層接觸至少一些上述第一介電層的一配置比較，在上述第三導體層接觸上述第二導體層但未接觸上述第一介電層之處，減少了上述第二導體層與上述第三導體層相關的電容值。根據一些實施例，與上述第三導體層接觸至少一些上述第一介電層的一配置比較，在上述第三導體層接觸上述第二導體層但未接觸上述第一介電層之處，減少了上述第二導體層與上述第三導體層相關的阻容遲滯。

【0014】 第1圖顯示根據一些實施例之半導體配置100，其包括一支持中間物102與一介電層104。在一些實施例中，支持中間物102的功能是作為一基礎(foundation)、基座(base)或工作臺(table)，以在製造的過程中支承各種層狀物。在一些實施例中，支持中間物102是一基板。根據一些實施例，支持中間物102是以玻璃形成。在一些實施例中，支持中間物102對光透明。在一些實施例中，支持中間物102是在紫外線(ultraviolet；UV)的波長對光透明。在一些實施例中，支持中間物102是一p型的半導體基底(P基底)。在一些實施例中，支持中間物102是一n型的半導體基底(N基底)。在一些實施例中，支持中間物102包括矽、鍺、碳化物、砷化物、鎵、砷、磷化物、銦、銻化物、SiGe、SiC、GaAs、GaP、InP、InAs、InSb、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP、GaInAsP或其他適當材料中的至少一個。在一些實施例中，支持中間物102包括至少一個摻雜區。根據一些實施例，支持中間物102包括一磊晶層、一絕緣體上覆矽(silicon-on-insulator；SOI)結構、一晶圓或由一晶圓形成的一晶粒(die)中的至少

一個。

【0015】 根據一些實施例，介電層104是形成在支持中間物102的上方。在一些實施例中，介電層104接觸支持中間物102的一頂表面。在一些實施例中，介電層104包括一聚合物、氧化物、聚苯并呋唑(polybenzobisoxazole；PBO)、聚醯亞胺(polyimide；PI)、金屬氮化物、矽、鍺、碳化物、鎵、砷化物、鍺、砷、銻、氧化矽、藍寶石、一埋入式氧化物(buried oxide；BOX)層、一高介電常數(high-k dielectric constant)材料、稀土元素氧化物、稀土元素氧化物的鋁酸物(aluminate of a rare earth oxide)、稀土元素氧化物的矽酸物(silicate of a rare earth oxide)、一磊晶層、一絕緣物上覆矽結構、一晶圓、由一晶圓形成的一晶粒、一被摻雜的磊晶層、一半導體層、一漸變的半導體層、複數個半導體層、複數個半導體層(其中的一或多層的半導體層與其他的半導體層為不同形式)或其他適當材料中的至少一個。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成介電層104。

【0016】 第2圖顯示根據一些實施例，將一光阻106形成在介電層104的上方。在一些實施例中，藉由旋轉塗佈法、噴灑塗佈法(spray coating)或其他可用

製程中的至少一個，來形成光阻106。

【0017】 第3圖顯示根據一些實施例，將光阻106圖形化而使其具有一開口108，開口108是由此光阻的一第一部分106a的一側壁與此光阻的一第二部分106b的一側壁所定義。在一些實施例中，光阻106包括一光敏材料，其中光阻106的例如溶解度等的性質是受到光的影響。光阻106是一負型光阻或一正型光阻。關於一負型光阻，此負型光阻的區域當受到一光源照射則變為不可溶，而使在一後續的顯影階段，對此負型光阻塗佈一溶劑而移除此負型光阻的未被照射的區域。因此，形成於此負型光阻的一圖案是由上述光源與上述負型光阻之間的一模板的不透明區所定義的一負型圖案。在一正型光阻，此正型光阻的被照射區變成可溶解而在顯影的過程中經由塗佈一溶劑而移除。因此，形成於此正型光阻的一圖案是上述光源與上述正型光阻之間的一模板的不透明區的一正型影像。

【0018】 第4圖顯示根據一些實施例，將圖形化的光阻106用於移除介電層104的一部分，以形成一凹部110，其中凹部110由介電層104的一第一部分104a的一第一側壁104c與介電層104的一第二部分104b的一第二側壁104d所定義。在一些實施例中，施行一蝕刻製程以形成凹部110，其中光阻106的第一部分106a在上述蝕刻的過程中保護或防護介電層104的第一部分104a而免於蝕刻劑的作用，光阻106的第二部分106b在上述蝕刻製程的過程中保護或防護介電層104的第二部分104b而免於蝕刻劑的作用。介電層104之未被光阻106覆蓋的部分則在上述蝕刻製程的過程中暴露於蝕刻劑並被移除或蝕除，以暴露出支持中間物102的一部分。在一些實施例中，在整個途中，介電層104並未被蝕穿，而使支持中間物102並未經由凹部110而被暴露出來。

【0019】 凹部110具有一寬度112，在一些實施例中，寬度112是由介電層104的第一部分104a的第一側壁104c與介電層104的第二部分104b的第二側壁104d之間的距離所定義。根據一些實施例，寬度112實質上為常數，例如其中第一側壁104c與第二側壁104d是實質上平坦且彼此平行。根據一些實施例，凹部110向下延伸至支持中間物102的頂表面。在一些實施例中，凹部110僅延伸至往支持中間物102方向的中途，而使支持中間物102未經由凹部110而暴露出來。凹部110具有一深度113，根據一些實施例，深度113是由支持中間物102的頂表面與介電層104的頂表面之間的距離所定義。在一些實施例中，凹部110的深度113對寬度112的比值在0.25與7.5之間，其表示凹部110夠深，因此足以使形成在凹部110的一部件容納於凹部110中且不太可能容易地被從凹部110移出。在一些實施例中，凹部110的深度113對寬度112的比值小於7.5，其表示凹部110夠深，因此足以使形成在凹部110的一部件容納於凹部110中且不太可能容易地被從凹部110移出。根據一些實施例，上述蝕刻製程是一溼蝕刻製程。根據一些實施例，上述蝕刻製程是一乾蝕刻製程。根據一些實施例，上述蝕刻製程使用氯化氫(HCl)、硫化氫(H₂S)或其他適當的材料中的至少一個。根據一些實施例，在形成凹部110之後，支持中間物102的頂表面是相對均勻。在一些實施例中，支持中間物102、介電層104或光阻106中的至少一個相對於上述蝕刻製程的一蝕刻劑的蝕刻選擇性達成支持中間物102的相對均勻的頂表面。在一些實施例中，一相對均勻的表面是實質上平坦，而使此表面中不在同一平面的範圍內者，僅佔其少部分到無任何部分。在一些實施例中，控制時間、溫度、壓力、所使用的一或多種蝕刻劑或其他變數中的至少一個，來控制介電層104的上述部分的移除。在一些實施例中，控制一或多項變數，以促進介電層104的相對於橫向的垂直的移

除，使得在移除介電層104的上述部分時，至少達成下列的其中之一：第一側壁104c與第二側壁104d為實質上平坦；或是介電層104的第一部分104a與介電層104的第二部分104b的各自的厚度歷經極少的改變至沒有改變。在一些實施例中，一或多個蝕刻劑以一實質上均勻的速率移除介電層104，使得隨著介電層104的厚度在第一部分104a與第二部分104b之間縮減，介電層104的厚度仍然在第一部分104a與第二部分104b之間維持實質上為常數。在一些實施例中，介電層104的厚度是從支持中間物102的頂表面測量至介電層104的頂表面。在一些實施例中，介電層104的厚度是從介電層104的一底表面測量至介電層104的頂表面。在一些實施例中，賦與介電層104的一實質上平均的移除速率時，在暴露支持中間物102的頂表面的任何部分之前，一般不會暴露出支持中間物102的頂表面的任何部分。在一些實施例中，支持中間物102的頂表面的實質上均勻的暴露，會獲得支持中間物102的相對均勻的頂表面，其至少是因為支持中間物102的頂表面沒有任何部分是暴露於蝕刻劑的時間比支持中間物102的頂表面的其他部分還久的。在一些實施例中，控制一或多項變數，以促進介電層104的實質上均勻的移除速率，而藉此與未控制如此這些變數的方案比較，獲得支持中間物102的相對均勻的頂表面。

【0020】 第5圖顯示根據一些實施例，將光阻106的第一部分106a與光阻106的第二部分106b清潔乾淨、剝除或以其他方式移除。

【0021】 第6圖顯示根據一些實施例，將一第一導體層114形成在凹部110中及第一側壁104c的上方與第二側壁104d的上方。在一些實施例中，第一導體層114包括用於導電的一金屬材料。根據一些實施例，第一導體層114包括金屬。根據一些實施例，第一導體層114具有導電性。根據一些實施例，第一導體層114

包括金屬，但具有低導電性至非導電性。根據一些實施例，第一導體層114包括鈷、鎢、碳化物、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)或其他適當材料中的至少一個。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成第一導體層114。

【0022】 在一些實施例中，形成第一導體層114，包括在第一側壁104c、第二側壁104d或例如支持中間物102的頂表面等的定義凹部110的底部的一部件的頂表面中的至少一個的上方，形成一種子層(未繪示)。在一些實施例中，上述種子層包括銅、鈦或其他適當材料中的至少一個。在一些實施例中，上述種子層促進第一導體層114在凹部110成長。

【0023】 在一些實施例中，第一導體層114作為一金屬接觸件，其有助於電性連接於例如支持中間物102中的一或多個導體層等的在第一導體層114的上方或下方中的至少一個的一或多個導體層。在一些實施例中，第一導體層114作為一電容器底部金屬(capacitor bottom metal；CBM)電極。在一些實施例中，第一導體層114具有對應於寬度112的一寬度。

【0024】 第7圖根據一些實施例而顯示一移除製程，其將第一導體層114

的多餘材料移除。根據一些實施例，上述移除製程包括化學機械研磨 (chemical-mechanical polishing；CMP) 或其他適當技術中的至少一個。根據一些實施例，將第一導體層114的多餘材料移除，向下至介電層104的第一部分104a的頂表面或介電層104的第二部分104b的頂表面中的至少一個。在一些實施例中，除了第一導體層114的多餘材料外，上述移除製程還移除了介電層104的第一部分104a或介電層104的第二部分104b中的至少一個的一些部分。根據一些實施例，例如藉由用於一化學機械研磨製程的化學藥劑、研磨漿(slurry)等的選擇，經由上述移除製程而使第一導體層114的頂表面成為相對均勻。

【0025】 第8圖顯示根據一些實施例，在移除光阻106的第一部分106a與光阻106的第二部分106b之前的形成於凹部110的第一導體層114。因此，不像根據第6圖敘述的方案，在一些實施例中，第一導體層114亦形成在光阻106的留下來的部分的上方。

【0026】 第9圖顯示根據一些實施例，從光阻106的留下來的部分移除第一導體層114的多餘材料。根據一些實施例，上述移除製程包括化學機械研磨 (chemical-mechanical polishing；CMP) 或其他適當技術中的至少一個。根據一些實施例，將第一導體層114的多餘材料移除，向下至光阻106的第一部分106a的頂表面或光阻106的第二部分106b的頂表面中的至少一個。在一些實施例中，上述移除製程移除了光阻106的第一部分106a或光阻106的第二部分106b中的至少一個，而使所獲得的結構對應於示於第7圖的結構。

【0027】 第10圖顯示根據一些實施例，移除第一導體層114的一部分以形成一凹部116，其中凹部116由介電層104的一第一部分104a的一第一側壁104c與介電層104的一第二部分104b的一第二側壁104d所定義。在一些實施例中，施行

一蝕刻製程以形成凹部116。在一些實施例中，使用一圖形化的光阻(未繪示)來移除第一導體層114的上述部分，其中上述圖形化的光阻的一第一保留部分在上述蝕刻製程的過程中保護或防護介電層104的第一部分104a而免於蝕刻劑的作用，上述圖形化的光阻的一第二保留部分在上述蝕刻製程的過程中保護或防護介電層104的第二部分104b而免於蝕刻劑的作用。第一導體層114之未被上述圖形化的光阻覆蓋的部分則在上述蝕刻製程的過程中暴露於蝕刻劑並被移除或蝕除。在一些實施例中，在整個途中，第一導體層114並未被蝕穿，而使第一導體層114的一些部分留在介電層104的第一部分104a與介電層104的第二部分104b之間。

【0028】 凹部116具有一寬度118，根據一些實施例，寬度118是由介電層104的第一部分104a的第一側壁104c與介電層104的第二部分104b的第二側壁104d之間的距離所定義。根據一些實施例，寬度118實質上為常數，例如其中第一側壁104c與第二側壁104d是實質上平坦且彼此平行。在一些實施例中，寬度118等於寬度112。請參考第11圖，在一些實施例中，寬度118大於或小於寬度112。在一些實施例中，上述蝕刻製程移除介電層104的第一部分104a或的第二部分104b中的至少一個的至少一些部分，而使寬度118大於寬度112。凹部116具有一深度119，根據一些實施例，深度119是由第一導體層114的頂表面與介電層104的頂表面之間的距離所定義。根據一些實施例，深度119大於3nm。在一些實施例中，凹部118的深度119對寬度118的比值在0.25與7.5之間，其表示凹部116夠深，因此足以使形成在凹部116的一部件容納於凹部116中且不太可能容易地被從凹部116移出。在一些實施例中，凹部116的深度119對寬度118的比值小於7.5，其表示凹部116夠深，因此足以使形成在凹部116的一部件容納於凹部116

中且不太可能容易地被從凹部116移出。根據一些實施例，凹部116的深度119至少為3nm，而至少達成下列的其中之一：避免第一導體層114受到例如一蝕刻製程等的一或多道後續製程的影響；避免將置於第一導體層114上的例如一第三導體層119(第19圖)等的一或多個其他層與第一導體層114交互混入；或是與凹部116的深度119非為至少3nm的情況比較，促進第一導體層114或形成於凹部116的一或多個其他層中的至少一個的相對低的電阻。根據一些實施例，上述蝕刻製程是一溼蝕刻製程。根據一些實施例，上述蝕刻製程是一乾蝕刻製程。根據一些實施例，上述蝕刻製程使用氯化氫(HCl)、硫化氫(H₂S)或其他適當的材料中的至少一個。根據一些實施例，在形成凹部116之後，第一導體層114的頂表面是相對均勻。在一些實施例中，第一導體層114、介電層104或上述圖形化的光阻中的至少一個相對於上述蝕刻製程的一蝕刻劑的蝕刻選擇性達成第一導體層114的相對均勻的頂表面。在一些實施例中，一相對均勻的表面是實質上平坦，而使此表面中不在同一平面的範圍內者，僅佔其少部分到無任何部分。在一些實施例中，控制時間、溫度、壓力、所使用的一或多種蝕刻劑或其他變數中的至少一個，來控制第一導體層114的上述部分的移除。在一些實施例中，控制一或多項變數，以促進介電層104的相對於橫向的垂直的移除，使得在移除第一導體層114的上述部分時，至少達成下列的其中之一：第一側壁104c與第二側壁104d為實質上平坦；或是介電層104的第一部分104a與介電層104的第二部分104b的各自的厚度歷經極少的改變至沒有改變。在一些實施例中，一或多個蝕刻劑以一實質上均勻的速率移除第一導體層114，使得隨著第一導體層114的厚度在第一部分104a與第二部分104b之間縮減，第一導體層114的厚度仍然在第一部分104a與第二部分104b之間維持實質上為常數。在一些實施例中，第一導體

層114的厚度是從支持中間物102的頂表面測量至第一導體層114的頂表面。在一些實施例中，第一導體層114的厚度是從第一導體層114的一底表面測量至第一導體層114的頂表面。在一些實施例中，控制一或多項變數，以促進第一導體層114的實質上均勻的移除速率，而藉此與未控制如此這些變數的方案比較，獲得第一導體層114的相對均勻的頂表面。

【0029】 第12圖顯示根據一些實施例，將一第二導體層120形成在凹部116中及第一側壁104c的上方與第二側壁104d的上方。在一些實施例中，第二導體層120包括用於導電的一金屬材料。根據一些實施例，第二導體層120包括金屬。根據一些實施例，第二導體層120具有導電性。根據一些實施例，第二導體層120包括金屬，但具有低導電性至非導電性。根據一些實施例，第二導體層120包括鈷、鎢、碳化物、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)或其他適當材料中的至少一個。在一些實施例中，第二導體層120與第一導體層114包括不同材料或具有不同的材料組成，而對於一蝕刻劑具有不同的蝕刻選擇性。根據一些實施例，不同的蝕刻選擇性會得到用於蝕刻第二導體層120的一蝕刻劑對第一導體層114僅具些許作用或無作用的結果。在一些實施例中，第二導體層120與第一導體層114包括不同材料或具有不同的材料組成，而使第一導體層114良好地黏著於支持中間物102，而第二導體層120具有所需的導電性。在一些實施例中，第二導體層120與第一導體層114包括相同材料或具有相同的材料組成。在一些實施例中，第二導體層120與第一導體層114包括相同材料或具有相同的材料組成，以達成對支持中間物102的黏著性以及所需的導電性之間的平衡。在一些實施例中，第二導體層120與第一導體層114良好地黏著於支持中間物102，但具有一定的電阻。在一些實施例中，第二導體層120與第一導體層114稍微良好地黏

著於支持中間物102，但具有相對低的電阻。在一些實施例中，在第二導體層120與第一導體層114包括相同材料或具有相同的材料組成之情況，不需要多道的蝕刻作業，因此進行單一的作業來填充凹部110，而未形成凹部116。在一些實施例中，第二導體層120接觸第一導體層114。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成第二導體層120。

【0030】 在一些實施例中，形成第二導體層120，包括在第一側壁104c、第二側壁104d或例如第一導體層114的頂表面等的定義凹部116的底部的一部件的頂表面中的至少一個的上方，形成一種子層(未繪示)。在一些實施例中，上述種子層包括銅、鈦或其他適當材料中的至少一個。在一些實施例中，上述種子層促進第二導體層120在凹部116成長。在一些實施例中，形成第二導體層120，包括使用選擇性的金屬成長(selective metal growth)。根據一些實施例，與使用選擇性的金屬成長以外的方法來形成第二導體層120的情況比較，使用選擇性的金屬成長來形成第二導體層120促使第二導體層120的相對低的電阻。

【0031】 第13圖根據一些實施例而顯示一移除製程，其將第二導體層120的多餘材料移除。根據一些實施例，上述移除製程包括化學機械研磨

(chemical-mechanical polishing；CMP)或其他適當技術中的至少一個。根據一些實施例，將第二導體層120的多餘材料移除，向下至介電層104的第一部分104a的頂表面或介電層104的第二部分104b的頂表面中的至少一個。在一些實施例中，除了第二導體層120的多餘材料外，上述移除製程還移除了介電層104的第一部分104a或介電層104的第二部分104b中的至少一個的一些部分。根據一些實施例，例如藉由用於一化學機械研磨製程的化學藥劑、研磨漿等的選擇，經由上述移除製程而使第二導體層120的頂表面成為相對均勻。

【0032】 在一些實施例中，第二導體層120作為用於第一導體層114的一金屬蓋120a。根據一些實施例，第二導體層120作為一接觸件，其有助於電性連接於在第二導體層120的上方或下方中的至少一個的一或多個導體層。第二導體層120具有一寬度121。在一些實施例中，寬度121對應於寬度118。第二導體層120具有一厚度123，根據一些實施例，厚度123對應於示於第10圖的深度119。根據一些實施例，厚度123大於3nm。在一些實施例中，金屬蓋120a的厚度123對寬度121的比值在0.25與7.5之間，其表示至少下列的其中之一：金屬蓋120a良好地容納於凹部116的範圍中且不太可能容易地被從凹部116移出；或是金屬蓋120a的一最上表面對其上的部件提供足夠的表面積來接觸金屬蓋120a。在一些實施例中，金屬蓋120a的厚度123對寬度121的比值小於7.5，其表示至少下列的其中之一：金屬蓋120a良好地容納於凹部116的範圍中且不太可能容易地被從凹部116移出；或是金屬蓋120a的一最上表面對其上的部件提供足夠的表面積來接觸金屬蓋120a。

【0033】 第14圖顯示根據一些實施例，將一介電層122形成在第二導體層120、介電層104的第一部分104a或介電層104的第二部分104b中的至少一個的上

方。在一些實施例中，介電層122接觸第二導體層120的一頂表面、介電層104的第一部分104a的一頂表面或介電層104的第二部分104b的一頂表面中的至少一個。在一些實施例中，介電層122包括一聚合物、氧化物、聚苯并噁唑(polybenzobisoxazole；PBO)、聚醯亞胺(polyimide；PI)、金屬氮化物、矽、鍺、碳化物、鎵、砷化物、鍺、砷、銮、氧化矽、藍寶石、一埋入式氧化物(buried oxide；BOX)層、一高介電常數(high-k dielectric constant)材料、稀土元素氧化物、稀土元素氧化物的鋁酸物(aluminate of a rare earth oxide)、稀土元素氧化物的矽酸物(silicate of a rare earth oxide)、一磊晶層、一絕緣物上覆矽結構、一晶圓、由一晶圓形成的一晶粒、一被摻雜的磊晶層、一半導體層、一漸變的半導體層、複數個半導體層、複數個半導體層(其中的一或多層的半導體層與其他的半導體層為不同形式)或其他適當材料中的至少一個。在一些實施例中，介電層104與介電層122包括相同材料或具有相同的材料成分。在一些實施例中，介電層104與介電層122包括不同材料或具有不同的材料成分。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣相沉積(atomic layer chemical vapor deposition；ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum chemical vapor deposition；UHVCVD)、減壓化學氣相沉積(reduced pressure chemical vapor deposition；RPCVD)、分子束磊晶(molecular beam epitaxy；MBE)、液相磊晶(liquid phase epitaxy；LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成介電層122。

【0034】 第15圖顯示根據一些實施例，將一光阻124形成在介電層122的上

方。在一些實施例中，藉由旋轉塗佈法、噴灑塗佈法或其他可用製程中的至少一個，來形成光阻124。

【0035】 第16圖顯示根據一些實施例，將光阻124圖形化而使其具有一開口126，開口126是由此光阻的一第一部分124a的一側壁與此光阻的一第二部分124b的一側壁所定義。在一些實施例中，光阻124包括一光敏材料，如前文對第3圖所作敘述。

【0036】 第17圖顯示根據一些實施例，將圖形化的光阻124用於移除介電層122的一部分，以形成一凹部128，其中凹部128由介電層122的一第一部分122a的一第一側壁122c與介電層122的一第二部分122b的一第二側壁122d所定義。在一些實施例中，施行一蝕刻製程以形成凹部128，其中光阻124的第一部分124a在上述蝕刻的過程中保護或防護介電層122的第一部分122a而免於蝕刻劑的作用，光阻124的第二部分124b在上述蝕刻製程的過程中保護或防護介電層122的第二部分122b而免於蝕刻劑的作用。介電層122之未被光阻124覆蓋的部分則在上述蝕刻製程的過程中暴露於蝕刻劑並被移除或蝕除，以暴露出第二導體層120的一部分。

【0037】 凹部128具有一寬度130，根據一些實施例，寬度130是由介電層122的第一部分122a的第一側壁122c與介電層122的第二部分122b的第二側壁122d之間的距離所定義。根據一些實施例，寬度130實質上為常數，例如其中第一側壁122c與第二側壁122d是實質上平坦且彼此平行。在一些實施例中，寬度130小於寬度118。凹部128具有一深度125，根據一些實施例，深度125是由第二導體層120的頂表面與介電層122的頂表面之間的距離所定義。根據一些實施例，深度125大於寬度130。在一些實施例中，凹部128的深度125對寬度130的比

值在0.25與10之間，其表示凹部128夠深，因此足以使形成在凹部128的一部件容納於凹部128中且不太可能容易地被從凹部128移出。根據一些實施例，上述蝕刻製程是一溼蝕刻製程。根據一些實施例，上述蝕刻製程是一乾蝕刻製程。根據一些實施例，上述蝕刻製程使用氯化氫(HCl)、硫化氫(H₂S)或其他適當的材料中的至少一個。根據一些實施例，在形成凹部128之後，第二導體層120的頂表面是相對均勻。在一些實施例中，第二導體層120、介電層122或光阻124中的至少一個相對於上述蝕刻製程的一蝕刻劑的蝕刻選擇性達成第二導體層120的相對均勻的頂表面。在一些實施例中，一相對均勻的表面是實質上平坦，而使此表面中不在同一平面的範圍內者，僅佔其少部分到無任何部分。在一些實施例中，控制時間、溫度、壓力、所使用的一或多種蝕刻劑或其他變數中的至少一個，來控制介電層122的上述部分的移除。在一些實施例中，控制一或多項變數，以促進介電層122的相對於橫向的垂直的移除，使得在移除介電層122的上述部分時，至少達成下列的其中之一：第一側壁122c與第二側壁122d為實質上平坦；或是介電層122的第一部分122a與介電層122的第二部分104b的各自的厚度歷經極少的改變至沒有改變。在一些實施例中，一或多個蝕刻劑以一實質上均勻的速率移除介電層122，使得隨著介電層122的厚度在第一部分122a與第二部分122b之間縮減，介電層122的厚度仍然在第一部分122a與第二部分122b之間維持實質上為常數。在一些實施例中，介電層122的厚度是從第二導體層120的頂表面測量至介電層122的頂表面。在一些實施例中，介電層122的厚度是從介電層122的一底表面測量至介電層122的頂表面。在一些實施例中，賦與介電層122的一實質上平均的移除速率時，在暴露第二導體層120的頂表面的任何部分之前，一般不會暴露出第二導體層120的頂表面的任何部分。在一些實施例中，第二導

體層120的頂表面的實質上均勻的暴露，會獲得第二導體層120的相對均勻的頂表面，其至少是因為第二導體層120的頂表面沒有任何部分是暴露於蝕刻劑的時間比第二導體層120的頂表面的其他部分還久的。在一些實施例中，控制一或多項變數，以促進介電層122的實質上均勻的移除速率，而藉此與未控制如此這些變數的方案比較，獲得第二導體層120的相對均勻的頂表面。

【0038】 第18圖顯示根據一些實施例，將光阻124的第一部分124a與光阻124的第二部分124b清潔乾淨、剝除或以其他方式移除。

【0039】 第19圖顯示根據一些實施例，將一第三導體層132形成在凹部128中及第一側壁122c的上方與第二側壁122d的上方。在一些實施例中，第三導體層132包括用於導電的一金屬材料。根據一些實施例，第三導體層132包括金屬。根據一些實施例，第三導體層132具有導電性。根據一些實施例，第三導體層132包括金屬，但具有低導電性至非導電性。根據一些實施例，第三導體層132包括鈷、鎢、碳化物、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)或其他適當材料中的至少一個。在一些實施例中，第三導體層132與第一導體層114包括不同的材料或具有不同的材料組成。在一些實施例中，第三導體層132與第一導體層114包括相同的材料或具有相同的材料組成。在一些實施例中，第三導體層132與第二導體層120包括不同的材料或具有不同的材料組成。在一些實施例中，第三導體層132與第二導體層120包括相同的材料或具有相同的材料組成。在一些實施例中，第三導體層132接觸第二導體層120。在一些實施例中，藉由物理氣相沉積(physical vapor deposition；PVD)、濺鍍(sputtering)、化學氣相沉積(chemical vapor deposition；CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition；LPCVD)、原子層沉積(atomic layer deposition；ALD)、原子層化學氣

相沉積(atomic layer chemical vapor deposition ; ALCVD)、超高真空化學氣相沉積 (ultrahigh vacuum chemical vapor deposition ; UHVCVD)、減壓化學氣相沉積 (reduced pressure chemical vapor deposition ; RPCVD)、分子束磊晶(molecular beam epitaxy ; MBE)、液相磊晶(liquid phase epitaxy ; LPE)、旋轉塗佈法、氧化或其他適當技術中的至少一個，來形成第三導體層132。

【0040】 在一些實施例中，形成第三導體層132，包括在第一側壁122c、第二側壁122d或例如第二導體層120的頂表面等的定義凹部128的底部的一部件的頂表面中的至少一個的上方，形成一種子層(未繪示)。在一些實施例中，上述種子層包括銅、鈦或其他適當材料中的至少一個。在一些實施例中，上述種子層促進第三導體層132在凹部128成長。在一些實施例中，形成第三導體層132，包括使用選擇性的金屬成長。根據一些實施例，與使用選擇性的金屬成長以外的方法來形成第三導體層132的情況比較，使用選擇性的金屬成長來形成第三導體層132促使第三導體層132的相對低的電阻。

【0041】 第20圖根據一些實施例而顯示一移除製程，其將第三導體層132的多餘材料移除。根據一些實施例，上述移除製程包括化學機械研磨 (chemical-mechanical polishing ; CMP)或其他適當技術中的至少一個。根據一些實施例，將第三導體層132的多餘材料移除，向下至介電層122的第一部分122a的頂表面或介電層122的第二部分122b的頂表面中的至少一個。在一些實施例中，除了第三導體層132的多餘材料外，上述移除製程還移除了介電層122的第一部分122a或介電層122的第二部分122b中的至少一個的一些部分。根據一些實施例，例如藉由用於一化學機械研磨製程的化學藥劑、研磨漿等的選擇，經由上述移除製程而使第三導體層132的頂表面成為相對均勻。

【0042】 第21圖顯示根據一些實施例，在移除光阻124的第一部分124a與光阻124的第二部分124b之前的形成於凹部128的第三導體層132。因此，不像根據第19圖敘述的方案，在一些實施例中，第三導體層132亦形成在光阻124的留下來的部分的上方。

【0043】 第22圖顯示根據一些實施例，從光阻124的留下來的部分移除第三導體層132的多餘材料。根據一些實施例，上述移除製程包括化學機械研磨(chemical-mechanical polishing；CMP)或其他適當技術中的至少一個。根據一些實施例，將第三導體層132的多餘材料移除，向下至光阻124的第一部分124a的頂表面或光阻124的第二部分124b的頂表面中的至少一個。在一些實施例中，上述移除製程移除了光阻124的第一部分124a或光阻124的第二部分124b中的至少一個，而使所獲得的結構對應於示於第20圖的結構。

【0044】 在一些實施例中，第三導體層132作為一金屬接觸件132a，其有助於電性連接於在第三導體層132的上方或下方中的至少一個的一或多個導體層。第三導體層132具有一寬度127。在一些實施例中，寬度127對應於寬度130。第三導體層132具有一厚度129。根據一些實施例，厚度129對應於示於第17圖的深度125。在一些實施例中，金屬接觸件132a的厚度129對寬度127的比值在0.25與10之間。根據一些實施例，金屬接觸件132a良好地容納於凹部128的範圍中且不太可能容易地被從凹部128移出。在一些實施例中，金屬接觸件132a的寬度127小於金屬蓋120a的寬度121。在一些實施例中，金屬接觸件132a的寬度127相對大於金屬蓋120a的寬度121，例如藉由阻擋沿著金屬接觸件132a的側壁的一途徑的推進，抑制來自沿著金屬接觸件132a的側壁的一途徑之間的途徑的傷害，例如化學性的傷害。根據一些實施例，金屬蓋120a的設置，在將多個金屬接觸件132a

同時形成在不同的基底上(例如不同的金屬蓋120a的上方)時，對金屬接觸件132a的形成提供成本上的降低。在一些實施例中，各種金屬蓋120a具有各種的材料組成，各種金屬接觸件132a具有各種的材料組成。在一些實施例中，一或多個金屬接觸件132a具有不同的材料組成，而一或多個金屬蓋120a卻具有相同的材料組成。在一些實施例中，一或多個金屬接觸件132a具有相同的材料組成，而一或多個金屬蓋120a卻具有不同的材料組成。在一些實施例中，一或多個金屬接觸件132a具有不同的材料組成，且一或多個金屬蓋120a具有不同的材料組成。在一些實施例中，一或多個金屬接觸件132a具有相同的材料組成，且一或多個金屬蓋120a具有相同的材料組成。

【0045】 第22圖顯示根據一些實施例之半導體配置100的第三導體層132、第二導體層120及第一導體層114的俯視圖。根據一些實施例，第二導體層120的面積大於第三導體層132的面積。在一些實施例中，相對於第二導體層120來設定第三導體層132的尺寸，而使第三導體層132不具任何部分是延伸超出第二導體層120的任何部分或是懸於第二導體層120的任何部分之外。在一些實施例中，相對於第一導體層114來設定第二導體層120的尺寸，而使第二導體層120不具任何部分是延伸超出第一導體層114的任何部分或是懸於第一導體層114的任何部分之外。在一些實施例中，相對於第一導體層114來設定第二導體層120的尺寸，而使第二導體層120的有些部分是延伸超出第一導體層114的任何部分或是懸於第一導體層114的任何部分之外。在一些實施例中，相對於第一導體層114來設定第二導體層120的尺寸，而使第二導體層120的有些部分是延伸超出第一導體層114的任何部分或是懸於第一導體層114的任何部分之外；卻是相對於第二導體層120來設定第三導體層132的尺寸，而使第三導體層132不具任何部分

是延伸超出第二導體層120的任何部分或是懸於第二導體層120的任何部分之外。在一些實施例中，第一導體層114是在一鰭式場效電晶體(FinFET)結構作為一源極/汲極(S/D)接觸件，且金屬接觸件132a是在此鰭式場效電晶體結構作為一接觸導通孔結構(contact via)。在一些實施例中，支持中間物102是作為一鰭式場效電晶體結構的一源極/汲極區，而使半導體配置100提供用以電性耦合至上述鰭式場效電晶體結構的上述源極/汲極區的一構造。在一些實施例中，支持中間物102對應於一金屬—氧化物—半導體電晶體(MOS transistor)的一源極/汲極區，而使半導體配置100提供用以電性耦合至上述金屬—氧化物—半導體電晶體的上述源極/汲極區的一構造。在一些實施例中，支持中間物102是作為一鰭式場效電晶體結構的一閘極，而使半導體配置100提供用以電性耦合至上述鰭式場效電晶體結構的上述閘極的一構造。在一些實施例中，支持中間物102對應於一金屬—氧化物—半導體電晶體的一閘極，而使半導體配置100提供用以電性耦合至上述金屬—氧化物—半導體電晶體的上述閘極的一構造。在一些實施例中，半導體配置100的各種實例分別耦合至例如源極/汲極區、閘極、井(well)等的各種導體區，以分別提供用於電性耦合至各種導體區的構造。

【0046】 根據一些實施例，與較不均勻的界面比較，上述半導體配置在上述支持中間物與上述第一導體層之間的界面、在上述第一導體層與上述第二導體層之間的界面或在上述第二導體層與上述第三導體層之間的界面中的至少一個，具有較低的電阻、較低的電容值或較低的阻容遲滯中的至少一個。

【0047】 根據一些實施例，一種半導體配置的製造方法，其包括：移除一第一介電層的一部分，以形成一第一凹部，上述第一凹部由上述第一介電層的一第一側壁與上述第一介電層的一第二側壁所定義；以及在上述第一凹部形成

一第一導體層。上述方法亦包括：移除上述第一導體層的一部分，以形成一第二凹部，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義；以及在上述第二凹部形成一第二導體層，其中上述第二導體層接觸上述第一導體層。上述方法亦包括：在上述第二導體層的上方形成一第二介電層；以及移除上述第二介電層的一部分，以形成一第三凹部，上述第三凹部由上述第二介電層的一第一側壁與上述第二介電層的一第二側壁所定義，其中經由上述第三凹部暴露上述第二導體層。上述方法亦包括：在上述第三凹部形成一第三導體層，其中上述第三導體層接觸上述第二導體層。

【0048】 在一些實施例中，上述第一導體層是以鈷形成。在一些實施例中，上述第二導體層是以鎢形成。在一些實施例中，上述第二介電層覆於上述第二導體層上。在一些實施例中，移除上述第一介電層的上述部分、移除上述第一導體層的上述部分或移除上述第二介電層的上述部分中的至少一個，是包括施行一蝕刻製程。在一些實施例中，施行上述蝕刻製程包括利用一化學蝕刻劑。在一些實施例中，上述第一導體層具有一第一寬度、上述第二導體層具有一第二寬度、上述第三導體層具有一第三寬度，上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。在一些實施例中，上述第一導體層與上述第二導體層是以不同材料形成。

【0049】 根據一些實施例，一種半導體結構，其包括：一第一導體層，在一第一介電層的一第一側壁與上述第一介電層的一第二側壁之間，其中上述第一導體層具有一第一寬度。上述半導體結構亦包括：一第二導體層，在上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁之間，並接觸上述第一導體層，其中上述第二導體層具有一第二寬度。上述半導體結構亦包括：

一第三導體層，接觸上述第二導體層並在一第二介電層的一第一側壁與上述第二介電層的一第二側壁之間，其中上述第三導體層具有一第三寬度，上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【0050】 在一些實施例中，上述第一導體層接觸上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁。在一些實施例中，上述第二導體層接觸上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁。在一些實施例中，上述第二介電層接觸上述第二導體層。在一些實施例中，上述第二寬度等於上述第一寬度。在一些實施例中，上述第三導體層接觸上述第二介電層的上述第一側壁與上述第二介電層的上述第二側壁。

【0051】 根據一些實施例，一種半導體配置的製造方法，其包括：形成一第一導體層，使其具有一第一材料組成及一第一寬度；以及形成一第二導體層，使其具有一第二材料組成及一第二寬度，其中上述第二導體層在上述第一導體層的上方並接觸上述第一導體層，且上述第二材料組成不同於上述第一材料組成。上述方法亦包括：形成一第三導體層，使其具有一第三材料組成及一第三寬度，其中上述第三導體層在上述第二導體層的上方並接觸上述第二導體層，且上述第三寬度小於上述第一寬度或上述第二寬度中的至少一個。

【0052】 在一些實施例中，形成上述第一導體層包括在一第一凹部形成上述第一導體層，上述第一凹部由一第一介電層的一第一側壁與上述第一介電層的一第二側壁所定義；以及形成上述第二導體層包括在一第二凹部形成上述第二導體層，上述第二凹部由上述第一介電層的上述第一側壁與上述第一介電層的上述第二側壁所定義。在一些實施例中，形成上述第三導體層包括在一第三凹部形成上述第三導體層，上述第三凹部由一第二介電層的一第一側壁與上述

第二介電層的一第二側壁所定義。在一些實施例中，上述第二介電層的一底表面接觸上述第二介電層的一頂表面。在一些實施例中，上述第二介電層的一底表面接觸上述第二導電層的一頂表面。

【0053】 以上概述數個實施例之部件，以便在本發明所屬技術領域中具有通常知識者可更易理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應理解，他們能以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介紹的實施例相同之目的及 / 或優勢。在本發明所屬技術領域中具有通常知識者也應理解到，此類均等的製程和結構並無悖離本發明實施例的精神與範圍，且他們能在不違背本發明實施例之精神和範圍之下，做各式各樣的改變、取代和替換。

【0054】 雖然專利申請標的以特定的結構特徵或方法動作描述，應理解的是，附加的請求項所載之專利申請標的不限於上述的特定部件或動作。反而，上述的特定部件或動作係做為實現至少一些請求項的實施例形式。

【0055】 在此提供實施例的各種操作。此處所描述的一些或全部的操作順序並非暗示這些操作必定取決於順序。可理解替代的順序具有此敘述的好處。此外，可理解並非所有的操作在本發明實施例提供的每一個實施例中都是必要的。並且，可理解在一些實施例中，並非所有的操作都是必要的。

【0056】 可理解的是，此處所描述的層、部件、元件等以相對於彼此的特定尺寸顯示，像是結構尺寸或方位，例如，在一些實施例中，為了簡化及易於了解的目的，其實際尺寸基本上不同於此處所繪示。此外，此處提及各種用以形成層、區域、部件、元件等的技術，像是蝕刻技術、平坦化技術、佈植技術、摻雜(doping)技術、旋轉塗佈技術、濺擊(sputtering)技術、成長(growth)技術、或

是沉積技術，例如化學氣相沉積。

【0057】 此外，此處使用「例示(exemplary)」代表做為一實例(example)、例子(instance)、例證(illustration)等，且不一定為優選的。在本發明使用的「或(or)」是為了表達包容性的「或」而不是排他性的「或」。此外，除非特別說明，或者內文已清楚指示為單數形式，否則本發明實施例以及附加的請求項中使用的「一(a)」或「一(an)」被視為代表「一或多個」。還有，A及B中的至少一個及/或其類似用語一般代表A或B，或者A和B兩者。此外，在使用「包括(includes)」、「有(having)」、「具有(has)」、「帶有(with)」、或其變化的範圍中，這樣的用語被用來代表其意義是與用語「包含(comprising)」類似的開放性。還有，除非特別說明，「第一」、「第二」或類似的用語並非用來暗示時間概念、空間概念及順序等。反而，這些用詞僅用以做為部件、元件、項目等的辨識符號、名稱等。例如，第一元件和第二元件一般對應至元件A和元件B或兩個不同或兩個完全相同的(identical)元件或相同(the same)的元件。

【0058】 還有，雖然已以一個或多個實施例顯示或描述本發明實施例，其他所屬技術領域中具有通常知識者可基於閱讀或瞭解本說明書及所附的圖式進行均等的替代或修飾。本發明實施例包括所有這類的修飾及替代且僅受限於以下的請求項記載之範圍。特別是關於上述構件所表現的各種功能，除非特別說明，否則描述這種構件用語是用來對應至表現所述構件的特定功能的任何構件(例如：在功能上均等)，即使在結構上並未等同於所揭露結構。此外，雖然本發明實施例僅以數個實施例中的其中一實施例揭露特定元件，當受期望或對任何給定或特定的發明有利時，這種特徵可與其他實施例的一或多個其他特徵結合。

【符號說明】

【0059】

- 100: 半導體配置
- 102: 支持中間物
- 104,122: 介電層
- 104a,122a: 第一部分
- 104b,122b: 第二部分
- 104c,122c: 第一側壁
- 104d,122d: 第二側壁
- 106,124: 光阻
- 106a,124a: 第一部分
- 106b,124b: 第二部分
- 108: 開口
- 110,116,128: 凹部
- 112,118,121,127,130: 寬度
- 113,119,125: 深度
- 114: 第一導體層
- 120: 第二導體層
- 120a: 金屬蓋
- 123,129: 厚度
- 132: 第三導體層
- 132a: 金屬接觸件

【發明申請專利範圍】

【請求項1】 一種半導體配置的製造方法，包括：

移除一第一介電層的一部分，以形成一第一凹部，該第一凹部由該第一介電層的一第一側壁與該第一介電層的一第二側壁所定義；

在該第一凹部形成一第一導體層；

移除該第一導體層的一部分，以形成一第二凹部，該第二凹部由該第一介電層的該第一側壁與該第一介電層的該第二側壁所定義；

在該第二凹部形成一第二導體層，其中該第二導體層接觸該第一導體層；

在該第二導體層的上方形成一第二介電層；

移除該第二介電層的一部分，以形成一第三凹部，該第三凹部由該第二介電層的一第一側壁與該第二介電層的一第二側壁所定義，其中經由該第三凹部暴露該第二導體層；以及

在該第三凹部形成一第三導體層，其中該第三導體層接觸該第二導體層。

【請求項2】 如請求項1之半導體配置的製造方法，其中

該第二介電層覆於該第二導體層上；

該第二介電層接觸該第一介電層，以定義出一界面；或

該第二介電層覆於該第二導體層上，而且該第二介電層接觸該第一介電層，以定義出一界面。

【請求項3】 如請求項1或2之半導體配置的製造方法，其中移除該第一介電層的該部分、移除該第一導體層的該部分或移除該第二介電層的該部分中的至少一個，包括施行一蝕刻製程。

【請求項4】 如請求項1或2之半導體配置的製造方法，其中該第一導體層具

有一第一寬度、該第二導體層具有一第二寬度、該第三導體層具有一第三寬度，該第三寬度小於該第一寬度或該第二寬度中的至少一個。

【請求項5】 如請求項1或2之半導體配置的製造方法，其中該第一導體層與該第二導體層包括不同材料。

【請求項6】 一種半導體配置，包括：

一第一導體層，在一第一介電層的一第一側壁與該第一介電層的一第二側壁之間，其中該第一導體層具有一第一寬度；

一第二導體層，在該第一介電層的該第一側壁與該第一介電層的該第二側壁之間，並接觸該第一導體層，其中該第二導體層具有一第二寬度；以及

一第三導體層，接觸該第二導體層並在一第二介電層的一第一側壁與該第二介電層的一第二側壁之間，其中該第三導體層具有一第三寬度，該第三寬度小於該第一寬度或該第二寬度中的至少一個。

【請求項7】 如請求項6之半導體配置，其中該第一導體層接觸該第一介電層的該第一側壁與該第一介電層的該第二側壁。

【請求項8】 如請求項6之半導體配置，其中該第二導體層接觸該第一介電層的該第一側壁與該第一介電層的該第二側壁。

【請求項9】 如請求項6之半導體配置，其中該第二介電層接觸該第二導體層。

【請求項10】 如請求項6之半導體配置，其中該第二寬度等於該第一寬度。

【請求項11】 如請求項6至10任一項之半導體配置，其中該第三導體層接觸該第二介電層的該第一側壁與該第二介電層的該第二側壁。

【請求項12】 一種半導體配置的製造方法，包括：

形成一第一導體層，使其具有一第一材料組成及一第一寬度；

形成一第二導體層，使其具有一第二材料組成及一第二寬度，其中該第二導體層在該第一導體層的上方並接觸該第一導體層，且該第二材料組成不同於該第一材料組成；以及

形成一第三導體層，使其具有一第三材料組成及一第三寬度，其中該第三導體層在該第二導體層的上方並接觸該第二導體層，且該第三寬度小於該第一寬度或該第二寬度中的至少一個。

【請求項13】 如請求項12之半導體配置的製造方法，其中形成該第一導體層包括在一第一凹部形成該第一導體層，該第一凹部由一第一介電層的一第一側壁與該第一介電層的一第二側壁所定義；以及形成該第二導體層包括在一第二凹部形成該第二導體層，該第二凹部由該第一介電層的該第一側壁與該第一介電層的該第二側壁所定義。

【請求項14】 如請求項13之半導體配置的製造方法，其中形成該第三導體層包括在一第三凹部形成該第三導體層，該第三凹部由一第二介電層的一第一側壁與該第二介電層的一第二側壁所定義。

【請求項15】 如請求項14之半導體配置的製造方法，其中該第二介電層的一底表面接觸該第一介電層的一頂表面或該第二導體層的一頂表面中的至少一個。