(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3762933号

(P3762933)

(45)発行日　平成18年4月5日(2006.4.5)　(24)登録日　平成18年1月27日(2006.1.27)

(51)Int.Cl.			F I		
G09G	3/28	(2006.01)	G09G	3/28	K
G09G	3/20	(2006.01)	G09G	3/20	611E
H04N	5/66	(2006.01)	G09G	3/20	612U
			G09G	3/20	631U
			G09G	3/20	641E

請求項の数 14　(全 29 頁)　最終頁に続く

(21)出願番号　特願2004-73277(P2004-73277)
(22)出願日　平成16年3月15日(2004.3.15)
(62)分割の表示　特願平7-231253の分割
原出願日　平成7年9月8日(1995.9.8)
(65)公開番号　特開2004-192014(P2004-192014A)
(43)公開日　平成16年7月8日(2004.7.8)
審査請求日　平成16年3月15日(2004.3.15)

(73)特許権者　505348027
株式会社日立プラズマパテントライセンシング
東京都千代田区大手町二丁目２番１号
(74)代理人　100094525
弁理士　土井　健二
(72)発明者　乙部　幸男
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　吉田　昌弘
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　大鷹　伸章
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

最終頁に続く

(54)【発明の名称】画像処理装置及びプラズマ・ディスプレイ・パネル

(57)【特許請求の範囲】

【請求項１】

ビットの重み付けに比例した発光時間を有する複数のサブフィールドを任意に組合せて階調表示を行うプラズマディスプレイ装置であって、

疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部と、

該誤差拡散処理部の前段に設けられ入力信号に対するディザ波形の加算および減算を行って、フリッカ発生頻度の高い誤差データをフリッカ発生頻度の低いデータに変換してフリッカの発生を抑えるディザ処理回路とを具備し、

前記ディザ処理回路は、前記入力信号においてフリッカの発生しやすいレベルに対応するディザ波形を格納するディザ波形テーブル、および、該ディザ波形テーブルの出力を前記入力信号に対して加算または減算するディザ波形演算処理手段を具備することを特徴とするプラズマディスプレイ装置。

【請求項２】

前記ディザ波形演算処理手段は、ライン／ドット毎に反転・非反転信号を出力するセレクタ、該セレクタの出力と前記ディザ波形テーブルの出力を乗算する乗算器、および、前記入力信号と該乗算器の出力とを加算する加算器を具備することを特徴とする請求項１のプラズマディスプレイ装置。

【請求項３】

前記セレクタは、ラインカウンタの最下位ビットおよびドットカウンタの最下位ビットの排他的論理和を取った信号によって、前記入力信号に対するディザ波形のライン／ドッ

ト毎の反転・非反転信号を制御するようになっていることを特徴とする請求項２のプラズマディスプレイ装置。

【請求項４】

前記ディザ波形テーブルは、複数種類のディザ波形を格納するディザ格納レジスタ、および、前記入力信号の階調に応じて該ディザ格納レジスタにおける複数種類のディザ波形から最適なディザ波形を指定するためのディザ指定レジスタを具備することを特徴とする請求項１のプラズマディスプレイ装置。

【請求項５】

前記ディザ格納レジスタは、前記入力信号に加算および減算するディザ波形を格納していることを特徴とする請求項４のプラズマディスプレイ装置。

【請求項６】

前記ディザ格納レジスタは、前記入力信号に加算するディザ波形と前記入力信号から減算するディザ波形との両方をそれぞれ格納していることを特徴とする請求項４のプラズマディスプレイ装置。

【請求項７】

前記ディザ波形テーブルは、１種類のディザ波形を格納するディザ格納レジスタ、および、前記入力信号の階調に応じて該ディザ格納レジスタのディザ波形による前記入力信号の処理を行うか否かを指定するディザ指定レジスタを具備することを特徴とする請求項１のプラズマディスプレイ装置。

【請求項８】

ビットの重み付けに比例した発光時間を有する複数のサブフィールドを任意に組合せて階調表示を行うと共に、

パネル各々ｎビットで量子化されたＲＧＢの３原色信号を、各々の実際の表示階調数が$2^{m-1}+1$（ｍ＜ｎ）以上で2^{m}以下のＲＧＢ３原色ディスプレイに対して該ＲＧＢ３系統独立に処理回路を設けて拡散処理を行い疑似的に多階調化を図るプラズマディスプレイ装置であって、

前記各処理回路は、疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部と、

該誤差拡散処理部の前段に設けられ入力信号に対するディザ波形の加算および減算を行って、フリッカ発生頻度の高い誤差データをフリッカ発生頻度の低いデータに変換してフリッカの発生を抑える信号処理回路とを具備し、

前記ディザ処理回路は、前記入力信号においてフリッカの発生しやすいレベルに対応するディザ波形を格納するディザ波形テーブル、および、該ディザ波形テーブルの出力を前記入力信号に対して加算または減算するディザ波形演算処理手段を具備することを特徴とするプラズマディスプレイ装置。

【請求項９】

前記ディザ波形演算処理手段は、ライン／ドット毎に反転・非反転信号を出力するセレクタ、該セレクタの出力と前記ディザ波形テーブルの出力を乗算する乗算器、および、前記入力信号と該乗算器の出力とを加算する加算器を具備することを特徴とする請求項８のプラズマディスプレイ装置。

【請求項１０】

前記セレクタは、ラインカウンタの最下位ビットおよびドットカウンタの最下位ビットの排他的論理和を取った信号によって、前記入力信号に対するディザ波形のライン／ドット毎の反転・非反転信号を制御するようになっていることを特徴とする請求項９のプラズマディスプレイ装置。

【請求項１１】

前記ディザ波形テーブルは、複数種類のディザ波形を格納するディザ格納レジスタ、および、前記入力信号の階調に応じて該ディザ格納レジスタにおける複数種類のディザ波形から最適なディザ波形を指定するためのディザ指定レジスタを具備することを特徴とする請求項８のプラズマディスプレイ装置。

【請求項１２】
前記ディザ格納レジスタは、前記入力信号に加算および減算するディザ波形を格納していることを特徴とする請求項１１のプラズマディスプレイ装置。
【請求項１３】
前記ディザ格納レジスタは、前記入力信号に加算するディザ波形と前記入力信号から減算するディザ波形との両方をそれぞれ格納していることを特徴とする請求項１１のプラズマディスプレイ装置。
【請求項１４】
前記ディザ波形テーブルは、１種類のディザ波形を格納するディザ格納レジスタ、および、前記入力信号の階調に応じて該ディザ格納レジスタのディザ波形による前記入力信号の処理を行うか否かを指定するディザ指定レジスタを具備することを特徴とする請求項８のプラズマディスプレイ装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は画像処理装置及びプラズマ・ディスプレイ・パネルに関し、特に、誤差拡散処理により疑似的に階調数を増加するようにした表示装置における画像処理装置に関する。
【０００２】
近年、様々な表示装置の研究・開発が進められており、例えば、文字や映像等を鮮明に表示することができる大画面の平面型表示装置としてプラズマ・ディスプレイ・パネル（ＰＤＰ）が注目されている。このＰＤＰは表示階調数が少なく、自然画を表示する場合には何らかの多階調化処理が必要となるが、多階調化の一般的な処理としては「誤差拡散処理」が知られている。しかしながら、誤差拡散をＰＤＰディスプレイにそのまま適用すると、ＰＤＰ特有の表示方式との関係で、画質劣化を招くことになる。そこで、ＰＤＰ駆動回路（或いは、ＰＤＰの表示方式を適用した他の表示装置における駆動回路）に誤差拡散処理を施す場合に、誤差拡散に伴う画質劣化を防止しつつ多階調化を行う画像処理装置の提供が要望されている。
【背景技術】
【０００３】
図２３はプラズマ・ディスプレイ・パネル（ＰＤＰ）の階調駆動シーケンスの一例を示す図である。
一般的にＰＤＰでは、ビットの重み付けに比例した発光時間で、各ビット毎に全画面が同時に発光するサブフィールド方式がとられている。具体的に、図２３に示すように、６つのサブフィールドＳＦ１～ＳＦ６の発光時間の相対比を、例えば、１：２：４：８：１６：３２と設定することにより６ビット（６４階調）表示を行うようになっている。
【０００４】
図２３に示されるシーケンスからも明らかなように、階調数を増加するためにはサブフィールド（ＳＦ）数を増やせばよい。しかしながら、１つのサブフィールドには「アドレス期間」と呼ばれる発光画素を指定する期間が必要となるため、ＳＦ数を増やすことは、１フレーム期間（例えば、１６．７ｍｓ）内でのアドレス期間を増大させることになり、その結果、相対的に発光期間が短くなってパネルの輝度を低下させることになる。そのため、現段階での技術においては、ＳＦ数の上限は６個程度とされている。
【０００５】
このようなＰＤＰに対してテレビジョン映像（ＴＶ映像）などの自然画像を表示するためには、多階調化を図る何らかの画像処理が必要となる。ここで、多階調化の手法としては数通りのものが知られているが、その自然な階調特性から「誤差拡散処理」が最も有効とされており、ＰＤＰのみならずＬＣＤ（液晶ディスプレイ）等の本来表示階調数が少ないディスプレイに対しての疑似的な多階調化の手段として「誤差拡散処理」が多く用いられている。
【０００６】

図２４は誤差拡散処理の一例を説明するための図である。図２４において、参照符号１００（黒丸）は原画素を示し、１０１～１０４（白丸）は誤差拡散処理された原画素に隣接する画素を示している。

まず、誤差拡散処理法とは、閾値と表示すべき値とのズレ（誤差）を周辺のデータに加算することで疑似的に階調を増やす方法である。ここでは、ある程度（６４階調以下程度）の多値表示ができるＰＤＰの階調を増やす場合を例として説明する。

【０００７】

誤差拡散処理法は、原画素１００の輝度をｇ（ｘ，ｙ）とし、実際に表示できる輝度（表示値）Ｐとの差である誤差Ｅ（ｘ，ｙ）の値を周辺画素に拡散処理するものであり、Ｐは誤差Ｅ（ｘ，ｙ）が最小となる値を選び、また、誤差データＥ（ｘ，ｙ）はある比率で分割して、周辺画素に加算する。図２４に示す例では、代表的な比率として、右隣画素１０１に誤差の７／１６、右下画素１０２に１／１６、下画素１０３に５／１６、左下画素１０４に３／１６を配分し、各画素の本来表示すべき値に加減するようになっている。

【０００８】

図２５は誤差拡散処理をカラー・プラズマ・ディスプレイ・パネルに適用した一構成例を示すブロック図であり、図２６は誤差拡散処理を行った場合および行わない場合の表示特性を比較して示す図である。ここで、図２５では、原画が各色（赤色Ｒ、緑色Ｇ、青色Ｂ）８ビット（２５６階調）のデータを表示階調３ビット（８階調）のＰＤＰに対して誤差拡散処理を行うシステムが例として示されている。

【０００９】

従来技術において、ＰＤＰはある程度（６４階調程度）の表示階調数を確保することができ、また、サブフィールドは２の巾乗の時間配分で構成することが一般的であることを前提として、入力画像の上位から表示階調と同じビット数（上位３ビット）を表示データとし、残りの下位ビット（下位５ビット）を誤差データとして誤差拡散処理を施している。

【００１０】

このような図２５に示す従来システム構成における表示特性が図２６に示される。すなわち、誤差拡散処理をしない場合では、図２６中の点線で示されるような０～７の８ステップの階段波形となる。これに対して、誤差拡散を施すと、図２６中の太線で示されるような滑らかな表示特性となる。

【００１１】

しかしながら、図２６に示されるように、従来の誤差拡散処理では、原画像データの２５６階調（図２６中の細線参照）である“００００００００”～“１１１１１１１１”の上位３ビットをそのまま表示データとし、切り捨てられる下位５ビットをそのまま誤差データとして誤差拡散処理を施すため、明るい画像の部分で表示特性が飽和してしまう（図２６中のＰ参照）。この傾向は、ディスプレイが実際に表示できる階調数（ビット数）が大きくなるに従って小さくなる。すなわち、図２５および図２６では、表示３ビットを例としているが、実際には表示階調数が６ビット（６４階調）程度のディスプレイでは図２６中の平坦部（図２６中のＱ参照）が全体の６４分の１となり階調特性が微小に急峻となるが、換言すると、コントラストが若干強めになるが、顕著な画質劣化ではないとしてこのような処理を適用しているのが実情である。

【発明の開示】

【発明が解決しようとする課題】

【００１２】

上述したように、誤差拡散処理は、少ない階調でもって、疑似的に多階調化するには非常に有効である。しかし、動画像を主体とするディスプレイ、特にＰＤＰに適用した場合にはその階調表示駆動方法との関連で様々な問題が発生する。以下にその問題を説明する。

（１）表示特性の歪みの問題

ｉ）輝度飽和領域の発生

前述したように、例えば、ＰＤＰ（プラズマ・ディスプレイ・パネル）の発光輝度を上げるためには、サブフィールド数を少なくする必要がある。現状の技術レベルでは、ある程度の発光輝度を犠牲にして階調数を確保しており、例えば、１フレーム時間（１６．７ｍｓ）内にサブフィールドを６個に設定している。今後、輝度の向上を考慮すると、サブフィールド数を減らす必要が生じてくるため、ＰＤＰの実際の表示階調数は減少せざるを得ない。このことは、表示階調が６ビット（６４階調）の場合には無視できていた輝度飽和領域（図２６中の符号Ｑの領域）も、全体の表示特性の中では無視できなくなり、画質の劣化として大きな問題となる。

ii）階調数がビット境界にない場合における平坦部分の発生

上述したｉ）のような発光輝度を向上をしない場合（すなわち、例えば、サブフィールドが６つまで確保できる場合）でも、動画表示特性を向上させるためには、ＰＤＰのサブフィールドの構成を、例えば、４：８：１：２：８：４とするのが良いとされている。この場合は、０～２７の２８段階の表示階調となるが、これまでは表示階調数がビットバウンダリー（２の巾乗；６４，３２，１６等）であったため、輝度が平坦な部分はビット数をｎとすると全階調の2^n分の１となる。具体的に、例えば、５ビットの場合には、１／３２が平坦となるのである。しかしながら、２８階調（０～２７）の場合には、３２分の５の領域が平坦な特性となる。すなわち、原画像２５６階調を誤差拡散した５ビット３２階調とし、これをデータ変換テーブルを用いて実際の表示階調にあわせたとしても、全域にわたって表示階調が平坦な部分が５／３２の領域に発生することとなり、その結果、階調特性が歪んでしまうことになる（図２７および図２８参照）。

【００１３】

図２７は誤差拡散処理を行った場合の表示特性の一例を示す図であり、図２８は誤差拡散処理を行った場合の表示特性の他の例を示す図である。すなわち、図２７は平坦部分Ｒ１～Ｒ４が入力階調の高い方に集中した場合を示し、図２８は平坦部分Ｓ１～Ｓ４がある程度分散した場合を示しているが、何れの場合でも、階調特性が歪んで正確な階調表示を行うことができず表示品質の低下を招くことになる。

（２）フリッカの問題

例えば、ＰＤＰ（プラズマ・ディスプレイ・パネル）のサブフィールドによる階調駆動方式では、発光時間の長さによって階調を表現するようになっている。従って、表示データでのＬＳＢ（最下位ビット）の変化が、レベルによっては点灯するサブフィールドの時間軸上での位置（時刻）が大きく変動することになる。これがフレーム周波数（例えば、６０Ｈｚ）より低い周波数のフリッカとなり、画質劣化を引き起こす。

【００１４】

図２９はプラズマ・ディスプレイ・パネルの一階調駆動方式におけるフリッカの発生を説明するための図である。図２９では、説明を簡略化するために、サブフィールドの構成を１：２：４：８の４つのサブフィールド配列とし、０～１５の１６階調の場合を例として示している。

【００１５】

ある画素の輝度がフィールド毎に７→８→７→８と変化した場合を考えると、人間の目には、隣接するフィールドを跨がって、０→１５→０の変化が３０Ｈｚで発生し、フリッカが生じているように映る。

【００１６】

図３０は誤差拡散処理を行わない場合のフリッカの様子を示す図であり、図３１は誤差拡散処理を行った場合のフリッカの様子を示す図である。

上述したように、点灯するサブフィールドが時間軸上で大きく変動しやすい個所において、このようなフリッカの発生が目につきやすくなる。すなわち、２５６階調の原画像で輝度レベルが１２８近傍にある画素が、１６階調表示のＰＤＰに表示される時、静止画であるにも係わらず量子化誤差または映像ノイズ等により、このような状態（図３０中のハッチング領域Ｔ１参照）が発生する。

【００１７】

一方、誤差拡散処理は、原画像データと表示データとの差を積算し、ある面積で階調を補間していくため、図３１中のハッチング領域Ｔ２で示されるような表示特性となる。このため、誤差拡散を行わない場合には、原画像データが１２８近傍の値でしかフリッカを発生しなかったもの（図３０中の領域Ｔ１が、誤差拡散を行うと原画像データが１１３～１２８の値を取るもの（図３１中の領域Ｔ２）について、表示データが７→８に、或いは、８→７に変化することになる。すなわち、誤差拡散処理を行うことは、フリッカを起こす画素数を増大させることになるのである。

【００１８】

誤差拡散を施すと、元々表示階調が少ないもので疑似的に多階調化を図るため、どのレベルにおいてもこのような信号が変化（８→９，９→８）が生じることになり、その度合いで階調を表現している。しかしながら、フリッカが顕著に目に付くのは、例えば、７と８の間の変化であるため、サブフィールド配列が変わればフリッカが目立ち易いレベルも異なってくるのである。

【００１９】

本発明は、上述した画像処理装置が有する課題に鑑み、誤差拡散に伴う画質劣化を防止しつつ多階調化を行う画像処理装置の提供を目的とする。

【課題を解決するための手段】

【００２０】

本発明（本発明の第２の形態）によれば、疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部と、該誤差拡散処理部の前段に設けられ入力信号に対するディザ波形の加算および減算を行って、フリッカ発生頻度の高い誤差データをフリッカ発生頻度の低いデータに変換してフリッカの発生を抑えるディザ処理回路とを具備することを特徴とする画像処理装置が提供される。

【００２１】

本発明の画像処理装置（本発明の画像処理装置の第２の形態）によれば、誤差拡散処理部の前段に設けられたディザ処理回路により、入力信号に対するディザ波形の加算および減算が行われ、フリッカ発生頻度の高い誤差データをフリッカ発生頻度の低いデータに変換してフリッカの発生を抑えることができる。

上記の本発明の画像処理装置は、ＲＧＢ３原色ディスプレイに対して適用することができる。

【発明の効果】

【００２２】

本発明の画像処理装置によれば、表示階調数の少ないディスプレイ、特に、ＰＤＰ（プラズマ・ディスプレイ・パネル）等の誤差拡散処理を用いて疑似的に多階調化を図り画像を表示する場合において、従来技術に見られた表示階調歪みの発生、および、フリッカの増大等を抑えることができる。さらに、本発明の画像処理装置によれば、ディスプレイの有する非線形特性や、ＲＧＢの蛍光体のバラツキに起因するカラーバランス歪みに対しても同時に補正を行うことができ、ディスプレイの高画質化に多きく貢献することができる。

【発明を実施するための最良の形態】

【００２３】

以下、図面を参照して本発明に係る画像処理装置の第１の形態および第２の形態を詳述する。

【実施例】

【００２４】

まず、表示特性の歪みの問題を解決する本発明の画像処理装置の第１の形態の原理構成を説明する。

図１は本発明に係る画像処理装置の第１の形態の原理を示すブロック図であり、図２は本発明の画像処理装置の第１の形態による表示特性を示す図である。

【００２５】

図１に示されるように、本発明の画像処理装置の第１の形態は、誤差拡散処理部４の前段に乗算器３を設け、表示できる階調数に照らしたゲイン係数Ｇを与え、これにより表示データと誤差データをビット境界で切りわけ、この信号を基に誤差拡散処理を行うようになっている。これにより、前述した輝度の飽和領域の発生をなくし、かつ、表示階調がビット境界にない場合に生じる表示特性の平坦部等を発生させないようにすることが可能となる。

【００２６】

（１）まず、例えば、元の映像信号（Ｄ１）が２５６階調（８ビット）で表示階調（Ｄ２）が５ビット（０～３１）の場合、ゲイン係数Ｇを３１×８／２５５＝２４８／２５５とすることにより、輝度の飽和領域の発生をなくすことができる。

（２）次に、例えば、元の映像信号（Ｄ１）が２５６階調（８ビット）で表示階調（Ｄ２）がビット境界にない場合（０～２７）、ゲイン係数Ｇを２７×８／２５５＝２１６／２５５とすることにより、表示階調がビット境界にない場合に生じる表示特性の平坦部等を発生させないようにすることができる。このときの表示特性が図２に示される。

【００２７】

上述した１）および２）のどちらの場合でも、乗算器３から出力される信号は、上位ビット（上位５ビット）が表示データで、残りの下位ビット（下位３ビット）が誤差データとして分離されることになる。これを通常の誤差拡散処理部４に供給し、誤差拡散を行うことにより所望の表示特性を得ることができる。

図３は本発明の画像処理装置の第１の形態による表示歪みの補正を説明するための図である。ここで、原信号（映像入力信号）が２５６階調（０～２５５）で表示階調が６階調（０～５）の場合を例として本発明の画像処理装置の第１の形態の作用を説明する。

【００２８】

図３において、従来技術の表示特性が細線（Ｌ１）で示され、本発明の画像処理装置の第１の形態による表示特性（図１における乗算器３の出力）が太線（Ｌ２）で示され、そして、実際の表示階調が点線（Ｌ３）で示されている。すなわち、図３中の細線Ｌ１に示されるように、従来技術のように原信号をそのまま誤差拡散処理に入力した場合には、入力０～２５５の全域に渡って４分の１が平坦な特性（図３中の領域Ｑ０参照）となるのに対して、図３中の太線Ｌ２に示されるように、本発明の第１の形態を適用することにより、全域に渡って平坦部を発生させることなく誤差拡散処理により疑似中間調表示を行うことができる。

【００２９】

すなわち、図１に示されるように、まず、入力された映像信号Ｄ１はゲイン係数Ｇが乗算されて出力される。この時の入出力の関係は、図３中の太線Ｌ２の特性となる。ここで、例えば、上位３ビットが表示データとされ、下位ビットが誤差データとされる。誤差データのビット数は、（乗算器の構成にも依存するが）乗算による下位へのビット伸長を長く取れば取るほど、後段の誤差拡散処理によって滑らかな表示特性を得ることができる。例えば、簡易的に誤差データを５ビットとすることができる。

【００３０】

以上のように、所定のゲイン係数（Ｇ）を設定し、原信号（Ｄ１）に乗算することにより、実際の表示階調数にあわせて入力信号の全域にわたって滑らかな表示特性を得ることができる。さらに、この乗算器３の出力は、上位と下位のビット境界で、表示データと誤差データとの分離が行われることになる。この乗算器３の出力信号を基に誤差拡散処理部４で誤差拡散処理を施し、疑似中間調を作り出すことにより、従来技術で発生していた信号の平坦部（図３中の細線Ｌ１における領域Ｑ０）を無くすことができ、図３中の太線Ｌ２で示されるような、滑らかな表示特性を得ることができる。

【００３１】

次に、フリッカの問題を解決する本発明の画像処理装置の第２の形態の原理構成を説明する。

図４は本発明に係る画像処理装置の第２の形態の原理を示すブロック図である。図４に

おいて、参照符号５は信号処理回路（ディザ処理回路），６は誤差拡散処理部，５１はディザ波形テーブル，５２は加算器，５３は乗算器，そして，５４はセレクタ（切替器）を示している。

【００３２】

図４に示されるように、本発明の画像処理装置の第２の形態は、誤差拡散処理部６の前段に、ディザ波形テーブル５１，加算器５２，乗算器５３，および，セレクタ５４を備えた信号処理回路５を設けるようになっている。ディザ波形テーブル５１は、映像信号Ｄ１を受け取ってサブフィールドの配列および点灯順序等によりフリッカの発生しやすいレベルに対応するディザ波形を出力するためのものであり、また、セレクタ５４は、ライン／ドット毎に×１，×（－１）を行うものである。さらに、乗算器５３は、ディザ波形テーブル５１の出力信号およびセレクタ５４の出力信号を乗算するものであり、また、加算器５２は、映像信号Ｄ１および乗算器５３の出力信号を加算するものである。そして、この信号処理回路５によって、各レベル毎に最適なディザをかけられた信号が誤差拡散処理部６に供給され、該誤差拡散処理部６における誤差拡散処理が施されてもフリッカの発生頻度を抑圧するようになっている。

【００３３】

図５は本発明の画像処理装置の第２の形態を説明するための一例としてのディザ配置を示す図であり、また、図６は本発明の画像処理装置の第２の形態によるフリッカの抑圧を説明するための図である。ここで、ＰＤＰのサブフィールドを４つとし、そのサブフィールドの構成を１：２：４：８：１６とした場合、従って、実際の表示階調数は０～３１の３２階調となり、これに原信号が２５６階調（０～２５５）の映像を誤差拡散処理により疑似的に中間調表示を行う場合を例として本発明の画像処理装置の第２の形態の作用を説明する。尚、上記の場合、フリッカを起こす確率は、後に詳述するように、３２．８％となる。

【００３４】

この時、注意しなければならないのは、０～３１のどの表示値においてもこの確率で表示値Ｎ→Ｎ＋１，Ｎ＋１→Ｎを起こしているのであるが、点灯するサブフィールドが時間軸上で大きく変動する個所、例えば、「１，２，４，８の点灯」→「１６の点灯」となるような表示値１５と１６の間のデータ変動がフリッカとして最も顕著に見える個所となることである。この表示値が１５～１６に変動する可能性がある領域にディザ波形を加える場合の動作を以下に示す。

【００３５】

【表１】

〔表１〕

原画階調		120	121	122	123	124	125	126	127	128
ディザデータ		0	1	2	3	4	3	2	1	0
A	係数	+0	+1	+2	+3	+4	+3	+2	+1	+0
	出力	120	122	124	126	128	128	128	128	128
	表示	15	15 or 16			16				
B	係数	-0	-1	-2	-3	-4	-3	-2	-1	-0
	出力	120	120	120	120	120	122	124	126	128
	表示	15					15 or 16			16

【００３６】

まず、図５に示されるように、ＰＤＰの全画素を水平および垂直方向においてＡとＢの千鳥状に分類する。そして、１５～１６の表示値を取る領域の各ディザ値を上記の表１におけるディザデータ（表１のハッチング部）のようにし、この値を図４におけるディザ波形テーブル５１内に持たせる。これにより、入力信号（映像信号Ｄ１）に対応したディザ波形が該ディザ波形テーブル５１から読み出されることになる。この時、例えば、画面の水平カウンタおよび垂直カウンタのＬＳＢ（最下位ビット）により、ドット反転し且つライン反転するトグル信号を生成し、このトグル信号（画面上では千鳥状）によりディザ数値を原信号に加算したり、或いは、原信号から減算する。

【００３７】

従って、ディザ値を加算された画素Ａと、ディザ値を減算された画素Ｂの特性はそれぞれ図６中の太線で示す値となる。これをＡ，Ｂの区別なく誤差拡散処理を行うことにより、図６中の太線で示す表示特性とすることができる。

【００３８】

この時、表１に示すように、表示値１５～１６の領域の原画階調１２０～１２８は、上記のようなディザ処理を加えない場合には１２１～１２７の領域において表示値が１５→１６，１６→１５といった変動の可能性があるが、ディザ処理を加えることにより、画素Ａでは１２１～１２３、画素Ｂでは１２５～１２７の原画階調のみが１５～１６の間で表示階調が変動することになる。従って、上記の例で示したディザ波形でディザ処理をした後に誤差拡散処理を施した画像は、後に詳述するように、従来のディザ処理を施さず誤差拡散処理を行った場合に比べて、フリッカの発生頻度は約２分の１程度になる。

【００３９】

次に、本発明に係る画像処理装置の第１の形態の実施例を説明する。ここで、本発明の画像処理装置の第１の形態は、入力信号の表示特性の歪みを補正し、且つ、全域に渡って階調特性を滑らかにするものである。

【００４０】

図７は本発明の画像処理装置の第１の形態における第１の実施例を示すブロック図である。図７において、参照符号３は乗算器，４は誤差拡散処理部，１０はプラズマ・ディスプレイ・パネル（ＰＤＰ），そして，３０はレジスタを示している。この図７は、ｎビットで量子化（０以上で2^{n}－１以下の整数）された信号を、実際の表示階調数Ａがｍビット（ｍ＜ｎ）すなわち表示階調数Ａが2^{m-1}＋１以上で、2^{m}以下のディスプレイ（ＰＤ

Ｐ）に対して誤差拡散処理を行い疑似的に多階調化を図る場合の画像処理装置の回路構成例を示すものである。

【００４１】

図７に示されるように、本発明の画像処理装置の第１の形態における第１の実施例は、誤差拡散処理部４の前段に乗算器３を備え、さらに、該乗算器３に対して供給する乗算係数Ｇを格納するレジスタ３０を備えている。

【００４２】

レジスタ３０は、最適な乗算係数Ｇである（Ａ－１）×2^{n-m}／（2^{n}－１）を格納するようになっている。このレジスタ３０は、サブフィールド配列が変わって表示階調数が変化した場合でも対応可能なように、書き換え可能なラッチ回路等により構成される。また、レジスタ３０のビット数は所要演算ビット数に依存するが、本実施例ではｐビットとされている。この乗算係数Ｇが入力信号Ｄ１（ｎビット）と乗算され、ｑビットで出力される。この時、ｑは、ｎ≦ｑ≦ｎ＋ｐの値であるが、実際には、システムの所要演算精度によって決定されることになる。

【００４３】

そして、乗算処理されたｑビットの信号は、上位ｍビットが正数で原画素の表示値として出力され、下位ｑ－ｍビットも正数で誤差値として出力される。これにより、後段の誤差拡散処理部４で行われる誤差拡散処理における誤差積算が正数演算のみによる簡単な演算回路として構成することができるようになっている。さらに、本実施例によれば、入力階調の全域に渡って滑らかな表示特性を持つ（平坦部のない）ｍビットの表示信号を得ることができることになる。

【００４４】

図８は本発明の画像処理装置の第１の形態における第２の実施例を示すブロック図であり、図９は図８の画像処理装置における処理動作を説明するための図である。図８において、参照符号３１は乗算係数（Ｇ）の傾きＡ（Ａａ～Ａｄ）を格納するためのレジスタ（乗算係数レジスタ），３３は乗算係数の切片Ｂ（Ｂａ～Ｂｄ）を格納するためのレジスタ（加算係数レジスタ），３５は加算器，３２はレジスタ３１から出力される乗算係数の傾きＡａ～Ａｄを選択して乗算器３へ供給するためのセレクタ（乗算係数セレクタ），そして，３４はレジスタ３２から出力される乗算係数の切片Ｂａ～Ｂｄを選択して加算器３５へ供給するためのセレクタ（加算係数セレクタ）を示している。この図８は、ｎビットで量子化（０以上で2^{n}－１以下の整数）された信号を、実際の表示階調数Ａがｍビット（ｍ＜ｎ）すなわち表示階調数Ａが2^{m-1}＋１以上で、2^{m}以下で、なおかつ非線形特性（γ特性など）をもつディスプレイに誤差拡散処理を行い疑似的に多階調化を図る場合の画像処理装置の回路構成例を示すものである。

【００４５】

図８に示されるように、本発明の画像処理装置の第１の形態における第２の実施例は、ディスプレイの非線形特性を補正する曲線（逆特性）を直線近似するように構成されている。近似の方法は、システム所要精度によるが、本実施例では４つの直線により補正曲線の近似を行う場合を例として示しており、その特性は図９に示される。尚、ディスプレイの表示階調は０～２７の２８階調の場合を想定し、従って、入力信号の最高階調（８ビット信号における２５５）が（Ａ－１）×2^{n-m}＝２７×８＝２１６になるようにした上で、補正曲線を決定するようになっている。

【００４６】

具体的に、４本の直線の傾き（乗算係数）と切片（加算係数）を、それぞれ入力信号が０～６３の領域ａでは，傾きＡａ，切片Ｂａとし、入力信号が６４～１２７の領域ｂでは，傾きＡｂ，切片Ｂｂとし、入力信号が１２８～１９１の領域ｃでは，傾きＡｃ，切片Ｂｃとし、そして、入力信号が１９２～２５５の領域ｄでは，傾きＡｄ，切片Ｂｄとするようになっている。

【００４７】

この傾きＡ（Ａａ～Ａｄ）および切片Ｂ（Ｂａ～Ｂｄ）の数値をそれぞれレジスタ３１

および３２に格納する。レジスタ３１，３２は、サブフィールド配列が変わって表示階調数が変化した場合でも対応できるように書き換え可能なラッチ回路等により構成される。また、入力信号の上位２ビットによって傾きＡと切片Ｂが選択され、そして、まず、入力信号Ｄ１と傾きＡが乗算され、その後に切片Ｂが加算される。尚、傾きＡ、切片Ｂとも正負の値を取り得る。そして、この演算式は、ｙ＝Ａｘ＋Ｂとなり、４つの領域によってＡ，Ｂが切り替わることにより所望する直線近似した補正特性を得ることができる。また、上記の領域、或いは、レジスタに格納する傾きおよび切片の数は、４つに限定されるものではないのはもちろんである。

【００４８】

そして、乗算および加算処理されたｑビットの信号は、上位ｍビットが正数で原画素の表示値として出力され、下位ｑ－ｍビットも正数で誤差値として出力される。これにより、後段の誤差拡散処理をおける誤差積算が正数演算のみによる簡単な演算回路で構成することができるようになっている。さらに、本実施例によれば、ディスプレイの非線形特性を補正するのと同時に、入力階調の全域に渡って滑らかな表示特性を持つ（平坦部のない）ｍビットの表示信号を得ることができることになる。

【００４９】

図１０は本発明の画像処理装置の第１の形態における第３の実施例を示すブロック図であり、図１１は図１０の画像処理装置における処理動作を説明するための図である。

この図１０および図１１に示す第１の形態の第３実施例も、上述した図８および図９に示す第１の形態の第２実施例と同様に、４つの直線により補正曲線の近似を行うようになっているが、レジスタ３１，３３に格納するのは、該第２実施例では傾き（Ａ）および切片（Ｂ）であったのが、本第３実施例では傾き（Ａ）および各境界の左端のｙ値（Ｃ）となっている。具体的に、レジスタ３３に対して、例えば、４ブロックのうち左から２つ目のブロックでは、ｘ＝６４との交点のｙ値（Ｃｂ）を格納することになる。これにより、前記第２実施例における乗算器３の被乗数であるｎビットを、本第３実施例では、ｎ－２ビットにすることができ、乗算器３の回路構成を簡略化することができる。

【００５０】

ここで、本第３実施例においても、上記の領域の数は４つに限定されるものではないが、例えば、領域が８つの場合、すなわち、８つの直線近似を行う場合には、乗算器３の被乗数をｎ－３ビットにすることができ、高性能化に伴う回路規模の増大を最小限に抑えることができる。

【００５１】

図１２は本発明の画像処理装置の第１の形態における第４の実施例を示すブロック図である。

この図１２に示す第１の形態における第４実施例は、ＲＧＢのカラー３原色によるディスプレイに適用する場合を示すものであり、ｎビットで量子化された入力ＲＧＢ信号に対して、実際の表示階調がｍビット（ｍ＜ｎ）以下で、ＲＧＢがそれぞれ異なる非線形特性（γ特性など）をもつディスプレイに対して、カラーバランスを崩すことなく、誤差拡散処理によって疑似的に多階調化処理を施し画像表示する場合の画像処理装置の回路構成例を示すものである。

【００５２】

ＲＧＢの各色に対する回路構成は、図８および図９を参照して説明した本発明の画像処理装置の第１の形態の第２実施例と同様のものであり、ＲＧＢそれぞれに対して誤差拡散処理を行うようになっている。ここで、ＲＧＢの各表示蛍光体の発光特性のバラツキ等によりＲＧＢの非線形特性はそれぞれ異なるため、ＲＧＢの各々に対して異なる補正特性を持たせるように、第１の形態の第２実施例における傾きＡおよび切片Ｂを格納するレジスタ３１および３３をＲＧＢに対して独立に設けるようになっている。尚、ＲＧＢの各色に対する回路構成を、例えば、図１０および図１１を参照して説明した本発明の第１の形態の第３実施例と同様に構成してもよいのはいうまでもない。

【００５３】

以下、本発明に係る画像処理装置の第２の形態の実施例を説明するが、その前に、誤差拡散処理の悪影響（フリッカ＋固定模様）について説明する。ここで、本発明の画像処理装置の第２の形態は、誤差拡散処理を施し疑似的に多階調化を図ると同時に、誤差拡散に伴うフリッカを抑制させるものである。尚、以下の実施例では、主としてＲＧＢによるカラー表示を行うＰＤＰに適用した場合を説明するが、本発明の第２の形態も上述した第１の形態と同様に、本第２の形態の適用がＲＧＢカラー表示を行うディスプレイに限定されるものではなく、また、ＰＤＰに限定されるものでもない。

【００５４】

まず、誤差拡散の分析を行う。

８ビットの入力信号（Ｄ１）を５ビットの表示データ（Ｄ）および３ビットの誤差データ（Ｅ）とする場合を考える。このとき、誤差データＥは、０～７の８種類の値となる。

誤差拡散処理は、近傍画素の誤差データＥを集めて「８」を越える場合には、「最下位ビット１」を出力するものである。

従って、誤差データＥ＝３で均一な画素は、３／８の確率で８となり、５／８の確率で０となる。

【００５５】

次に、フリッカの発生頻度について説明する。

現在予定しているサブフィールド構成では、点灯サブフィールドが時間軸上で大きく移動するような特定レベルにおいてフリッカとなる。ここで、フリッカは、特に、輝度の低い部分で目立ち易い。なお、輝度が高い部分では点灯期間の時間軸上での重心移動が少なくなる。

【００５６】

図１３は誤差データとフリッカ発生頻度との関係の一例を示す図である。

フリッカは、誤差拡散処理に照らして考えると、表示データＤに影響を及ぼす１が立ったり、立たなかったりする時に発生する。すなわち、誤差データＥの積算値が「“８”→“０”」に変化する時、および、「“０”→“８”」に変化する時にフリッカとなる。

【００５７】

具体的に、誤差データＥ＝３の場合におけるフリッカの発生頻度P_3は、

P_3＝（３／８）・（５／８）＋（５／８）・（３／８）

＝１５／３２

となり、また、Ｅ＝ｋの場合におけるフリッカの発生頻度P_kは、

P_k＝ｋ（８－ｋ）／３２

となる（以下の表２参照）。

【００５８】

【表２】

〔表２〕

E	発生頻度Ｐ
０	０／３２
１	７／３２
２	１２／３２
３	１５／３２
４	１６／３２
５	１５／３２
６	１２／３２
７	７／３２

【００５９】
従って、任意レベル内でのフリッカの発生頻度は、次式に示されるように、３２．８％となる。
【００６０】
【数１】

$$\sum_{K=0}^{7} E_K = 84/256 = 32.8\%$$

【００６１】
これが特定レベル（具体的に、点灯サブフィールド（ＳＦ）が時間軸上で大きく変動する個所）では、フリッカとなって画質劣化と感じられることになる。
【００６２】
図１４は２つの事象間で変化が生じる確率の一例を説明するための図である。具体的に、例えば、現象Ａが起こる確率を４０％、現象Ｂが起こる確率を６０％と仮定した場合、「Ａ→Ｂ」の確率は４／１０・６／１０＝２４／１００、「Ｂ→Ａ」の確率は６／１０・４／１０＝２４／１００、「Ａ→Ａ」の確率は４／１０・４／１０＝１６／１００、そして、「Ｂ→Ｂ」の確率は６／１０・６／１０＝３６／１００となる。
すなわち、状態が変化する確率（「Ａ→Ｂ」および「Ｂ→Ａ」）は４８％となり、また、状態が変化しない確率（「Ａ→Ａ」および「Ｂ→Ｂ」）は５２％となる。
【００６３】
次に、本発明に係る画像処理装置の第２の形態の基本的な考え方を説明すると、本発明の第２の形態では、上記の表２に基づき状態遷移（「０→１」，「１→０」）の発生し易い誤差データＥ（例えば、誤差データＥ＝４）を、状態遷移の発生し難いデータに変換するものである。具体的に、元の階調を再現するために、２画素セットで同じ値を加算およ

び減算し、その平均値を元のデータと同じにする。

【００６４】

具体的に、例えば、表示データに対して千鳥状のディザマトリクスをかけ、Ａ＋Ｂで階調表現する場合に、ＡおよびＢの両方共にフリッカが発生し難いレベルに変換するために、入力信号に±Ｚのディザパターンを足し込む（加算（減算）する）。

【００６５】

図１５は本発明の画像処理装置の第２の形態におけるフリッカの低減手法を適用した一例を説明するための図である。

前記の表２での誤差データＥによるフリッカの発生頻度（何も処理しない時）を図１５中の太線LN15で示す。

【００６６】

次に、それぞれの誤差データＥに対し±Ｚで元の誤差データＥを表現できるＺを数種選択し、そして、Ｅ±Ｚの２点を結ぶ直線と元のＥとの交点で、Ｐ（フリッカの発生頻度）が１番小さい値をとるものを「フリッカ低減用の最適ディザ」として選択する。

この最適ノイズを、次の表３に示す。この時のフリッカ発生頻度は、図１５中のハッチング領域となる。

【００６７】

【表３】

〔表３〕

Ｅ	Ａ，Ｂ	Ｚ
0	0，0（0±0）	0
1	0，2（1±1）	1
2	0，4（2±2）	2
3	0，6（3±3）	3
4	0，8（4±4）	4
5	2，8（5±3）	3
6	4，8（6±2）	2
7	6，8（7±1）	1

【００６８】

図１６は図１５に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図である。

上述したように、本発明のフリッカ低減手法を適用した場合、ＡおよびＢの値は以下のようになる。

Ｐ＝Ａ＋Ｂ

Ａ＝１／１６・１／３２（０＋１２＋１６＋１２＋０＋０＋０＋０）

Ｂ＝１／１６・１／３２（０＋０＋０＋０＋０＋１２＋１６＋１２）

【００６９】

この時のフリッカ発生頻度を求めると、Ｐ＝４０／２５６＝１５．６％となる。従って、本発明のフリッカ低減手法を適用した場合のフリッカ発生頻度（１５．６％）は、前述

した本発明のフリッカ低減手法を適用しない場合のフリッカ発生頻度（３２．８％）の半分以下になる。

【００７０】

ここで、Ｎ画素のディザマトリクスによるフリッカ低減を考える。

上記の説明では、ディザパターンを±Ｚの２値としているが、このディザパターンは、例えば、４値或いは８値等のディザパターンとすることも可能である。すなわち、４値および８値のパターンでは、２値の場合よりもさらなるフリッカ除去が可能である。

【００７１】

４値のディザを２×２のディザマトリクスで表現した例を以下に示す。

〔０〕	〔１〕	〔２〕	〔３〕	〔４〕	〔５〕	〔６〕	〔７〕
00	10	20	20	20	20	20	21
00	00	00	01	02	12	22	22

【００７２】

また、８値のディザを２×２のディザマトリクスで表現した例を以下に示す。

〔０〕	〔１〕	〔２〕	〔３〕	〔４〕	〔５〕	〔６〕	〔７〕
0000	1000	1000	1010	1010	0101	0111	0111
0000	0000	0010	0100	0101	1011	1101	1111
0000	0010	0100	1001	1010	0110	1011	1101
0000	0000	0001	0100	0101	1011	1110	1111

【００７３】

図１７は本発明の画像処理装置の第２の形態におけるフリッカの低減手法を適用した他の例を説明するための図である。図１７において、参照符号LN17はフリッカ低減手法を適用しない場合のフリッカ発生頻度を示し、LN17A およびLN17B は２値のディザパターン（Ａ，Ｂ）を使用した本発明のフリッカ低減手法を適用した場合のフリッカ発生頻度を示し、そして、LN17A0,LN17A1,LN17B0,LN17B1 は４値のディザパターン（A0,A1,B0,B1)を使用した本発明のフリッカ低減手法を適用した場合のフリッカ発生頻度を示している。

【００７４】

図１８は図１７に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図であり、同図(a) はフリッカ低減手法を適用しない場合を示し、同図(b) は２値のディザパターンによる本発明のフリッカ低減手法を適用した場合を示し、同図(c) は４値のディザパターンによる本発明のフリッカ低減手法を適用した場合を示し、そして、同図(d) は８値のディザパターンによる本発明のフリッカ低減手法を適用した場合を示している。

【００７５】

図１８(a) ～図１８(d) に示されるように、フリッカ低減手法を適用しない場合のフリッカ発生頻度は３２．８％（同図(a) 参照）であったのが、２値のディザパターンを適用した場合のフリッカ発生頻度は１５．６％（同図(b) 参照）となり、また、４値のディザパターンを適用した場合のフリッカ発生頻度は６．２％（同図(c) 参照）となり、そして、８値のディザパターンを適用した場合のフリッカ発生頻度は０％（同図(d) 参照）となることが示されている。すなわち、４値および８値のディザパターンを適用した場合には、２値のディザパターンを適用した場合よりもさらに一層のフリッカ除去が可能であることが判る。

【００７６】

以下に説明する本発明の画像処理装置の第２の形態における各実施例では、ｎビットで量子化された入力信号を実際の表示階調がｍビット（ｍ＜ｎ）以下のＲＧＢカラー３原色によるディスプレイに対し、誤差拡散処理を施して疑似的に多階調化を図ると共に誤差拡散に伴うフリッカを抑制させる回路例が示される。

【００７７】

図１９は本発明の画像処理装置の第２の形態における第１の実施例を示すブロック図である。図１９において、参照符号２０１～２０３はＲＧＢの各々に対して設けられたディ

ザ波形処理部を示し、さらに、２７１，２７２はレジスタ，２７３はラインカウンタ，２７４はドットカウンタ，２７５はＥＯＲ（排他的論理和：エクスクルーシブＯＲ）ゲートである。また、参照符号２１１，２１２，２１４はセレクタ，２１３はインバータ，２１５は加算器，そして，２１６は誤差拡散処理部を示している。

【００７８】

この図１９に示す実施例は、数種類のディザ波形を持ち、入力信号のレベルに応じて適切なディザ波形を指定できる回路構成を示すものである。本実施例では、入力信号がＲＧＢのそれぞれ８ビットとして構成され、実際の表示階調も各々５ビット（０～１６の１７階調から、０～３１の３２階調）であり、この時に施すディザ波形を４ビット（－１５～１５）で８パターンを１種類とし、これを７種類（実際には、ディザＯＦＦを含めて８種類）指定できるようになっている。

【００７９】

【表４】

〔表４〕

ＲＥＧ１

表示階調	入力階調	ディザ種類
０	０～７	ＯＦＦ
１	８～１５	No. ３
２	１６～２３	ＯＦＦ
３	２４～３１	No. １
∫		
３１	２４８～２５５	No. ３

【００８０】

レジスタ２７１（ＲＥＧ１）は、上記の表４に示されるように、入力信号の階調（０～７，８～１５，１６～２３等）に応じて施す最適なディザ種類（ＯＦＦ，No.３，ＯＦＦ等）を指定するために用いられる。本実施例では、ディザは７種類（３ビット）用意され、レジスタ２７１は、これら７種類のディザを表示階調数（３２階調）毎に指定できるように３２×３＝９６ビットのレジスタとして構成されている。このレジスタ２７１は、後述するレジスタ２７２と同様に、例えば、サブフィールド構成等が変化した場合にデータの更新を行うことができるように、ラッチ回路等により構成されている。

【００８１】

【表５】

〔表５〕

	REG2							
誤差データ	0	1	2	3	4	5	6	7
ディザ種類 No. 1	0	1	2	3	4	3	2	1
No. 2	1	1	1	1	1	1	1	1
No. 3	0	0	2	4	4	4	2	0
∫								
No. 6	0	0	0	1	3	1	0	0
No. 7	0	0	1	2	3	2	1	0

【００８２】

レジスタ２７２（ＲＥＧ２）は、上記の表５に示されるように、ディザ波形を格納するレジスタであり、１レベル当たり４ビット、すなわち、１表示階調領域当たり８個（＝誤差データ３ビットに相当）を７種類用意するため、４×８×７＝２２４ビットのレジスタとして構成されている。そして、これら２つのレジスタ２７１，２７２に対して所望のディザ処理をプログラムする。

【００８３】

入力されたＲＧＢ（赤色，緑色，青色）の各８ビットの信号は、それぞれの処理ブロック（ディザ波形処理部）２０１，２０２，２０３に入力される。すなわち、各ディザ波形処理部において、上位５ビットがセレクタ２１１（ＳＥＬ１）に入力されてセレクト信号となる。セレクタ２１１は、３ビットの３２to1セレクタであり、これにより、所定レベルのディザ種類がレジスタ２７１から選択されることになる。

【００８４】

セレクタ２１１により選択された３ビットのディザ番号と、入力信号の下位３ビットの合計６ビットがセレクタ２１２（ＳＥＬ２）に入力される。セレクタ２１２は、４ビットのイネーブル付５６to1セレクタであり、イネーブル／ディセーブル制御はディザＯＦＦの状態（ディザ No.０に対応）に使用され、ディザ No.０が指定されるとセレクタ２１２からはデータ０が出力される。

【００８５】

このように、入力階調に応じて選択されたディザ波形は、セレクタ２１３（ＳＥＬ３）により反転／非反転の制御が行われる。すなわち、反転の場合はインバータ２１３を介して入力されたセレクタ２１２の出力を選択し、また、非反転の場合には直接入力されたセレクタ２１２の出力を選択することになる。セレクタ２１４は、４ビットの２to1セレクタであり、また、該セレクタ２１４の切り替え信号は、垂直方向のラインカウンタ２７３および水平方向のドットカウンタ２７４の各ＬＳＢ（最下位ビット）をＥＯＲゲート２７５で排他的論理和を取った出力となっている。従って、セレクタ２１４の切り替え信号は、画面上では千鳥状の信号となる。この信号によって反転／非反転出力されたディザ波形および８ビットの入力信号が加算器２１５において演算される。すなわち、図１９中の破線で囲んだ部分は、ディザ波形（セレクタ２１２の出力波形）をαとすると、「入力信号±α」の演算をしていることになる。

【００８６】

これら一連の処理により、入力信号に応じたディザ波形が入力信号自身に千鳥状に加算・減算され所望のディザ処理が完了し、誤差拡散処理部２１６に出力される。尚、誤差拡散処理部２１６における誤差拡散処理は、前述した従来の処理と同様であり、その説明は省略する。

【００８７】

図２０は本発明の画像処理装置の第２の形態における第２の実施例を示すブロック図である。本第２実施例は、上述した第１実施例と同様な構成とされており、参照符号３０１～３０３はＲＧＢの各々に対して設けられたディザ波形処理部を示し、さらに、３７１，３７２はレジスタ，３７３はラインカウンタ，３７４はドットカウンタ，３７５はＥＯＲゲートである。また、参照符号３１１，３１２，３１４はセレクタ，３１３はインバータ，３１５は加算器，そして，３１６は誤差拡散処理部を示している。

【００８８】

この図２０に示す第２の形態の第２実施例は、１種類のディザ波形のみを設定し、入力信号レベルに応じてＯＮ／ＯＦＦ（ディザ処理をする／しない）を指定できる回路構成を示すものである。本実施例では、入力信号がＲＧＢのそれぞれ８ビットとして構成され、実際の表示階調も各々５ビット（０～１６の１７階調から、０～３１の３２階調）であり、この時に施すディザ波形を４ビット（－１５～１５）で８パターンを１種類のみ持つようになっている。

【００８９】

図２０の画像処理装置におけるレジスタ３７１（ＲＥＧ１）は、上述した本発明の第２の形態における第１実施例と同様に、入力信号の階調に応じたディザのＯＮ／ＯＦＦを指定するものであり、表示階調数（３２階調）毎に指定できるように、３２×１＝３２ビットのレジスタとして構成されている。また、図２０の画像処理装置におけるレジスタ３７２（ＲＥＧ２）は、ディザ波形を格納するレジスタであり、１レベル当たり４ビットで８個を１種類用意するため、４×８＝３２ビットのレジスタとして構成されている。これら２つのレジスタ３７１，３７２に対して所望のディザ処理をプログラムする。

【００９０】

このように、図２０に示す本発明の第２の形態の第２実施例によれば、レジスタ３７１および３７２の容量を削減することができ、回路規模を削減することが可能となる。尚、回路動作は、図１９を参照して説明した本発明の第２の形態の第１実施例において、レジスタ３７２に格納するディザ波形を７種類から１種類とした場合（実際には、ディザＯＦＦとの２種類）に対応し、その説明は省略する。

【００９１】

図２１は本発明の画像処理装置の第２の形態における第３の実施例を示すブロック図である。

本第２実施例は、前述した第１実施例と同様に、数種類のディザ波形を持つ場合であるが、ディスプレイの非線形特性が強い場合のディザ処理例を示すものである。すなわち、図１９に示す第１実施例では、同一レベルの信号に対して±αの値を与え、２画素の合計で元々の映像（入力信号による本来の映像）の明るさを表示するようにしていたが、この処理ではディスプレイ自体が非線形特性を持つ場合ではαが加算される時と減算される時では、人間の目にはその振幅が同等ではなくなる。すなわち、人間の目には、（（入力信号＋α）＋（入力信号－α））／２≠入力信号と映るのである。この傾向は、ディザ波形の振幅値が大きい個所、或いは、非線形特性の強い個所で顕著となり、階調の連続性が損なわれることになる。

【００９２】

図２１において、参照符号４０１～４０３はＲＧＢの各々に対して設けられたディザ波形処理部を示し、さらに、４７１，４７２はレジスタ，４７３はラインカウンタ，４７４はドットカウンタ，４７５はＥＯＲゲートである。また、参照符号４１１，４１２，４１４はセレクタ，４１３はインバータ，４１５は加算器，そして，４１６は誤差拡散処理部を示している。

【００９３】
この図２１に示す第２の形態の第３実施例は、加算するディザ値と減算するディザ値を別々に指定できるようにレジスタ４７２を構成するようになっている。すなわち、入力信号に対して加算するためのディザ値α（＋α）および入力信号に対して減算するためのディザ値β（－β）のそれぞれを格納するために、レジスタ４７２は、図１９に示すレジスタ２７２の２倍の容量を持つように構成されている。
【００９４】
具体的に、レジスタ４７２（ＲＥＧ２）は、例えば、４×８×７×２＝４４８ビットのレジスタとして構成されている。そして、これら２つのレジスタ４７１，４７２に対して加算用のディザ値（α）および減算用のディザ値（β）プログラムして所望のディザ処理を行うようになっている。尚、この図２１に示す本発明の第２の形態の第３実施例の動作は、レジスタ４７２の容量が２倍になる以外は実質的に同様であるのでその説明は省略する。
【００９５】
図２２は本発明の画像処理装置の第１の形態および第２の形態を適用した一実施例を示すブロック図である。すなわち、図２２に示す本実施例は、例えば、図１２を参照して説明したような本発明の画像処理装置の第１の形態と、図１９を参照して説明したような本発明の画像処理装置の第２の形態との両方を備えて構成されている。尚、図２２において、適用可能な本発明の画像処理装置の第１の形態および第２の形態は、図２２に示す図１２の実施例（第１の形態）および図１９の実施例（第２の形態）に限定されるものではなく、前述した本発明の画像処理装置の第１の形態および第２の形態の各実施例を適用することができるのはいうまでもない。
【００９６】
すなわち、図２２に示す実施例は、ＲＧＢのカラー３原色によるディスプレイで、その実際の表示階調数が少ないために疑似的な多階調化を図るために誤差拡散処理を適用する場合において、入力信号の階調全域に渡ってその表示階調特性を滑らかにしつつ（本発明の画像処理装置の第１の形態）、さらに、発光時間によって階調表現を行うディスプレイ（ＰＤＰなど）に発生しやすいフリッカ現象を抑える（本発明の画像処理装置の第２の形態）ことのできるものである。
【００９７】
この図２２に示す実施例において、処理の順序は、本発明の第１の形態による処理を行った後、本発明の第２の形態による処理を行うようになっている。
すなわち、例えば、入力信号がｎビットで実際の表示階調数がｍ（ｎ＞ｍ）の場合、まず、図１２に示す本発明の第１の形態の実施例回路（２０Ｒ，２０Ｂ，２０Ｇ）により入力信号のとり得る最大値が表示階調の最大値となるように乗算係数を設定する。次に、ディスプレイのＲＧＢの蛍光体のバラツキ等により表示特性が均一でない場合でも、ＲＧＢのそれぞれの乗算・加算の係数を変えることによりバラツキを補正する。そのため、レジスタ（傾きレジスタ３１，切片レジスタ３３）はＲＧＢ用にそれぞれ独立して持つようになっている。
【００９８】
回路２０Ｒ，２０Ｂ，２０Ｇ（本発明の第１の形態の回路）の出力信号ＲＧＢは、各々ｑビット（乗算、加算により発生する下位伸長ビットを含む）が回路２０１，２０２，２０３（本発明の第２の形態の回路）に入力される。ここで、ディスプレイの階調駆動シーケンスは予め決定されており、フリッカの目立ち易い表示値レベルの部分にディザ処理を施す。
【００９９】
この時、階調駆動シーケンス（サブフィールド構成）はＲＧＢによらず同一であるがため、特定レベルにかけるディザ波形はＲＧＢ共通データで十分であるため、回路２０１，２０２，２０３により所定のディザ処理を施された信号は、上位ｍビットが正数の表示データ、下位ｑ－ｍビットが正数の誤差データとビット境界で分離され、これにより後段の

誤差拡散処理における誤差積算が正数演算のみによる簡単な演算回路で構成することが可能となる。そして、図２２に示す実施例によれば、ディスプレイの非線形特性を補正しつつ、カラーバランス歪みを無くすことができ、また、入力階調の全域に渡って滑らかな表示特性を持つ（平坦部のない）ｍビットの表示信号を得ることができる。

ここで、上述した各実施例は、主にプラズマ・ディスプレイ・パネル（ＰＤＰ）を例として説明したが、本発明の画像処理装置は、ＰＤＰに限定されるものではなく、上述したＰＤＰと同様の駆動方式（１フィールドを複数のサブフィールドにより構成し、表示階調を増加するために誤差拡散処理を行う方式）を採用する様々なディスプレイに対しても適用することができるのはもちろんである。

【図面の簡単な説明】

【０１００】

【図１】本発明に係る画像処理装置の第１の形態の原理を示すブロック図である。

【図２】本発明の画像処理装置の第１の形態による表示特性を示す図である。

【図３】本発明の画像処理装置の第１の形態による表示歪みの補正を説明するための図である。

【図４】本発明に係る画像処理装置の第２の形態の原理を示すブロック図である。

【図５】本発明の画像処理装置の第２の形態を説明するための一例としてのディザ配置を示す図である。

【図６】本発明の画像処理装置の第２の形態によるフリッカの抑圧を説明するための図である。

【図７】本発明の画像処理装置の第１の形態における第１の実施例を示すブロック図である。

【図８】本発明の画像処理装置の第１の形態における第２の実施例を示すブロック図である。

【図９】図８の画像処理装置における処理動作を説明するための図である。

【図１０】本発明の画像処理装置の第１の形態における第３の実施例を示すブロック図である。

【図１１】図１０の画像処理装置における処理動作を説明するための図である。

【図１２】本発明の画像処理装置の第１の形態における第４の実施例を示すブロック図である。

【図１３】誤差データとフリッカ発生頻度との関係の一例を示す図である。

【図１４】２つの事象間で変化が生じる確率の一例を説明するための図である。

【図１５】本発明の画像処理装置の第２の形態におけるフリッカの低減手法を適用した一例を説明するための図である。

【図１６】図１５に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図である。

【図１７】本発明の画像処理装置の第２の形態におけるフリッカの低減手法を適用した他の例を説明するための図である。

【図１８】図１７に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図である。

【図１９】本発明の画像処理装置の第２の形態における第１の実施例を示すブロック図である。

【図２０】本発明の画像処理装置の第２の形態における第２の実施例を示すブロック図である。

【図２１】本発明の画像処理装置の第２の形態における第３の実施例を示すブロック図である。

【図２２】本発明の画像処理装置の第１の形態および第２の形態を適用した一実施例を示すブロック図である。

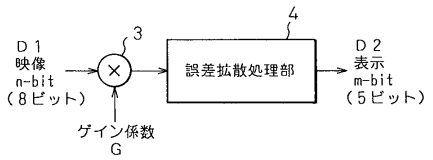
【図２３】プラズマ・ディスプレイ・パネルの階調駆動シーケンスの一例を示す図である。

【図２４】誤差拡散処理の一例を説明するための図である。
【図２５】誤差拡散処理をカラー・プラズマ・ディスプレイ・パネルに適用した一構成例を示すブロック図である。
【図２６】誤差拡散処理を行った場合および行わない場合の表示特性を比較して示す図である。
【図２７】誤差拡散処理を行った場合の表示特性の一例を示す図である。
【図２８】誤差拡散処理を行った場合の表示特性の他の例を示す図である。
【図２９】プラズマ・ディスプレイ・パネルの一階調駆動方式におけるフリッカの発生を説明するための図である。
【図３０】誤差拡散処理を行わない場合のフリッカの様子を示す図である。
【図３１】誤差拡散処理を行った場合のフリッカの様子を示す図である。
【符号の説明】
【０１０１】
３，５３…乗算器
４，６…誤差拡散処理部
５…信号処理回路
５１…ディザ波形テーブル
５２…加算器
５４…セレクタ

【図１】

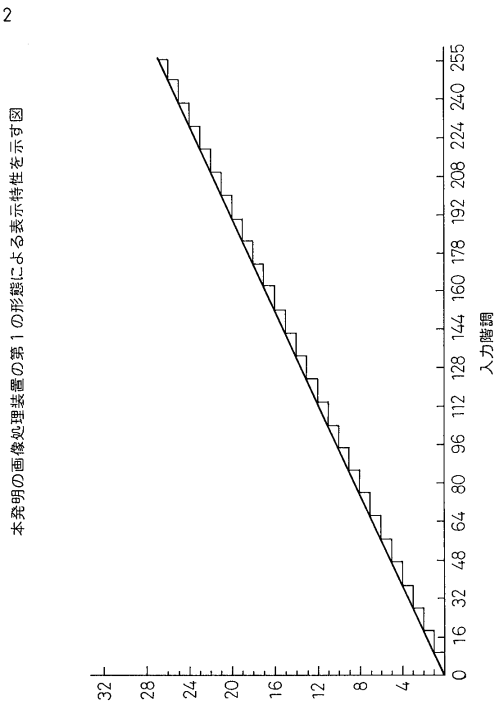
図１

本発明に係る画像処理装置の第１の形態の原理を示すブロック図



【図２】

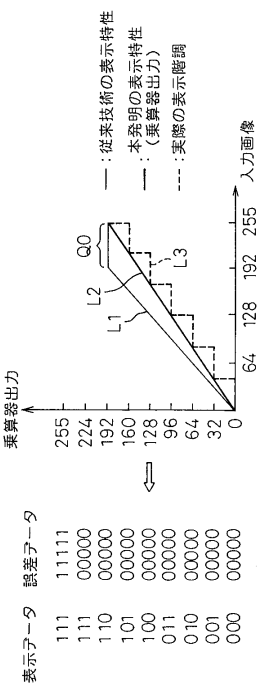
図２



【図３】

図３

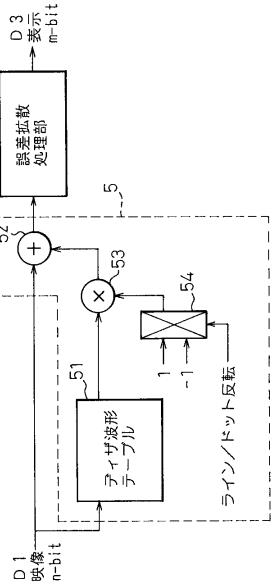
本発明の画像処理装置の第１の形態による表示歪みの補正を説明するための図



【図４】

図４

本発明に係る画像処理装置の第２の形態の原理を示すブロック図



【図５】

図５

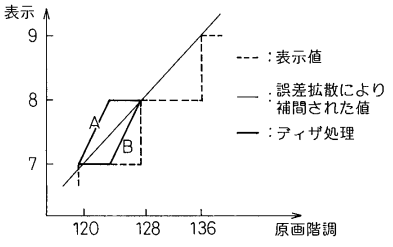
本発明の画像処理装置の第２の形態を説明するための一例としてのディザ配置を示す図



【図６】

図６

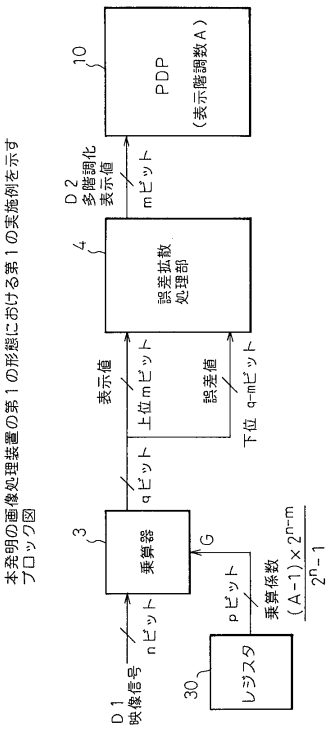
本発明の画像処理装置の第２の形態によるフリッカの抑圧を説明するための図



【図７】

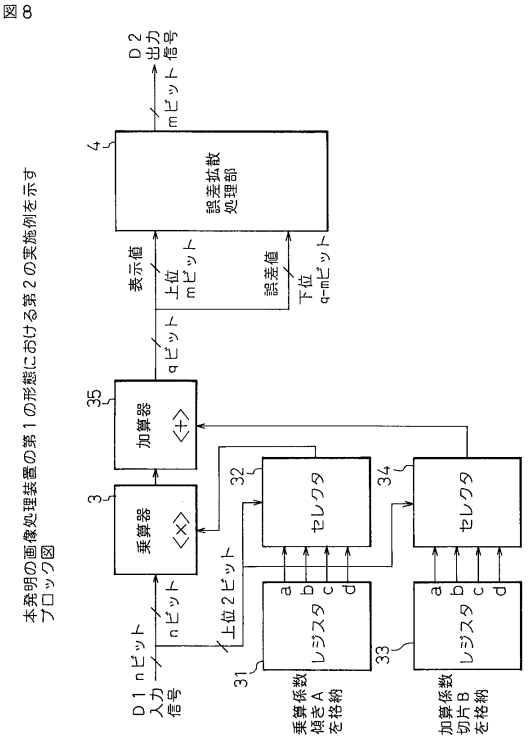
図７

本発明の画像処理装置の第１の形態における第１の実施例を示すブロック図



【図８】

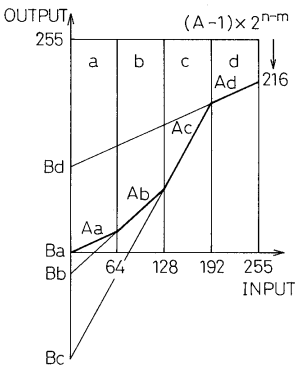
図８



【図９】

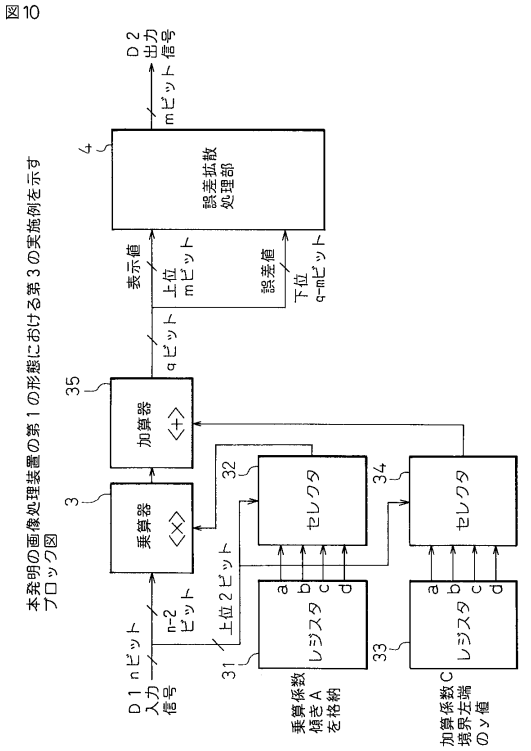
図９

図８の画像処理装置における処理動作を説明するための図



【図１０】

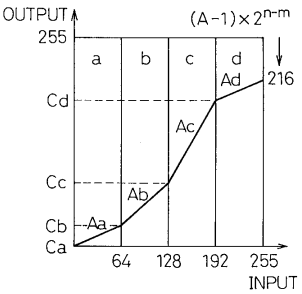
図10



【図１１】

図11

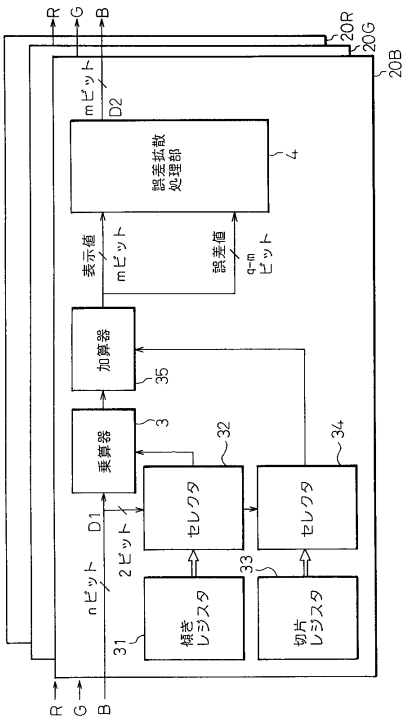
図10の画像処理装置における処理動作を説明するための図



【図１２】

図12

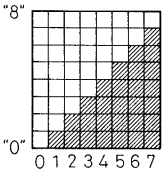
本発明の画像処理装置の第１の形態における第４の実施例を示すブロック図



【図１３】

図 13

誤差データとフリッカ発生頻度との関係の一例を示す図

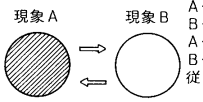


【図１４】

図 14

２つの事象間で変化が生じる確率の一例を説明するための図

現象Ａが起こる確率を40%，現象Ｂが起こる確率を60%とすると

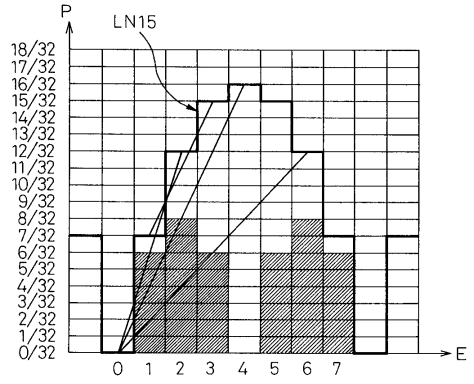


Ａ→Ｂの確率　4/10・6/10＝24/100
Ｂ→Ａの確率　6/10・4/10＝24/100
Ａ→Ａの確率　4/10・4/10＝16/100
Ｂ→Ｂの確率　6/10・6/10＝36/100
従って状態が変化する確率　48%
変化しない確率　52%

【図１５】

図15

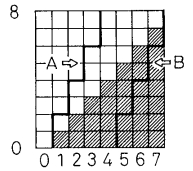
本発明の画像処理装置の第２の形態におけるフリッカの低減手法を適用した一例を説明するための図



【図１６】

図16

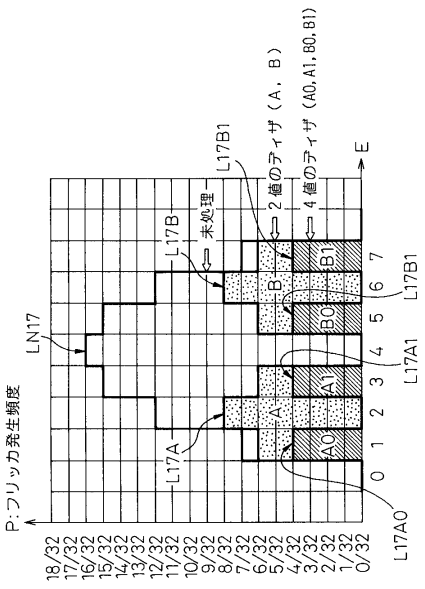
図15に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図



【図１７】

図17

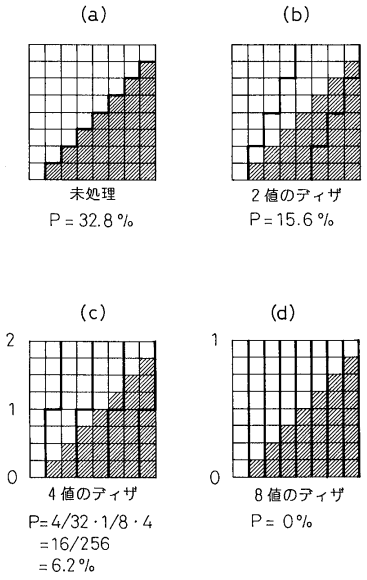
本発明の画像処理装置の第２の形態におけるフリッカの低減手法を適用した他の例を説明するための図



【図１８】

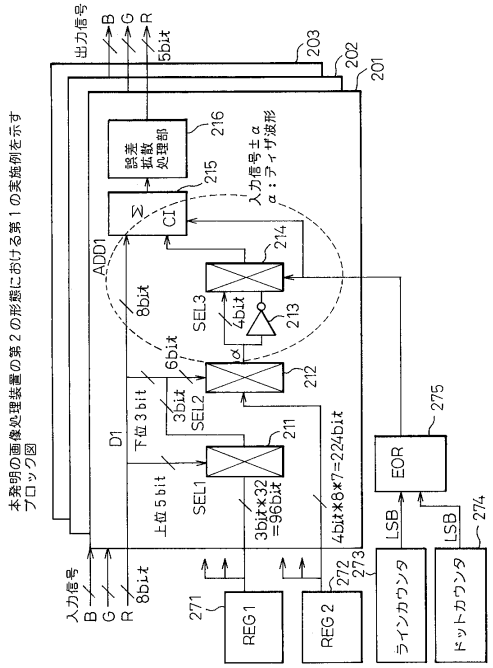
図18

図17に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図



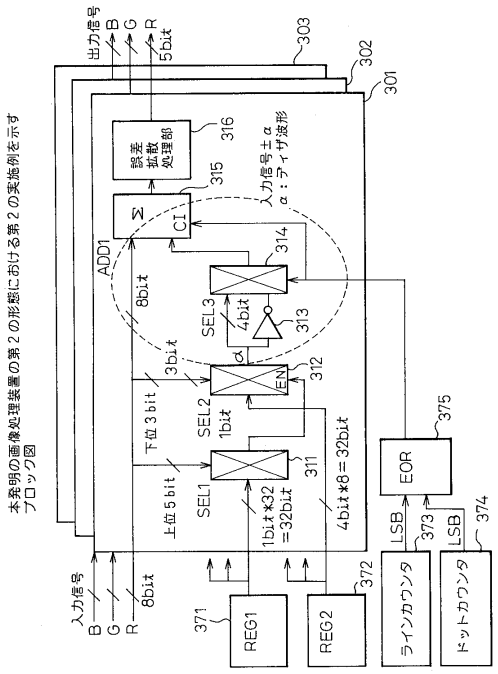
【図１９】

図19



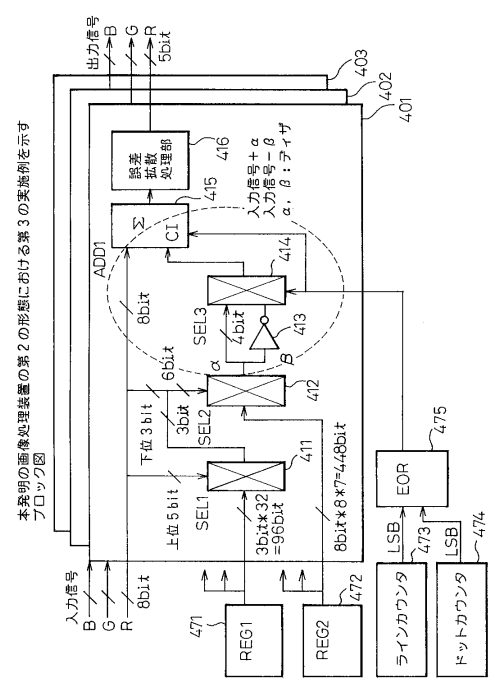
【図２０】

図20



【図２１】

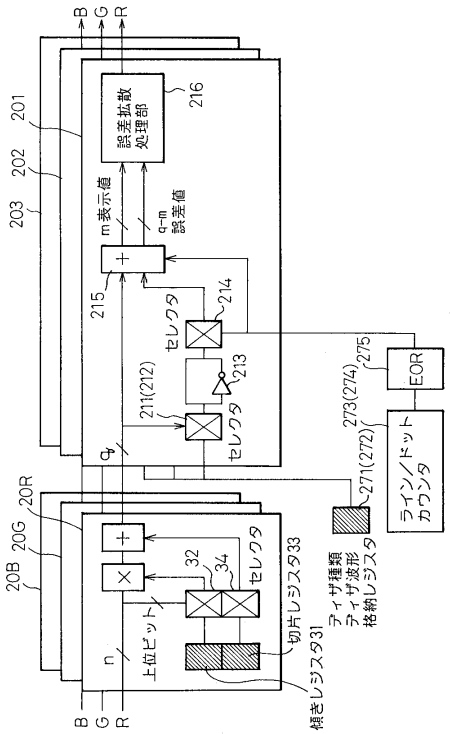
図21



【図２２】

図22

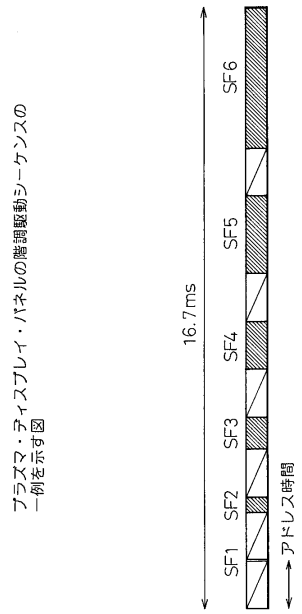
本発明の画像処理装置の第１の形態および第２の形態を適用した一実施例を示すブロック図



【図２３】

図23

プラズマ・ディスプレイ・パネルの階調駆動シーケンスの一例を示す図



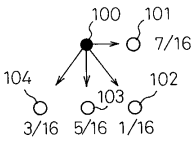
【図２４】

図24

誤差拡散処理の一例を説明するための図

$E(x,y) = g(x,y) - P$

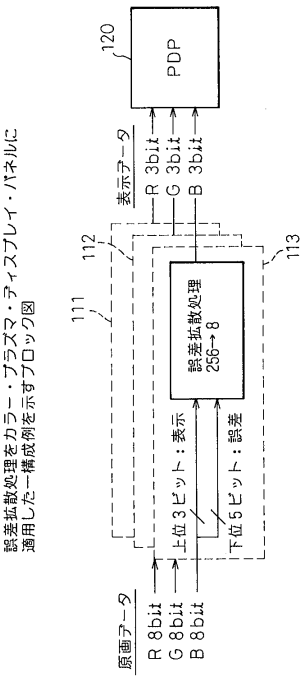
E(x,y)：誤差
g(x,y)：原画素
P：表示値



【図２５】

図25

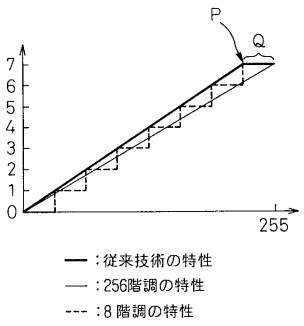
誤差拡散処理をカラー・プラズマ・ディスプレイ・パネルに適用した一構成例を示すブロック図



【図２６】

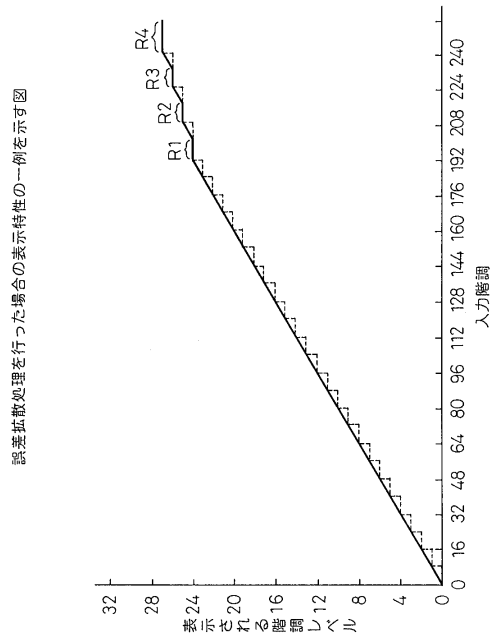
図26

誤差拡散処理を行った場合および行わない場合の表示特性を比較して示す図



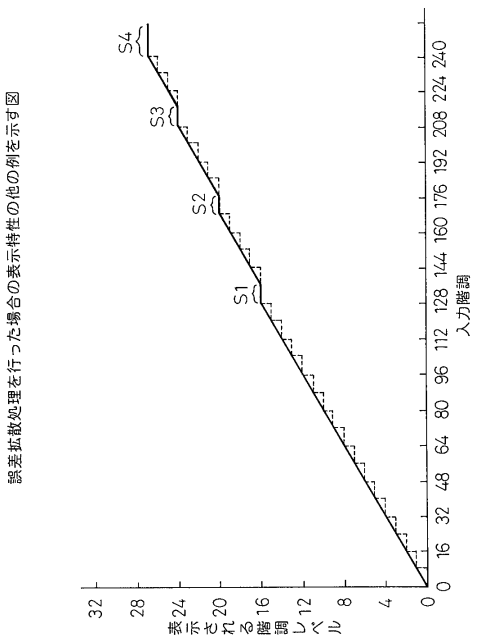
【図２７】

図27



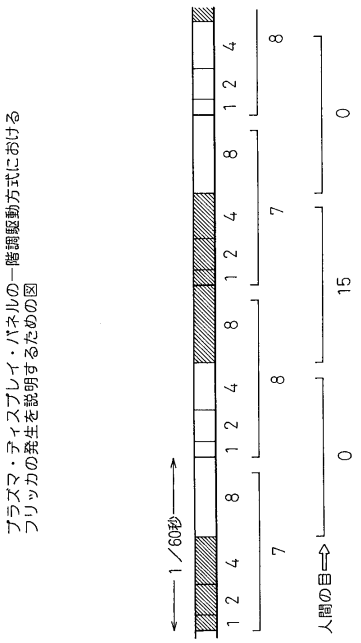
【図２８】

図28



【図２９】

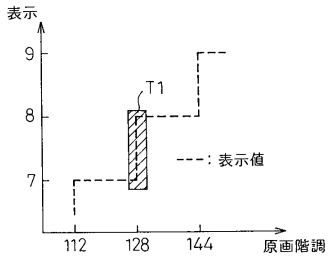
図29



【図３０】

図30

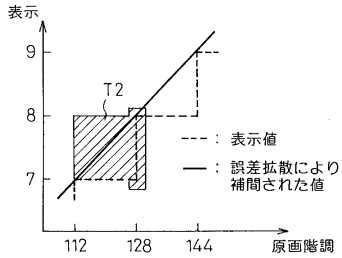
誤差拡散処理を行わない場合のフリッカの様子を示す図



【図３１】

図31

誤差拡散処理を行った場合のフリッカの様子を示す図



フロントページの続き

(51)Int.Cl.		FI	
		G09G	3/20 641H
		G09G	3/20 642L
		H04N	5/66 101Z

審査官　橋本　直明

(56)参考文献　特開平06－233287（JP，A）
特開平06－289828（JP，A）
特開平07－030772（JP，A）
特開平07－295527（JP，A）
特開平08－286634（JP，A）

(58)調査した分野(Int.Cl.，DB名)

G09G	3／28	
G09G	3／20	611
G09G	3／20	612
G09G	3／20	631
G09G	3／20	641
G09G	3／20	642
H04N	5／66	101