

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 11.04.00.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 12.10.01 Bulletin 01/41.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : THOMSON CSF Société anonyme —
FR.

⑦2 Inventeur(s) : DINH HUU THINH, PERIS DANIEL et
NADAL GHYSLAIN.

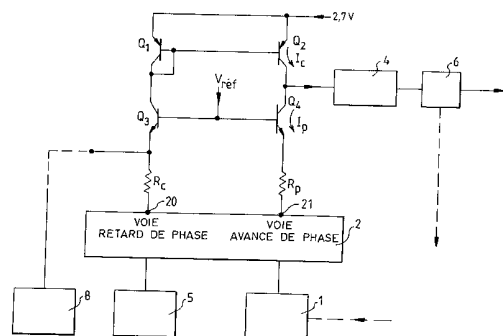
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : THALES "INTELLECTUAL PRO-
PERTY".

⑤4 SYNTHÉTISEUR FRACTIONNAIRE COMPORTANT UNE COMPENSATION DE LA GIGUE DE PHASE.

⑤7 Le synthétiseur de fréquence à division fractionnaire multiple comporte un générateur de fréquence (5), un oscillateur commandé en tension (6), un diviseur (1) programmable à rang variable N, un comparateur de phase (2), un circuit d'intégration et de filtre (4), un générateur de fenêtre temporelle (9), une source de courants pondérés (8), un accumulateur de phase (7), un circuit charge-pompe (3) comportant plusieurs transistors (Qi). La source de courants (8) est relié au circuit charge-pompe (3) de manière à commuter directement les courants sur l'émetteur d'un ou de plusieurs transistors du circuit charge-pompe.

Application: pour la synthèse de fréquence en GSM et/ou GPRS.



La présente invention concerne un synthétiseur à temps d'acquisition rapide
5 et à faible bruit de phase utilisant le principe de la division fractionnaire en mettant
en œuvre une technique de compensation de la gigue de phase adaptée à un
fonctionnement basse tension et à une puissance consommée minimale.

Elle concerne, par exemple, les synthétiseurs fonctionnant sous une tension
basse et unique de 2,7 V et est compatible avec une technologie et une intégration
10 ASIC, ceci toujours pour une puissance consommée minimale.

Avantageusement de tels synthétiseurs permettent d'atteindre une
canalisation compatible avec des équipements radiotéléphones notamment
respectant la norme GSM ou GPRS.

L'invention trouve aussi son application dans tout dispositif intégrant une
15 synthèse de fréquence avec la contrainte d'une alimentation en basse tension et en
puissance minimale.

L'art antérieur divulgue des synthétiseurs de fréquence ayant des temps
d'acquisition de fréquence très brefs et de très bonnes résolutions en fréquence. Le
20 synthétiseur développé par Philips sous la référence catalogue SA 8025 en est un
exemple.

Toutefois, les fréquences de comparaison habituellement utilisées ne sont en
général pas compatibles avec les caractéristiques spectrales demandées et ne
permettent pas d'obtenir le temps d'acquisition voulu dans le cadre d'applications
25 ayant un fonctionnement faible tension et une puissance minimale.

Il a été démontré que dans la synthèse à division fractionnaire, l'écart de
l'erreur de phase au niveau du comparateur de phase est proportionnel :

- à la valeur P_k (erreur de phase dynamique) contenue dans l'accumulateur de
phase, et
- 30 • à la période $T_s = 1/F_s$ du signal synthétisé F_s .

La valeur P_k est variable et connue à chaque période de référence T_r ainsi
que F_s . Si F_r est la fréquence de référence il suffit donc d'élaborer à chaque période
de référence $1/F_r$, un signal proportionnel à tout instant à ces deux grandeurs afin
d'assurer une compensation de cette erreur de phase. L'erreur de phase étant

différente à chaque cycle de référence, la durée de correction doit être sensiblement inférieure à $1/F_r$.

Différentes solutions ont été proposées pour minimiser voire supprimer les raies de gigue de phase dues à la synthèse fractionnaire. Une des solutions
5 consiste à réaliser une correction à poids de courant modulés en durée (le signal de compensation I_c a à la fois une intensité et une durée qui sont fonction de la valeur fournie par un accumulateur de phase) telle que décrite dans le brevet FR 2.557.401 du demandeur. Le synthétiseur à division fractionnaire et à faible
10 gigue de phase décrit dans ce brevet comporte plusieurs sources de courant qui sont sommées en tenant compte de la température et de la linéarité avant d'être envoyées vers un intégrateur. Le synthétiseur comporte un amplificateur opérationnel alimenté avec deux tensions élevées, une positive et une négative et un circuit convertisseur Numérique-Analogique ou CNA commandant les sources de courant. La tension d'asservissement est échantillonnée par un circuit
15 échantillonneur-bloqueur avant d'être envoyée sur la commande de l'oscillateur.

Un tel dispositif, bien que permettant de diminuer la gigue de phase, ne peut s'appliquer aux applications rapides et à faible consommation, notamment les applications basse tension (unique ou non) telle que le GSM.

Il s'avère aussi difficile d'assurer une tension nulle au nœud de sommation
20 des différentes sources de courant et ce quelles que soient la tension de commande de l'oscillateur et la température dissipée dans le circuit. En effet, lorsque la tension de commande de l'oscillateur varie, la tension au nœud de sommation des sources de courants varie aussi à cause de l'imprécision du prépositionnement. Il en résulte une modification du point de fonctionnement de l'amplificateur d'asservissement qui
25 entraîne alors une modification du courant de correction.

La présente invention propose une façon simple et efficace pour réaliser la compensation de la gigue de phase due à la synthèse fractionnaire.

L'invention concerne un synthétiseur de fréquence à division fractionnaire multiple comportant un générateur de fréquence, un oscillateur commandé en
30 tension, un diviseur programmable à rang variable N, un comparateur de phase, un circuit d'intégration et de filtre, un générateur de fenêtre temporelle, une source de courants pondérés, un accumulateur de phase, un circuit charge-pompe comportant plusieurs transistors.

Il est caractérisé en ce que ladite source de courants est reliée audit circuit charge-pompe de manière à commuter directement les courants sur l'émetteur d'un ou de plusieurs transistors du circuit charge-pompe.

Le synthétiseur est par exemple alimenté sous une faible tension
5 sensiblement égale à 2,7 V.

Le circuit charge-pompe peut comporter au moins :

- un transistor dont l'émetteur est relié à une résistance R_c en liaison elle-même avec le comparateur de phase,
 - un transistor dans lequel circule le courant de charge I_c , en liaison avec le circuit
10 d'intégration et
 - un transistor dont l'émetteur est relié à une résistance R_p reliée au comparateur de phase et le collecteur au circuit d'intégration, le courant I_p de décharge circulant à travers R_p et Q4, et
 - la source de courant de poids pondérés comporte une ou plusieurs résistances
15 disposées en parallèle, la ou lesdites résistances étant reliées à l'émetteur de Q3 et à au moins un transistor à effet de champ recevant au niveau de leur grille la ou les valeurs P_k contenus dans l'accumulateur de phase, la source des transistors à effet de champ étant en liaison avec la fenêtre temporelle générant pendant un temps T_{cor} un signal de niveau bas ou « 0V ».
- 20 Selon un autre mode de réalisation le circuit charge-pompe comporte par exemple :
- un transistor dont l'émetteur est relié à une résistance R_c en liaison elle-même avec le comparateur de phase,
 - un transistor dans lequel circule le courant de charge I_c en liaison avec le circuit d'intégration et
 - un transistor dont l'émetteur est relié à une résistance R_p en liaison avec le
25 comparateur de phase et le collecteur en liaison avec le circuit d'intégration, le courant I_p de décharge circulant à travers R_p et Q4, et un transistor dont la base est reliée à la base de l'émetteur, le collecteur relié à la base de Q1 et l'émetteur est relié à une résistance R_{cor} , la résistance R_{cor} étant reliée à
30 dispositif générant un signal de niveau bas « 0V » pendant une durée de correction T_{cor} .

L'invention concerne aussi un synthétiseur de fréquence à temps d'acquisition rapide et à faible bruit de phase à division fractionnaire comportant au moins une des caractéristiques données ci-dessus.

5 L'invention concerne aussi un dispositif de radiocommunication comportant au moins un émetteur et un récepteur et un synthétiseur de fréquence à division fractionnaire comportant au moins une des caractéristiques précédentes.

L'invention concerne aussi un procédé pour synthétiser une fréquence comportant au moins les étapes suivantes :

- 10 • utiliser une boucle de synthèse en fréquence comportant un diviseur programmable à rang variable N, un circuit charge-pompe, une source de courants et un générateur de fenêtre temporelle,
- coupler une sortie de la source de courants à ladite boucle de synthèse afin de commuter directement le ou les courants de correction sur l'émetteur d'au moins un des transistors du circuit charge pompe,
- 15 • générer un signal à partir de la fenêtre temporelle de niveau bas « 0 » et l'appliquer à la source de courants pendant une durée ΔT_{cor} .

Le procédé et le dispositif selon l'invention s'appliquent par exemple dans le domaine du GSM et/ou du GPRS.

20

Le synthétiseur selon l'invention présente notamment les avantages suivants :

- il améliore d'au moins 10 dB le bruit de phase dans la bande passante du synthétiseur pour une technologie constante, par exemple la technologie ASIC,
- il permet de dégrader le moins possible le bruit de phase délivré à la sortie de la
- 25 fonction charge pompe,
- il conserve son efficacité sur toute la plage de fréquence synthétisée,
- il offre la possibilité de n'utiliser qu'une seule tension d'alimentation qui peut descendre jusqu'à 2,7 V.

30 D'autres caractéristiques et avantages de l'invention apparaîtront à l'aide de la description qui va suivre faite à titre illustratif et nullement limitatif en regard des figures annexées qui représentent :

- la figure 1 est un schéma d'une boucle de synthétiseur,

- la figure 2 est un schéma synoptique de l'agencement du circuit charge-pompe et source de courants inclus dans le synthétiseur selon l'invention,
- la figure 3 représente un premier exemple de synthétiseur selon l'invention, et
- la figure 4 schématise un deuxième exemple de mise en œuvre de l'invention.

5

La figure 1 représente un synthétiseur classique comportant un diviseur 1 à rang variable N, suivi d'un comparateur phase-fréquence 2, lui-même suivi d'un étage ou circuit charge-pompe 3, un circuit d'intégration et de filtrage 4, un oscillateur 6 contrôlé en tension habituellement désigné par l'abréviation anglaise VCO (Voltage Control Oscillator).

Il comporte aussi un générateur 5 de fréquence de référence F_r couplé d'une part au comparateur phase-fréquence 2 et d'autre part à un accumulateur de phase 7 modulo M permettant d'obtenir le pas fractionnaire.

Un circuit 8 de source de courants pondérés couplé à un générateur 9 de fenêtre temporelle de correction permet d'effectuer la correction de gigue de phase.

La fonction des différents éléments constituant le synthétiseur est rappelée brièvement car elle est connue de l'Homme du métier.

L'oscillateur asservi 6 fournit un signal de fréquence F_s à une entrée du diviseur 1 de rang N et à une sortie du synthétiseur.

Le diviseur 1 possède une sortie fournissant un signal de référence F_s/N au comparateur fréquence-phase 2. Ce comparateur 2 reçoit aussi le signal de référence F_r fourni par le générateur de fréquence 5. Il possède deux sorties appelées voie de retard et voie d'avance (figures 2, 3, 4) en liaison avec le circuit charge-pompe 3.

Le circuit charge-pompe 3 est relié à la source de courants pondérés 8 et possède une sortie vers un circuit d'intégration et de filtrage 4 connu de l'homme du métier. Ce circuit intégrateur réalise une intégration en fonction des charges apportées par les courants I_c de charge et I_p de décharge et fournit une tension V filtrée avant d'être appliquée au VCO.

Le générateur de fenêtre temporelle 9 reçoit sur une entrée la fréquence synthétisée F_s issue de l'oscillateur VCO et fournit à la source de courants pondérés 8 un créneau temporel ΔT_{cor} correspondant à la durée pendant laquelle la correction doit être réalisée.

L'accumulateur de phase 7 accumule la valeur $k \cdot M$ à une fréquence F_r et fournit la valeur cumulée P_k à la source de courants pondérés 8 dont le fonctionnement et deux exemples de mise en œuvre sont détaillés aux figures 3 et 4.

5 Principe de la division fractionnaire

Le rang de division prend séquentiellement, selon une loi calculée en temps réel, une des valeurs N ou $N+1$, pour que le pas de synthèse soit un pas fractionnaire sous-multiple de la fréquence de référence F_r appliquée sur une entrée du comparateur de phase.

- 10 La fréquence synthétisée à la sortie de l'oscillateur 6 est obtenue par une moyenne sur M cycles de la fréquence de référence F_r durant lesquelles la division est effectuée F fois par la valeur $N+1$ et $M-F$ fois par la valeur N .

L'expression de F_s s'écrit alors :

$$F_s = \left[\frac{(F(N+1)) + (M-F)N}{M} \right] F_r$$

- 15 Ou encore (1)

$$F_s = \left[N + \frac{F}{M} \right] F_r$$

- Avec N le rang de division entier et F/M la partie fractionnaire de la division, F étant
20 un nombre entier tel que

$$0 \leq F < M$$

Le plus petit incrément de fréquence est obtenu en modifiant F d'une unité et représente le pas P du synthétiseur. Ce pas est ici égal à F_r/M au lieu d'être égal à F_r pour une synthèse de fréquence classique.

- 25 Le fait de synthétiser les pas fractionnaires ou multiples de la quantité F_r/M introduit une erreur de phase dynamique P_k à chaque cycle de référence qui se traduit par une modulation de phase importante du signal de l'oscillateur contrôlé en tension. Cette erreur de phase est classiquement générée et totalisée au moyen de

l'accumulateur de phase 7 dont le contenu est incrémenté de la valeur F à chaque comparaison effectuée par le comparateur 2.

Le contenu Pk de l'accumulateur permet ainsi de connaître l'écart temporel de phase, ΔT_k , qui existe à tout instant k, entre le signal de boucle et le signal de référence, cet écart ΔT_k étant défini par la relation :

$$\Delta T_k = P_k / (M \cdot F_s) \quad (2)$$

Comme le contenu Pk de l'accumulateur est constamment variable, la relation (2) montre qu'il existe toujours une modulation en position du front montant du signal de boucle Fb au cours du temps et cette position est toujours en avance de phase par rapport au front montant du signal de référence Fr car le signal de boucle est obtenu en réalité par une division N au lieu de $N + F/M$ comme l'indique la relation (1). Le comparateur de phase 2 va donc générer sur la voie avance de phase un signal qui évolue au cours du temps et qui commande la décharge de la capacité de l'intégration de la boucle (circuit intégrateur). C'est cette perte de charge qui crée les raies parasites sur la fréquence synthétisée.

L'idée de l'invention consiste à utiliser l'erreur de phase Pk contenue dans l'accumulateur de phase pour injecter un courant de charge Ic permettant de compenser la perte de charge due à la division fractionnaire. La charge ou la décharge de l'intégrateur se fait par un courant constant référencé à une tension de référence stable. Le courant de compensation est issu du courant de charge Ic. La tension d'asservissement V issue de l'intégrateur 4 est envoyée directement sur la commande de l'oscillateur VCO et les commandes des différentes sources de courants 8 sont activées par des signaux numériques délivrés par l'accumulateur de phase 7, sans interface.

La tension de commande ou tension d'asservissement appliquée sur l'oscillateur 6 reste alors constante ce qui donne un spectre en fréquence pur en sortie de la boucle ou du synthétiseur.

Le synthétiseur selon l'invention comporte les éléments décrits à la figure 1 où le circuit charge-pompe 3 et le circuit de source de courant de compensation 8 couplé au générateur de fenêtre temporelle de correction 9, sont reliés directement selon un schéma décrit à la figure 2 et aux figures 3 et 4. L'ensemble est alimenté sous une tension unique de 2,7 V considérée comme une basse tension.

Un tel agencement entre les différents éléments du synthétiseur permet notamment de convertir la gigue de phase détectée par le comparateur de phase 2 entre le signal de boucle et le signal de référence en tension pour asservir la fréquence synthétisée.

- 5 En présence de la partie fractionnaire, le système de la compensation de la gigue de phase est mis en route automatiquement, les valeurs de P_k n'étant pas nulles et venant modifier directement le courant de charge de la capacité de l'intégration de la boucle.

Le circuit charge-pompe 3 dans cet exemple de réalisation comporte quatre
10 transistors Q1, Q2, Q3 et Q4 disposés par exemple selon le schéma de la figure 2. Les émetteurs 31, 33 des transistors Q1 et Q2 sont en liaison avec la source d'alimentation Valim 2,7 V. Leurs collecteurs 32, 35 sont reliés respectivement aux collecteurs 37, 40 des transistors Q3 et Q4. La base 30 de Q1 est reliée à la base 33 de Q2 ; les bases 36, 40 des transistors Q3 et Q4 sont reliées et polarisées à
15 une tension de référence V_{ref} . L'émetteur 38 du transistor Q3 est relié par l'intermédiaire d'une résistance R_c au comparateur de phase 2 et l'émetteur 41 du transistor Q4 est relié via une résistance R_p au comparateur de phase 2.

L'émetteur 38 du transistor Q3 est aussi en liaison directe avec le circuit générateur de courant 8 dont l'architecture est par exemple décrite aux figures 3
20 et 4.

Le circuit charge-pompe 3 fonctionne par exemple de la manière suivante :

Le signal de boucle F_b issu du diviseur à rang variable 1 et le signal de référence F_r issu du générateur de fréquence 5 sont transmis au comparateur de phase fréquence 2.

- 25 Trois cas peuvent être envisagés :

1) Lorsque ces deux signaux F_b et F_r sont en phase, la sortie 20 retard de phase et la sortie 21 avance de phase du comparateur de phase sont à niveau logique « 1 » c'est-à-dire à une valeur de tension égale à la tension d'alimentation, dans notre exemple à 2,7 V. Les transistors Q3 et Q4 sont bloqués. Le courant de
30 charge I_c circulant dans le transistor Q2 et le circuit intégrateur et le courant de décharge I_p circulant à travers l'intégrateur, le transistor Q4 et la résistance R_p sont nuls ou sensiblement nuls. La valeur de tension aux bornes de la capacité du circuit d'intégration est donc constante ou sensiblement constante.

2) Dans le cas où le signal de boucle F_b est en retard par rapport au signal de référence F_r , la fréquence de l'oscillateur 6 (VCO) étant plus basse que la fréquence désirée, le comparateur de phase va générer un niveau logique « 0 » sur la voie retard de phase 20 . La résistance R_c est alors reliée à la masse via le

5 comparateur de phase 2 sur cette voie. Un courant de charge I_c sensiblement égal à $(V_{ref}-0.6)/R_c$ circule dans cette résistance R_c et par effet de miroir du courant, un courant d'une valeur sensiblement égale circule dans le collecteur du transistor Q2 afin de charger la capacité du circuit d'intégration. L'augmentation de la tension de

10 l'intégrateur prise par exemple, en sortie d'intégrateur de circuit d'intégration, entraîne une augmentation de la fréquence de l'oscillateur 6, ceci jusqu'à ce que la fréquence désirée soit atteinte.

3) Dans le cas où le signal de boucle F_b est en avance de phase, c'est la voie 21 avance de phase qui va activer la décharge afin de diminuer la fréquence de l'oscillateur jusqu'à atteindre l'équilibre. Le comparateur de phase génère un niveau

15 logique à 0 sur la voie d'avance de phase, la résistance R_p est reliée à la masse via le comparateur de phase 2 et un courant de décharge I_p circule à travers Q4 et la résistance R_p pour décharger la capacité du circuit intégrateur.

En présence de la partie fractionnaire F_r/M , la voie avance de phase active

20 toujours une petite décharge due à la division fractionnaire à chaque coup d'horloge de référence. Cette perte de charge qui est la cause des raies parasites sur la fréquence synthétisée doit donc être annulée. Le procédé selon l'invention réalise cette annulation par injection d'une charge équivalente, selon deux variantes de réalisation explicitées ci-après en relation aux figures 3 et 4 principalement.

25

Première variante de réalisation – figure 3

L'injection de courants pondérés est réalisée pendant une durée de temps constante ou sensiblement constante.

Le circuit de courants pondérés 8 couplé au générateur de fenêtre temporelle

30 de correction 9 permet d'appliquer une correction de courant pendant un temps qui est proportionnel à la période $T_s = 1/F_s$ du signal synthétisé.

Dans cet exemple de réalisation, le circuit de courants pondérés comporte trois résistances $R_1=4R$, $R_2=2R$ et $R_3=R$, par exemple qui sont disposées en parallèle. Chacune de ces résistances est en liaison d'une part avec l'émetteur 38

du transistor Q3 et d'autre part avec un transistor à effet de champ référencé respectivement Q7, Q6 et Q5. L'accumulateur de phase 7 applique au niveau des grilles 42, 45, 48 de chacun des transistors Q7, Q6, Q5 la valeur de l'erreur de phase dynamique Pk1, Pk2, Pk3. Leur source 44, 47, 50 est polarisée à un potentiel
 5 délivré par le générateur de fenêtre temporelle 9 qui est un compteur n par exemple recevant la fréquence synthétisée Fs (Fs joue le rôle d'horloge pour le compteur), le drain 43, 46, 49 de ces transistors étant alimenté par les différents courants Ic1, Ic2 et Ic3 circulant les R1, R2, R3.

En présence de la partie fractionnaire, les valeurs de Pk données par
 10 l'accumulateur de phase 7 modulo M ne sont pas nuls. En fonction de sa valeur Pk relie ou non les résistances R1, R2 et R3 à la masse via le compteur 9 ou compteur n afin de faire circuler par effet de miroir de courant, un courant de correction Icor vers l'intégrateur 4 avec $I_c = I_0 + I_{cor}$. Icor est le courant généré automatiquement lors de la correction. I_0 est un courant qui circule lorsque le signal de boucle F_0 est en
 15 retard par rapport au signal de référence Fr.

Ce compteur n envoie un créneau dont l'état bas correspond à « 0 V » ou niveau bas et l'état haut à 2,7 V. La durée de l'état bas, Tcor, pendant laquelle le courant de correction va circuler est sensiblement égale ou égale à $T_{cor} = n/F_s$. Cette manière de procéder permet de réaliser une multiplication entre un courant et
 20 un temps, ce qui donne une quantité de charge Qcor à fournir à l'intégrateur 4, définie par $Q_{cor} = I_{cor} \cdot T_{cor}$.

Ou encore

$$Q_{cor} = (V_{ref} - 0,6) \left[\left(\frac{Pk3}{R} + \frac{Pk2}{2R} + \frac{Pk1}{4R} \right) \frac{C}{Fs} \right]$$

25

Avec Pk1 ; Pk2 ; Pk3 égal à »0 « ou » 1 « et C une constante choisie en fonction de la technologie du compteur.

30 Calcul de la quantité d'énergie perdue

Sachant qu'à chaque instant k, la quantité d'énergie perdue Qk est égale à (4)

$$Q_k = \left[\left(\frac{P_k}{MF_s} \right) I_p \right]$$

Avec I_p le courant de décharge du circuit charge pompe 3, P_k la valeur de l'erreur de phase à l'instant k , M la valeur du modulo de l'accumulateur.

- 5 Pour annuler cette perte de charge, le circuit de courants pondérés 8 injecte automatiquement un certain courant $I_{cor} = I_{c1} + I_{c2} + I_{c3}$ pour charger la capacité d'intégration de la boucle (capacité du circuit intégrateur décrit en détail à la figure 4).

La somme des courants injectés est proportionnnelle à la valeur P_k contenue
10 dans l'accumulateur de phase et la durée de charge est proportionnelle à n fois la période T_s du signal synthétisé.

L'équilibre s'établit lorsqu'il il a égalité entre la quantité de charge à compenser donnée par la relation (3) et la quantité d'énergie perdue exprimée à la
15 relation (4). Cet équilibre conduit à une valeur élémentaire I_e pour le courant de charge égale à $I_p/(C*M)$, c'est-à-dire $I_e = I_{c1}$ dans cet exemple d'application.

Dans le cas d'un synthétiseur rapide couvrant la gamme de fréquence 3420 à 3840 MHz par exemple au pas de 400 KHz destiné notamment aux terminaux
20 GSM/GPRS, la fréquence de référence F_r est choisie par exemple à 2 MHz, ce qui impose une valeur du modulo M égale à 5. P_k peut prendre les valeurs suivantes : 0, 1, 2, 3 et 4.

Pour $P_k=0$, l'erreur de phase est nulle.

Pour $P_k=1$, la gigue temporelle élémentaire de phase varie de 52 ps à 58,4
25 pico secondes selon la fréquence synthétisée.

Dans cet exemple d'application, la fenêtre de correction T_{cor} est prise par exemple égale à 40 fois la période T_s de la fréquence synthétisée, ce qui donne une valeur élémentaire pour le courant de charge I_e égale à $I_p/(5*40)$. Comme P_k est une valeur binaire de 3 bits, il faut donc trois sources de courants de poids binaire
30 respectivement $I_{c1}=I_e$, $I_{c2}=2*I_e$ et $I_{c3}=4*I_e$.

Ainsi, la commutation des courants est la suivante

Contenu de l'accumulateur de phase	Courant commuté pour la décharge de l'intégrateur
Pk=1	Ic1
Pk=2	Ic2
Pk=3	Ic1 et Ic2
Pk=4	Ic3

La figure 4 décrit un autre mode de réalisation d'injection du courant constant à durée variable.

5 Le circuit charge pompe 3 comporte en plus des éléments décrits à la figure 3, un transistor Q5 dont la base 51 est reliée à la base 36 du transistor Q3, le collecteur 52 est en liaison avec la base 30 du transistor Q1 et l'émetteur 53 est relié à la résistance Rcor.

10 Le circuit de courants pondérés comporte une résistance Rcor reliée d'une part à l'émetteur 53 du transistor Q5 et d'autre part au compteur 9.

Cette autre façon de procéder fait appel à une source unique de courant de correction.

15 Son principe de fonctionnement est le suivant : le courant de correction Icor est activé par une simple mise à la masse de la résistance Rcor par le compteur 30 dont la durée Tcor à l'état bas « 0V » est égale à $(Pk+1)*n/Fs$, pour chaque cycle de référence, avec Pk qui correspond à la valeur des erreurs de phase contenues dans l'accumulateur de phase.

20 La charge correspondante est égale à $Qcor = Icor*((Pk+1)*n/Fs)$ ou encore (5)

$$Qcor = \frac{Icor * Pk * n}{Fs} + \frac{Icor * n}{Fs}$$

25 La relation (5) montre qu'à une constante $Icor*n/Fs$ près, la quantité de charge apportée est identique ou sensiblement identique à la quantité de charge perdue Qk de la relation (4) lorsque $Icor=Ip/(n*M)$.

Les courants I_p et I_c circulent vers l'intégrateur ou à partir de l'intégrateur selon un principe identique à celui décrit à la figure 3.

Sans sortir du cadre de l'invention, le synthétiseur décrit aux figures 2 à 4
5 s'applique dans tout dispositif alimenté en basse tension, qu'elle soit issue d'une source unique ou de plusieurs sources et pour lequel la puissance de consommation doit être minimisée.

Elle s'applique en particulier dans des dispositifs de radiocommunications comportant un émetteur et un récepteur et un synthétiseur de fréquence selon la
10 norme GSM/GPRS.

REVENDEICATIONS

- 5 1 – Synthétiseur de fréquence à division fractionnaire multiple comportant un générateur de fréquence (5), un oscillateur commandé en tension (6), un diviseur (1) programmable à rang variable N, un comparateur de phase (2), un circuit d'intégration et de filtre (4), un générateur de fenêtre temporelle (9), une source de courants pondérés (8), un accumulateur de phase (7), un circuit charge-pompe (3)
- 10 comportant plusieurs transistors (Q_i) caractérisé en ce que ladite source de courants (8) est relié audit circuit charge-pompe (3) de manière à commuter directement les courants sur l'émetteur d'un ou de plusieurs transistors du circuit charge-pompe.
- 15 2 – Synthétiseur de fréquence selon la revendication 1 caractérisé en ce qu'il est alimenté sous une faible tension sensiblement égale à 2,7V.
- 3 – Synthétiseur selon la revendication 2 caractérisé en ce que la source de tension est unique.
- 20 4 – Synthétiseur selon l'une des revendications 1 à 3 caractérisé en ce que les courants sont commutés pendant une durée sensiblement égale à un multiple de la fenêtre temporelle de correction et en fonction de la valeur du contenu de l'accumulateur de phase.
- 25 5 – Synthétiseur selon l'une des revendications 1 à 4 caractérisé en ce que le circuit charge-pompe (3) comporte au moins
- un transistor (Q_3) dont l'émetteur (38) est relié à une résistance R_c en liaison elle-même avec le comparateur de phase (2),
 - 30 • un transistor (Q_2) dans lequel circule le courant de charge I_c , en liaison avec le circuit d'intégration (4) et
 - un transistor (Q_4) dont l'émetteur (41) est relié à une résistance (R_p) reliée au comparateur de phase (2) et le collecteur au circuit d'intégration (4), le courant I_p de décharge circulant à travers R_p et Q_4 ,

et en ce que la source de courant de poids pondérés (8) comporte une ou plusieurs résistances R1, R2, R3 disposées en parallèle, la ou lesdites résistances étant reliées à l'émetteur (38) de Q3 et à au moins un transistor à effet de champ Q5, Q6, Q7 recevant au niveau de leur grille (48, 45, 42) la ou les valeurs Pk contenues dans l'accumulateur de phase (71), la source (50, 47, 44) des transistors à effet de champ étant en liaison avec la fenêtre temporelle (9) générant pendant un temps Tcor un signal de niveau bas ou « 0V ».

6 – Synthétiseur selon la revendication 5 caractérisé en ce que le circuit de génération de courants comporte trois résistances R1, R2 et R3 disposées en parallèle telles que $R3=R$, $R2=2R$ et $R1=4R$.

7 – Synthétiseur selon la revendication 6 caractérisé en ce que $T_{cor}=n/F_s$ et

$$I_{cor} = \frac{I_p}{n * M}$$

15

8 – Synthétiseur de fréquence selon l'une des revendications 1 à 4 caractérisé en que le circuit charge-pompe (3) comporte au moins

- un transistor (Q3) dont l'émetteur (38) est relié à une résistance Rc en liaison elle-même avec le comparateur de phase (2),
- un transistor (Q2) dans lequel circule le courant de charge Ic en liaison avec le circuit d'intégration (41), et
- un transistor (Q4) dont l'émetteur (41) est relié à une résistance Rp en liaison avec le comparateur de phase et le collecteur en liaison avec le circuit d'intégration, le courant Ip de décharge circulant à travers Rp et Q4, et un transistor (Q5) dont la base (51) est reliée à la base (36) de l'émetteur (Q3), le collecteur (52) relié à la base (30) de Q1 et l'émetteur (53) est relié à une résistance Rcor, la résistance Rcor étant reliée à dispositif (9) générant un signal de niveau bas « 0V » pendant une durée de correction Tcor.

9 – Synthétiseur selon la revendication 8 caractérisé en ce que la durée Tcor est égale à $(P_k+1)*n/F_s$.

10 – Synthétiseur de fréquence à temps d'acquisition rapide et à faible bruit de phase à division fractionnaire selon l'une des revendications 1 à 9.

35

11 – Dispositif de radiocommunication comportant au moins un émetteur et un récepteur et un synthétiseur de fréquence à division fractionnaire selon l'une des revendications 1 à 10.

5 12 – Procédé pour synthétiser une fréquence caractérisé en ce qu'il comporte au moins les étapes suivantes :

- utiliser une boucle de synthèse en fréquence comportant un diviseur programmable (1) à rang variable N, un circuit charge-pompe (3), une source de courants (8) et un générateur de fenêtre temporelle (9),
- 10 • coupler une sortie de la source de courants (8) audit circuit charge pompe (3) afin de commuter directement le ou les courants de correction sur l'émetteur d'au moins un des transistors du circuit charge pompe (3),
- générer un signal à partir de la fenêtre temporelle (9) de niveau bas « 0 » et l'appliquer à la source de courants pendant une durée ΔT_{cor} .

15

13. Procédé selon la revendication 12 caractérisé en ce que la durée $T_{cor} = \frac{n}{F_s}$ et

$$I_{cor} = \frac{I_p}{n * M} \quad n \text{ étant une caractéristique du compteur de la fenêtre temporelle.}$$

14. Procédé selon la revendication 12 caractérisé en ce que $T_{cor} = \frac{(P_k + 1)}{n * F_s}$.

20

15. Procédé selon l'une des revendications 12 à 14 caractérisé en ce que l'on utilise une alimentation faible tension sensiblement égale à 2,7 V.

16. Application du synthétiseur selon l'une des revendications 1 à 10 et du procédé
25 selon l'une des revendications 12 à 15 à la synthèse de fréquence pour des applications de type GSM et/ou GPRS.

30

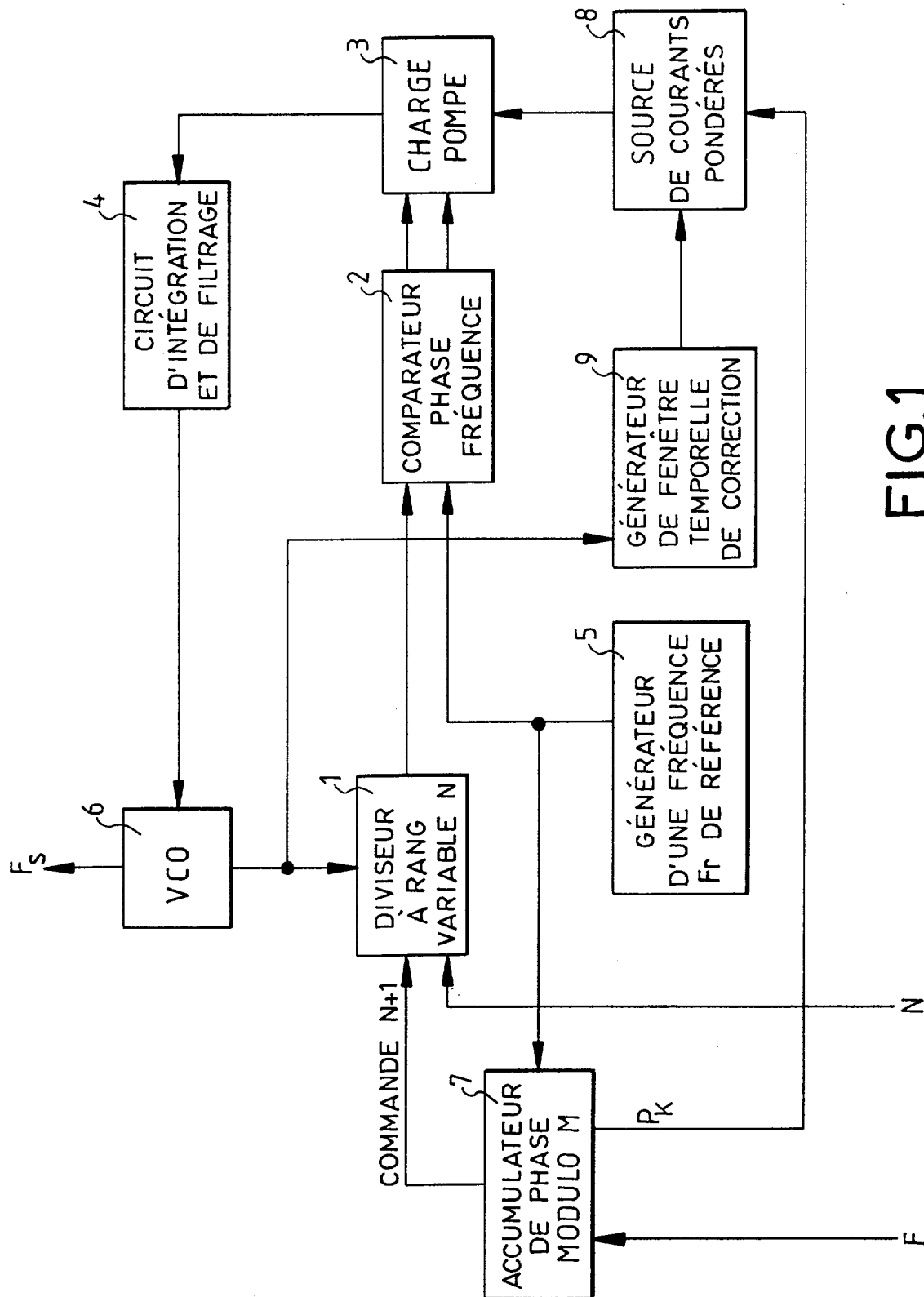


FIG.1



FIG. 2



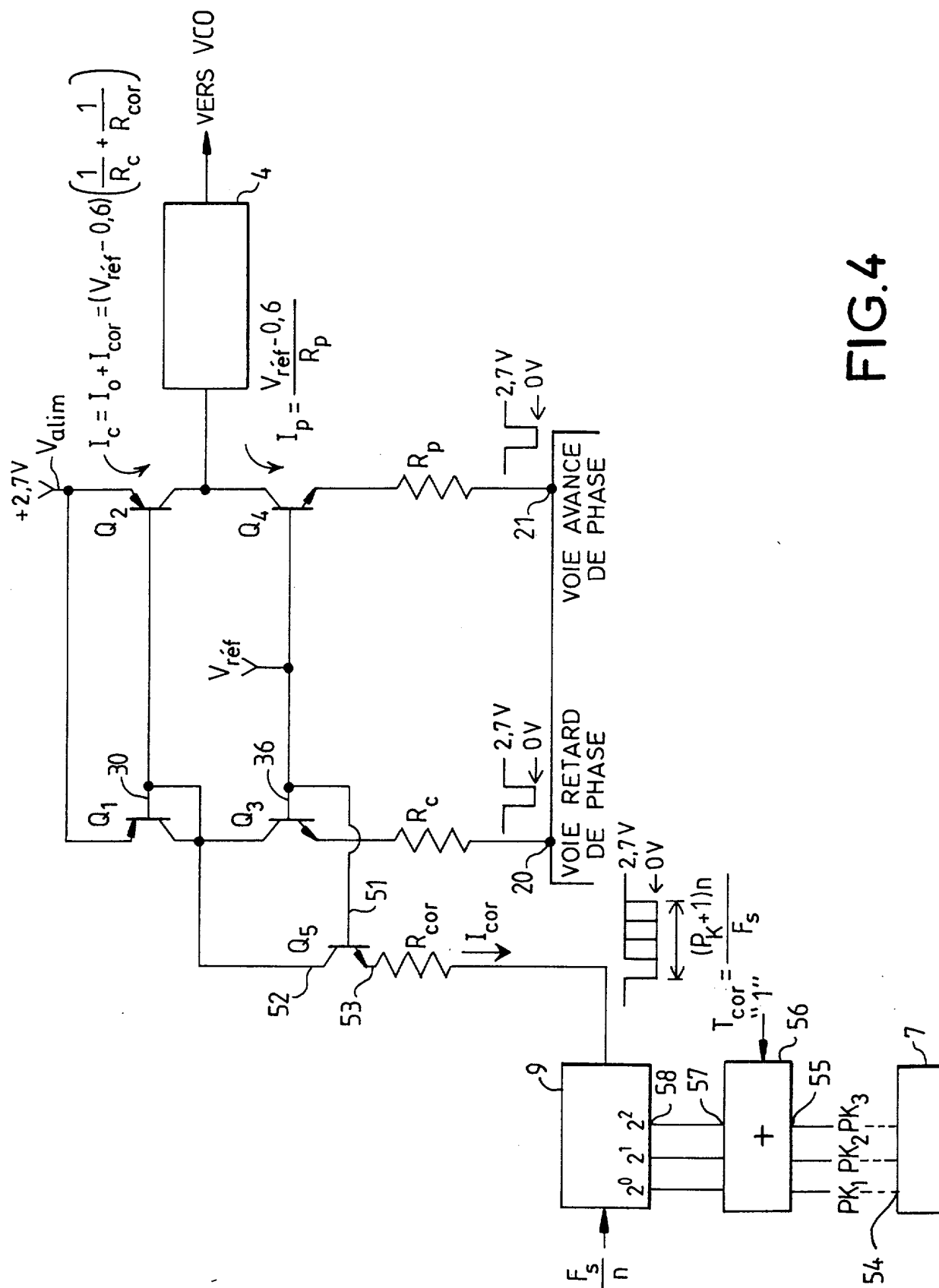


FIG. 4



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2807587

N° d'enregistrement
national

FA 585857
FR 0004644

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 818 303 A (NIRATSUKA KIMITOSHI ET AL) 6 octobre 1998 (1998-10-06) * colonne 6, ligne 26 - colonne 7, ligne 67; figures 6A-8 * * colonne 10, ligne 66 - colonne 12, ligne 7; figures 13,14 * * colonne 14, ligne 34 - colonne 16, ligne 50; figures 19-28 * ----	1-4, 9-12, 14-16	H03L7/18 H03J7/06
A	WO 99 33181 A (KONINKL PHILIPS ELECTRONICS NV ;PHILIPS AB (SE)) 1 juillet 1999 (1999-07-01) * page 5, ligne 1 - page 6, dernière ligne; figures 1-3 * ----	1-4,7, 10-13, 15,16	
A,D	EP 0 147 307 A (THOMSON CSF) 3 juillet 1985 (1985-07-03) * page 6, ligne 19 - page 8, ligne 22; figure 3 * * page 10, ligne 31 - page 26, ligne 21; figures 5-9 * -----	1-4,7, 10-13, 15,16	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) H03L
Date d'achèvement de la recherche		Examineur	
11 décembre 2000		Balbinot, H	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ----- & : membre de la même famille, document correspondant			