

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5253312号
(P5253312)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月26日(2013.4.26)

(51) Int.Cl. F I
H O 4 N 7/32 (2006.01) H O 4 N 7/137 Z

請求項の数 20 (全 32 頁)

(21) 出願番号	特願2009-167518 (P2009-167518)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年7月16日(2009.7.16)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2011-23995 (P2011-23995A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成23年2月3日(2011.2.3)	(72) 発明者	平松 義崇 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
審査請求日	平成24年4月23日(2012.4.23)	(72) 発明者	中田 啓明 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
		(72) 発明者	江浜 真和 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 動画像処理装置およびその動作方法

(57) 【特許請求の範囲】

【請求項1】

並列動作が可能な第1の動画像処理ユニットと第2の動画像処理ユニットとを具備する動画像処理装置であって、

前記第1の動画像処理ユニットと前記第2の動画像処理ユニットとが前記並列動作を実行する際に、前記第1の動画像処理ユニットと前記第2の動画像処理ユニットとが処理するデータ処理単位は、所定数の画素を含むマクロブロックを含むものであり、

前記第1の動画像処理ユニットは1つの画像の1つの行に配列された第1の複数のマクロブロックを順次処理するものであり、前記第2の動画像処理ユニットは前記1つの画像の前記1つの行の次の行に配列された第2の複数のマクロブロックを順次処理するものであり、

10

前記第1の動画像処理ユニットと前記第2の動画像処理ユニットとは、画像復号時のブロック歪を低減するための第1のデブロッキングフィルタと第2のデブロッキングフィルタとをそれぞれ含むものであり、

前記第1のデブロッキングフィルタの動作タイミングと比較して、前記第2のデブロッキングフィルタの動作タイミングは、前記マクロブロック2個分のデブロッキングフィルタ処理時間、少なくとも遅延されるものであり、

前記動画像処理装置は、少なくとも第1のバッファと第2のバッファとを含むデータ転送ユニットを更に具備するものであり、

前記第1のデブロッキングフィルタの第1のフィルタ処理結果は前記データ転送ユニッ

20

トの前記第 1 のバッファに蓄積可能とされ、前記第 2 のデブロッキングフィルタの第 2 のフィルタ処理結果は前記データ転送ユニットの前記第 2 のバッファに蓄積可能とされ、

前記第 1 のバッファに蓄積された前記第 1 のフィルタ処理結果と前記第 2 のバッファに蓄積された前記第 2 のフィルタ処理結果とは、外部メモリに前記第 1 のバッファと前記第 2 のバッファとから順次に転送可能とされたことを特徴とする動画像処理装置。

【請求項 2】

前記第 1 のバッファの第 1 の記憶容量は前記第 2 のバッファの第 2 の記憶容量よりも少なくとも所定の記憶容量分、大きく設定され、

前記所定の記憶容量は前記第 2 のデブロッキングフィルタの前記動作タイミングの遅延の間に前記第 1 のデブロッキングフィルタが生成する前記第 1 のフィルタ処理結果を蓄積可能であることを特徴とする請求項 1 に記載の動画像処理装置。

10

【請求項 3】

前記第 1 のデブロッキングフィルタと前記第 2 のデブロッキングフィルタと前記データ転送ユニットとは、パイプライン動作を実行するものであり、

前記パイプライン動作の 1 つのタイムスロットの間に、前記データ転送ユニットの前記第 1 のバッファと前記第 2 のバッファとは、前記第 1 のフィルタ処理結果と前記第 2 のフィルタ処理結果とを並列に保持しているものであり、

前記第 1 のバッファと前記第 2 のバッファとに保持された前記第 1 のフィルタ処理結果と前記第 2 のフィルタ処理結果とは、前記パイプライン動作の前記 1 つのタイムスロットの次の 1 つのタイムスロットの間に前記データ転送ユニットによって前記外部メモリに順次転送可能とされたことを特徴とする請求項 2 に記載の動画像処理装置。

20

【請求項 4】

前記第 1 のデブロッキングフィルタと前記データ転送ユニットの前記第 1 のバッファとは所定の処理期間で前記マクロブロックを順次に処理する前記パイプライン動作を実行する一方、前記第 2 のデブロッキングフィルタと前記データ転送ユニットの前記第 2 のバッファとは前記所定の処理期間で前記マクロブロックを順次に処理する前記パイプライン動作を実行するものであり、

前記所定の処理期間の他の処理間において、前記第 1 のデブロッキングフィルタの前記第 1 のフィルタ処理結果と前記第 2 のデブロッキングフィルタの前記第 2 のフィルタ処理結果とが、前記第 1 のバッファと前記第 2 のバッファとから前記外部メモリに順次に転送可能とされたことを特徴とする請求項 3 に記載の動画像処理装置。

30

【請求項 5】

前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットとは、第 1 の可変長符号化復号部と第 2 の可変長符号化復号部と、第 1 の周波数変換部と第 2 の周波数変換部と、第 1 の動き補償部と第 2 の動き補償部とをそれぞれ更に含むものであり、

前記第 1 の動画像処理ユニットに含まれた前記第 1 の可変長符号化復号部と前記第 1 の周波数変換部と前記第 1 の動き補償部と前記第 1 のデブロッキングフィルタと、前記第 2 の動画像処理ユニットに含まれた前記第 2 の可変長符号化復号部と前記第 2 の周波数変換部と前記第 2 の動き補償部と前記第 2 のデブロッキングフィルタとは、前記所定の処理期間で前記マクロブロックを順次に処理する前記パイプライン動作を実行することを特徴とする請求項 4 に記載の動画像処理装置。

40

【請求項 6】

前記第 1 のデブロッキングフィルタと前記第 2 のデブロッキングフィルタとは第 1 のメモリと第 2 のメモリとをそれぞれ内蔵するものであり、

前記第 1 のデブロッキングフィルタによってフィルタ処理された処理対象のマクロブロックのデータが、次の処理対象のマクロブロックの次のフィルタ処理のために前記第 1 のメモリに格納可能とされる一方、前記第 2 のデブロッキングフィルタによってフィルタ処理された処理対象のマクロブロックのデータが、次の処理対象のマクロブロックの次のフィルタ処理のために前記第 2 のメモリに格納可能とされたことを特徴とする請求項 5 に記載の動画像処理装置。

50

【請求項 7】

前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットとに接続された他のメモリを更に具備するものであり、

前記第 1 のデブロッキングフィルタによってフィルタ処理された前記 1 つの行に配列されるマクロブロックの下側境界の領域のデータが、前記次の行に配列されるマクロブロックのイントラ・フレーム予測のために前記他のメモリに格納可能とされる一方、前記第 2 のデブロッキングフィルタによってフィルタ処理された前記次の行に配列されるマクロブロックの下側境界の領域のデータが、前記次の行の更に次の行に配列されるマクロブロックのイントラ・フレーム予測のために前記他のメモリに格納可能とされたことを特徴とする請求項 6 に記載の動画像処理装置。

10

【請求項 8】

前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットと前記データ転送ユニットとは、前記動画像処理装置を構成する半導体集積回路の半導体基板に集積化されたことを特徴とする請求項 7 に記載の動画像処理装置。

【請求項 9】

前記データ転送ユニットはダイレクトメモリアクセスコントローラであることを特徴とする請求項 8 に記載の動画像処理装置。

【請求項 10】

前記外部メモリは、前記半導体集積回路と接続可能な同期型ダイナミックランダムアクセスメモリであることを特徴とする請求項 1 乃至請求項 9 のいずれかに記載の動画像処理装置。

20

【請求項 11】

並列動作が可能な第 1 の動画像処理ユニットと第 2 の動画像処理ユニットとを具備する動画像処理装置の動作方法であって、

前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットとが前記並列動作を実行する際に、前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットとが処理するデータ処理単位は、所定数の画素を含むマクロブロックを含むものであり、

前記第 1 の動画像処理ユニットは 1 つの画像の 1 つの行に配列された第 1 の複数のマクロブロックを順次処理するものであり、前記第 2 の動画像処理ユニットは前記 1 つの画像の前記 1 つの行の次の行に配列された第 2 の複数のマクロブロックを順次処理するものであり、

30

前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットとは、画像復号時のブロック歪を低減するための第 1 のデブロッキングフィルタと第 2 のデブロッキングフィルタとをそれぞれ含むものであり、

前記第 1 のデブロッキングフィルタの動作タイミングと比較して、前記第 2 のデブロッキングフィルタの動作タイミングは、前記マクロブロック 2 個分のデブロッキングフィルタ処理時間、少なくとも遅延されるものであり、

前記動画像処理装置は、少なくとも第 1 のバッファと第 2 のバッファとを含むデータ転送ユニットを更に具備するものであり、

前記第 1 のデブロッキングフィルタの第 1 のフィルタ処理結果は前記データ転送ユニットの前記第 1 のバッファに蓄積可能とされ、前記第 2 のデブロッキングフィルタの第 2 のフィルタ処理結果は前記データ転送ユニットの前記第 2 のバッファに蓄積可能とされ、

40

前記第 1 のバッファに蓄積された前記第 1 のフィルタ処理結果と前記第 2 のバッファに蓄積された前記第 2 のフィルタ処理結果とは、外部メモリに前記第 1 のバッファと前記第 2 のバッファとから順次に転送可能とされたことを特徴とする動画像処理装置の動作方法

。

【請求項 12】

前記第 1 のバッファの第 1 の記憶容量は前記第 2 のバッファの第 2 の記憶容量よりも少なくとも所定の記憶容量分、大きく設定され、

前記所定の記憶容量は前記第 2 のデブロッキングフィルタの前記動作タイミングの遅延

50

の間に前記第1のデブロッキングフィルタが生成する前記第1のフィルタ処理結果を蓄積可能であることを特徴とする請求項11に記載の動画像処理装置の動作方法。

【請求項13】

前記第1のデブロッキングフィルタと前記第2のデブロッキングフィルタと前記データ転送ユニットとは、パイプライン動作を実行するものであり、

前記パイプライン動作の1つのタイムスロットの間に、前記データ転送ユニットの前記第1のバッファと前記第2のバッファとは、前記第1のフィルタ処理結果と前記第2のフィルタ処理結果とを並列に保持しているものであり、

前記第1のバッファと前記第2のバッファとに保持された前記第1のフィルタ処理結果と前記第2のフィルタ処理結果とは、前記パイプライン動作の前記1つのタイムスロットの次の1つのタイムスロットの間に前記データ転送ユニットによって前記外部メモリに順次転送可能とされたことを特徴とする請求項12に記載の動画像処理装置の動作方法。

【請求項14】

前記第1のデブロッキングフィルタと前記データ転送ユニットの前記第1のバッファとは所定の処理期間で前記マクロブロックを順次に処理する前記パイプライン動作を実行する一方、前記第2のデブロッキングフィルタと前記データ転送ユニットの前記第2のバッファとは前記所定の処理期間で前記マクロブロックを順次に処理する前記パイプライン動作を実行するものであり、

前記所定の処理期間の後の他の処理期間において、前記第1のデブロッキングフィルタの前記第1のフィルタ処理結果と前記第2のデブロッキングフィルタの前記第2のフィルタ処理結果とが、前記第1のバッファと前記第2のバッファとから前記外部メモリに順次に転送可能とされたことを特徴とする請求項13に記載の動画像処理装置の動作方法。

【請求項15】

前記第1の動画像処理ユニットと前記第2の動画像処理ユニットとは、第1の変長符号化復号部と第2の変長符号化復号部と、第1の周波数変換部と第2の周波数変換部と、第1の動き補償部と第2の動き補償部とをそれぞれ更に含むものであり、

前記第1の動画像処理ユニットに含まれた前記第1の変長符号化復号部と前記第1の周波数変換部と前記第1の動き補償部と前記第1のデブロッキングフィルタと、前記第2の動画像処理ユニットに含まれた前記第2の変長符号化復号部と前記第2の周波数変換部と前記第2の動き補償部と前記第2のデブロッキングフィルタとは、前記所定の処理期間で前記マクロブロックを順次に処理する前記パイプライン動作を実行することを特徴とする請求項14に記載の動画像処理装置の動作方法。

【請求項16】

前記動画像処理装置は、前記第1のデブロッキングフィルタと前記第2のデブロッキングフィルタとは第1のメモリと第2のメモリとをそれぞれ内蔵するものであり、

前記第1のデブロッキングフィルタによってフィルタ処理された処理対象のマクロブロックのデータが、次の処理対象のマクロブロックの次のフィルタ処理のために前記第1のメモリに格納可能とされる一方、前記第2のデブロッキングフィルタによってフィルタ処理された処理対象のマクロブロックのデータが、次の処理対象のマクロブロックの次のフィルタ処理のために前記第2のメモリに格納可能とされたことを特徴とする請求項15に記載の動画像処理装置の動作方法。

【請求項17】

前記動画像処理装置は、前記第1の動画像処理ユニットと前記第2の動画像処理ユニットとに接続された他のメモリを更に具備するものであり、

前記第1のデブロッキングフィルタによってフィルタ処理された前記1つの行に配列されるマクロブロックの下側境界の領域のデータが、前記次の行に配列されるマクロブロックのイントラ・フレーム予測のために前記他のメモリに格納可能とされる一方、前記第2のデブロッキングフィルタによってフィルタ処理された前記次の行に配列されるマクロブロックの下側境界の領域のデータが、前記次の行の更に次の行に配列されるマクロブロックのイントラ・フレーム予測のために前記他のメモリに格納可能とされたことを特徴とす

10

20

30

40

50

る請求項 16 に記載の動画像処理装置の動作方法。

【請求項 18】

前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットと前記データ転送ユニットとは、前記動画像処理装置を構成する半導体集積回路の半導体基板に集積化されたことを特徴とする請求項 17 に記載の動画像処理装置の動作方法。

【請求項 19】

前記データ転送ユニットはダイレクトメモリアクセスコントローラであることを特徴とする請求項 18 に記載の動画像処理装置の動作方法。

【請求項 20】

前記外部メモリは、前記半導体集積回路と接続可能な同期型ダイナミックランダムアクセスメモリであることを特徴とする請求項 11 乃至請求項 19 のいずれかに記載の動画像処理装置の動作方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、動画像処理装置およびその動作方法に関し、特に複数のマクロブロックのデブロッキングフィルタ並列処理に際して、外部メモリへの複数の処理結果の転送を容易とするのに有効な技術に関するものである。

【背景技術】

【0002】

動画像符号化方式としては、ITU-T (国際電気通信連合電気通信標準化部門; International Telecommunication Union、Telecommunication Standardization Sector)において規格化された H.263、ISO (International Organization for Standardization) / IEC (International Electrotechnical Commission) JTC1 の MPEG (Moving Picture Experts Group) で規格化された MPEG-2、MPEG-4、SMPTE (Society of Motion Picture and Television Engineers) が提案した VC-1 などがある。また、ITU-T の勧告 H.264 として承認されるとともに ISO / IEC によって国際基準 14496-10 (MPEG part 10) Advanced Video Coding (AVC) として承認された H.264 / AVC が最新の国際標準のビデオ符号化である。

20

【0003】

下記非特許文献 1 の 8.7 章の「デブロッキングフィルタプロセス」PP. 138 ~ 146 には、勧告 H.264 / AVC に準拠して画像復号時に生じるブロック歪を減少させるためのデブロッキングフィルタが記載されている。

30

【0004】

また、下記非特許文献 2 の Annex J の「デブロッキングフィルタモード」PP. 80 ~ 84 には H.263 の拡張規格 Annex に準拠したデブロッキングフィルタが記載されている。

【0005】

また更に、下記非特許文献 3 には、VC-1 のデブロッキングフィルタが記載されている。

40

【0006】

図 2 は、勧告 H.264 / AVC に準拠するデブロッキングフィルタの機能を説明する図である。

【0007】

図 2 に示すように勧告 H.264 / AVC に準拠するデブロッキングフィルタでは 16 × 16 画素のマクロブロックを列方向(垂直方向)に 4 分割する 4 個のブロックの境界 201、202、203、204 に関して、各境界の左側の 4 画素 209 と各境界の右側の 4 画素 210 とを使用して所定の演算式に従ったフィルタ処理を実行して、各境界の左右両側で計 8 画素をフィルタ処理結果によって書き換えるものである。次にマクロブロックを行方向(水平方向)に 4 分割する 4 個のブロックの境界 205、206、207、208 に

50

関して、各境界の下側の4画素211と各境界の上側の4画素212とを使用して所定の演算式に従ったフィルタ処理を実行して、各境界の上下両側で計8画素をフィルタ処理結果によって書き換えるものである。従って、マクロブロック単位でデブロッキングフィルタ処理を実行するには、上側に隣接するマクロブロックの画素と左側に隣接するマクロブロックの画素が必要になる。

【0008】

図16は、H.263 Annexに準拠するデブロッキングフィルタの機能を説明する図である。

【0009】

図16に示すようにH.263 Annexに準拠するデブロッキングフィルタ処理では、16×16画素のマクロブロックを行方向(水平方向)に2分割する2個のブロックの境界1605、1607に関して、各境界の下側の4画素1611と各境界の上側の4画素1612とを使用して所定の演算式に従ったフィルタ処理を実行して、各境界の上下両側で計8画素をフィルタ処理結果によって書き換えるものである。次にマクロブロックを列方向(垂直方向)に2分割する2個のブロックの境界1601、1603に関して、各境界の左側の4画素1609と各境界の右側の4画素1610とを使用して所定の演算式に従ったフィルタ処理を実行して、各境界の左右両側で計8画素をフィルタ処理結果によって書き換えるものである。従って、マクロブロック単位でデブロッキングフィルタ処理を実行するには、H.264/AVCと同様に上側に隣接するマクロブロックの画素と左側に隣接するマクロブロックの画素が必要になる。

【0010】

VC-1に準拠するデブロッキングフィルタ処理では、2つのモードがある。

【0011】

図17は、VC-1に準拠するデブロッキングフィルタの1つ目のモードの機能を説明する図である。1つ目のモードは、16×16画素のマクロブロックを行方向(水平方向)に4分割する3個のブロック境界1706、1707、1708とこのマクロブロックの上側に隣接するマクロブロックを4分割する1個のブロック境界1705に関して、各境界の下側の4画素1711と各境界の上側の4画素1712を使用して所定の演算式に従ったフィルタ処理を実行して、各境界の上下両側で計8画素をフィルタ処理結果によって書き換えるものである。次に、マクロブロックを列方向(垂直方向)に4分割する3個のブロック境界1702、1703、1704とこのマクロブロックの左側に隣接するマクロブロックを4分割する1個のブロック境界1701に関して、各境界の左側の4画素1709と各境界の右側の4画素1710を使用して所定の演算式に従ったフィルタ処理を実行して、各境界の左右両側で計8画素をフィルタ処理結果によって書き換えるものである。従って、マクロブロック単位でデブロッキングフィルタ処理を実行するには、上側に隣接するマクロブロックの画素と左側に隣接するマクロブロックの画素と左上側に隣接するマクロブロックの画素が必要になる。

【0012】

図18は、VC-1に準拠するデブロッキングフィルタの2つ目のモードの機能を説明する図である。2つ目のモードは、16×16画素のマクロブロックを行方向(水平方向)に4分割する2個のブロック境界1807、1808とこのマクロブロックの上側に隣接するマクロブロックを行方向(水平方向)に4分割する2個のブロック境界1805、1806に関して、各境界の下側の4画素1811と各境界の上側の4画素1812を使用して所定の演算式に従ったフィルタ処理を実行して、各境界の上下両側で計8画素をフィルタ処理結果によって書き換えるものである。次に、16×16画素のマクロブロックを列方向(垂直方向)に4分割する4個のブロック境界1801、1802、1803、1804に関して、各境界の左側の4画素1809と各境界の右側の4画素1810とを使用して所定の演算式に従ったフィルタ処理を実行して、各境界の左右両側で計8画素をフィルタ処理結果によって書き換えるものである。従って、マクロブロック単位でデブロッキングフィルタ処理を実行するには、上側に隣接するマクロブロックの画素と左側に隣接する

10

20

30

40

50

マクロブロックの画素が必要になる。

【0013】

一方、デブロッキングフィルタ処理の結果は復号処理の最後に次の画面の動き補償処理のための参照復号画像を生成する段階で使用されるため、フィルタ処理が完了した領域は外部メモリに出力されるものである。

【0014】

図3は、勧告H.264/AVCに準拠するデブロッキングフィルタ処理で1つのマクロブロックMB11と上側に隣接するマクロブロックMB01の間の境界と1つのマクロブロックMB11と左側に隣接するマクロブロックMB10の間の境界でのフィルタ処理を実行後、フィルタ処理が完了した領域および外部メモリに出力する範囲を説明する図である。

10

【0015】

図3に示すように、マクロブロックMB11におけるデブロッキングフィルタ処理を実行した結果、フィルタ処理の全てが完了した領域301は、処理対象のマクロブロックMB11や左側の隣接するマクロブロックMB10のマクロブロック境界からずれ、上側に隣接するマクロブロックMB01や左上側に隣接するマクロブロックMB00にまたがる。従って外部メモリに出力可能な範囲は、デブロッキングフィルタ処理対象のマクロブロックMB11からずれる。

【0016】

例えば、下記特許文献1ではデブロッキングフィルタ処理対象のマクロブロックMB11の左側に隣接するマクロブロックMB10と、マクロブロックMB11の左上側に隣接するマクロブロックMB00を含む範囲302または、デブロッキングフィルタ処理対象のマクロブロックMB11と、マクロブロックMB11の左側に隣接するマクロブロックMB10と、マクロブロックMB11の上側に隣接するマクロブロックMB01と、マクロブロックMB11の左上側に隣接するマクロブロックMB00をまたぐ範囲303を外部メモリに出力する画像復号装置が記載されている。

20

【0017】

一方、下記特許文献2には、勧告H.264/AVCに準拠した動画符号化または動画復号でのイントラ・フレーム予測を実行する際に、偶数の行に配列された第1のマクロブロックを処理する第1動画画像処理ユニット2_0と次の行に配列された第2のマクロブロックを処理する第2動画画像処理ユニット2_1とが並列動作することが記載されている。その際、偶数の行に配列された第1のマクロブロックの複数の近傍マクロブロックの第1動画画像処理ユニット2_0による処理結果が、メモリユニットLMに格納される。この格納結果を利用して第2動画画像処理ユニット2_1は、次の行の1つのマクロブロックの処理を実行するものである。

30

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2007-258882号 公報

【特許文献2】特開2008-42571号 公報

40

【非特許文献】

【0019】

【非特許文献1】Thomas Wiegand et al, "Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification (ITU-T Rec. H.264 | ISO/IEC 14495-10 AVC", March 2003 <http://www.h2631.com/h264/JVC-G050.pdf#search='Thomas+Wiegand+JVTG050d35.doc'> [平成21年06月01日検索]

【非特許文献2】ITU-T Recommendation H.263, "Vi

50

deo coding for low bit rate communication," Series H: AUDIOVISUAL AND MULTIMEDIA SYSTEM, Infrastructure of Audiovisual Services - Coding of Moving Video, INTERNATIONAL TELECOMMUNICATION UNION - TELECOMMUNICATION STANDARD SECTOR, February 1998 <http://www.itu.int/rec/T-REC-H.263-199802-5/en> [平成21年06月30日検索]

【非特許文献3】 SMPTE Draft Standard for Television SMPTE 421M, Proposed SMPTE Standard for Television: VC-1 Compressed Video Bitstream Format and Decoding Process, August 23, 2005 [http://multimedia.cx/mirror/s421m.pdf#search='SMPTE 421M draft Standard for VX1'](http://multimedia.cx/mirror/s421m.pdf#search='SMPTE+421M+draft+Standard+for+VX1') [平成21年06月30日検索]

10

【発明の概要】

【発明が解決しようとする課題】

【0020】

本発明に先立って本発明者等は、動画像処理装置の研究・開発に従事した。

【0021】

20

この研究・開発では、上記特許文献2に記載の複数の行に配列された複数のマクロブロックの複数の動画像処理ユニットによる並列処理から着想を得て、複数の行に配列された複数のマクロブロックを複数のデブロッキングフィルタ回路によって並列にデブロッキングフィルタ処理を実行する方法が検討された。

【0022】

図4は、本発明に先立って本発明者等によって検討された複数の行に配列された複数のマクロブロックを複数のデブロッキングフィルタ回路によって並列にデブロッキングフィルタ処理を実行する方法を説明する図である。

【0023】

図4に示す方法では第1のデブロッキングフィルタ回路DEB1が奇数行である1行目、3行目...のいずれかの行に配列されたマクロブロックを水平方向にデブロッキングフィルタ処理を実行するのと並列に、第2のデブロッキングフィルタ回路DEB2が偶数行である2行目、4行目...のいずれかの行に配列されたマクロブロックを水平方向にデブロッキングフィルタ処理を実行するものである。この並列処理では、第1のデブロッキングフィルタ回路DEB1の動作タイミングと比較して、第2のデブロッキングフィルタ回路DEB2の動作タイミングは、2個のマクロブロックのデブロッキングフィルタ処理時間分、遅延する必要がある。

30

【0024】

図5は、図4に示した処理方法において、第1のデブロッキングフィルタ回路DEB1の動作タイミングと比較して、第2のデブロッキングフィルタ回路DEB2の動作タイミングが2個のマクロブロックの処理時間分遅延する必要があることを説明するための図であり、第1のデブロッキングフィルタ回路DEB1が3行目を処理し、第2のデブロッキングフィルタ回路DEB2が4行目を処理する様子を示している。

40

【0025】

図5に示すように第1のデブロッキングフィルタ回路DEB1によるデブロッキングフィルタ処理は、3行目の1列目のマクロブロック(MB20)から開始して右方向の2列目、3列目...のマクロブロック(MB21、MB22)に向かって行方向(水平方向)に順次に進行する。第2のデブロッキングフィルタ回路DEB2によるデブロッキングフィルタ処理は、4行目の1列目のマクロブロック(MB30)から開始して右方向の2列目、3列目...のマクロブロック(MB31、MB32...)に向かって行方向(水平方向)に順次に進行す

50

る。しかし、4行目の1列目のマクロブロック(MB30)のデブロッキングフィルタ処理には、3行目の1列目のマクロブロック(MB20)の下側境界の4画素の領域502に関するフィルタ処理が完了している必要がある。このフィルタ処理が完了するタイミングは、3行目の1列目のマクロブロック(MB20)の下側境界の4画素の領域502のうちで右側に隣接するマクロブロックMB21との間の右側境界501の4画素に関するフィルタ処理が完了するタイミングである。従って、第1と第2のデブロッキングフィルタ回路DEB1、DEB2による3行目と4行目とに配列されたマクロブロックのデブロッキングフィルタ処理の制御を容易とするためには、第1のデブロッキングフィルタ回路DEB1の動作タイミングと比較して、第2のデブロッキングフィルタ回路DEB2の動作タイミングを2個のマクロブロックの処理時間分遅延する必要があるものである。

10

【0026】

図6は、図5に示す第1と第2のデブロッキングフィルタ回路DEB1、DEB2による3行目と4行目のマクロブロックのデブロッキングフィルタ並列処理の完了後に、上記特許文献1に開示されている方法で外部メモリに転送される領域を示す図である。具体的には、図3に示す範囲302を外部メモリに転送する例を示している。

【0027】

図6にて、領域604は第1のデブロッキングフィルタ回路DEB1による3行目の4列目のマクロブロック(MB23)のフィルタ処理によって外部メモリに転送される領域を示す一方、領域605は第2のデブロッキングフィルタ回路DEB2による4行目の2列目のマクロブロック(MB31)のフィルタ処理によって外部メモリに転送される領域を示し、領域604と領域605は2個のマクロブロック分、列方向(垂直方向)で相違する位置に配列されている。このように、第1と第2のデブロッキングフィルタ回路DEB1、DEB2による複数のマクロブロックのデブロッキングフィルタ並列処理の結果、領域604のフィルタ処理結果と領域605のフィルタ処理結果を外部メモリに転送する必要がある。しかし、列方向(垂直方向)で相違する位置に配列された複数のマクロブロックの処理結果の外部メモリに転送することは、単一のフィルタ処理結果を外部メモリに転送するよりも負担が増加する。

20

【0028】

列方向(垂直方向)で相違する位置の複数のマクロブロック(MB)を外部メモリにデータ転送することが困難となることを、下記に説明する。

30

【0029】

図13は、列方向(垂直方向)にて相違する位置に配列された複数のマクロブロック(MB)の処理結果を外部メモリに転送することが、単一のフィルタ処理結果を外部メモリに転送するより負担が増加する理由を説明するための図であり、第1のデブロッキングフィルタ回路DEB1が5行目の2列目に配列されたマクロブロック(MB41)を処理し、第2のデブロッキングフィルタ回路DEB2が4行目のL列目に配列されたマクロブロック(MB3(L-1))を処理する場合、外部メモリに転送される領域を示す。

【0030】

図13で、領域1305は第1のデブロッキングフィルタ回路DEB1による5行目の2列目のマクロブロック(MB41)のフィルタ処理によって外部メモリに転送される領域を示す一方、領域1304は第2のデブロッキングフィルタ回路DEB2による4行目のL列目のマクロブロック(MB3(L-1))のフィルタ処理によって外部メモリに転送される領域を示し、領域1304と領域1305とはL-2個マクロブロック分水平方向で相違する位置に配列されている。

40

【0031】

このような外部メモリへのデータ転送では、外部メモリの複数の転送先のアドレス(ディステーションアドレス)を指定する必要があるだけでなく、列方向(垂直方向)で相違する位置に配列された複数のマクロブロック(MB)である複数の転送元のアドレス(ソースアドレス)を指定する必要がある。このアドレス指定は画像処理装置を構成する半導体集積回路に内蔵されたメモリコントローラもしくは中央処理装置(CPU)によって

50

実行可能であるが、ソースアドレスの指定のためにはアドレス計算が必要となり、外部メモリへのデータ転送の効率が低下するものである。

【0032】

上述のような理由で、単一のデブロッキングフィルタ回路を有する動画像処理装置が単一行に配列されたマクロブロックを順次デブロッキングフィルタ処理を実行する通常処理と比較して、複数の行に配列された複数のマクロブロックの複数のデブロッキングフィルタ回路によって並列にデブロッキングフィルタ処理を実行する場合には、複数のマクロブロックの処理結果の外部メモリへの転送の負担が増加するものである。

【0033】

本発明は、以上のような本発明に先立った本発明者等による検討の結果、なされたものである。

10

【0034】

従って、本発明の目的とするところは、複数のマクロブロックのデブロッキングフィルタ並列処理に際して、外部メモリへの複数の処理結果の転送を容易とすることにある。

【0035】

また、本発明の他の目的とするところは、複数のマクロブロックのデブロッキングフィルタ並列処理に際して、外部メモリへの転送の負担を軽減することにある。

【0036】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0037】

本願において開示される発明のうちの代表的なものについて簡単に説明すれば下記のとおりである。

【0038】

すなわち、本発明の代表的な実施の形態は、並列動作が可能な第1の動画像処理ユニット(719)と第2の動画像処理ユニット(729)とを具備する動画像処理装置(750)である。

【0039】

前記第1と前記第2の動画像処理ユニットとが前記並列動作を実行する際に、前記第1と前記第2の動画像処理ユニットが処理するデータ処理単位は、所定数の画素を含むマクロブロックである。

30

【0040】

前記第1の動画像処理ユニットは1つの画像の1つの行に配列された第1の複数のマクロブロック(MB00、MB01、MB02、MB03...)を順次処理して、前記第2の動画像処理ユニットは前記1つの画像の前記1つの行の次の行に配列された第2の複数のマクロブロック(MB10、MB11、MB12、MB13...)を順次処理する。

【0041】

前記第1と前記第2の動画像処理ユニット(719、729)は、画像復号時のブロック歪を低減するための第1と第2のデブロッキングフィルタ(713、723)を含む(図7、図8参照)。

40

【0042】

前記第1のデブロッキングフィルタ(713)の動作タイミングと比較して、前記第2のデブロッキングフィルタ(723)の動作タイミングは、前記マクロブロック2個分のデブロッキングフィルタ処理時間、少なくとも遅延されるものである(図9参照)。

【0043】

前記動画像処理装置(750)は、少なくとも第1のバッファ(7252)と第2のバッファ(7253)とを含むデータ転送ユニット(725)を更に具備する。

【0044】

前記第1のデブロッキングフィルタ(713)の第1のフィルタ処理結果は前記データ転

50

送ユニット(725)の前記第1のバッファ(7252)に蓄積可能とされ、前記第2のデブロッキングフィルタ(723)の第2のフィルタ処理結果は前記データ転送ユニット(725)の前記第2のバッファ(7253)に蓄積可能とされる。

【0045】

前記第1のバッファ(7252)に蓄積された前記第1のフィルタ処理結果と前記第2のバッファ(7253)に蓄積された前記第2のフィルタ処理結果とは、外部メモリに前記第1のバッファ(7252)と前記第2のバッファ(7253)とから順次に転送可能とされたことを特徴とするものである(図9参照)。

【発明の効果】

【0046】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0047】

すなわち、本発明によれば、複数のマクロブロックのデブロッキングフィルタ並列処理の複数の処理結果の外部メモリへの転送に際して、第1のバッファ(7252)と第2のバッファ(7253)とは、並列処理される複数のマクロブロック(MB)の列方向(垂直方向)の位置の相違および第1と第2のデブロッキングフィルタ(713、723)の動作タイミングの相違を吸収することが可能なため、外部メモリへの複数の処理結果の転送を容易とすることができる。

【図面の簡単な説明】

【0048】

【図1】図1は、図7と図8とに示す本発明の実施の形態1による動画像処理装置の第1と第2のデブロッキングフィルタ回路DEB1、DEB2による1行目と2行目のマクロブロックのデブロッキングフィルタ並列処理の完了後に処理結果を外部メモリに転送する場合に、外部メモリに転送される領域を示す図である。

【図2】図2は、勧告H.264/AVCに準拠するデブロッキングフィルタの機能を説明する図である。

【図3】図3は、勧告H.264/AVCに準拠するデブロッキングフィルタ処理で1つのマクロブロックMB11と上側に隣接するマクロブロックMB01の間の境界と1つのマクロブロックMB11と左側に隣接するマクロブロックMB10の間の境界でのフィルタ処理を実行後、フィルタ処理が完了した領域および外部メモリに出力する範囲を説明する図である。

【図4】図4は、本発明に先立って本発明者等によって検討された複数の行に配列された複数のマクロブロックを複数のデブロッキングフィルタ回路によって並列にデブロッキングフィルタ処理を実行する方法を説明する図である。

【図5】図5は、図4に示した処理方法において、第1のデブロッキングフィルタ回路DEB1の動作タイミングと比較して、第2のデブロッキングフィルタ回路DEB2の動作タイミングが2個のマクロブロックの処理時間分遅延する必要があることを説明するための図である。

【図6】図6は、図5に示す第1と第2のデブロッキングフィルタ回路DEB1、DEB2による3行目と4行目のマクロブロックのデブロッキングフィルタ並列処理の完了後にすぐに、フィルタ処理結果のうち特許文献1で開示している範囲のうち、処理対象のマクロブロックの左側に隣接するマクロブロックの範囲、具体的には、図3に示す範囲302を外部メモリに転送する場合、外部メモリに転送される領域を示す図である。

【図7】図7は、本発明の実施の形態1による動画像処理装置の基本構成を示す図である。

【図8】図8は、図7に示した本発明の実施の形態1による動画像処理装置の主要部の詳細構成を示す図である。

【図9】図9は、図7と図8とに示した本発明の実施の形態1による動画像処理装置の第1のデブロッキングフィルタ(DEB1)713と第2のデブロッキングフィルタ(DEB

10

20

30

40

50

2) 7 2 3 と DMA コントローラ (DMAC) 7 2 5 のパイプライン動作を説明する図である。

【図 1 0】図 1 0 は、図 9 に示した本発明の実施の形態 1 による動画像処理装置のパイプライン動作のタイミング 1 で DMA コントローラ (DMAC) 7 2 5 と第 1 のローカルメモリ (LRAM) 7 1 3 3 とラインメモリコントローラ (LMC) 7 2 4 に出力される画像の領域を示す図である。

【図 1 1】図 1 1 は、図 9 に示した本発明の実施の形態 1 による動画像処理装置のパイプライン動作のタイミング 2 で DMA コントローラ (DMAC) 7 2 5 と第 1 のローカルメモリ (LRAM) 7 1 3 3 と第 2 のローカルメモリ (LRAM) 7 2 3 3 とラインメモリコントローラ (LMC) 7 2 4 に出力される画像の領域を示す図である。

10

【図 1 2】図 1 2 は、図 9 に示した本発明の実施の形態 1 による動画像処理装置のパイプライン動作のタイミング 3 で DMA コントローラ (DMAC) 7 2 5 と第 1 のローカルメモリ (LRAM) 7 1 3 3 と第 2 のローカルメモリ (LRAM) 7 2 3 3 とラインメモリコントローラ (LMC) 7 2 4 に出力される画像の領域を示す図である。

【図 1 3】列方向 (垂直方向) で相違する位置に配列された複数のマクロブロック (MB) の処理結果を外部メモリに転送することが、単一のデブロッキングフィルタ回路を有する動画像処理装置がフィルタ処理結果を外部メモリに転送するよりも負担が増加する理由を説明するための図である。

【図 1 4】図 1 4 は、本発明の実施の形態 2 による動画像処理装置の基本構成を示す図である。

20

【図 1 5】図 1 5 は、図 1 4 に示した本発明の実施の形態 2 による動画像処理装置の DMA コントローラ (DMAC) 1 4 2 5 詳細構成を示す図である。

【図 1 6】図 1 6 は、H . 2 6 3 Annex に準拠するデブロッキングフィルタの機能を説明する図である。

【図 1 7】図 1 7 は、VC - 1 に準拠するデブロッキングフィルタのモード 1 の機能を説明する図である。

【図 1 8】図 1 8 は、VC - 1 に準拠するデブロッキングフィルタのモード 2 の機能を説明する図である。

【発明を実施するための形態】

【0049】

30

1 . 実施の形態の概要

まず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【0050】

代表的な実施の形態についての概要説明で括弧を付して参照する図面の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0051】

[1] 本発明の代表的な実施の形態は、並列動作が可能な第 1 の動画像処理ユニット (7 1 9) と第 2 の動画像処理ユニット (7 2 9) とを具備する動画像処理装置 (7 5 0) である。

【0052】

40

前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットとが前記並列動作を実行する際に、前記第 1 の動画像処理ユニットと前記第 2 の動画像処理ユニットとが処理するデータ処理単位は、所定数の画素を含むマクロブロックを含むものである。

【0053】

前記第 1 の動画像処理ユニットは 1 つの画像の 1 つの行に配列された第 1 の複数のマクロブロック (MB 0 0、MB 0 1、MB 0 2、MB 0 3 ...) を順次処理するものであり、前記第 2 の動画像処理ユニットは前記 1 つの画像の前記 1 つの行の次の行に配列された第 2 の複数のマクロブロック (MB 1 0、MB 1 1、MB 1 2、MB 1 3 ...) を順次処理するものである。

【0054】

50

前記第1の動画像処理ユニット(719)と前記第2の動画像処理ユニット(729)とは、画像復号時のブロック歪を低減するための第1のデブロッキングフィルタ(713)と第2のデブロッキングフィルタ(723)とをそれぞれ含むものである(図7、図8参照)。

【0055】

前記第1のデブロッキングフィルタ(713)の動作タイミングと比較して、前記第2のデブロッキングフィルタ(723)の動作タイミングは、前記マクロブロック2個分のデブロッキングフィルタ処理時間、少なくとも遅延されるものである(図9参照)。

【0056】

前記動画像処理装置(750)は、少なくとも第1のバッファ(7252)と第2のバッファ(7253)とを含むデータ転送ユニット(725)を更に具備するものである。

10

【0057】

前記第1のデブロッキングフィルタ(713)の第1のフィルタ処理結果は前記データ転送ユニット(725)の前記第1のバッファ(7252)に蓄積可能とされ、前記第2のデブロッキングフィルタ(723)の第2のフィルタ処理結果は前記データ転送ユニット(725)の前記第2のバッファ(7253)に蓄積可能とされる。

【0058】

前記第1のバッファ(7252)に蓄積された前記第1のフィルタ処理結果と前記第2のバッファ(7253)に蓄積された前記第2のフィルタ処理結果とは、外部メモリに前記第1のバッファ(7252)と前記第2のバッファ(7253)とから順次に転送可能とされたことを特徴とするものである(図9参照)。

20

【0059】

前記実施の形態によれば、複数のマクロブロックのデブロッキングフィルタ並列処理の処理結果の外部メモリへの転送に際して、前記第1のバッファ(7252)と前記第2のバッファ(7253)とは並列処理される複数のマクロブロック(MB)の列方向(垂直方向)の位置の相違および前記第1と前記第2のデブロッキングフィルタ(713、723)の動作タイミングの相違を吸収することが可能なため、外部メモリへの複数の処理結果の転送を容易とすることができる。

【0060】

好適な実施の形態では、前記第1のバッファ(7252)の第1の記憶容量は前記第2のバッファ(7253)の第2の記憶容量よりも少なくとも所定の記憶容量分、大きく設定され、前記所定の記憶容量は前記第2のデブロッキングフィルタ(723)の前記動作タイミングの遅延の間に前記第1のデブロッキングフィルタ(713)が生成する前記第1のフィルタ処理結果(00、01)を蓄積可能であることを特徴とするものである(図9参照)。

30

【0061】

前記好適な実施の形態によれば、前記第2のデブロッキングフィルタ(723)の前記動作タイミングの遅延を吸収することが可能となる。

【0062】

他の好適な実施の形態では、前記第1のデブロッキングフィルタ(713)と前記第2のデブロッキングフィルタ(723)と前記データ転送ユニット(725)とは、パイプライン動作を実行するものである。

40

【0063】

前記パイプライン動作の1つのタイムスロット(T i m m i n g 3)の間に、前記データ転送ユニット(725)の前記第1のバッファ(7252)と前記第2のバッファ(7253)とは、前記第1のフィルタ処理結果(00)と前記第2のフィルタ処理結果(10)とを並列に保持しているものである。

【0064】

前記第1のバッファ(7252)と前記第2のバッファ(7253)とに保持された前記第1のフィルタ処理結果(00)と前記第2のフィルタ処理結果(10)とは、前記パイプライン動作の前記1つのタイムスロット(T i m m i n g 3)の次の1つのタイムスロット(T i m m i n g 4)の間に前記データ転送ユニット(725)によって前記外部メモリに順次

50

転送可能とされたことを特徴とする(図9参照)。

【0065】

より好適な実施の形態では、前記第1のデブロッキングフィルタ(713)と前記データ転送ユニット(725)の前記第1のバッファ(7252)とは所定の処理期間(Timmi ng 0 ~ Timmi ng 3)で前記マクロブロックを順次に処理する前記パイプライン動作を実行する一方、前記第2のデブロッキングフィルタ(723)と前記データ転送ユニット(725)の前記第2のバッファ(7253)とは前記所定の処理期間(Timmi ng 0 ~ Timmi ng 2)で前記マクロブロックを順次に処理する前記パイプライン動作を実行するものである。

【0066】

前記所定の処理期間(Timmi ng 0 ~ Timmi ng 3)の後の他の処理期間(Timmi ng 4 ~)において、前記第1のデブロッキングフィルタ(713)の前記第1のフィルタ処理結果と前記第2のデブロッキングフィルタ(723)の前記第2のフィルタ処理結果とが、前記第1のバッファ(7252)と前記第2のバッファ(7253)とから前記外部メモリに順次に転送可能とされたことを特徴とするものである(図9参照)。

【0067】

他のより好適な実施の形態では、前記第1の動画像処理ユニット(719)と前記第2の動画像処理ユニット(729)とは、第1の可変長符号化復号部(710)と第2の可変長符号化復号部(720)と、第1の周波数変換部(711)と第2の周波数変換部(721)と、第1の動き補償部(712)と第2の動き補償部(722)とをそれぞれ更に含むものである(図7参照)。

【0068】

前記第1の動画像処理ユニット(719)に含まれた前記第1の可変長符号化復号部(710)と前記第1の周波数変換部(711)と前記第1の動き補償部(712)と前記第1のデブロッキングフィルタ(713)と、前記第2の動画像処理ユニット(729)に含まれた前記第2の可変長符号化復号部(720)と前記第2の周波数変換部(721)と前記第2の動き補償部(722)と前記第2のデブロッキングフィルタ(723)とは、前記所定の処理期間で前記マクロブロックを順次に処理する前記パイプライン動作を実行することを特徴とするものである(図9参照)。

【0069】

別のより好適な実施の形態による動画像処理装置(750)は、前記第1のデブロッキングフィルタ(713)と前記第2のデブロッキングフィルタ(723)とは、第1のメモリ(7133)と第2のメモリ(7233)とをそれぞれ内蔵するものである。

【0070】

前記第1のデブロッキングフィルタ(713)によってフィルタ処理された処理対象のマクロブロック(MB00)のデータが、次の処理対象のマクロブロック(MB01)の次のフィルタ処理のために前記第1のメモリ(7133)に格納可能とされる一方、前記第2のデブロッキングフィルタ(723)によってフィルタ処理された処理対象のマクロブロック(MB10)のデータが、次の処理対象のマクロブロック(MB11)の次のフィルタ処理のために前記第2のメモリ(7233)に格納可能とされたことを特徴とするものである(図10、図11、図12参照)。

【0071】

更に別のより好適な実施の形態による動画像処理装置(750)は、前記第1の動画像処理ユニット(719)と前記第2の動画像処理ユニット(729)とに接続された他のメモリ(724)を更に具備するものである。

【0072】

前記第1のデブロッキングフィルタ(713)によってフィルタ処理された前記1つの行に配列されるマクロブロック(MB02)の下側境界の領域(1202)のデータが、前記次の行に配列されるマクロブロック(MB12、MB13)のイントラ・フレーム予測のために前記他のメモリ(724)に格納可能とされる一方、前記第2のデブロッキングフィルタ

10

20

30

40

50

(723)によってフィルタ処理された前記次の行に配列されるマクロブロック(MB10)の下側境界の領域(1212)のデータが、前記次の行の更に次の行に配列されるマクロブロック(MB20、MB21)のイントラ・フレーム予測のために前記他のメモリ(724)に格納可能とされたことを特徴とするものである(図10、図11、図12参照)。

【0073】

具体的な実施の形態は、前記第1の動画像処理ユニット(719)と前記第2の動画像処理ユニット(729)と前記データ転送ユニット(725)とは、前記動画像処理装置(750)を構成する半導体集積回路の半導体基板に集積化されたことを特徴とするものである(図7参照)。

【0074】

より具体的な実施の形態では、前記データ転送ユニット(725)はダイレクトメモリアクセスコントローラ(DMAC)であることを特徴とするものである(図7参照)。

【0075】

最も具体的な実施の形態では、前記外部メモリは、前記半導体集積回路と接続可能な同期型ダイナミックランダムアクセスメモリ(SDRAM)であることを特徴とするものである。

【0076】

〔2〕本発明の別の観点の代表的な実施の形態は、並列動作が可能な第1の動画像処理ユニット(719)と第2の動画像処理ユニット(729)とを具備する動画像処理装置(750)の動作方法である。

【0077】

前記第1の動画像処理ユニットと前記第2の動画像処理ユニットとが前記並列動作を実行する際に、前記第1の動画像処理ユニットと前記第2の動画像処理ユニットとが処理するデータ処理単位は、所定数の画素を含むマクロブロックを含むものである。

【0078】

前記第1の動画像処理ユニットは1つの画像の1つの行に配列された第1の複数のマクロブロック(MB00、MB01、MB02、MB03...)を順次処理するものであり、前記第2の動画像処理ユニットは前記1つの画像の前記1つの行の次の行に配列された第2の複数のマクロブロック(MB10、MB11、MB12、MB13...)を順次処理するものである。

【0079】

前記第1の動画像処理ユニット(719)と前記第2の動画像処理ユニット(729)とは、画像復号時のブロック歪を低減するための第1のデブロッキングフィルタ(713)と第2のデブロッキングフィルタ(723)とをそれぞれ含むものである(図7、図8参照)。

【0080】

前記第1のデブロッキングフィルタ(713)の動作タイミングと比較して、前記第2のデブロッキングフィルタ(723)の動作タイミングは、前記マクロブロック2個分のデブロッキングフィルタ処理時間、少なくとも遅延されるものである(図9参照)。

【0081】

前記動画像処理装置(750)は、少なくとも第1のバッファ(7252)と第2のバッファ(7253)とを含むデータ転送ユニット(725)を更に具備するものである。

【0082】

前記第1のデブロッキングフィルタ(713)の第1のフィルタ処理結果は前記データ転送ユニット(725)の前記第1のバッファ(7252)に蓄積可能とされ、前記第2のデブロッキングフィルタ(723)の第2のフィルタ処理結果は前記データ転送ユニット(725)の前記第2のバッファ(7253)に蓄積可能とされる。

【0083】

前記第1のバッファ(7252)に蓄積された前記第1のフィルタ処理結果と前記第2のバッファ(7253)に蓄積された前記第2のフィルタ処理結果とは、外部メモリに前記第1のバッファ(7252)と前記第2のバッファ(7253)とから順次に転送可能とされた

10

20

30

40

50

ことを特徴とするものである(図9参照)。

【0084】

前記実施の形態によれば、複数のマクロブロックのデブロッキングフィルタ並列処理の処理結果の外部メモリに際して、前記第1のバッファ(7252)と前記第2のバッファ(7253)とは並列処理される複数のマクロブロック(MB)の列方向(垂直方向)の位置の相違および前記第1と前記第2のデブロッキングフィルタ(713、723)の動作タイミングの相違を吸収することが可能なため、外部メモリへの複数の処理結果の転送を容易とすることができる。

【0085】

2. 実施の形態の詳細

次に、実施の形態について更に詳述する。尚、発明を実施するための最良の形態を説明するための全図において、前記の図と同一の機能を有する部品には同一の符号を付して、その繰り返しの説明は省略する。

【0086】

[実施の形態1]

《動画像処理装置の基本構成》

図7は、本発明の実施の形態1による動画像処理装置の基本構成を示す図である。

【0087】

図7に示す動画像処理装置750は、可変長符号化復号部(VLCS)703、第1の動画像処理ユニット(CODEC1)719、第2の動画像処理ユニット(CODEC2)729、メモリ制御部(MEC)714、ラインメモリコントローラ(LMC)724、全体制御部(CTRL)715、DMAコントローラ(DMAC)725、内部バス702を具備するものである。好ましい実施の形態によれば、動画像処理装置750は、例えば単結晶シリコン基板などの一つの半導体基板に形成された大規模半導体集積回路(LSI: Large Scale Integrated Circuits)の形態で構成されている。

【0088】

《可変長符号化復号部》

可変長符号化復号部(VLCS)703には、ハードディスクドライブ(HDD)、光ディスクドライブ、大容量不揮発性フラッシュメモリ、無線LAN(ローカルエリアネットワーク)等のメディアからDMAコントローラ725を介して動画符号化データがビットストリーム(BS)の形態で供給される。可変長符号化復号部(VLCS)703の内部にストリーム解析部が内蔵され、このストリーム解析部によって奇数行である1行目、3行目...に配列されたマクロブロックが第1の動画像処理ユニット(CODEC1)719に供給される一方、偶数行である2行目、4行目...に配列されたマクロブロックが第2の動画像処理ユニット(CODEC2)729に供給される。

【0089】

可変長符号化復号部(VLCS)703の内部にパイプライン制御部が内蔵され、このパイプライン制御部によってマクロブロックに関する第1の動画像処理ユニット(CODEC1)719と第2の動画像処理ユニット(CODEC2)729との並列動作のためのパイプライン動作が制御される。すなわち、第1の動画像処理ユニット(CODEC1)719の内部回路である第1の可変長符号化復号部(VLCF1)710と第1の周波数変換部(TRF1)711と第1の動き補償部(FME1)712と第1のデブロッキングフィルタ(DEB1)713とは、可変長符号化復号部(VLCS)703のパイプライン制御部によって制御されることによってパイプライン動作を実行するものである。また、第2の動画像処理ユニット(CODEC2)729の内部回路である第2の可変長符号化復号部(VLCF2)720と第2の周波数変換部(TRF2)721と第2の動き補償部(FME2)722と第2のデブロッキングフィルタ(DEB2)723とは、可変長符号化復号部(VLCS)703のパイプライン制御部によって制御されることによってパイプライン動作を実行するものである。

【0090】

10

20

30

40

50

また可変長符号化復号部(V L C S) 7 0 3は、供給されるビットストリームを可変長復号することによって、マクロブロックタイプと動きベクトルを抽出して、後段の第1の動画処理ユニット(C O D E C 1) 7 1 9と第2の動画処理ユニット(C O D E C 2) 7 2 9とで必要なパラメータ群の値を求める機能を有するものである。

【 0 0 9 1 】

《可変長符号化復号部》

可変長符号化復号部(V L C S) 7 0 3から奇数行と偶数行のマクロブロックがそれぞれ供給される第1の可変長符号化復号部(V L C F 1) 7 1 0と第2の可変長符号化復号部(V L C F 2) 7 2 0は、コンテキストベース適応可変長符号化復号を実行することによって、動きベクトル情報やマクロブロックパラメータや周波数変換情報の復号処理を実行するものである。

10

【 0 0 9 2 】

《周波数変換部》

第1の周波数変換部(T R F 1) 7 1 1と第2の周波数変換部(T R F 2) 7 2 1とは、第1の可変長符号化復号部(V L C F 1) 7 1 0と第2の可変長符号化復号部(V L C F 2) 7 2 0から周波数変換情報が供給されることによって、逆量子化(I Q : Inverse Quantization)と逆ディスクリートコサイン変換(I D C T : Inverse Discrete Cosine Transformation)とを実行する。すなわち、第1の周波数変換部(T R F 1) 7 1 1、第2の周波数変換部(T R F 2) 7 2 1は、第1の可変長符号化復号部(V L C F 1) 7 1 0、第2の可変長符号化復号部(V L C F 2) 7 2 0から供給される周波数変換情報としての量子化変換係数と量子化パラメータとを処理して、逆量子化変換して変換係数を算出して、算出された変換係数を逆直交変換して画素値又はフレーム間予測残差を求め、第1の動き補償部(F M E 1) 7 1 2、第2の動き補償部(F M E 2) 7 2 2から供給される参照画像とフレーム間予測残差を加算して画素値を算出して、算出された画像を出力する。

20

【 0 0 9 3 】

《動き補償部》

第1の動き補償部(F M E 1) 7 1 2と第2の動き補償部(F M E 2) 7 2 2とは、動き補償処理を実行する。すなわち、第1の動き補償部(F M E 1) 7 1 2、第2の動き補償部(F M E 2) 7 2 2は、メモリ制御部(M E C) 7 1 4と内部バス7 0 2とDMAコントローラ(D M A C) 7 2 5と外部バス7 0 1とを介して外部メモリから供給される参照画像を使用して動き探索の実行によって動きベクトル位置の参照画像を算出して、第1の周波数変換部(T R F 1) 7 1 1、第2の周波数変換部(T R F 2) 7 2 1に出力する。

30

【 0 0 9 4 】

《デブロッキングフィルタ》

第1のデブロッキングフィルタ(D E B 1) 7 1 3と第2のデブロッキングフィルタ(D E B 2) 7 2 3とは、画像復号時に生じるブロック歪を減少させるためのデブロッキングフィルタ処理を実行するものである。すなわち、第1と第2のデブロッキングフィルタ(D E B 1、D E B 2) 7 1 3、7 2 3は、第1と第2の周波数変換部(T R F 1、T R F 2) 7 1 1、7 2 1から供給される処理対象のマクロブロック(M B)の画像データと図8で説明される第1のローカルメモリ(L R A M) 7 1 3 3と第2のローカルメモリ(L R A M) 7 2 3 3から供給される処理対象の左のマクロブロック(M B)の画像データとを使用して、デブロッキングフィルタ処理を実行する。処理対象の左のマクロブロック(M B)のフィルタ処理結果である復号画像は内部バス7 0 2とDMAコントローラ(D M A C) 7 2 5と外部バス7 0 1とを介して外部メモリに転送される一方、処理対象のマクロブロック(M B)のフィルタ処理結果は、次の処理対象のマクロブロックのフィルタ処理のために、内部バス7 0 2を介して図8で説明される第1のローカルメモリ(L R A M) 7 1 3 3と第2のローカルメモリ(L R A M) 7 2 3 3に格納される。

40

【 0 0 9 5 】

《メモリ制御部》

メモリ制御部(M E C) 7 1 4は第1と第2の可変長符号化復号部(V L C F 1、V L C

50

F 2) 7 1 0、7 2 0 から供給される動きベクトルの情報からフレーム間予測に使用するための参照画像を、内部バス 7 0 2 と DMA コントローラ (DMA C) 7 2 5 と外部バス 7 0 1 とを經由して外部メモリから、第 1 と第 2 の動き補償部 (FME 1、FME 2) 7 1 2、7 2 2 に供給するものである。

【 0 0 9 6 】

《全体制御部》

全体制御部 (CTRL) 7 1 5 は、動画像処理装置 7 5 0 の全ての内部回路の動作を制御するものである。特に、全体制御部 (CTRL) 7 1 5 は、第 1 と第 2 のデブロッキングフィルタ (DEB 1、DEB 2) 7 1 3、7 2 3 の動作を制御する動作制御信号 (deb_start) を生成するものである。

10

【 0 0 9 7 】

《ラインメモリコントローラ》

ラインメモリコントローラ (LMC) 7 2 4 は、奇数行のマクロブロック (MB) に関しての第 1 の動画像処理ユニット (CODEC 1) 7 1 9 の処理結果と関係するパラメータを格納して、偶数行のマクロブロック (MB) に関する第 2 の動画像処理ユニット (CODEC 2) 7 2 9 に必要な画像と関係するパラメータを転送するものである。また、ラインメモリコントローラ (LMC) 7 2 4 は、偶数行のマクロブロック (MB) に関しての第 2 の動画像処理ユニット (CODEC 2) 7 2 9 の処理結果と関係するパラメータを格納して、奇数行のマクロブロック (MB) に関する第 1 の動画像処理ユニット (CODEC 1) 7 1 9 に必要な画像と関係するパラメータを転送するものである。このようにして、ラインメモリコントローラ (LMC) 7 2 4 は、デブロッキングフィルタのために使用されるマクロブロック (MB) のデータを格納するものであり、上記特許文献 2 に記載されたように、動画像処理装置 7 5 0 の内部のスタティックランダムアクセスメモリ (SRAM) に接続されるものである。

20

【 0 0 9 8 】

《DMA コントローラ》

DMA コントローラ (DMA C : Direct Memory Access Controller) 7 2 5 は、上記特許文献 2 に記載された DMA コントローラと同様に、動画像処理装置 7 5 0 の外部バス 7 0 1 に接続される外部メモリ (例えば、同期型ダイナミックランダムアクセスメモリ (SDRAM : Synchronous Dynamic Random Access Memory)) と第 1 と第 2 の動画像処理ユニット (CODEC 1、CODEC 2) 7 1 9、7 2 9 との間で大量のマクロブロック (MB) を含むビットストリームの高速度データ転送に使用されるものである。

30

【 0 0 9 9 】

《動画像処理装置の主要部の詳細構成》

図 8 は、図 7 に示した動画像処理装置 7 5 0 の第 1 のデブロッキングフィルタ (DEB 1) 7 1 3 と第 2 のデブロッキングフィルタ (DEB 2) 7 2 3 と DMA コントローラ (DMA C) 7 2 5 の詳細な構成を示す図である。

【 0 1 0 0 】

《共有のラインメモリコントローラ》

図 7 で説明したように、第 1 と第 2 の動画像処理ユニット (CODEC 1、CODEC 2) 7 1 9、7 2 9 は、イントラ・フレーム予測のために、ラインメモリコントローラ (LMC) 7 2 4 を共有するものである。

40

【 0 1 0 1 】

《デブロッキングフィルタの詳細構成》

第 1 のデブロッキングフィルタ (DEB 1) 7 1 3 は、第 1 の周波数変換部 (TRF 1) 7 1 1 から供給される画像データに関してデブロッキングフィルタ演算処理を実行する第 1 のフィルタ回路 7 1 3 1、第 1 のフィルタ回路 7 1 3 1 の演算結果を格納する第 1 のローカルメモリ (LRAM) 7 1 3 3、第 1 のフィルタ回路 7 1 3 1 の演算結果を第 1 のローカルメモリ (LRAM) 7 1 3 3 に転送する動作を制御する第 1 のローカル DMA 回路 7 1 3 2、第 1 のフィルタ回路 7 1 3 1 と第 1 のローカル DMA 回路 7 1 3 2 の動作を制御する

50

第1の制御回路7130を含んでいる。

【0102】

第2のデブロッキングフィルタ(DEB2)723は、第2の周波数変換部(TRF2)721から供給される画像データに関してデブロッキングフィルタ演算処理を実行する第2のフィルタ回路7231、第2のフィルタ回路7231の演算結果を格納する第2のローカルメモリ(LRAM)7233、第2のフィルタ回路7231の演算結果を第2のローカルメモリ(LRAM)7233に転送する動作を制御する第2のローカルDMA回路7232、第2のフィルタ回路7231と第2のローカルDMA回路7232の動作を制御する第2の制御回路7230を含んでいる。

【0103】

《DMAコントローラの詳細構成》

DMAコントローラ(DMAC)725は、デブロッキングフィルタ処理に必要な構成として、第1のデブロッキングフィルタ(DEB1)713から転送される画像データを格納する第1のバッファ7252、第2のデブロッキングフィルタ(DEB2)723から転送される画像データを格納する第2のバッファ7253、外部メモリのアドレスを生成するアドレス生成回路7251、第1のバッファ7252と第2のバッファ7253とアドレス生成回路7251との動作を制御する制御回路7250を含んでいる。第1のバッファ7252と第2のバッファ7253は動画像処理装置750の外部バス701と接続されているので、第1のバッファ7252と第2のバッファ7253の格納データは外部バス701を介して外部メモリとしてのSDRAMの所定の格納領域に転送されることが可能である。尚、外部メモリの格納領域は、DMAコントローラ(DMAC)725のアドレス生成回路7251が生成したアドレスの値によって指定されることができる。また、DMAコントローラ(DMAC)725は、可変長符号化復号部(VLCS)703、メモリ制御部(MEC)714にデータを供給する機能も有するが、構成の記述は割愛する。

【0104】

《動画像処理装置の動作》

次に、図7と図8とに示した本発明の実施の形態1による動画像処理装置の動作を、説明する。

【0105】

まず、内部バス702とDMAコントローラ(DMAC)725と外部バス701とを介して外部メモリから可変長符号化復号部(VLCS)703に復号対象のマクロブロックを含むビットストリームが供給されると、第1の動画像処理ユニット(CODEC1)719の動作が起動される。一方、図5で説明したように第1のデブロッキングフィルタ(DEB1)713と比較して第2のデブロッキングフィルタ(DEB2)723の動作タイミングは、2個のマクロブロックの処理時間分遅延する必要があるので、第2の動画像処理ユニット(CODEC2)729は、第1の動画像処理ユニット(CODEC1)719が2マクロブロック分の処理が完了した後に起動する必要がある。

【0106】

従って、第1の動画像処理ユニット(CODEC1)719では、第1の可変長符号化復号部(VLCS1)710がマクロブロック(MB)の可変長復号を実行して、第1の動き補償部(FME1)712が動き探索を実行して動きベクトル位置の参照画像を算出して、第1の周波数変換部(TRF1)711が逆量子化と逆直交変換とを実行して、処理対象のマクロブロック(MB)がイントラマクロブロックの場合には参照画像を使用して画面内(イントラ)予測を実行して、画像を出力する。一方、処理対象のマクロブロック(MB)がインターマクロブロックの場合には参照画像とフレーム間予測残差を使用して動き補償処理を実行して、画像を出力する。第1のデブロッキングフィルタ(DEB1)713は、第1の周波数変換部(TRF1)711から供給される処理対象のマクロブロック(MB)の画像データと第1のローカルメモリ(LRAM)7133から供給される処理対象の左のマクロブロック(MB)の画像データを使用して、デブロッキングフィルタ処理を実行する。処理対象の左のマクロブロック(MB)のフィルタ処理結果である復号画像は内部バス702と

10

20

30

40

50

DMAコントローラ(DMAC)725と外部バス701とを介して外部メモリに転送される一方、処理対象のマクロブロック(MB)のフィルタ処理結果は、次の処理対象のマクロブロックのフィルタ処理のために、内部バス702を介して第1のローカルメモリ(LRAM)7133に格納される。

【0107】

第1の動画像処理ユニット(CODEC1)719が2マクロブロック分の処理が完了した後、第2の動画像処理ユニット(CODEC2)729の動作が開始される。従って、第2の動画像処理ユニット(CODEC2)729では、第2の可変長符号化復号部(VLCF2)720がマクロブロックの可変長復号を実行して、第2の動き補償部(FME2)722が動き探索を実行して動きベクトル位置の参照画像を算出して、第2の周波数変換部(TRF2)721が逆量子化と逆直交変換とを実行して、処理対象のマクロブロック(MB)がイントラマクロブロックの場合には参照画像を使用して画面内(イントラ)予測を実行して、画像を出力する。一方、処理対象のマクロブロック(MB)がインターマクロブロックの場合には参照画像とフレーム間予測残差を使用して動き補償処理を実行して、画像を出力する。第2のデブロッキングフィルタ(DEB2)723は、第2の周波数変換部(TRF2)721から供給される処理対象のマクロブロック(MB)の画像データと第2のローカルメモリ(LRAM)7233から供給される処理対象の左のマクロブロック(MB)の画像データを使用して、デブロッキングフィルタ処理を実行する。処理対象の左のマクロブロック(MB)のフィルタ処理結果である復号画像は内部バス702とDMAコントローラ(DMAC)725と外部バス701とを介して外部メモリに転送される一方、処理対象のマクロブロック(MB)のフィルタ処理結果は、次の処理対象のマクロブロックのフィルタ処理のために、内部バス702を介して第2のローカルメモリ(LRAM)7233に格納される。

【0108】

《パイプライン動作》

図9は、図7と図8とに示した本発明の実施の形態1による動画像処理装置の第1のデブロッキングフィルタ(DEB1)713と第2のデブロッキングフィルタ(DEB2)723とDMAコントローラ(DMAC)725のパイプライン動作を説明する図である。

【0109】

尚、図9のパイプライン動作は、図4に示した画像の奇数行である1行目の最初のマクロブロック(MB)00の次の2列目のマクロブロック(MB)01の位置を起点としたものである。

【0110】

<タイミング1>

まず全体制御部(CTRL)715から供給される動作制御信号(d_e_b__s_t_a_r_t)の立ち上がり909のタイミングにて、第1のデブロッキングフィルタ(DEB1)713の動作が起動される。すると、第1のフィルタ回路7131が第1のローカルメモリ(LRAM)7133から第1のローカルDMA回路7132を介して供給される処理対象のマクロブロックの左側のマクロブロック(この場合マクロブロック(MB)00)と、第1の周波数変換部(TRF1)711から供給される処理対象のマクロブロック(この場合はマクロブロック(MB)01)とを、使用してデブロッキングフィルタ処理を実行する。尚、処理対象が3行目の最初のマクロブロック(MB)20以降の場合には、ラインメモリコントローラ(LMC)724から供給された処理対象マクロブロックの上側のデータも使用される。デブロッキングフィルタ処理は、例えば、勧告H.264/AVCに準拠する場合は、前述したように図2の破線の境界に対して実行されるものである。

【0111】

図10は、図9に示した本発明の実施の形態1による動画像処理装置のパイプライン動作のタイミング1でDMAコントローラ(DMAC)725と第1のローカルメモリ(LRAM)7133とラインメモリコントローラ(LMC)724に出力される画像の領域を示す図である。

【 0 1 1 2 】

第1のフィルタ回路7131による処理対象のマクロブロック(MB)01のデブロッキングフィルタ処理の完了後に、図10に示す処理対象の左のマクロブロック(MB)00の上部の領域1000のデータは図9の矢印901のように第1のローカルDMA回路7132を介して第1のローカルメモリ(LRAM)7133からDMAコントローラ(DMAC)725の第1のバッファ7252の1番目のエントリー(b u f f e r 1 [1])に出力される。

【 0 1 1 3 】

すると、その後、第1の制御回路7130がフレームの座標を使用して生成した画像出力信号

10

【 0 1 1 4 】

一方、タイミング1で、この図10に示す処理対象のマクロブロック(MB)01の領域1001のデータは、次の処理対象のマクロブロック(MB)02のデブロッキングフィルタ処理のために、図9の矢印902のように第1のフィルタ回路7131から第1のローカルDMA回路7132を介して第1のローカルメモリ(LRAM)7133に出力される。また更に図10に示したマクロブロック(MB)00の下側境界の領域1002のデータは、ラインメモリコントローラ(LMC)724に出力されることによって、第2の動画処理ユニット(CODEC2)729による偶数行の2行目の最初のマクロブロック(MB)10と2列目のマクロブロック(MB)11のイントラ・フレーム予測の処理と第2のデブロッキングフィルタ(DEB2)723による偶数行の2行目の最初のマクロブロック(MB)10のデブロッキングフィルタ処理に使用される。

20

【 0 1 1 5 】

< タイミング2 >

次に全体制御部(CTRL)715から供給された動作制御信号(deb__start)の次の立ち上がり919のタイミングで、マクロブロック(MB)02に対する動作が開始される。すると、第1のフィルタ回路7131が第1の周波数変換部(TRF1)711から供給される処理対象のマクロブロック(MB)02と第1のローカルメモリ(LRAM)7133から第1のローカルDMA回路7132を介して供給される処理対象の左側のマクロブロック(MB)01とを、使用してデブロッキングフィルタ処理を実行する。

30

【 0 1 1 6 】

図11は、図9に示した本発明の実施の形態1による動画処理装置のパイプライン動作のタイミング2でDMAコントローラ(DMAC)725と第1のローカルメモリ(LRAM)7133と第2のローカルメモリ(LRAM)7233とラインメモリコントローラ(LMC)724に出力される画像の領域を示す図である。

40

【 0 1 1 7 】

第1のフィルタ回路7131による処理対象のマクロブロック(MB)02のデブロッキングフィルタ処理の完了後に、図11に示す処理対象の左のマクロブロック(MB)01の上部の領域1100のデータは図9の矢印911のように第1のローカルDMA回路7132を介して第1のローカルメモリ(LRAM)7133からDMAコントローラ(DMAC)725の第1のバッファ7252の2番目のエントリー(b u f f e r 1 [2])に出力される。

【 0 1 1 8 】

すると、その後、第1の制御回路7130がフレームの座標を使用して生成した画像出力信号

50

ロック(MB)01の領域1100のデータ)を、外部バス701を介して外部メモリに出力する。外部メモリに出力された図11の領域1100のデータは、動き補償処理のための参照復号画像の生成に使用される。

【0119】

一方、このタイミング2で、図11に示した処理対象のマクロブロック(MB)02の領域1101のデータは、次の処理対象のマクロブロック(MB)03のデブロッキングフィルタ処理のために、図9の矢印912のように第1のフィルタ回路7131から第1のローカルDMA回路7132を介して第1のローカルメモリ(LRAM)7133に出力される。更に図11に示したマクロブロック(MB)01の下側境界の領域1102のデータは、ラインメモリコントローラ(LMC)724に出力され、第2の動画像処理ユニット(CODEC2)729による偶数行の2行目の2列目のマクロブロック(MB)11と3列目のマクロブロック(MB)12のイントラ・フレーム予測の処理と第2のデブロッキングフィルタ(DEB2)723による偶数行である2行目のマクロブロック(MB)11のデブロッキングフィルタ処理に使用される。

10

【0120】

一方、全体制御部(CTRL)715から供給される動作制御信号(deb_start)の2回目の立ち上がり919のタイミングで第2のデブロッキングフィルタ(DEB2)723による図4に示した画像の偶数行である2行目の最初のマクロブロック(MB)10に対する動作が起動される。すると、第2の周波数変換部(TRF2)721から供給される処理対象のマクロブロック(MB)10のデータを使用して、デブロッキングフィルタ処理を実行する。第2のフィルタ回路7231による処理対象のマクロブロック(MB)10のデブロッキングフィルタ処理の完了後、図11に示す処理対象のマクロブロック(MB)10の領域1111は、次の処理対象のマクロブロック(MB)11のデブロッキングフィルタ処理のために、図9の矢印900のように第2のフィルタ回路7231から第2のローカルDMA回路7232を介して第2のローカルメモリ(LRAM)7233に出力される。

20

【0121】

<タイミング3>

次に全体制御部(CTRL)715から供給された動作制御信号(deb_start)の更に次の立ち上がり929のタイミングで、マクロブロック(MB)03に対する動作が開始される。すると、第1のフィルタ回路7131が第1の周波数変換部(TRF1)711から供給される処理対象のマクロブロック(MB)03と第1のローカルメモリ(LRAM)7133から第1のローカルDMA回路7132を介して供給される処理対象の左側のマクロブロック(MB)02とを、使用してデブロッキングフィルタ処理を実行する。

30

【0122】

図12は、図9に示した本発明の実施の形態1による動画像処理装置のパイプライン動作のタイミング3でDMAコントローラ(DMAC)725と第1のローカルメモリ(LRAM)7133と第2のローカルメモリ(LRAM)7233とラインメモリコントローラ(LMC)724に出力される画像の領域を示す図である。

40

【0123】

第1のフィルタ回路7131による処理対象のマクロブロック(MB)03のデブロッキングフィルタ処理の完了後に、図12に示す処理対象の左のマクロブロック(MB)02の領域1200のデータは図9の矢印921のように第1のローカルDMA回路7132を介して第1のローカルメモリ(LRAM)7133からDMAコントローラ(DMAC)725の第1のバッファ7252の3番目のエントリー(buffer1[3])に出力される。

【0124】

すると、その後、第1の制御回路7130がフレームの座標を使用して生成した画像出力信号img_out1の3回目の立ち上がりの後のタイミング6(図示せず)で第1のバッファ7252の3番目のエントリー(buffer1[3])のデータ(図12に示したマクロブロック(MB)02の領域1200のデータ)を、外部バス701を介して外部メモ

50

りに出力する。外部メモリに出力された図12の領域1200のデータは、動き補償処理のための参照復号画像の生成に使用される。

【0125】

一方、このタイミング3で、図12に示した処理対象のマクロブロック(MB)03の領域1201のデータは、次の処理対象のマクロブロック(MB)04のデブロッキングフィルタ処理のために、図9の矢印922のように第1のフィルタ回路7131から第1のローカルDMA回路7132を介して第1のローカルメモリ(LRAM)7133に出力される。更に図12に示したマクロブロック(MB)02の下側境界の領域1202のデータは、ラインメモリコントローラ(LMC)724に出力され、第2の動画像処理ユニット(CODEC2)729による偶数行の2行目の3列目のマクロブロック(MB)12と4列目のマクロブロック(MB)13のイントラ・フレーム予測の処理と第2のデブロッキングフィルタ(DEB2)723による偶数行である2行目のマクロブロック(MB)12のデブロッキングフィルタ処理に使用される。

10

【0126】

一方、全体制御部(CTRL)715から供給される動作制御信号(deb_start)の3回目の立ち上がり929のタイミングで第2のデブロッキングフィルタ(DEB2)723による図4に示した画像の偶数行である2行目の2番目のマクロブロック(MB)11に対する動作が、起動される。すると、第2のフィルタ回路7231が第2の周波数変換部(TRF2)721から供給される処理対象のマクロブロック(MB)11と第2のローカルメモリ(LRAM)7233から第2のローカルDMA回路7232を介して供給される処理対象の左側のマクロブロック(MB)10とを、使用してデブロッキングフィルタ処理を実行する。

20

【0127】

第2のフィルタ回路7231による処理対象のマクロブロック(MB)11のデブロッキングフィルタ処理の完了後、図12に示す処理対象のマクロブロック(MB)11の領域1211は、次の処理対象のマクロブロック(MB)12のデブロッキングフィルタ処理のために、図9の矢印904のように第2のフィルタ回路7231から第2のローカルDMA回路7232を介して第2のローカルメモリ(LRAM)7233に出力される。

【0128】

第2のフィルタ回路7231による処理対象のマクロブロック(MB)11のデブロッキングフィルタ処理の完了後に、図12に示す処理対象の左のマクロブロック(MB)10の上部の領域1210のデータは図9の矢印903のように第2のローカルDMA回路7232を介して第2のローカルメモリ(LRAM)7233からDMAコントローラ(DMAC)725の第2のバッファ7253の1番目のエントリー(buffer2[1])に出力される。

30

【0129】

すると、その後、第2の制御回路7230がフレームの座標を使用して生成した画像出力信号img_out2の1回目の立ち上がり908の後のタイミング4で第2のバッファ7253の1番目のエントリー(buffer2[1])のデータ(図12に示した処理対象の左のマクロブロック(MB)10の上部の領域1210のデータ)を、外部バス701を介して外部メモリに出力する。外部メモリに出力された図12の領域1210のデータは、動き補償処理のための参照復号画像の生成に使用される。

40

【0130】

更に図12に示したマクロブロック(MB)10の下側境界の領域1212のデータは、ラインメモリコントローラ(LMC)724に出力され、第1の動画像処理ユニット(CODEC1)719による奇数行の3行目の最初のマクロブロック(MB)20と2列目のマクロブロック(MB)21のイントラ・フレーム予測の処理と第1のデブロッキングフィルタ(DEB1)713による奇数行の3行目の最初のマクロブロック(MB)20のデブロッキングフィルタ処理に使用される。タイミング5以降はタイミング4と同じ動作を繰り返す。

50

【 0 1 3 1 】

< タイミング 4 >

図 1 は、図 7 と図 8 とに示す本発明の実施の形態 1 による動画像処理装置第 1 と第 2 のデブロッキングフィルタ回路 D E B 1、D E B 2 による 1 行目と 2 行目のマクロブロックのデブロッキングフィルタ並列処理の完了後に処理結果を外部メモリに転送する場合に、外部メモリに転送される領域を示す図である。

【 0 1 3 2 】

図 9 に示すパイプライン動作のタイミング 4 では、図 1 で 1 行目の 1 列目のマクロブロック (M B) 0 0 の領域 1 0 0 (図 1 0 の領域 1 0 0 0 参照) と図 1 で 2 行目の 1 列目のマクロブロック (M B) 1 0 の上部の領域 1 1 0 (図 1 2 の領域 1 2 1 0 参照) のデータとが、D M A C コントローラ (D M A C) 7 2 5 の第 1 のバッファ 7 2 5 2 の 1 番目のエントリー (b u f f e r 1 [1]) と第 2 のバッファ 7 2 5 3 の 1 番目のエントリー (b u f f e r 2 [1]) とから外部メモリに出力される。このように、D M A C コントローラ (D M A C) 7 2 5 の第 1 のバッファ 7 2 5 2 と第 2 のバッファ 7 2 5 3 とが、第 1 と第 2 のデブロッキングフィルタ (D E B 1、D E B 2) 7 1 3、7 2 3 による 1 行目と 2 行目との同一の 1 列目のマクロブロック (M B) 0 0、1 0 の領域 1 0 0、1 1 0 のデータをタイミング 4 で順次に外部メモリに出力するものである。この際に、外部メモリの複数の転送先アドレス (ディスティネーションアドレス) は図 8 に示した D M A C コントローラ (D M A C) 7 2 5 のアドレス生成回路 7 2 5 1 によって容易に指定されることが可能であり、複数の転送元アドレス (ソースアドレス) は D M A C コントローラ (D M A C) 7 2 5 の適切なポインタが D M A C コントローラ (D M A C) 7 2 5 の第 1 のバッファ 7 2 5 2 の 1 番目のエントリー (b u f f e r 1 [1]) と第 2 のバッファ 7 2 5 3 の 1 番目のエントリー (b u f f e r 2 [1]) を指定することによって容易に指定されることが可能である。

【 0 1 3 3 】

< タイミング 5 >

次に、図 9 に示すパイプライン動作のタイミング 5 では、図 1 で 1 行目の 2 列目のマクロブロック (M B) 0 1 の領域 (図 1 1 の領域 1 1 0 0 参照) と図 1 で 2 行目の 2 列目のマクロブロック (M B) 1 1 の上部の領域のデータとが、D M A C コントローラ (D M A C) 7 2 5 の第 1 のバッファ 7 2 5 2 の 2 番目のエントリー (b u f f e r 1 [2]) と第 2 のバッファ 7 2 5 3 の 2 番目のエントリー (b u f f e r 2 [2]) とから外部メモリに出力される。この場合にも、D M A C コントローラ (D M A C) 7 2 5 の第 1 のバッファ 7 2 5 2 と第 2 のバッファ 7 2 5 3 とが、第 1 と第 2 のデブロッキングフィルタ (D E B 1、D E B 2) 7 1 3、7 2 3 による 1 行目と 2 行目との同一の 2 列目のマクロブロック (M B) 0 1、1 1 の領域のデータをタイミング 5 で順次に外部メモリに出力するものである。この際にも、外部メモリの複数の転送先アドレス (ディスティネーションアドレス) は図 8 に示した D M A C コントローラ (D M A C) 7 2 5 のアドレス生成回路 7 2 5 1 によって容易に指定されることが可能であり、複数の転送元アドレス (ソースアドレス) は D M A C コントローラ (D M A C) 7 2 5 の適切なポインタが D M A C コントローラ (D M A C) 7 2 5 の第 1 のバッファ 7 2 5 2 の 2 番目のエントリー (b u f f e r 1 [2]) と第 2 のバッファ 7 2 5 3 の 2 番目のエントリー (b u f f e r 2 [2]) を指定することによって容易に指定されることが可能である。

【 0 1 3 4 】

次に、並列動作する動画像処理ユニットを 3 個以上にする実施の形態について更に詳述する。尚、発明を実施するための最良の形態を説明するための全図において、前記の図と同一の機能を有する部品には同一の符号を付して、その繰り返しの説明は省略する。

【 0 1 3 5 】

[実施の形態 2]

《 動画像処理装置の基本構成 》

図 1 4 は、本発明の実施の形態 2 による動画像処理装置の基本構成を示す図である。

【 0 1 3 6 】

10

20

30

40

50

図14に示す動画像処理装置1450は、可変長符号化復号部(VLCS)703、並列動作が可能なN個の動画像処理ユニット(CODEC1、CODEC2...、CODECN)1419、ラインメモリコントローラ(LMC)724、全体制御部(CTRL)715、DMAコントローラ(DMAC)1425、内部バス702を具備するものである。

【0137】

図14に示す動画像処理装置1450は、図7に示した実施の形態1に動画像処理ユニットをさらに複数追加して、3個以上で構成されてものである。以降では、動画像処理ユニットの個数をNと表記する。好ましい実施の形態によれば、動画像処理装置1450は、例えば単結晶シリコン基板などの一つの半導体基板に形成された大規模半導体集積回路(LSI: Large Scale Integrated Circuits)の形態で構成されている。動画像処理ユニット(CODEC1、CODEC2...、CODECN)1419は、図7に示す第1の動画像処理ユニット(CODEC1)719と同一の内部構成かつ同一の機能を有する。

10

【0138】

《DMAコントローラの詳細構成》

図15は、図14に示した動画像処理装置1450のDMAコントローラ(DMAC)1425の詳細な構成を示す図である。

【0139】

DMAコントローラ(DMAC)1425は、動画像処理装置1450の外部バス701に接続される外部メモリ(例えば、同期型ダイナミックランダムアクセスメモリ(SDRAM))と並列動作が可能なN個の動画像処理ユニット(CODEC1、CODEC2、...、CODECN)1419との間で大量のマクロブロック(MB)を含むビットストリームの高速データ転送に使用されるものである。DMAコントローラ(DMAC)1425は、デブロッキングフィルタ処理に必要な構成として、N個のデブロッキングフィルタ(DEB1、DEB2、...、DEBN)1413から転送される画像データを格納するN個のバッファ14252、14253、...14252N、外部メモリのアドレスを生成するアドレス生成回路14251、N個のバッファ14252、14253、...14252Nとアドレス生成回路14251との動作を制御する制御回路14250を含んでいる。N個のバッファ14252、14253、...14252Nは動画像処理装置750の外部バス701と接続されているので、N個のバッファ14252、14253、...14252Nの格納データは外部バス701を介して外部メモリとしてのSDRAMの所定の格納領域に転送されることが可能である。尚、外部メモリの格納領域は、DMAコントローラ(DMAC)725のアドレス生成回路14251が生成したアドレスの値によって指定されることができる。また、DMAコントローラ(DMAC)1425は、可変長符号化復号部(VLCS)703、メモリ制御部(MEC)714にデータを供給する機能も有するが、前記機能を実現する構成の記述は割愛する。

20

30

【0140】

また、実施の形態1では、2個のデブロッキングフィルタによる処理結果のDMAコントローラ(DMAC)725の2個のバッファから外部メモリに出力していたが、並列動作する動画像処理ユニットを4個以上とした場合、外部メモリに出力するDMAコントローラ(DMAC)725のバッファの個数を変更することで対応が可能である。例えば、並列動作可能な動画像処理ユニットを8個とした場合には、第1の動画像処理ユニット(CODEC1)と第3の動画像処理ユニット(CODEC3)と第5の動画像処理ユニット(CODEC5)と第7の動画像処理ユニット(CODEC7)とが奇数行のマクロブロックを順次処理する一方、第2の動画像処理ユニット(CODEC2)と第4の動画像処理ユニット(CODEC4)と第6の動画像処理ユニット(CODEC6)と第8の動画像処理ユニット(CODEC8)とが偶数行のマクロブロックを順次処理するものと想定する。この場合に、方式(A): 2個のデブロッキングフィルタによる2つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力する、方式(B): 4個のデブロッキングフィルタによる4つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力する、方式(C): 8個のデブロッキングフィルタによる8つの行の同一列のマクロブロック(MB)の

40

50

処理結果を外部メモリに出力する、と言う3つの場合が考えられる。

【0141】

方式(A)：2個のデブロッキングフィルタによって2つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力する場合は、第1と第2のデブロッキングフィルタ(DEB1、DEB2)によって最初の奇数行と最初の偶数行との2つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力して、第3と第4のデブロッキングフィルタ(DEB3、DEB4)によって次の奇数行と次の偶数行との2つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力して、第5と第6のデブロッキングフィルタ(DEB5、DEB6)によって更に次の奇数行と更に次の偶数行との2つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力して、第7と第8のデブロッキングフィルタ(DEB7、DEB8)によってまた更に次の奇数行とまた更に次の偶数行との2つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力する。この時、第*i* (*i* = 1、2、3、・・・、8)デブロッキングフィルタの処理結果を格納するDMAコントローラ(DMAC)1425内のバッファbuffer(*i*)のエントリー数は、 $(2 - (i \bmod 2) + 1) \times 2$ となる。ここで、 $K \bmod N$ は*K*を*N*で割った余りを示す。

10

【0142】

方式(B)：4個のデブロッキングフィルタによって4つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力する場合は、第1と第2と第3と第4のデブロッキングフィルタ(DEB1、DEB2、DEB3、DEB4)によって最初の奇数行と最初の偶数行と次の奇数行と次の偶数行との4つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力して、第5と第6と第7と第8のデブロッキングフィルタ(DEB5、DEB6、DEB7、DEB8)によって更に次の奇数行とまた次の偶数行とまた更に次の奇数行とまた更に次の偶数行との4つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力する。この時、第*i* (*i* = 1、2、3、・・・、8)デブロッキングフィルタの処理結果を格納するDMAコントローラ(DMAC)725内のバッファbuffer(*i*)のエントリー数は、 $(4 - (i \bmod 4) + 1) \times 2$ となる。

20

【0143】

方式(C)：8個のデブロッキングフィルタによる8つの行の同一列のマクロブロック(MB)の処理結果を外部メモリに出力する場合は、第1と第2と第3と第4と第5と第6と第7と第8のデブロッキングフィルタ(DEB1、DEB2、DEB3、DEB4、DEB5、DEB6、DEB7、DEB8)によって1行目と2行目と3行目と4行目と5行目と6行目と7行目と8行目との同一列のマクロブロック(MB)の処理結果を外部メモリに出力する。この時、第*i* (*i* = 1、2、3、・・・、*K*)デブロッキングフィルタの処理結果を格納するDMAコントローラ(DMAC)1425内のバッファbuffer(*i*)のエントリー数は、 $(K - (i \bmod K) + 1) \times 2$ となる。

30

【0144】

以上、本発明者によってなされた発明を種々の実施の形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

40

【0145】

例えば、前記の実施の形態1では第2の動画像処理ユニット(CODEC2)729の第2のデブロッキングフィルタ(DEB2)723は、第1の動画像処理ユニット(CODEC1)719の第1のデブロッキングフィルタ(DEB1)713よりも2マクロブロック分の処理が完了した後に起動するものであった。

【0146】

本発明はこれに限定されるものではなく、第2のデブロッキングフィルタ(DEB2)723は第1のデブロッキングフィルタ(DEB1)713よりも3マクロブロック分またはそれ以上のブロック数の処理が完了した後に起動することもできる。

【符号の説明】

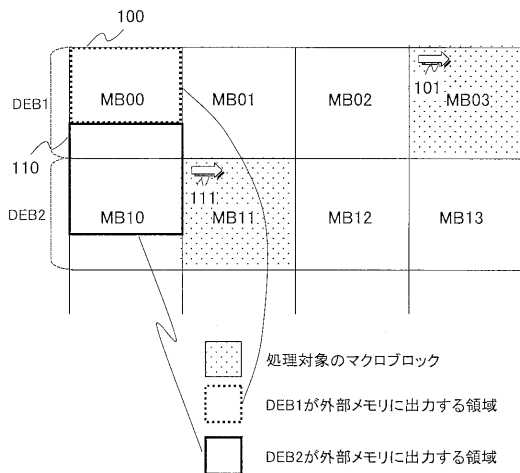
50

【 0 1 4 7 】

- 7 0 1 ... 外部バス
- 7 0 2 ... 内部バス
- 7 0 3 ... 可変長符号化復号部 (V L C S)
- 7 1 0、7 2 0 ... 可変長符号化復号部 (V L C F 1、2)
- 7 1 1、7 2 1 ... 周波数変換部 (T R F 1、2)
- 7 1 2、7 2 2 ... 動き補償部 (F M E 1、2)
- 7 1 3、7 2 3 ... デブロッキングフィルタ (D E B 1、2)
- 7 1 3 0、7 2 3 0 ... デブロッキングフィルタ制御回路
- 7 1 3 1、7 2 3 1 ... フィルタ回路
- 7 1 3 2、7 2 3 2 ... ローカルDMA回路
- 7 1 4 ... メモリ制御部 (M E C)
- 7 1 5 ... 全体制御部 (C T R L)
- 7 1 9、7 2 9 ... 動画像処理ユニット (C O D E C 1、2)
- 7 2 4 ... ラインメモリコントローラ (L M C)
- 7 2 5 ... DMAコントローラ (D M A C)
- 7 2 5 0 ... DMAコントローラ制御回路
- 7 2 5 1 ... アドレス生成回路
- 7 2 5 2、7 2 5 3 ... バッファ

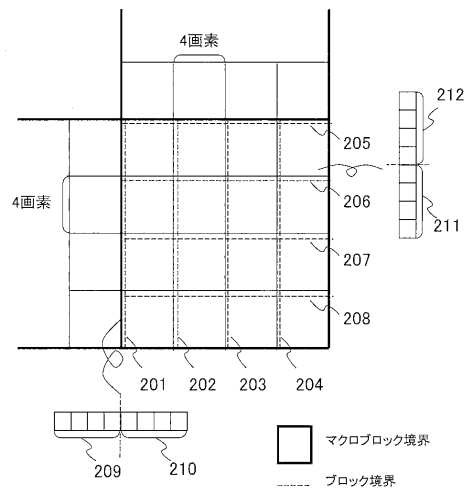
【 図 1 】

図1

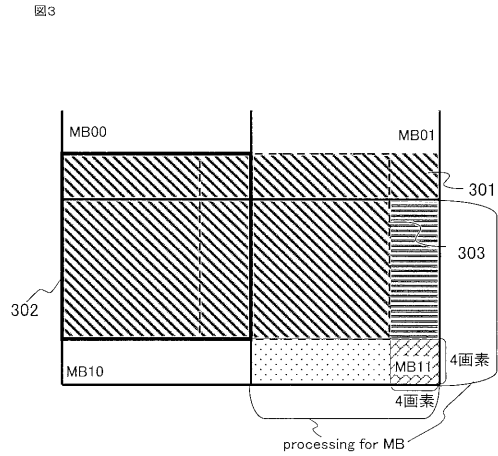


【 図 2 】

図2

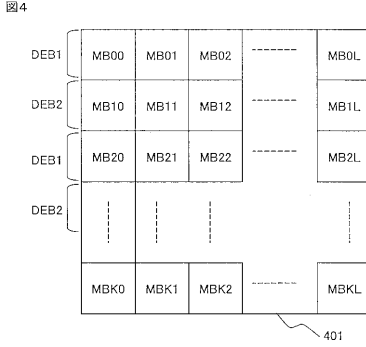


【図3】

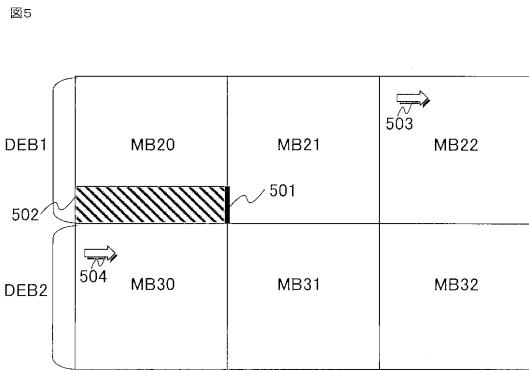


- マクロブロック境界
- フィルタ処理が完了した領域
- 下のマクロブロックで水平境界にフィルタ処理される領域
- 右隣のマクロブロックで垂直境界にフィルタ処理される領域
- 右隣のマクロブロックで垂直境界にフィルタ処理され、下のマクロブロックで水平境界にフィルタ処理される領域

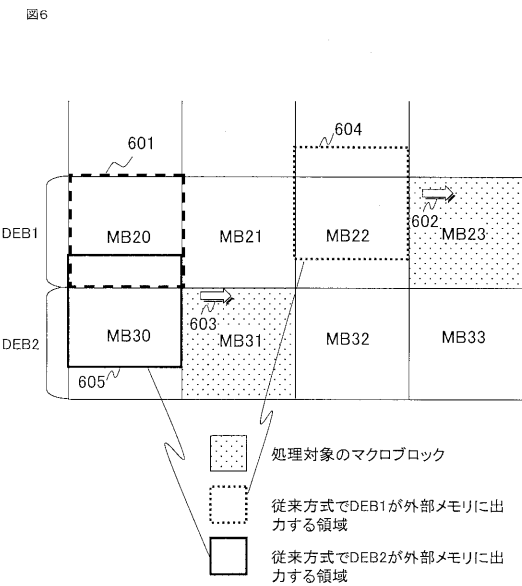
【図4】



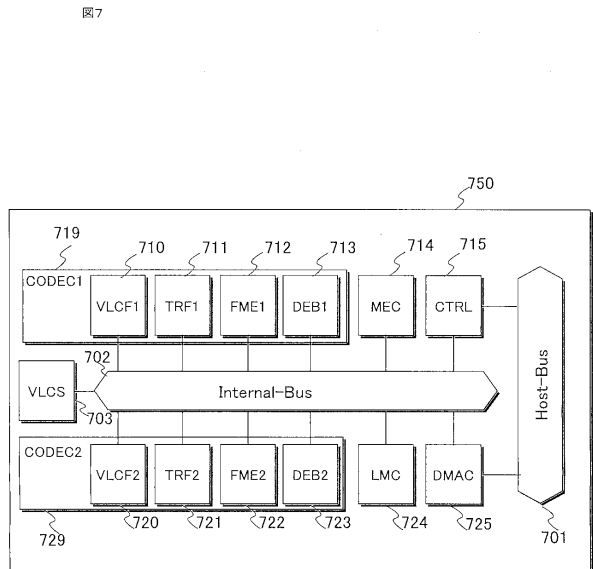
【図5】



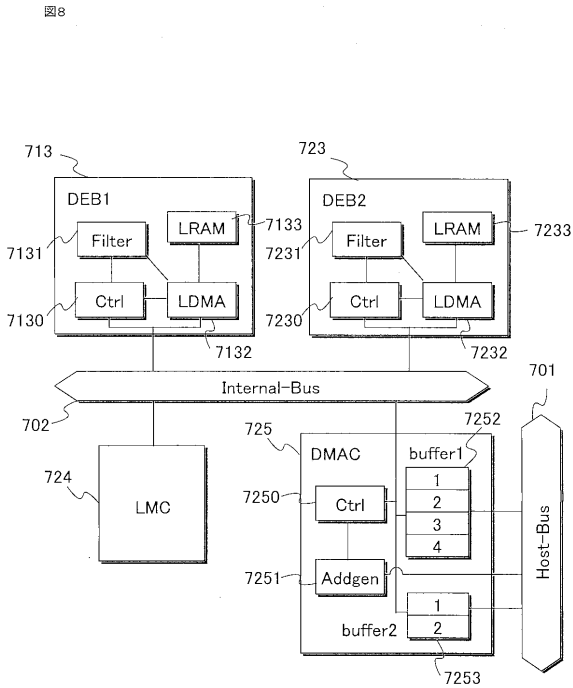
【図6】



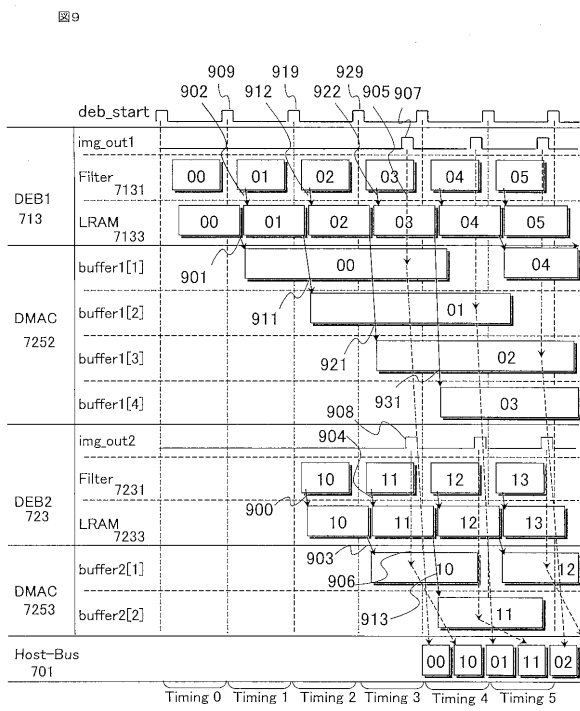
【図7】



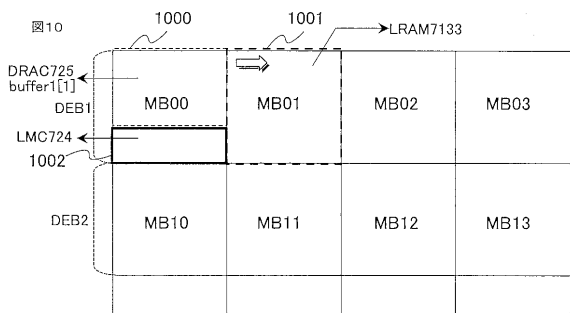
【 図 8 】



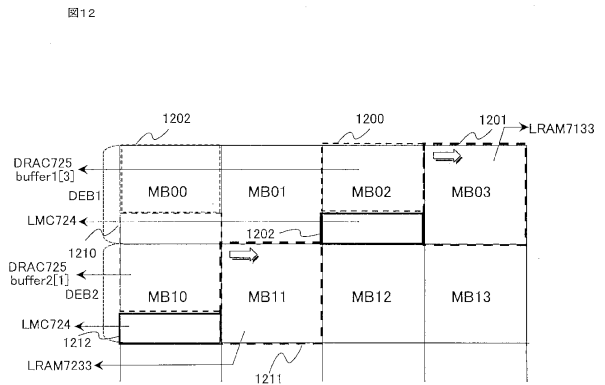
【 図 9 】



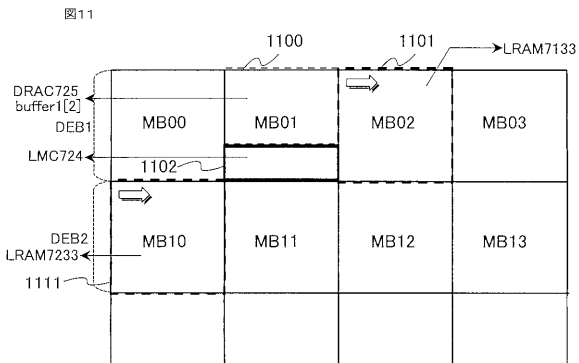
【 図 10 】



【 図 12 】

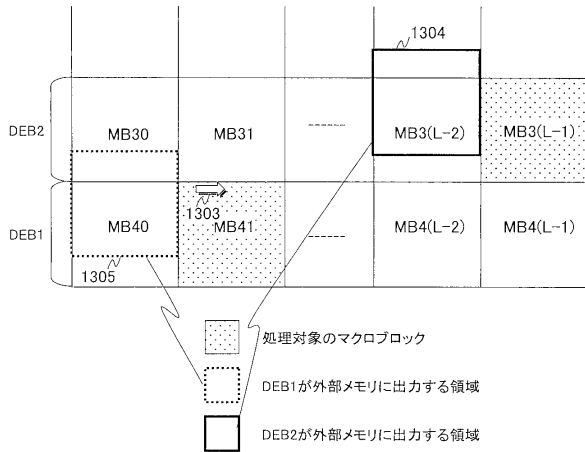


【 図 11 】



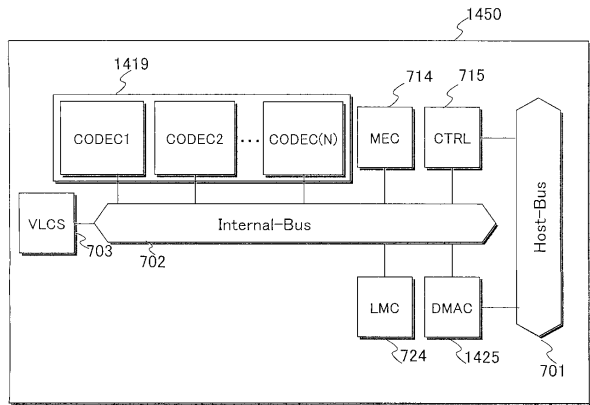
【図13】

図13



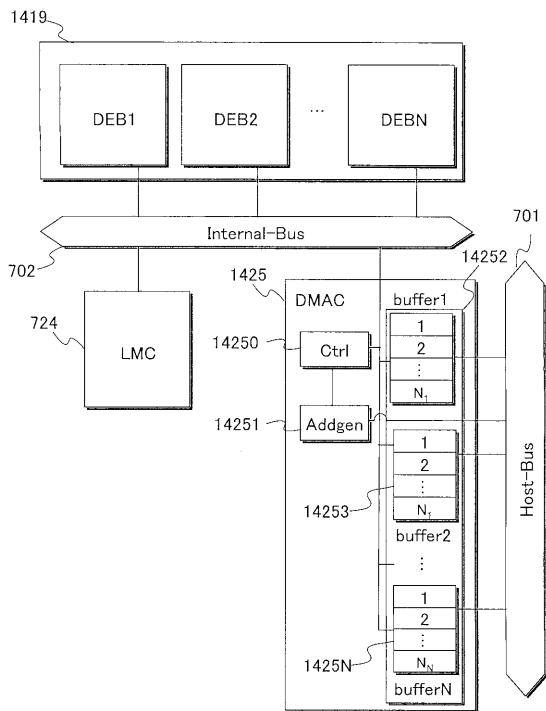
【図14】

図14



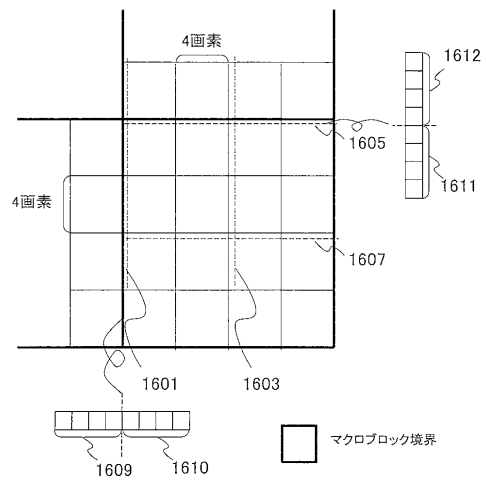
【図15】

図15



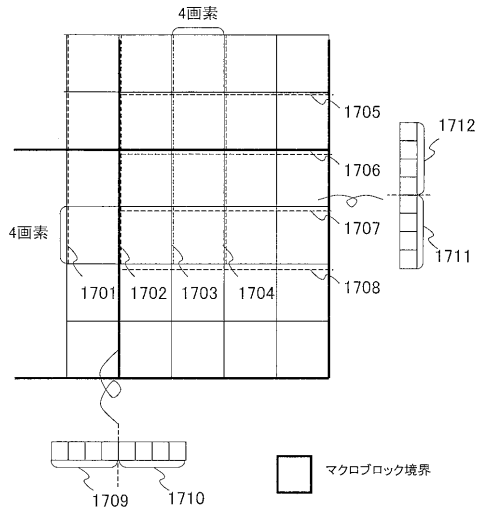
【図16】

図16



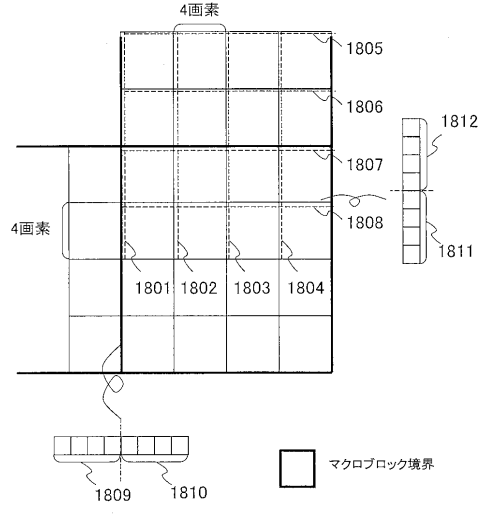
【図 17】

図17



【図 18】

図18



フロントページの続き

- (72)発明者 望月 誠二
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 湯浅 隆史
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 岩田 憲一
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 上嶋 裕樹

- (56)参考文献 特開2008-042571(JP,A)
特開2001-186524(JP,A)
特開2006-174486(JP,A)
特開2008-035029(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M	3/00	-	11/00
H04N	7/12		
	7/26		
	7/30	-	7/32