

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年8月25日(2011.8.25)

【公表番号】特表2007-500454(P2007-500454A)

【公表日】平成19年1月11日(2007.1.11)

【年通号数】公開・登録公報2007-001

【出願番号】特願2006-533042(P2006-533042)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 5 3 C

H 01 L 29/78 6 5 8 G

H 01 L 29/78 6 5 8 D

H 01 L 29/78 6 5 8 E

H 01 L 29/78 6 5 8 F

H 01 L 29/78 6 5 8 Z

H 01 L 29/78 6 5 2 D

【誤訳訂正書】

【提出日】平成23年7月7日(2011.7.7)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

シリコンが除去されうるシリコン層の露出表面領域を決める工程、

前記シリコン層の部分を除去して、前記シリコン層の露出表面領域から前記シリコン層に伸びるトレーニングの中間区域を形成させる工程、

シリコンが除去されうる前記シリコン層の付加的露出表面領域を決める工程、

前記シリコン層の付加的部分を除去して、前記シリコン層の付加的露出表面領域から前記シリコン層に伸びる前記トレーニングの外部区域を、前記トレーニングの中間区域が、前記トレーニングの外部区域よりも深く前記シリコン層に伸びるように形成させる工程、

前記トレーニングを部分的に満たすゲート電極を形成する工程、

不純物を注入することにより前記シリコン層のボディ領域に、ボディ領域の表面に沿って前記トレーニングの外部区域の下方に直接的に伸びる第1の領域を形成させる工程、

前記トレーニングの上面を横切って伸びる誘電体層を形成する工程、

前記トレーニングの外部区域よりも実質的に下方に位置する第1の領域の部分のみが残り第1の領域の残った部分が半導体デバイスのソース領域を形成するまで、露出されたシリコンを除去する工程、を含む半導体デバイスの製造方法。

【請求項2】

トレーニングが側壁を有し、

前記シリコン層の付加的部分を除去する工程は、前記トレーニングの外部区域に位置する側壁の部分が、前記トレーニングの中間区域に位置する側壁の部分によって決定される穴よりも大きい穴を決め、前記トレーニングの外部区域に位置する前記側壁の部分が、前記トレーニングの中間区域に位置する側壁の部分に隣接する前記シリコン層の部分の上方に直接伸びるように、前記トレーニングの側壁を形成する、請求項1記載の方法。

【請求項 3】

シリコン層の露出表面領域を決める工程が、絶縁層の一部を形成及び除去して、シリコン層の露出表面領域を決めることを含み、

シリコン層の付加的露出表面領域を決める工程が、絶縁層の残りの領域を等方的エッチングして、前記シリコン層の付加的表面領域を露出させることを含む、請求項1記載の方法。

【請求項 4】

前記シリコン層の一部を除去し前記シリコン層の付加的部分を除去するステップに先立ち、不純物を注入するステップを行い、

第1の領域が、ボディ領域とは逆の導電型のものであり、

前記シリコン層の一部を除去し前記シリコン層の付加的部分を除去した結果、

(i) 前記トレンチが、第1の領域及びボディ領域のそれぞれを2つの部分に分けるように、第1の領域及びボディ領域を通して伸び、(ii) 第1の領域の当該2つの部分が、ボディ領域の対応する2つの部分の表面区域に沿って、トレンチの外部区域の下に直接的に伸びている、請求項1記載の方法。

【請求項 5】

ボディ領域が、エピタキシャル層である、請求項4記載の方法。

【請求項 6】

シリコン層が、エピタキシャル層を含み、

不純物を注入して、エピタキシャル層中に、エピタキシャル層とは逆の導電型を有するボディ領域を形成させる、請求項4記載の方法。

【請求項 7】

前記トレンチの外部区域より下方でゲート電極が前記トレンチを満たす、請求項1記載の方法。

【請求項 8】

前記トレンチが側壁を有し、

ゲート電極を形成させる工程が、少なくとも前記トレンチの側壁に沿って伸びるゲート絶縁体を形成させる工程、ポリシリコンを蒸着させる工程、及び、前記トレンチの外部区域より下方でポリシリコンが前記トレンチを部分的に満たすように、ポリシリコンをエッチバックする工程、

を含む、請求項7記載の方法。

【請求項 9】

前記シリコン層の一部を除去し前記シリコン層の付加的部分を除去するに先立ち、ボディ領域を形成させる工程をさらに含む、請求項1記載の方法。

【請求項 10】

ボディ領域がエピタキシャル層であり、トレンチが、ボディ領域を通して伸びる、請求項1記載の方法。

【請求項 11】

前記シリコン層は、基板の上に伸びるエピタキシャル層と、エピタキシャル層中にあるボディ領域とを有し、

エピタキシャル層、基板及び第1の領域は、ボディ領域とは逆の導電型を有する、請求項1記載の方法。

【請求項 12】

ボディ領域の表面領域が露出されるまで、露出されたシリコンを除去する工程をさらに含む、請求項1記載の方法。

【請求項 13】

露出されたシリコンを除去する工程は、誘電体層の側壁を露出させることを含み、各ソース領域の露出された側壁とともに誘電体層の側壁が、ボディ領域及びソース領域と接触させるためのコンタクト穴の側壁を形成する、請求項12記載の方法。

【請求項 14】

誘電体層を形成させる工程は、

前記トレンチ及びボディ領域の上に伸び、ゲート電極の上に、前記トレンチの残りの部分を実質的に満たす誘電体層を形成させる工程、

誘電体フローを行ない、誘電体層の上面を平面状にする工程、及び、

シリコンに達するまで、誘電体層を均一にエッティングする工程であり、シリコンに達するに際して、(i)前記トレンチの上面にわたって伸びる誘電体層の部分だけが残り、かつ(ii)第1の領域の表面領域が露出される工程、

を含む、請求項12記載の方法。

【請求項15】

ボディ領域の露出された表面領域に沿って、ボディ領域と同じ導電型の高濃度にドープした領域を形成させる工程、及び、

金属層を形成させて、高濃度にドープした領域及びソース領域を接触させる工程、をさらに含む、請求項12記載の方法。

【請求項16】

シリコン層の上に絶縁層を形成させる工程、

絶縁層の予め決められた部分を除去して、シリコン層の隔離された露出表面領域を決める工程、

第1のシリコンエッティングを行ない、シリコン層の隔離された露出表面領域からシリコン層に伸びる複数のトレンチそれぞれの中間区域を形成させる工程、

絶縁層の残りの領域を等方的にエッティングして、シリコン層の付加的表面領域を露出させる工程、及び、

第2のシリコンエッティングを行ない、シリコン層の付加的露出表面領域からシリコン層に伸び、各トレンチの中間区域が、その外部区域よりも深くシリコン層に伸びるように、各トレンチの外部区域を形成させる工程、

前記各トレンチを部分的に満たすゲート電極を形成する工程、

隣接するトレンチの間に不純物を注入することにより、前記シリコン層のボディ領域に、ボディ領域の表面に沿って前記トレンチの外部区域の下方に直接的に伸びる第1の領域を形成させる工程、

前記トレンチの上面を横切って伸びる誘電体層を形成する工程、及び、

前記トレンチの外部区域よりも実質的に下方に位置する第1の領域の部分のみが残り第1の領域の残った部分がMOSFETのソース領域を形成するまで、露出されたシリコンを除去する工程、

を含む、トレンチMOSFETの製造方法。

【請求項17】

各トレンチが側壁を有し、

第2のシリコンエッティングを行うステップは、前記トレンチの外部区域に位置する側壁の部分が、前記トレンチの中間区域に位置する側壁の部分によって決定される穴よりも大きい穴を決め、前記トレンチの外部領域に位置する前記側壁の部分が、前記トレンチの中間区域に位置する側壁の部分に隣接する前記シリコン層の部分の上方に直接伸びるように、各トレンチの側壁を形成させる、請求項16記載の方法。

【請求項18】

各トレンチが側壁を有し、

ゲート電極を形成する工程が、

少なくとも各トレンチの側壁に沿って伸びるゲート絶縁体を形成させること、及び、各トレンチの外部区域の下まで各トレンチを部分的に満たすポリシリコン層を形成させること、をさらに含む、請求項16記載の方法。

【請求項19】

シリコン層は、トレンチが形成されるエピタキシャル層を有し、

各ボディ領域が、エピタキシャル層とは逆の導電型であり且つ隣接するトレンチ間のエピタキシャル層中に形成され、しかも、

各第1の領域が、対応する各ボディ領域とは逆の導電型である、請求項18記載の方法。

【請求項20】

誘電体層を形成する工程は、各トレンチ及び各ボディ領域の上に伸び、対応するゲート電極の上で各トレンチの残りの部分を実質的に満たす誘電体層を形成することを含み、

露出されたシリコンを除去する工程は、各ボディ領域の表面領域が露出されるまで、露出されたシリコンを除去することを含む、請求項19記載の方法。

【請求項21】

除去する工程は、ソース領域の露出された側壁とともに各トレンチ中の誘電体層の側壁が、2つの隣接するトレンチ毎の間にコンタクト穴を形成させるように、各トレンチ中の誘電体層の側壁を露出させることを含み、

金属層を形成させ、コンタクト穴を通して、各ボディ領域の露出された表面領域とソース領域の露出された側壁とを接触させること、
をさらに含む、請求項20記載の方法。

【請求項22】

誘電体層を形成する工程が、さらに、
誘電体フローを行ない、誘電体層の上面を平面化すること、及び、
シリコンに達するまで、誘電体層を均一にエッティングし、シリコンに達する際、(i)各トレンチの上面にわたって伸びる誘電体層の部分のみが残り、かつ(ii)各第1の領域の表面領域が露出されること、
を含む、請求項20記載の方法。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0006

【訂正方法】変更

【訂正の内容】

【0006】

発明の簡単な要旨

本発明の実施態様によれば、半導体デバイスは、以下のように形成される。シリコンが除去されうるシリコン層の露出表面領域が決められる。シリコン層の一部が除去されて、シリコン層の露出表面領域から前記シリコン層に伸びるトレンチの中間区域を形成する。シリコンが除去されるシリコン層の付加的露出表面領域が決められる。前記シリコン層の付加的部分が除去されて、トレンチの外部区域が前記シリコン層の前記付加的露出表面区域から前記シリコン層に伸びるようにトレンチの外部区域を形成する。前記トレンチの中間区域は、トレンチの外部区域よりもより深く伸びる。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0013

【訂正方法】変更

【訂正の内容】

【0013】

本発明の他の実施態様によれば、半導体デバイスは、シリコン層中にトレンチを有する。ソース領域は、前記トレンチの各側壁に隣接するシリコン層中にある。トレンチ側壁は、前記トレンチ側壁が、各ソース領域の少なくとも1部分の上方で直接伸びるように、前記シリコン層に沿って形成される。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0019

【訂正方法】変更

【訂正の内容】

【 0 0 1 9 】

本発明によれば、プロセスの複雑性を増加させることなくセルピッチ縮小をもたらす、自己整合性を有するトレンチMOSFETの構造及び製造方法が開示される。1つの実施態様では、トレンチは、エピタキシャル層内に形成される。ソース領域とともに、各トレンチの上端部分に沿って形成された絶縁層は、ソース領域に接触する隣接するトレンチとボディ領域との間のコンタクト穴を決める。この構造及びトレンチの製造方法は、トレンチに自己整合したソース領域とコンタクト穴とを有するMOSFETをもたらす。これは、従来技術のMOSFET100(図1)のセルピッチの2D部分を除去し、寸法Bを縮小させ、こうして、いかなるプロセスの複雑さを導入することなく、縮小されたセルピッチを得ることを可能にする。