

(43) 国際公開日
2006年3月2日 (02.03.2006)

PCT

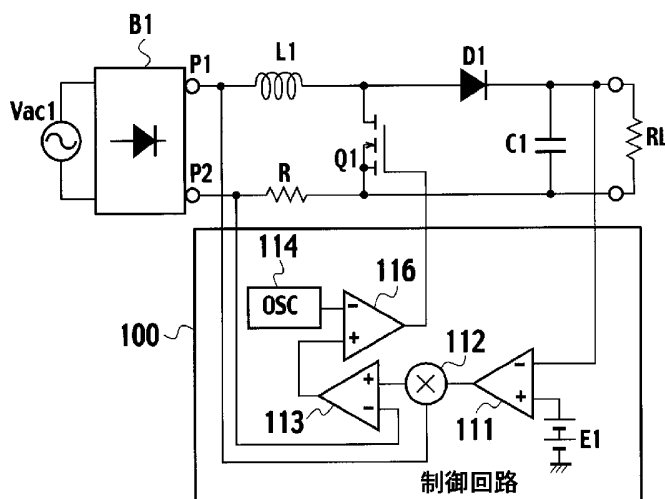
(10) 国際公開番号
WO 2006/022107 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01) H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2005/013623
- (22) 国際出願日: 2005年7月26日 (26.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-248548 2004年8月27日 (27.08.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鶴谷 守 (TSURUYA, Mamoru).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門 琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: POWER FACTOR IMPROVING CIRCUIT

(54) 発明の名称: 力率改善回路



100 CONTROL CIRCUIT

(57) Abstract: A power factor improving circuit includes: a boosting reactor (L1) for inputting rectified voltage obtained by rectifying the AC power voltage of an AC power source (Vac1) by using a rectification circuit (B1); a main switch (Q1) turning ON/OFF by inputting the rectified voltage via the boost reactor (L1); conversion units (D1, C1) for converting the voltage obtained by turning ON/OFF of the main switch (Q1) into a DC output voltage; and a control circuit (10) controlling ON/OFF of the main switch (Q1) so as to make the AC power current into sinusoidal wave shape, controlling the output voltage of the conversion units (D1, C1) into a predetermined voltage, and controlling the switching frequency of the main switch (Q1) according to the value of the current flowing in the AC power source (Vac1) or the current flowing in the rectification circuit (B1) or the current flowing in the main switch (Q1).

(57) 要約: 力率改善回路は、交流電源 (Vac1) の交流電源電圧を整流回路 (B1) で整流した整流電圧を入力する昇圧リアクトル (L1) と、昇圧リアクトル (L1) を介して整流電圧を入力

[続葉有]



WO 2006/022107 A1



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

してオン／オフする主スイッチ（Q1）と、主スイッチ（Q1）がオン／オフすることにより得られた電圧を直流
の出力電圧に変換する変換部（D1，C1）と、主スイッチ（Q1）をオン／オフ制御することにより交流電源電流
を正弦波状にするとともに変換部（D1，C1）の出力電圧を所定電圧に制御し且つ主スイッチ（Q1）のスイッ
チング周波数を交流電源（Vac1）に流れる電流又は整流回路（B1）に流れる電流又は主スイッチ（Q1）に
流れる電流の値に応じて制御する制御回路（10）とを有する。

明 細 書

力率改善回路

技術分野

[0001] 本発明は、高効率で低ノイズで高力率なスイッチング電源に使用される力率改善回路に関する。

背景技術

[0002] 図1は日本国特許公報特開2000-37072号に記載された従来の力率改善回路の回路構成図である。図1に示す力率改善回路において、交流電源Vac1の交流電源電圧を整流する全波整流回路B1の出力両端P1, P2には、昇圧リアクトルL1とMOSFETからなる主スイッチQ1と電流検出抵抗Rとからなる直列回路が接続されている。主スイッチQ1の両端には、ダイオードD1と平滑コンデンサC1とからなる直列回路が接続されている。平滑コンデンサC1の両端には、負荷RLが接続されている。主スイッチQ1は、制御回路100のPWM(Pulse Width Modulation)制御によりオン／オフする。電流検出抵抗Rは、全波整流回路B1に流れる入力電流を検出する。

[0003] 制御回路100は、誤差増幅器111、乗算器112、誤差増幅器113、発振器(OSC)114、PWMコンパレータ116を有する。

[0004] 誤差増幅器111において、基準電圧E1が＋端子に入力され、平滑コンデンサC1の電圧が－端子に入力される。誤差増幅器111は、平滑コンデンサC1の電圧と基準電圧E1との誤差を増幅することにより、誤差電圧信号を生成して乗算器112に出力する。乗算器112は、誤差増幅器111からの誤差電圧信号と全波整流回路B1の正極側出力端P1からの全波整流電圧とを乗算して乗算出力電圧を誤差増幅器113の＋端子に出力する。

[0005] 誤差増幅器113において、電流検出抵抗Rで検出した入力電流に比例した電圧が－端子に入力され、乗算器112からの乗算出力電圧が＋端子に入力される。誤差増幅器113は、電流検出抵抗Rによる電圧と乗算出力電圧との誤差を増幅し、誤差電圧信号を生成してこの誤差電圧信号をフィードバック信号FBとしてPWMコンパレータ116に出力する。OSC(Oscillator)114は、一定周期の三角波信号を生成する

。

- [0006] PWMコンパレータ116において、OSC114からの三角波信号が一端子に入力され、誤差増幅器113からのフィードバック信号FBが+端子に入力される。PWMコンパレータ116は、フィードバック信号FBの値が三角波信号の値以上のときにオンになり、フィードバック信号FBの値が三角波信号の値未満のときにオフになるためのパルス信号を生成し、該パルス信号を主スイッチQ1のゲートに印加する。
- [0007] 即ち、PWMコンパレータ116は、主スイッチQ1に対して、誤差増幅器113による電流検出抵抗Rの出力と乗算器112の出力との差信号に応じたデューティパルスを提供する。このデューティパルスは、交流電源電圧及び直流負荷電圧の変動に対して、一定周期で連続的に補償するパルス幅制御信号である。このような構成により、交流電源電流波形が交流電源電圧波形に一致するように制御されて、力率が大幅に改善される。
- [0008] 図2は従来の力率改善回路の交流電源電圧波形と整流出力電流波形のタイミングチャートを示す図である。図3は、図2に示すタイミングチャートのA部の詳細を示す。即ち、図3は、交流電源電圧の最大値付近における100KHzのスイッチング波形を示す。図4は、図2に示すタイミングチャートのB部の詳細を示す。即ち、図4は、交流電源電圧の低い部分における100KHzのスイッチング波形を示す。
- [0009] 次に、このように構成された力率改善回路の動作が図3に示すタイミングチャートを参照しながら説明される。なお、図3は、主スイッチQ1の両端間の電圧 $Q1v$ 、主スイッチQ1に流れる電流 $Q1i$ 、ダイオードD1に流れる電流 $D1i$ を示している。
- [0010] まず、時刻 t_{31} において、主スイッチQ1がオンされ、全波整流回路B1から昇圧リアクトルL1を介して主スイッチQ1に電流 $Q1i$ が流れる。この電流は、時刻 t_{32} まで時間の経過とともに直線的に増大していく。なお、時刻 t_{31} から時刻 t_{32} では、ダイオードD1に流れる電流 $D1i$ は零になる。
- [0011] 次に、時刻 t_{32} において、主スイッチQ1は、オン状態からオフ状態に変わる。このとき、昇圧リアクトルL1に蓄えられたエネルギーにより主スイッチQ1の電圧 $Q1v$ が上昇する。また、時刻 t_{32} ～時刻 t_{33} では、主スイッチQ1がオフであるため、主スイッチQ1に流れる電流 $Q1i$ は零になる。なお、時刻 t_{32} から時刻 t_{33} では、 $B1 \rightarrow L1 \rightarrow D1 \rightarrow C1$

→R→B1の経路で、電流D1iが流れて、負荷RLに電力が供給される。

発明の開示

- [0012] ところで、通常、昇圧リアクトルL1を小型化するためには、周波数を高周波数(例えば100kHz)にする必要がある。しかし、周波数が高周波数であっても、交流電源電圧の最大値付近に対応する電流の大きいA部では、昇圧リアクトルL1に蓄えられたエネルギーは、主スイッチQ1がオフした時に、ダイオードD1を介して負荷RLに供給される。
- [0013] しかし、B部のような電圧の低い部分では、電流も少なく主スイッチQ1がオフした時の電流が低い。また、MOSFETからなる主スイッチQ1は、図示しない内部容量(寄生容量)を有する。主スイッチQ1は、内部容量 C_0 と主スイッチQ1に印加された電圧Vとにより決定された分($C_0 V^2 / 2$)だけ電力損失が発生する。この電力損失は周波数に比例して増大する。
- [0014] また、主スイッチQ1の内部容量により、昇圧リアクトルL1に蓄えられるエネルギーが少ない。このため、主スイッチQ1をオフした時の電圧 $Q1v$ は、図4に示すように、正弦波状となり、出力電圧まで上昇せず、電力損失が増大する。即ち、効率が低下してしまう。
- [0015] 本発明は、入力電流の低い部分でのスイッチング周波数を低下又は動作を停止させてこの低い部分の電力損失を低減して、小型で高効率で低ノイズ化することができる力率改善回路を提供することを目的とする。
- [0016] 本発明の力率改善回路は、交流電源の交流電源電圧を整流回路で整流した整流電圧を入力する昇圧リアクトルと、前記昇圧リアクトルを介して前記整流電圧を入力してオン／オフする主スイッチと、前記主スイッチがオン／オフすることにより得られた電圧を直流の出力電圧に変換する変換部と、前記主スイッチをオン／オフ制御することにより交流電源電流を正弦波状にするとともに前記変換部の出力電圧を所定電圧に制御し且つ前記主スイッチのスイッチング周波数を前記交流電源に流れる電流又は前記整流回路に流れる電流又は前記主スイッチに流れる電流の値に応じて制御する制御部とを有する。
- [0017] また、本発明の力率改善回路は、主巻線と前記主巻線に直列に接続され且つ前

記主巻線に疎結合する帰還巻線とを有する昇圧リアクトルと、交流電源の交流電源電圧を整流する整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルの前記主巻線と第1ダイオードと平滑コンデンサとからなる第1直列回路と、前記整流回路の前記一方の出力端と前記他方の出力端との間に接続され、前記昇圧リアクトルの前記主巻線と前記帰還巻線と主スイッチとからなる第2直列回路と、前記主スイッチと前記昇圧リアクトルの前記帰還巻線との接続点と前記平滑コンデンサとの間に接続された第2ダイオードと、前記主スイッチをオン／オフ制御することにより交流電源電流を正弦波状にするとともに前記平滑コンデンサの出力電圧を所定電圧に制御し且つ前記主スイッチのスイッチング周波数を前記交流電源に流れる電流又は前記整流回路に流れる電流又は前記主スイッチに流れる電流の値に応じて制御する制御部とを有する。

図面の簡単な説明

- [0018] [図1]図1は、従来の力率改善回路を示す回路構成図である。
- [図2]図2は、従来の力率改善回路の交流電源電圧波形と整流出力電流波形のタイミングチャートである。
- [図3]図3は、図2に示すタイミングチャートのA部における100KHzのスイッチング波形を示す図である。
- [図4]図4は、図2に示すタイミングチャートのB部における100KHzのスイッチング波形を示す図である。
- [図5]図5は、実施例1の力率改善回路を示す回路構成図である。
- [図6]図6は、実施例1の力率改善回路の入力電流波形とスイッチング周波数のタイミングチャートである。
- [図7]図7は、図6に示すタイミングチャートのA部における100KHzのスイッチング波形を示す図である。
- [図8]図8は、図6に示すタイミングチャートのB部における20KHzのスイッチング波形を示す図である。
- [図9]図9は、実施例1の力率改善回路に設けられたVCOの詳細な回路構成図である。

[図10]図10は、実施例1の力率改善回路の入力電流波形とヒステリシスコンパレータに入力される電圧とこの電圧により変化するスイッチング周波数のタイミングチャートである。

[図11]図11は、実施例1の力率改善回路のVCOの特性を示す図である。

[図12]図12は、実施例1の力率改善回路のVCOの周波数の変化に応じてPWMコンパレータのパルス周波数が変化した様子を示す図である。

[図13]図13は、実施例2の力率改善回路の入力電流波形とヒステリシスコンパレータに入力される電圧により変化するスイッチング周波数のタイミングチャートである。

[図14]図14は、実施例3の力率改善回路のVCOの詳細な回路構成図である。

[図15]図15は、実施例3の力率改善回路の入力電流波形とコンデンサの電圧とこの電圧により変化するスイッチング周波数のタイミングチャートである。

[図16]図16は、昇圧リアクトルの電流に対するインダクタンス特性を示す図である。

[図17]図17は、実施例4の力率改善回路を示す回路構成図である。

[図18]図18は、実施例4の力率改善回路において軽負荷時にスイッチング周波数を低下させた様子を示す図である。

[図19]図19は、実施例5の力率改善回路を示す回路構成図である。

[図20]図20は、実施例6の力率改善回路を示す回路構成図である。

[図21]図21は、実施例7の力率改善回路を示す回路構成図である。

[図22]図22(a)は、実施例7の力率改善回路内の制御回路に設けられたパルス幅変調器の第1の例を示す構成図である。図22(b)は、実施例7の力率改善回路内の制御回路に設けられたパルス幅変調器の第2の例を示す構成図である。

[図23]図23は、パルス幅変調器の入出力波形を示す図である。

[図24]図24(a)は、パルス幅変調器の入出力特性の第1の例を示す図である。図24(b)は、パルス幅変調器の入出力特性の第2の例を示す図である。

[図25]図25は、実施例7の力率改善回路の各部の波形を示す図である。

[図26]図26は、実施例7の力率改善回路の入力電圧と入力電流の波形を示す図である。

発明を実施するための最良の形態

[0019] 以下、本発明に係る力率改善回路の実施の形態が図面を参照して詳細に説明される。

[0020] 実施の形態の力率改善回路は、交流電源に流れる電流又は整流回路に流れる電流又は主スイッチに流れる電流の値、即ち、入力電流の値に応じて主スイッチのスイッチング周波数を変化させることにより、入力電流の低い部分でのスイッチング周波数を低下又はスイッチング動作を停止させる。これにより、入力電流の低い部分の電力損失が低減され、小型で高効率で低ノイズ化する。

[0021] (実施例1)

図5は実施例1の力率改善回路を示す回路構成図である。図6は実施例1の力率改善回路の入力電流波形とスイッチング周波数のタイミングチャートである。図6では、入力電流 I_i が零から最大値まで変化した場合に、主スイッチQ1のスイッチング周波数 f が零から例えば100KHzまで変化するを示している。

[0022] 実施例1では、入力電流が下限設定電流以下である場合に、主スイッチのスイッチング周波数が下限周波数(例えば20KHz)に設定され、入力電流が上限設定電流以上である場合に主スイッチのスイッチング周波数が上限周波数(例えば100KHz)に設定される。入力電流が下限設定電流から上限設定電流までの範囲内にある場合に主スイッチのスイッチング周波数が下限周波数から上限周波数まで徐々に変化する。

[0023] 図5に示す力率改善回路では、入力電流は、入力電圧に近似するように正弦波状に制御される。従って、電圧の最大値付近では電流も最大であり、この電流と電圧と主スイッチQ1のスイッチング周波数とで、昇圧リアクトルL1の大きさが決定される。このため、昇圧リアクトルL1を小型化するためには、電流の最大値付近のスイッチング周波数を高くする必要がある。また、昇圧リアクトルL1の磁束は、電流に比例する。このため、磁束は、電流の最大値付近が最大となる。

[0024] 一方、一定のスイッチング周波数を用いた従来の力率改善回路回路の場合には、図2に示す入力電圧の低い部分(B部)では、図4に示すように、主スイッチQ1の内蔵容量により、主スイッチQ1をオフした時の電圧は、昇圧リアクトルL1に蓄えられるエネルギーが少ないために正弦波状となる。このため、電圧は出力電圧まで上昇せ

ず、内部を還流するのみで、損失が増大する。従って、実施例1の力率改善回路は、入力電流の低い部分(図6のB部)で主スイッチQ1のスイッチング周波数を低下させている。

[0025] 図7は、図6に示すタイミングチャートのA部(入力電流 I_i が最大値付近)における100KHzのスイッチング波形を示している。図7に示すタイミングチャートは、スイッチング周波数 f が100KHzであるので、図2に示すタイミングチャートと同じである。図8は、図6に示すタイミングチャートのB部(入力電流 I_i が低い部分)における20KHzのスイッチング波形を示している。

[0026] 図5に示す実施例1の力率改善回路は、図1に示す従来の力率改善回路に対して、制御回路10の構成のみが異なる。なお、図5に示すその他の構成は、図1に示す構成と同一構成であるので、同一部分には同一符号を付し、その詳細な説明は省略する。

[0027] 制御回路10は、誤差増幅器111、電圧制御発振器(VCO)115、PWMコンパレータ116を有する。なお、誤差増幅器111及びPWMコンパレータ116は、図1に示すものと同じであるので、それらの説明は省略する。

[0028] VCO115(本発明の周波数制御部に対応)は、全波整流回路B1の負極側出力端P2と電流検出抵抗 R との接続点に接続され、電流検出抵抗 R に流れる電流に比例した電圧値に応じて主スイッチQ1のスイッチング周波数 f を変化させた三角波信号(本発明の周波数制御信号に対応)を生成する。VCO115は、電流検出抵抗 R で検出された電圧が増加するに従って主スイッチQ1のスイッチング周波数 f が増加する電圧周波数変換特性を有している。

[0029] 図9は実施例1の力率改善回路に設けられたVCOの詳細な回路構成図である。VCO115において、電流検出抵抗 R に抵抗 R_1 が接続され、抵抗 R_1 に抵抗 R_2 が直列に接続されている。抵抗 R_1 と抵抗 R_2 との接続点にはツェナーダイオードZDのカソードが接続されている。ツェナーダイオードZDのアノードは制御電源 E_B の正極及びヒステリシスコンパレータ115aの電源端子bに接続されている。抵抗 R_1 と抵抗 R_2 との接続点はヒステリシスコンパレータ115aの入力端子aに接続され、ヒステリシスコンパレータ115aの接地端子cは制御電源 E_B の負極と抵抗 R_2 の他端に接続されている。

ヒステリシスコンパレータ115aの出力端子dはPWMコンパレータ116の一端に接続されている。ヒステリシスコンパレータ115aは、図11に示すように、入力端子aに印加される電圧 E_a が増加するに従って主スイッチQ1のスイッチング周波数 f が増加する電圧周波数変換特性CVを有した三角波信号を発生する。

[0030] 図9に示すVCO115は、図6に示す入力電流 I_i が最大値付近(A部)に達したとき、電流検出抵抗Rの電圧が大きくなり、ツェナーダイオードZDが降伏する。このため、入力端子aに印加される電圧 E_a は、ツェナーダイオードZDの降伏電圧 V_z と制御電源電圧 E_B との合計電圧($V_z + E_B$)、即ち、上限設定電圧に設定される。また、入力電流 I_i が低い部分(B部)に達したとき、電流検出抵抗Rの電圧が小さくなり、制御電源 E_B からツェナーダイオードZDを介して抵抗R2に電流が流れる。このため、入力端子aに印加される電圧 E_a は、制御電源電圧 E_B 、即ち下限設定電圧に設定される。さらに、入力電流 I_i が最大値付近と低い部分までの範囲内にある場合には、入力端子aに印加される電圧 E_a は、合計電圧($V_z + E_B$)と制御電源電圧 E_B との範囲内において徐々に変化する。

[0031] このため、図11に示すように、入力電流 I_i に比例した電圧が下限設定電圧 E_B 以下である場合に主スイッチQ1のスイッチング周波数 f が下限周波数 f_{12} (例えば20KHz)に設定される。入力電流 I_i に比例した電圧が上限設定電圧($V_z + E_B$)以上である場合に主スイッチQ1のスイッチング周波数 f が上限周波数 f_{11} (例えば100KHz)に設定される。入力電流に比例した電圧が下限設定電圧 E_B から上限設定電圧($V_z + E_B$)までの範囲内にある場合に主スイッチQ1のスイッチング周波数 f が下限周波数 f_{12} から上限周波数 f_{11} まで徐々に変化する。

[0032] PWMコンパレータ116(本発明のパルス幅制御部に対応)において、VCO115からの三角波信号が一端に輸入され、誤差増幅器111からのフィードバック信号FBが+端子に輸入される。PWMコンパレータ116は、図12に示すように、フィードバック信号FBの値が三角波信号の値以上であるときにオンで、フィードバック信号FBの値が三角波信号の値未満であるときにオフとなるパルス信号を生成する。PWMコンパレータ116は、パルス信号を主スイッチQ1に印加して平滑コンデンサC1の出力電圧を所定電圧に制御する。

- [0033] また、PWMコンパレータ116は、平滑コンデンサC1の出力電圧が基準電圧E1に達することにより、フィードバック信号FBが低下すると、フィードバック信号FBの値が三角波信号の値以上となるパルスオン幅を短くすることによって、出力電圧を所定電圧に制御する。即ち、パルス幅が制御される。
- [0034] なお、VCO115からの三角波信号の電圧の最大値、最小値は、周波数により変化しない。このため、誤差増幅器111のフィードバック信号FBにより、周波数に関係なく、パルス信号のオン／オフのデューティ比が決定される。また、スイッチング周波数fが変わることで、パルス信号のオン幅が変わっても、パルス信号のオン／オフのデューティ比は変わらない。
- [0035] 次に、このように構成された実施例1の力率改善回路の動作が図5乃至図12を参照しながら説明される。ここでは、制御回路10の動作のみが説明される。
- [0036] まず、誤差増幅器111は、平滑コンデンサC1の電圧と基準電圧E1との誤差を増幅することにより、誤差電圧信号を生成してこの誤差電圧信号をフィードバック信号FBとしてPWMコンパレータ116に出力する。
- [0037] 一方、VCO115は、電流検出抵抗Rに流れる電流値に比例した電圧値に応じて主スイッチQ1のスイッチング周波数fが変化した三角波信号を生成する。
- [0038] ここで、図10のタイミングチャートを用いて動作が説明される。入力電流Iiが最大値付近(例えば時刻 $t_2 \sim t_3$ 、時刻 $t_6 \sim t_7$)に達したときには、図9に示すツェナーダイオードZDが降伏する。このため、入力端子aに印加される電圧Eaは、ツェナーダイオードZDの降伏電圧 V_Z と制御電源電圧 E_B との合計電圧($V_Z + E_B$)、即ち上限設定電圧に設定される。このため、入力電流Iiに比例した電圧が上限設定電圧($V_Z + E_B$)以上である場合には、VCO115により、主スイッチQ1のスイッチング周波数fは、上限周波数 f_{11} (例えば100KHz)に設定される。
- [0039] 次に、入力電流Iiが低い部分(例えば時刻 $t_0 \sim t_1$ 、時刻 $t_4 \sim t_5$)に達したときには、図9に示す制御電源 E_B からツェナーダイオードZDを介して抵抗R2に電流が流れる。このため、入力端子aに印加される電圧Eaは、制御電源電圧 E_B 、即ち下限設定電圧に設定される。このため、入力電流Iiに比例した電圧が下限設定電圧 E_B 以下である場合には、ヒステリシスコンパレータ115aにより、主スイッチQ1のスイッチング周波

数 f は、下限周波数 f_{12} （例えば20KHz）に設定される。

- [0040] さらに、入力電流 I_i が最大値付近と低い部分までの範囲内（例えば時刻 $t_1 \sim t_2$ 、時刻 $t_3 \sim t_4$ 、時刻 $t_5 \sim t_6$ ）にある場合には、入力端子 a に印加される電圧 E_a は、合計電圧 $(V_Z + E_B)$ と制御電源電圧 E_B との範囲内で徐々に変化する。このため、入力電流 I_i に比例した電圧が下限設定電圧 E_B から上限設定電圧 $(V_Z + E_B)$ までの範囲内にある場合には、主スイッチ $Q1$ のスイッチング周波数 f は下限周波数 f_{12} から上限周波数 f_{11} まで徐々に変化する。
- [0041] 次に、入力電流 I_i が最大値付近（例えば時刻 $t_2 \sim t_3$ 、時刻 $t_6 \sim t_7$ ）である場合には、PWMコンパレータ116は、図12に示すように、フィードバック信号 FB の値が上限周波数 f_{11} を持つ三角波信号の値以上であるときにオンで、フィードバック信号 FB の値が上限周波数 f_{11} を持つ三角波信号の値未満であるときにオフとなる上限周波数 f_{11} を持つパルス信号を生成し、該パルス信号を主スイッチ $Q1$ に印加する。
- [0042] 一方、入力電流 I_i が低い部分（例えば時刻 $t_0 \sim t_1$ 、時刻 $t_4 \sim t_5$ ）の場合には、PWMコンパレータ116は、図12に示すように、フィードバック信号 FB の値が下限周波数 f_1 を持つ三角波信号の値以上であるときにオンで、フィードバック信号 FB の値が下限周波数 f_{12} を持つ三角波信号の値未満であるときにオフとなる下限周波数 f_{12} を持つパルス信号を生成し、該パルス信号を主スイッチ $Q1$ に印加する。
- [0043] また、入力電流 I_i が最大値付近と低い部分までの範囲（例えば時刻 $t_1 \sim t_2$ 、時刻 $t_3 \sim t_4$ 、時刻 $t_5 \sim t_6$ ）内にある場合には、PWMコンパレータ116は、下限周波数 f_{12} から上限周波数 f_{11} までの範囲内で徐々に変化する周波数を持つパルス信号を生成し、該パルス信号を主スイッチ $Q1$ に印加する。
- [0044] このように、実施例1の力率改善回路は、入力電流 I_i に応じて主スイッチ $Q1$ のスイッチング周波数 f を変化させ、入力電流 I_i の低い部分でのスイッチング周波数 f を低下させる。これにより、図8に示すように、主スイッチ $Q1$ のオン時間も長くなり、電流も増加して負荷 RL に電力を供給できる。また、スイッチング回数が減少するため、スイッチング損失も低減できる。
- [0045] 特に、主スイッチ $Q1$ のスイッチング周波数 f として上限周波数が例えば100kHzに設定され、人間が聞こえない周波数として下限周波数が例えば20kHzに設定され、

他の部分は入力電流 I_i にスイッチング周波数 f を比例させる。このため、スイッチング損失を低減でき、また、可聴周波数以下となり、不快な騒音を発生することもない。

[0046] また、昇圧リアクトル L_1 の磁束は電流に比例するため、入力電流の最大値の時にスイッチング周波数を最大周波数に設定する。他の部分は入力交流電源電圧 V_i に比例させて周波数を変化させても、昇圧リアクトル L_1 の磁束は最大値を上回ることはない。このため、昇圧リアクトル L_1 は大型化せず、スイッチング損失を低減できる。

[0047] また、昇圧リアクトル L_1 の電流に対するインダクタンス特性について、図16に示すように電流が小さいときにインダクタンス値を大きくし、電流が大きいときにインダクタンス値を小さくなるようにしても良い。昇圧リアクトル L_1 に蓄えられるエネルギーは、 $(LI^2)/2$ で表され、インダクタンス値 L と電流 I とに比例する。このため、電流が小さい場合でも昇圧リアクトル L_1 に蓄えられるエネルギーは比較的大きい。このため、昇圧リアクトル L_1 の電流連続期間を増大でき、電流の実効値が減少するため、さらに損失を低減できる。なお、例えば、フェライト粉末とアモルファス粉末とを混合し、これらの混合率を適宜選択することにより、図16に示すような特性を得ることができる。

[0048] また、主スイッチ Q_1 のスイッチング周波数 f が下限周波数から上限周波数までの範囲内に互るので、発生するノイズも周波数に対して分散するから、ノイズを低減できる。このため、小型で高効率で低ノイズ化できる力率改善回路を提供できる。

[0049] これにより、スイッチング電源装置を小型で高効率化することができる。また、待機時等の消費電力が少ない場合には、入力電流が少なくなる。高周波で主スイッチ Q_1 をスイッチングした場合にはスイッチング損失の割合が大きくなり、より効率が低下する。従って、入力電流に比例させて、スイッチング周波数を変化させると、低出力電力時には、スイッチング周波数が低下して、スイッチング損失を低減することができる。即ち、低出力電力時(待機時等)の効率を改善してテレビジョン(TV)等の装置の消費電力を低減することができる。例えば、デジタル化されたテレビジョン等の機能待機(チューナ及び制御回路の一部を動作させ番組表等の受信が可能な状態)等の低出力電力時の消費電力を低減できる。

[0050] また、図1に示す従来の力率改善回路では、全波整流回路 B_1 の正極側出力端 P_1 から電圧を取り出しているため、制御回路100を高耐圧用とする必要があった。しか

し、実施例1の力率改善回路は、全波整流回路B1の負極側出力端P2から電圧を取り出しているため、制御回路10が低耐圧用で済む。

[0051] (実施例2)

図13は実施例2の力率改善回路の入力電流波形とVCOに入力される電圧により変化するスイッチング周波数のタイミングチャートである。

[0052] 図10に示す実施例1では、入力電流 I_i が低い部分に達したときに、VCO115により、主スイッチQ1のスイッチング周波数 f が下限周波数 f_{12} （例えば20KHz）に設定された。図13に示す実施例2では、入力電流 I_i が低い部分である場合で、下限周波数 f_{12} 未満では、VCO115により、主スイッチQ1の動作が停止される。この停止部分では、交流電源電流も少ないため、入力電流波形の歪みも最低限に抑えられる。

[0053] (実施例3)

実施例3では、入力電流に比例した電圧が設定電圧以下である場合に主スイッチのスイッチング周波数が下限周波数（例えば20KHz）に設定され、入力電流に比例した電圧が設定電圧を超えた場合に主スイッチのスイッチング周波数が上限周波数（例えば100KHz）に設定される。

[0054] 図14は実施例3の力率改善回路のVCOの詳細な回路構成図である。図14に示すVCO115Aにおいて、全波整流回路B1の負極側出力端P2に抵抗R1が接続され、抵抗R1に抵抗R2が直列に接続されている。コンパレータ115bは、抵抗R1と抵抗R2との接続点の電圧を＋端子に入力し、基準電圧 E_{r1} を－端子に入力する。コンパレータ115bは、抵抗R1と抵抗R2との接続点の電圧が基準電圧 E_{r1} よりも大きいときHレベルをトランジスタTR1のベースに出力する。この場合、基準電圧 E_{r1} を前記設定電圧に設定する。

[0055] トランジスタTR1のエミッタは接地され、トランジスタTR1のコレクタは、抵抗R3を介してトランジスタTR2のベースと抵抗R4の一端と抵抗R5の一端とに接続されている。抵抗R4の他端は電源 V_B に接続され、抵抗R5の他端は接地されている。トランジスタTR2のエミッタは抵抗R6を介して電源 V_B に接続され、トランジスタTR2のコレクタはコンデンサCを介して接地されている。

[0056] コンパレータ115cにヒステリシスを持たせるために、＋端子と出力端子との間には、

抵抗R9が接続され、+端子は、抵抗R8を介して接地されている。

- [0057] コンパレータ115cは、コンデンサCの電圧を一端子に入力している。また、コンデンサCの放電のために、出力端子からダイオードD及び抵抗R7の直列回路が一端子に接続されている。VCO115Aは、図15に示すように、入力電流 I_i に比例した電圧が設定電圧以下である場合に主スイッチQ1のスイッチング周波数 f を下限周波数 f_{12} に設定した三角波信号を生成し、入力電流 I_i に比例した電圧が設定電圧を超えた場合に主スイッチQ1のスイッチング周波数 f を上限周波数 f_{11} に設定した三角波信号を生成する。
- [0058] 次に、このように構成された実施例3の力率改善回路の動作が図14及び図15を参照しながら説明される。ここでは、VCO115Aの動作でのみが説明される。
- [0059] まず、VCO115Aは、電流検出抵抗Rに流れる電流に比例した電圧値に応じて主スイッチQ1のスイッチング周波数 f が変化した三角波信号を生成する。
- [0060] ここで、図15のタイミングチャートを用いて動作が説明される。入力電流 I_i に比例した電圧が設定電圧を超えた場合（例えば時刻 $t_2 \sim t_3$ 、時刻 $t_5 \sim t_6$ ）、コンパレータ115bからのHレベルによりトランジスタTR1がオンする。このため、電源 V_B から抵抗R4及びトランジスタTR2のベースを介して抵抗R3に電流が流れるため、トランジスタTR2のコレクタ電流が増大する。すると、トランジスタTR2のコレクタに流れる電流によりコンデンサCが短時間で充電される。即ち、コンデンサCの電圧 E_c が上昇して、この電圧 E_c がコンパレータ115cに入力されるため、コンパレータ115cは、主スイッチQ1のスイッチング周波数 f を上限周波数 f_{11} （例えば100KHz）に設定した三角波信号を生成する。
- [0061] 一方、入力電流 I_i に比例した電圧が設定電圧以下の場合（例えば時刻 $t_0 \sim t_2$ 、時刻 $t_3 \sim t_5$ ）、コンパレータ115bからHレベルは出力されないため、トランジスタTR1はオフとなる。このため、トランジスタTR2のコレクタ電流が減少するため、コンデンサCの充電時間が長くなる。即ち、コンデンサCの電圧 E_c はゆるやかに上昇して、この電圧 E_c がコンパレータ115cに入力されるため、コンパレータ115cは、主スイッチQ1のスイッチング周波数 f を下限周波数 f_{12} （例えば20KHz）に設定した三角波信号を生成する。

- [0062] 次に、入力電流 I_i に比例した電圧が設定電圧を超えた場合（例えば時刻 $t_2 \sim t_3$ 、時刻 $t_5 \sim t_6$ ）、PWMコンパレータ116は、フィードバック信号FBの値が上限周波数 f_{11} を持つ三角波信号の値以上であるときにオンで、フィードバック信号FBの値が上限周波数 f_{11} を持つ三角波信号の値未満であるときにオフとなる上限周波数 f_{11} を持つパルス信号を生成し、パルス信号を主スイッチQ1に印加する。
- [0063] 一方、入力電流 I_i に比例した電圧が設定電圧以下である場合（例えば時刻 $t_0 \sim t_2$ 、時刻 $t_3 \sim t_5$ ）、PWMコンパレータ116は、フィードバック信号FBの値が下限周波数 f_1 を持つ三角波信号の値以上であるときにオンで、フィードバック信号FBの値が下限周波数 f_{12} を持つ三角波信号の値未満であるときにオフとなる下限周波数 f_{12} を持つパルス信号を生成し、パルス信号を主スイッチQ1に印加する。
- [0064] このように実施例3の力率改善回路は、入力電流 I_i に比例した電圧が設定電圧以下である場合に主スイッチQ1のスイッチング周波数を下限周波数に設定し、入力電流 I_i に比例した電圧が設定電圧を超えた場合に主スイッチQ1のスイッチング周波数を上限周波数に設定する。このため、実施例3においても、実施例1の効果とほぼ同等な効果が得られる。
- [0065] なお、軽負荷時には、入力電流が小さくなるため、入力電流 I_i に比例した電圧が設定電圧以下である場合のみとなり、スイッチング周波数 f は下限周波数 f_{12} （例えば20 KHz）のみに設定される。
- [0066] （実施例4）
- 図17は実施例4の力率改善回路を示す回路構成図である。図17に示す実施例4の力率改善回路は、待機時等の軽負荷時に主スイッチQ1を低周波数（例えば20kHz）で動作させ、通常時（重負荷時）に主スイッチQ1を高周波数（例えば100kHz）で動作させる。実施例4では、制御回路10aの構成が実施例1の制御回路10と異なるのみであるので、この制御回路10aのみを説明する。
- [0067] 制御回路10aは、誤差増幅器111、平均電流検出部117、コンパレータ118、VCO115e、PWMコンパレータ116を有する。
- [0068] 平均電流検出部117は、電流検出抵抗Rに流れる電流の平均値を検出する。コンパレータ118において、一端子に基準電圧V1が入力され、+端子に平均電流検出

部117から電流の平均値が入力される。コンパレータ118は、電流の平均値が基準電圧V1を超えた場合にHレベルをVCO115eに出力し、電流の平均値が基準電圧V1以下になった場合にLレベルをVCO115eに出力する。

- [0069] VCO115eは、コンパレータ118からHレベルを入力したときに、主スイッチQ1のスイッチング周波数を100KHzに設定した三角波信号を生成し、コンパレータ118からLレベルを入力したときに、主スイッチQ1のスイッチング周波数を20KHzに設定した三角波信号を生成する。
- [0070] PWMコンパレータ116において、VCO115eからの三角波信号が－端子に入力され、誤差増幅器111からのフィードバック信号FBが＋端子に入力される。PWMコンパレータ116は、フィードバック信号FBの値が三角波信号の値以上であるときにオンで、フィードバック信号FBの値が三角波信号の値未満であるときにオフとなるパルス信号を生成する。PWMコンパレータ116は、該パルス信号を主スイッチQ1に印加して平滑コンデンサC1の出力電圧を所定電圧に制御する。
- [0071] 以上の構成によれば、VCO115eは、電流検出抵抗Rに流れる電流の平均値が基準電圧V1を超えた場合に、主スイッチQ1のスイッチング周波数を100KHzに設定した三角波信号を生成する。この場合、図18に示すように、重負荷時には、スイッチング周波数が100KHzに設定される。また、VCO115eは、電流の平均値が基準電圧V1以下になった場合に主スイッチQ1のスイッチング周波数を20KHzに設定した三角波信号を生成する。この場合、図18に示すように、軽負荷時には、スイッチング周波数が20KHzに設定される。即ち、待機時等の軽負荷時には主スイッチQ1は低周波数(20kHz)で動作し、通常時(重負荷時)には高周波数(100kHz)で動作させることができる。
- [0072] また、テレビジョン等の装置では、待機時の待機信号をテレビジョン装置側から入力して、この待機信号により主スイッチQ1のスイッチング周波数を低下させることもできる。この場合には、待機時のみ効率を改善できる。さらに、この待機信号により主スイッチQ1の動作が停止され、力率改善回路の後に接続されるDC/DCコンバータが、待機時の電力を供給することにより、さらに効率を改善できる。また、軽負荷時(待機時等)には、スイッチング周波数が低くなるので、スイッチング損失を低減でき、

効率を向上できる。

[0073] (実施例5)

図19は実施例5の力率改善回路を示す回路構成図である。図19に示す実施例5の力率改善回路は、電流検出抵抗Rに流れる電流の平均値が設定値以下になった場合に主スイッチQ1のスイッチング動作を停止させ、平滑コンデンサC1の出力電圧が設定電圧以下となった場合に主スイッチのスイッチング動作を開始させる。実施例5では、制御回路10bの構成が実施例1の制御回路10と異なるのみであるので、制御回路10bのみを説明する。

[0074] 制御回路10bは、誤差増幅器111、平均電流検出部117、コンパレータ119、OSC114、コンパレータ120、PWMコンパレータ116を有する。

[0075] 平均電流検出部117は、電流検出抵抗Rに流れる電流の平均値を検出する。コンパレータ119において、一端子に基準電圧V2が入力され、+端子に平均電流検出部117から電流の平均値が入力される。コンパレータ119は、電流の平均値が基準電圧V2を超えた場合にHレベルをOSC114に出力し、電流の平均値が基準電圧V2以下になった場合にLレベルをOSC114に出力する。

[0076] OSC114は、コンパレータ119からHレベルを入力したとき、主スイッチQ1のスイッチング周波数を100KHzに設定した三角波信号を生成し、コンパレータ118からLレベルを入力したときに、主スイッチQ1のスイッチング動作を停止させるために三角波信号の発振動作を停止する。

[0077] PWMコンパレータ116において、OSC114からの三角波信号が一端子に入力され、誤差増幅器111からのフィードバック信号FBが+端子に入力される。PWMコンパレータ116は、フィードバック信号FBの値が三角波信号の値以上であるときにオンで、フィードバック信号FBの値が三角波信号の値未満であるときにオフとなるパルス信号を生成し、該パルス信号を主スイッチQ1に印加して平滑コンデンサC1の出力電圧を所定電圧に制御する。

[0078] コンパレータ120において、基準電圧E2が一端子に入力され、誤差増幅器111からのフィードバック信号FBが+端子に入力される。コンパレータ120は、フィードバック信号FBの値が基準電圧E2の値以上であるときにHレベルをOSC114に出力し、

フィードバック信号FBの値が基準電圧E2の値未満であるときにLレベルをOSC114に出力する。OSC114は、コンパレータ120からHレベルを入力したときのみ、停止した三角波信号の発振動作を再開させて、主スイッチQ1のスイッチング周波数を100KHzに設定した三角波信号を生成する。

[0079] 以上の構成によれば、OSC114は、電流検出抵抗Rに流れる電流の平均値が基準電圧V2を超えた場合に、主スイッチQ1のスイッチング周波数を100KHzに設定した三角波信号を生成し、電流の平均値が基準電圧V2以下になった場合に、主スイッチQ1のスイッチング動作を停止させるために三角波信号の発振動作を停止する。また、OSC114は、フィードバック信号FBの値が基準電圧E2の値以上であるときのみ(つまり、平滑コンデンサC1の出力電圧が設定電圧以下となった場合)、停止した三角波信号の発振動作を再開させて、主スイッチQ1のスイッチング周波数を100KHzに設定した三角波信号を生成する。

[0080] 即ち、電流検出抵抗Rに流れる電流の平均値が設定値以下になった場合に主スイッチQ1のスイッチング動作を停止させ、平滑コンデンサC1の出力電圧が設定電圧以下となった場合に主スイッチQ1のスイッチング動作を開始させるので、さらに主スイッチQ1のスイッチング損失を低減できる。

[0081] (実施例6)

図20は実施例6の力率改善回路を示す回路構成図である。実施例6の力率改善回路は、中央脚及び側脚を有するコアに巻回された主巻線と帰還巻線との間のリーケージインダクタンスにより、主スイッチがオンされた時にゼロ電流スイッチ(ZCS)を行なわせることにより損失を低減する。また、この力率改善回路は、コアの磁路を介して、リーケージインダクタンスに蓄えられたエネルギーをダイオードを介して負荷に帰還させることにより高効率化を図る。

[0082] また、この力率改善回路は、入力電流を正弦波状にするとともに平滑コンデンサの電圧を制御し、平滑コンデンサより負荷に電力を供給する連続モードの昇圧型の力率改善回路であり、主スイッチの電圧を平滑コンデンサの電圧にクランプする。連続モードとは、ダイオードD1に電流D1iが流れているときに、つまり、主巻線5aに電流が流れているときに主スイッチQ1を再びオンさせる動作モードである。

- [0083] 図20において、全波整流回路B1は、交流電源Vac1に接続され、交流電源Vac1からの交流電源電圧を整流して正極側出力端P1及び負極側出力端P2に出力する。
- [0084] 昇圧リアクトルL2は、主巻線5a(巻数n1)とこの主巻線5aに直列に接続された帰還巻線5b(巻数n2)とを有し、主巻線5aと帰還巻線5bとが電磁結合している。帰還巻線5bは、主巻線5aに対して疎結合され、主巻線5aと帰還巻線5bとの間のリーケージインダクタンスが大きくなっている。
- [0085] 全波整流回路B1の正極側出力端P1と負極側出力端P2との間には、昇圧リアクトルL2の主巻線5aとダイオードD1と平滑コンデンサC1と電流検出抵抗Rとからなる第1直列回路が接続されている。
- [0086] また、全波整流回路B1の正極側出力端P1と負極側出力端P2との間には、昇圧リアクトルL2と主スイッチQ1と電流検出抵抗Rとからなる第2直列回路が接続されている。主スイッチQ1と帰還巻線5bとの接続点と平滑コンデンサC1との間にはダイオードD2が接続されている。
- [0087] 制御回路10の構成は、図5に示す制御回路10の構成と同一構成であるので、ここでは、その詳細な説明は省略する。
- [0088] 次にこのように構成された実施例6の力率改善回路の動作が説明される。まず、主巻線5aに電流が流れているため、ダイオードD1は導通状態である。主スイッチQ1がオンされると、交流電源電圧Viを整流した電圧により、 $V_{ac1} \rightarrow B1 \rightarrow 5a \rightarrow 5b \rightarrow Q1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1}$ の経路で電流が流れる。このため、帰還巻線5bのリーケージインダクタンス L_e (図示せず)に電圧が印加されて、主スイッチQ1に流れる電流は E_o / L_e の傾きで増加する。従って、主スイッチQ1の電流はゼロから始まるので、主スイッチQ1はZCS動作となる。
- [0089] なお、ダイオードD1が導通状態である場合には、出力電圧 E_o (平滑コンデンサC1の両端電圧)と同一電圧がリーケージインダクタンス L_e に印加される。ダイオードD1がオフした後、交流電源Vac1の電圧が主巻線5aに印加される。
- [0090] また、帰還巻線5bの電流が増加すると同時に、ダイオードD1に流れる電流は減少してゼロとなり、ダイオードD1はオフ状態となる。リカバリー時間の間には、ダイオード

D1のリカバリによるスパイク電流が主スイッチQ1に流れる。このスパイク電流はリーケージインダクタンス L_e のインピーダンスにより制限される。

[0091] リカバリ時間が終了して、ダイオードD1の逆方向が回復し、帰還巻線5bの電流の増加率は減少する。入力電圧には、昇圧リアクトルL2の主巻線5aの電圧が加わり、 $V_{ac1} \rightarrow B1 \rightarrow 5a \rightarrow 5b \rightarrow Q1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1}$ の経路で電流 $Q1i$ が流れる。主スイッチQ1の電流は $V_{ac1}/5a$ の傾きで上昇する。

[0092] 次に、主スイッチQ1がオフされると、昇圧リアクトルL2の主巻線5aに蓄えられたエネルギーにより、 $5a \rightarrow D1 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1} \rightarrow 5a$ の経路で、ダイオードD1に電流が流れる。このため、平滑コンデンサC1が充電されるとともに、負荷RLに電力が供給される。

[0093] 同様に、帰還巻線5bに蓄えられたエネルギーにより主スイッチQ1の電圧が上昇する。また、帰還巻線5bに蓄えられたエネルギーにより、 $5b \rightarrow D2 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1} \rightarrow 5a \rightarrow 5b$ の経路でダイオードD2に電流が流れる。即ち、ダイオードD2を介して帰還巻線5bに蓄えられたエネルギーが負荷RLに回生される。この時のエネルギー量は、昇圧リアクトルL2の帰還巻線5bに発生する電圧とリーケージインダクタンス L_e の電流とで決定される。帰還巻線5bの巻数 $n2$ が多いほど、発生電圧は高くなり、短い時間で放電は終了する。

[0094] この放電が完了した時刻において、ダイオードD2の電流がゼロとなる。逆特性が回復した後、再び、主スイッチQ1がオンされると、ZCS動作を継続できる。また、制御回路10は、整流出力電流波形が交流電源電圧 V_i を全波整流した波形と等しい波形になるように主スイッチQ1のオンデューティを制御するので、昇圧型の力率改善回路を構成できる。

[0095] このように実施例6の力率改善回路によれば、主巻線5aと帰還巻線5bとの間のリーケージインダクタンス L_e により、主スイッチQ1がオンされた時にダイオードリカバリによるスパイク電流が流れなくなる。このため、ノイズが低減され、ノイズフィルタも小型化されるので、スイッチング電源の小型、高効率化を図ることができる。

[0096] また、リーケージインダクタンス L_e により、主スイッチQ1がオンされた時にZCSを行わせることにより、スイッチング損失及びスイッチングノイズを低減できるので、高効率

、低ノイズ化を図ることができる。また、コアの磁路を介して、リーケージインダクタンス L_e に蓄えられたエネルギーを負荷に帰還させることにより高効率化を図ることができる。

[0097] また、制御回路10は、実施例1のように、入力電流が下限設定電流以下である場合に主スイッチQ1のスイッチング周波数を下限周波数(例えば20KHz)に設定し、入力電流が上限設定電流以上である場合に主スイッチQ1のスイッチング周波数を上限周波数(例えば100KHz)に設定し、入力電流が下限設定電流から上限設定電流までの範囲内にある場合に主スイッチQ1のスイッチング周波数を下限周波数から上限周波数まで徐々に変化させる。このため、実施例1の効果と同様な効果が得られる。また、図20に示す力率改善回路は、制御回路10に代えて、図13に示すような特性を持つ実施例2の制御回路又は図15に示すような特性を持つ実施例3の制御回路又は図17に示す実施例4の制御回路10a又は図19に示す実施例5の制御回路10bで構成しても良い。

[0098] (実施例7)

図21は実施例7の力率改善回路を示す回路構成図である。実施例7では、実施例1の構成に対して、制御回路10dの構成が異なる。制御回路10dは、出力電圧検出オペアンプ11、乗算器12、電流検出オペアンプ13、パルス幅変調器14を有する。出力電圧検出オペアンプ11は、図5に示す実施例1の誤差増幅器111に対応する。

[0099] 出力電圧検出オペアンプ11は、平滑コンデンサC1の電圧と基準電圧 V_{ref} との誤差を増幅することにより、誤差電圧を生成して乗算器12に出力する。乗算器12は、出力電圧検出オペアンプ11からの誤差電圧と電流検出オペアンプ13の出力(パルス幅変調器14の入力)とを乗算して乗算出力電圧を電流検出オペアンプ13に出力する。

[0100] 電流検出オペアンプ13は、電流検出抵抗Rで検出した入力電流に比例した電圧と乗算器12からの乗算出力電圧との誤差を増幅することにより、誤差電圧を生成してこの誤差電圧を比較入力信号としてパルス幅変調器14に出力する。また、電流検出オペアンプ13は、上述したように、生成した誤差電圧を乗算器12にフィードバックする。

- [0101] なお、実施例7の力率改善回路は、電流検出オペアンプ13の出力を出力電圧検出オペアンプ11からの誤差電圧に応じて可変するための電圧可変部として乗算器12を用いている。この乗算器12の代わりに、除算器又は可変利得増幅器を用いることができる。
- [0102] パルス幅変調器14は、図22(a)に示すように、VCO141と、コンパレータ142とを有する。VCO141は、電流検出抵抗Rに流れる電流に比例した電圧値に応じて主スイッチQ1のスイッチング周波数 f を変化させた三角波信号を発生する。コンパレータ142において、VCO141からの三角波信号が＋端子に入力され、電圧検出オペアンプ13からの比較入力信号が－端子に入力される。コンパレータ142は、三角波信号の値が比較入力信号の値以上であるときに例えばオン(Hレベル)で、三角波信号の値が比較入力信号の値未満であるときに例えばオフ(Lレベル、例えばゼロ)となるパルス信号を生成し、該パルス信号を主スイッチQ1のゲートに印加して平滑コンデンサC1の出力電圧を所定電圧に制御する。VCO141は、図5に示す実施例1のVCO115に対応する。コンパレータ142は、図5に示す実施例1のPWMコンパレータ116に対応する。
- [0103] 図24(a)と図24(b)はパルス幅変調器の入出力特性の一例を示す図である。図24(a)は入力電圧 E_s とデューティサイクル D が比例関係になっているパルス幅変調器の入出力特性であり、 $E_s = D$ の関係になる。図24(b)は入力電圧 E_s とデューティサイクル D とが $E_s = 1 - D$ の関係になっているパルス幅変調器の入出力特性である。
- [0104] 図22(a)に示すパルス幅変調器14では、入出力波形は、図23の「出力1」のような波形になり、パルス幅変調器14の入出力特性は図24(a)のような特性になる。
- [0105] また、コンパレータ142は、比較入力信号の値が三角波信号の値以上であるときに例えばオンで、比較入力信号の値が三角波信号の値未満であるときに例えばオフとなるパルス信号を生成し、該パルス信号をスイッチQ1のゲートに印加して平滑コンデンサC1の出力電圧を所定電圧に制御しても良い。即ち、図22(a)に示すコンパレータ142の入力端子の「＋」と「－」とが逆に接続されると、出力電圧は反転する。入出力波形は、図23の「出力2」のような波形になり、入出力特性は図24(b)のような特性

になる。

- [0106] 図22(b)は、パルス幅変調器14aの他の構成例を示している。このパルス幅変調器14aは、比較入力信号をオペアンプからなる反転器143で反転してコンパレータ142の一端子に供給する。反転器143は、出力端子と一端子との間に抵抗 r_2 を接続し、一端子に抵抗 r_1 を介して比較入力信号を入力し、+端子に抵抗 r_3 と抵抗 r_4 とで分圧された電圧を入力し、反転出力をコンパレータ142の一端子に出力する。
- [0107] このような構成によれば、比較入力信号の電圧が低いときには、コンパレータ142の一端子の電圧が高くなる。このため、パルス幅変調器14aの入出力特性は図24(b)のようになり、デューティサイクル D が小さくなる。図22(b)に示すコンパレータ142の入力端子の「+」と「-」とが逆に接続されると、比較入力信号の電圧が高いときには、コンパレータ142の一端子の電圧が低くなる。このため、パルス幅変調器14の入出力特性は図24(a)のようになり、比較入力信号が低い電圧でデューティサイクル D が大きくなる。
- [0108] 次に、実施例7の力率改善回路の動作原理が説明される。ここでは、制御回路10dの動作が説明される。
- [0109] まず、昇圧リアクトル L_1 の電流が連続して流れているものとする。主スイッチ Q_1 がオンしているデューティサイクル(主スイッチ Q_1 のスイッチング周期を T_1 とし、主スイッチ Q_1 のオン時間を T_2 とすると、オン時比率 T_2/T_1 に相当する。)を D とすると、全波整流回路 B_1 の両端電圧である入力電圧 E_i と、負荷 R_L の両端電圧である出力電圧 E_o との関係は、 $E_o/E_i = 1/(1-D)$ となる。
- [0110] また、パルス幅変調器14の特性が図23に示すような特性であるとする。パルス幅変調器14の入力電圧を E_s とすると、 $E_s = 1-D$ であるので、 $E_s = 1-D = E_i/E_o$ となる。
- [0111] 出力電圧 E_o は、直流でほぼ一定値であり、入力電圧 E_i が半サイクルの正弦波である。このため、入力電圧 E_s は電流検出オペアンプ13の増幅出力であり、半サイクルの正弦波となる。乗算器12は、電流検出オペアンプ13の出力を出力電圧検出オペアンプ11からの誤差電圧(直流電圧)の値に応じて可変することにより得られた電圧を第2基準電圧(半波の正弦波の基準電圧)として電流検出オペアンプ13に出力す

る。電流検出オペアンプ13は、電流検出抵抗Rで検出した電流に比例した電圧 V_{rs} と半波の正弦波の基準電圧との誤差を増幅して半波の正弦波をパルス幅変調器14に出力する。このため、電流検出抵抗Rにより検出された入力電流は、半波の正弦波となる。従って、電流検出抵抗Rに流れる入力電流は、入力電圧 E_i と比例して半波の正弦波となるため、力率を改善することができる。

[0112] また、乗算器12の他方の入力端子には、出力電圧検出オペアンプ11からの出力電圧が入力されているので、乗算器12は、出力電圧検出オペアンプ11からの出力電圧の値に応じて利得(出力)を可変する。このため、パルス幅変調器14に入力される半波の正弦波電圧の大きさを変えることができる。

[0113] もし、何らかの理由により出力電圧 E_o が下がった場合には、出力電圧検出オペアンプ11は、出力電圧 E_o の低下に応じて出力電圧を低下させる。そして、乗算器12は、出力電圧検出オペアンプ11の出力電圧の低下により利得(出力)を低下させるので、電流検出オペアンプ13から出力される比較入力信号も低下し、パルス幅変調器14は、電流検出オペアンプ13からの比較入力信号の低下によりパルス信号の平均のデューティサイクルDを大きくする(図23に示す出力1の場合)。このため、主スイッチQ1のオンしている時間の割合が大きくなり、入力電流が増加する。従って、出力電圧 E_o が上昇して、出力電圧 E_o が一定に保持される。

[0114] 次に、力率改善回路の全体の動作が図25の各部の波形を参照しながら説明される。まず、交流電源 V_{ac1} の正弦波の入力電圧 V_i が入力されると、正弦波の入力電流 I_i が流れる。そして、交流電源 V_{ac1} の入力電圧 V_i が全波整流回路B1で整流されて全波整流電圧 E_i が出力される。

[0115] 次に、主スイッチQ1がオンされると、 $B1 \rightarrow L1 \rightarrow Q1 \rightarrow R \rightarrow B1$ の経路で電流が流れる。次に、主スイッチQ1は、オン状態からオフ状態に変わるとき、昇圧リアクトルL1に誘起された電圧により主スイッチQ1の電圧が上昇する。また、主スイッチQ1がオフとなるため、主スイッチQ1に流れる電流は零になる。また、 $L1 \rightarrow D1 \rightarrow C1$ の経路で電流が流れて、負荷RLに電力が供給される。

[0116] このように主スイッチQ1をスイッチング周波数でオン／オフすることにより、電流検出抵抗Rの両端には半サイクルの正弦波電流が流れる。そして、乗算器12の一端に

は、電流検出オペアンプ13からの電圧(図25の「乗算器入力2」で示す負の半サイクルの正弦波電圧)が入力される。また、乗算器12の他端には、出力電圧検出オペアンプ11からの電圧(図25の「乗算器入力1」で示す正の直流電圧)が入力される。この乗算器12は、電流検出オペアンプ13の出力を出力電圧検出オペアンプ11からの誤差電圧(直流電圧)の値に応じて可変する。可変された電圧は半波の正弦波の基準電圧となる。

[0117] そして、電流検出オペアンプ13は、電流検出抵抗Rで検出した電流に比例した電圧 V_{rsh} と半波の正弦波の基準電圧との誤差を増幅して半波の正弦波をパルス幅変調器14に出力する。図25に示すように、「電流検出オペアンプ出力」は、入力と相似形の半サイクルの正弦波の出力電圧として出力される。

[0118] 次に、図25に示す「電流検出オペアンプ出力」がパルス幅変調器14に入力されてパルス信号のパルス幅が制御される。このとき、パルス幅変調器14は、図24(b)に示すような特性を有しているため、主スイッチQ1のデューティサイクルは、図25に示すようになる。図26は、この力率改善回路の実際の入力電圧 V_i と入力電流 I_i を示している。図26に示す波形では、零電流の付近が正弦波から僅かにずれているが、非常に正弦波に近く、力率、歪率の夫々について良い結果が示された。

[0119] このように実施例7の力率改善回路は、力率を改善できるとともに、乗算器12に電流検出オペアンプ13の出力を入力するようにした。従って、全波整流回路B1の正極側出力端P1から出力される全波整流電圧を分割するための抵抗が不要になり、図1に示す制御回路100に対して部品点数を削減して簡単な構成にすることができ、安価で且つ回路の調整が簡単になる。

[0120] また、図1に示す従来の力率改善回路は、電流検出抵抗Rで電流を検出して、電流検出オペアンプ13、パルス幅変調器14を通り、主スイッチQ1をPWM制御することにより、電流をコントロールする第1の負帰還ループを有する。また、従来の力率改善回路は、平滑コンデンサC1の出力電圧を検出して出力電圧検出オペアンプ11、乗算器12、電流検出オペアンプ13、パルス幅変調器14を通して主スイッチQ1を制御することにより、出力電圧をコントロールする第2の負帰還ループを有する。さらに、従来の力率改善回路は、全波整流回路B1からの電圧を検出して乗算器12、パルス

幅変調器14を通して主スイッチQ1を制御することにより、出力電圧をコントロールする第3の負帰還ループを有する。

[0121] これに対して、実施例7の力率改善回路は、全波整流回路B1からの電圧を検出して乗算器12に入力する電圧検出ループを1つ減らすことができる。このため、このループに起因する制御回路10dの不安定さがなくなり、2ループで回路を安定に制御できる。

[0122] また、制御回路10dに有するパルス幅変調器14内のVCO141により、実施例1のように、入力電流が下限設定電流以下である場合に主スイッチQ1のスイッチング周波数が下限周波数(例えば20KHz)に設定される。入力電流が上限設定電流以上である場合に主スイッチQ1のスイッチング周波数が上限周波数(例えば100KHz)に設定される。入力電流が下限設定電流から上限設定電流までの範囲内にある場合に主スイッチQ1のスイッチング周波数が下限周波数から上限周波数まで徐々に変化される。このため、実施例1の効果と同様な効果が得られる。また、制御回路10dに代えて、実施例2乃至実施例5のいずれかの制御回路で構成しても良い。

[0123] 以上説明したように、本発明の力率改善回路は、交流電源に流れる電流又は整流回路に流れる電流又は主スイッチに流れる電流、即ち、入力電流の値に応じて主スイッチのスイッチング周波数を変化させることにより、入力電流の低い部分でのスイッチング周波数を低下又はスイッチング動作を停止させる。従って、入力電流の低い部分の電力損失を低減して、小型、高効率、低ノイズ化できる。これにより、スイッチング電源装置を小型、高効率化するとともに、低出力電力時(待機時等)の効率を改善してテレビジョン等の装置の消費電力を低減できる。

[0124] なお、図20に示す力率改善回路は、制御回路10に代えて、図21に示す実施例7の制御回路10dで構成しても良い。

産業上の利用可能性

[0125] 本発明の力率改善回路は、AC-DC変換型の電源回路に適用することができる。

請求の範囲

- [1] 交流電源の交流電源電圧を整流回路で整流した整流電圧を入力する昇圧リアクトルと、
前記昇圧リアクトルを介して前記整流電圧を入力してオン／オフする主スイッチと、
前記主スイッチがオン／オフすることにより得られた電圧を直流の出力電圧に変換する変換部と、
前記主スイッチをオン／オフ制御することにより交流電源電流を正弦波状にするとともに前記変換部の出力電圧を所定電圧に制御し且つ前記主スイッチのスイッチング周波数を前記交流電源に流れる電流又は前記整流回路に流れる電流又は前記主スイッチに流れる電流の値に応じて制御する制御部と、
を有する力率改善回路。
- [2] 主巻線と前記主巻線に直列に接続され且つ前記主巻線に疎結合する帰還巻線とを有する昇圧リアクトルと、
交流電源の交流電源電圧を整流する整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルの前記主巻線と第1ダイオードと平滑コンデンサとからなる第1直列回路と、
前記整流回路の前記一方の出力端と前記他方の出力端との間に接続され、前記昇圧リアクトルの前記主巻線と前記帰還巻線と主スイッチとからなる第2直列回路と、
前記主スイッチと前記昇圧リアクトルの前記帰還巻線との接続点と前記平滑コンデンサとの間に接続された第2ダイオードと、
前記主スイッチをオン／オフ制御することにより交流電源電流を正弦波状にするとともに前記平滑コンデンサの出力電圧を所定電圧に制御し且つ前記主スイッチのスイッチング周波数を前記交流電源に流れる電流又は前記整流回路に流れる電流又は前記主スイッチに流れる電流の値に応じて制御する制御部と、
を有する力率改善回路。
- [3] 前記制御部は、
前記出力電圧と基準電圧との誤差を増幅することにより誤差電圧信号を生成する誤差電圧生成部と、

前記交流電源に流れる前記電流又は前記整流回路に流れる前記電流又は前記主スイッチに流れる前記電流を検出する電流検出部と、

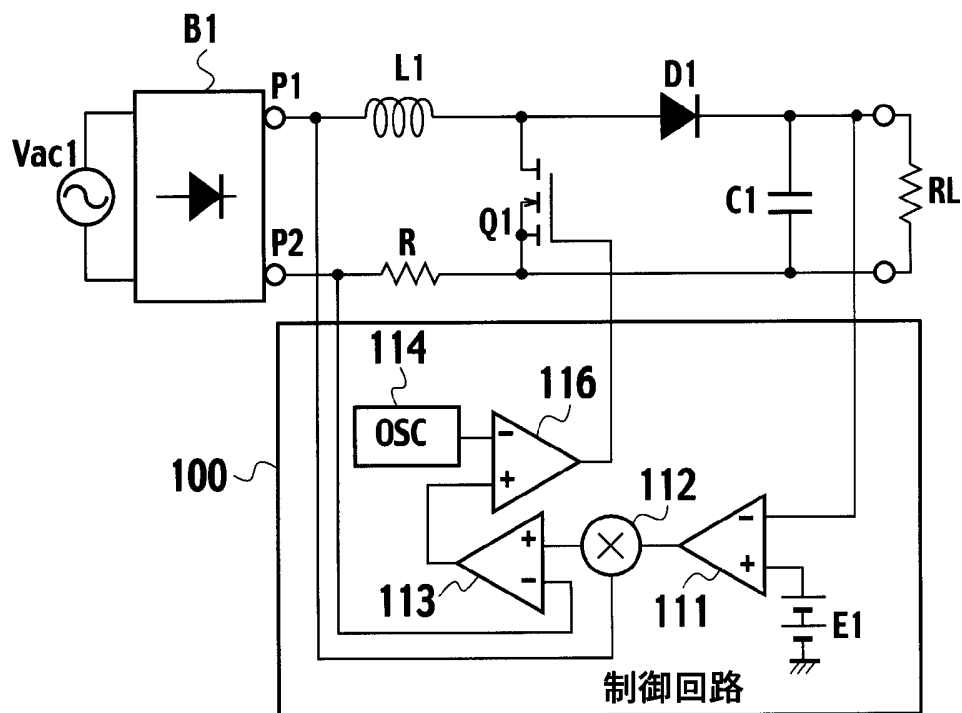
前記電流検出部で検出された前記電流の値に応じて前記主スイッチの前記スイッチング周波数を変化させた周波数制御信号を生成する周波数制御部と、

前記誤差電圧生成部の前記誤差電圧信号に基づきパルス幅を制御し且つ前記周波数制御部で生成された前記周波数制御信号に応じて前記主スイッチの前記スイッチング周波数を変化させたパルス信号を生成し、前記パルス信号を前記主スイッチに印加して前記出力電圧を所定電圧に制御するパルス幅制御部と、
を有する請求項1又は請求項2記載の力率改善回路。

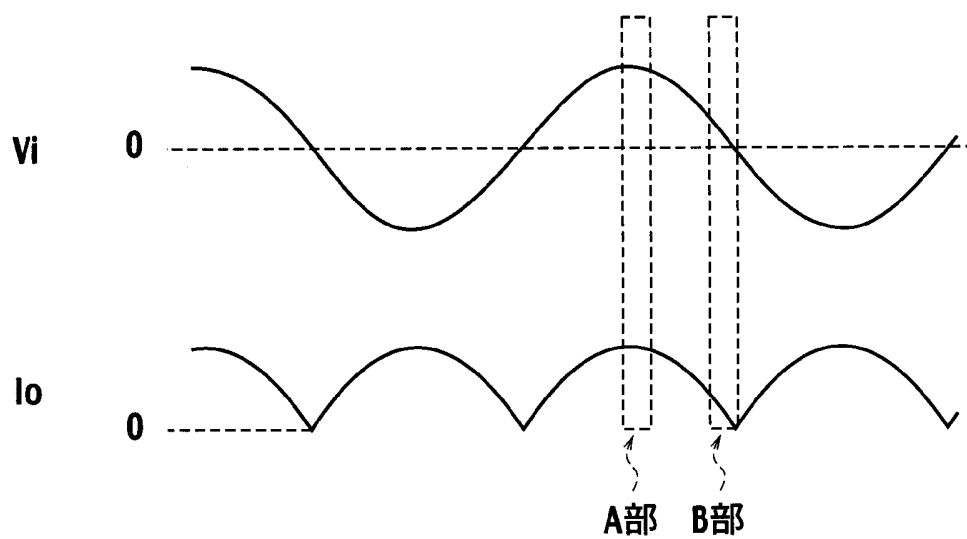
- [4] 前記制御部は、前記交流電源に流れる前記電流又は前記整流回路に流れる前記電流又は前記主スイッチに流れる前記電流が下限設定電流以下である場合に前記主スイッチの前記スイッチング周波数を下限周波数に設定し、前記電流が上限設定電流以上である場合に前記スイッチング周波数を上限周波数に設定し、前記電流が前記下限設定電流から前記上限設定電流までの範囲内にある場合に前記スイッチング周波数を前記下限周波数から前記上限周波数まで徐々に変化させる請求項1又は請求項2記載の力率改善回路。
- [5] 前記制御部は、前記交流電源に流れる前記電流又は前記整流回路に流れる前記電流又は前記主スイッチに流れる前記電流が上限設定電流以上である場合に前記主スイッチの前記スイッチング周波数を上限周波数に設定し、前記電流が下限設定電流から前記上限設定電流までの範囲内にある場合に前記スイッチング周波数を下限周波数から前記上限周波数まで徐々に変化させ、前記電流が前記下限設定電流未満である場合には前記主スイッチのスイッチング動作を停止させる請求項1又は請求項2記載の力率改善回路。
- [6] 前記制御部は、前記交流電源に流れる前記電流又は前記整流回路に流れる前記電流又は前記主スイッチに流れる前記電流が設定電流以下である場合に前記主スイッチの前記スイッチング周波数を最低周波数に設定し、前記電流が前記設定電流を超える場合に前記スイッチング周波数を最高周波数に設定する請求項1又は請求項2記載の力率改善回路。

- [7] 前記昇圧リアクトルは、前記昇圧リアクトルに流れる電流の値が増加した場合にインダクタンス値が減少する特性を有する請求項1又は請求項2記載の力率改善回路。
- [8] 前記制御部は、前記交流電源に流れる前記電流又は前記整流回路に流れる前記電流又は前記主スイッチに流れる前記電流の平均値が設定値以下になった場合に前記主スイッチの前記スイッチング周波数を低下させる請求項1又は請求項2記載の力率改善回路。
- [9] 前記制御部は、前記交流電源に流れる前記電流又は前記整流回路に流れる前記電流又は前記主スイッチに流れる前記電流の平均値が設定値以下になった場合に前記主スイッチのスイッチング動作を停止させ、前記出力電圧が設定電圧以下となった場合に前記主スイッチのスイッチング動作を開始させる請求項1又は請求項2記載の力率改善回路。
- [10] 前記制御部は、
前記交流電源に流れる前記電流又は前記整流回路に流れる前記電流又は前記主スイッチに流れる前記電流を検出する電流検出部と、
前記出力電圧と第1基準電圧との誤差を増幅することにより誤差電圧信号を生成する誤差電圧生成部と、
前記電流検出部で検出された前記電流に比例した電圧と第2基準電圧との誤差を増幅することにより電圧増幅信号を出力する電流検出増幅部と、
前記電流検出増幅部の前記電圧増幅信号を前記誤差電圧生成部からの前記誤差電圧信号の値に応じて可変することにより得られた電圧信号を前記第2基準電圧として前記電流検出増幅部に出力する電圧可変部と、
前記電流検出部で検出された前記電流の値に応じて前記主スイッチの前記スイッチング周波数を変化させた周波数制御信号を生成する周波数制御部と、
前記電流検出増幅部の前記電圧増幅信号の値に応じてパルス幅を制御し且つ前記周波数制御部で生成された前記周波数制御信号に応じて前記主スイッチの前記スイッチング周波数を変化させたパルス信号を生成し、前記パルス信号を前記主スイッチに印加して前記出力電圧を所定電圧に制御するパルス幅制御部と、
を有する請求項1又は請求項2記載の力率改善回路。

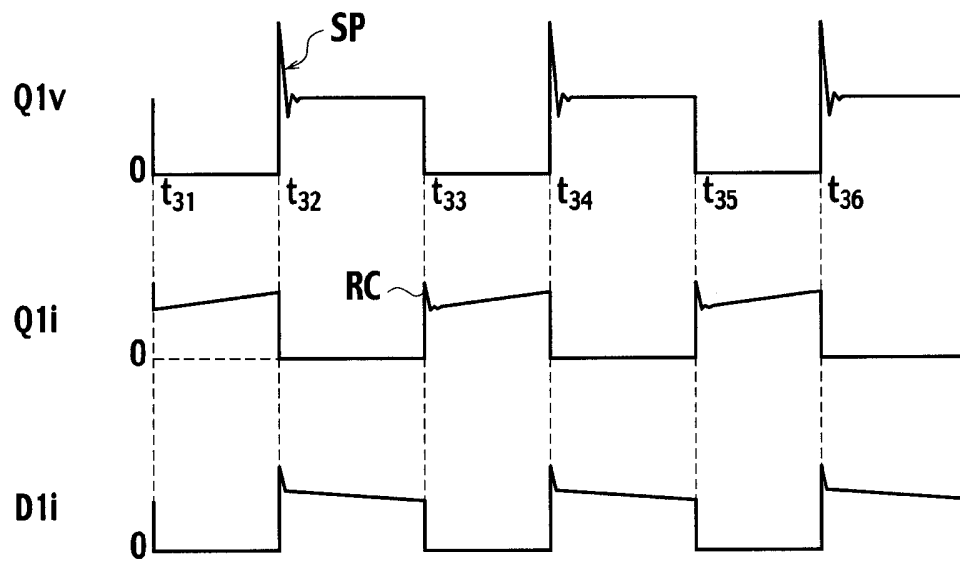
[図1]



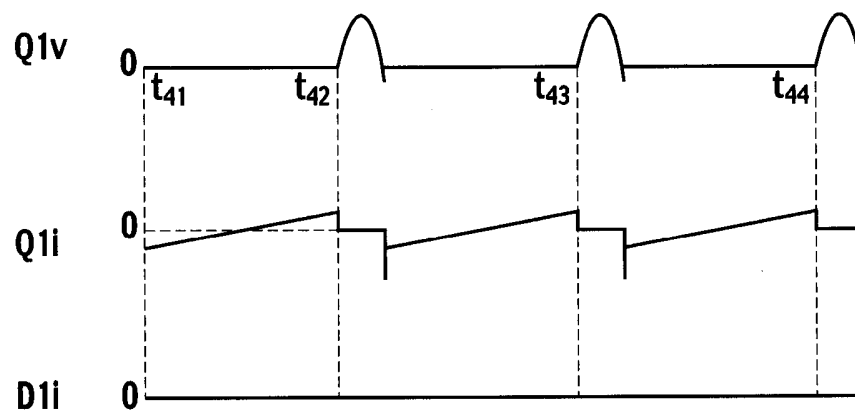
[図2]



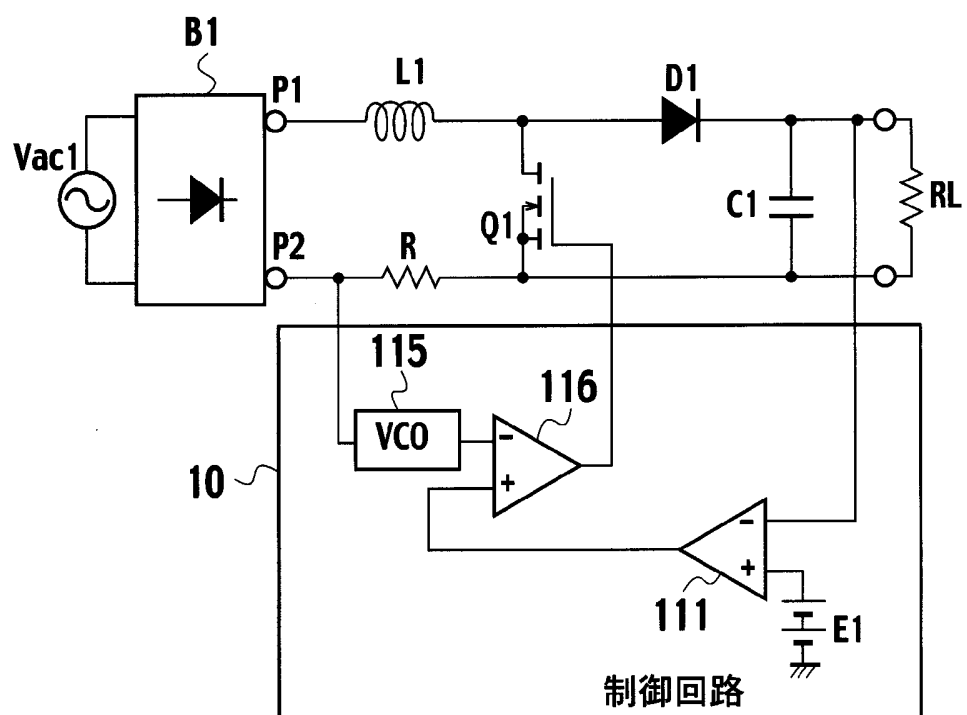
[図3]



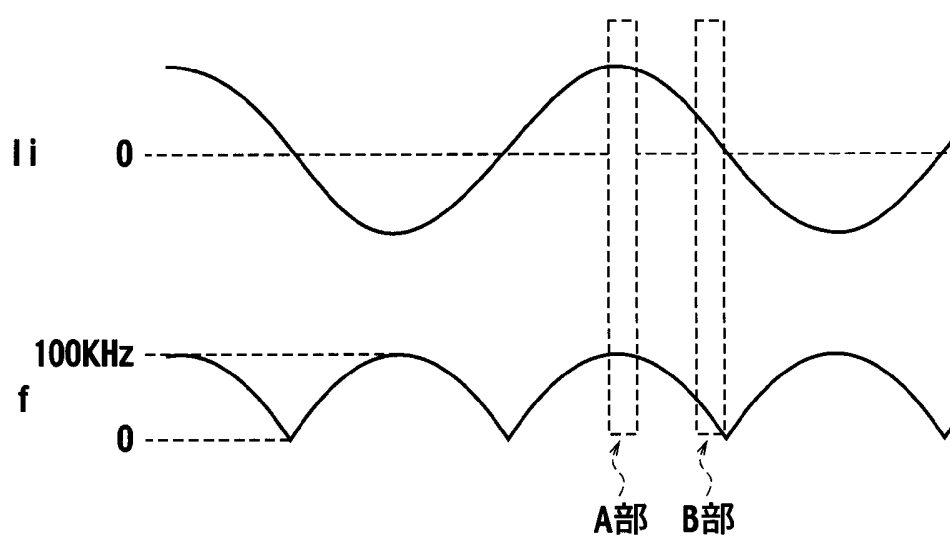
[図4]



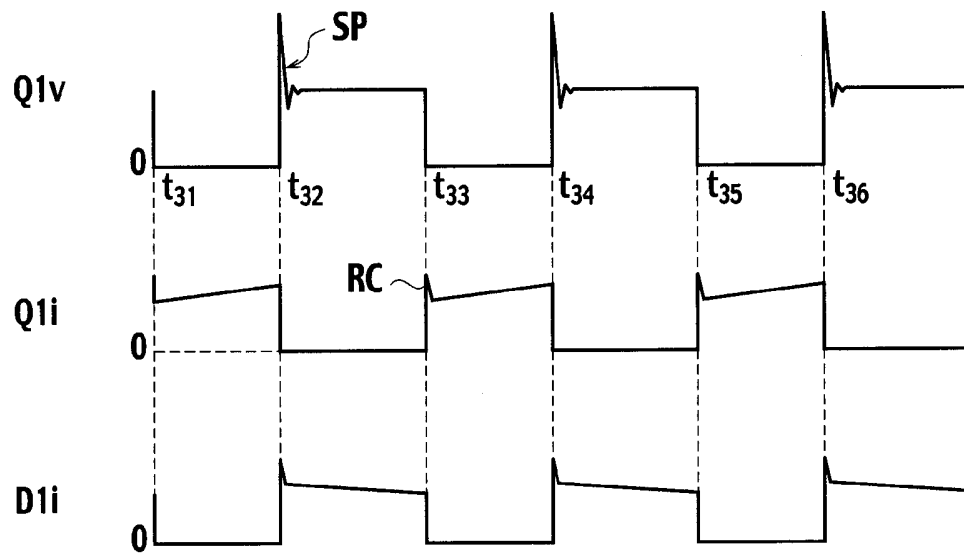
[図5]



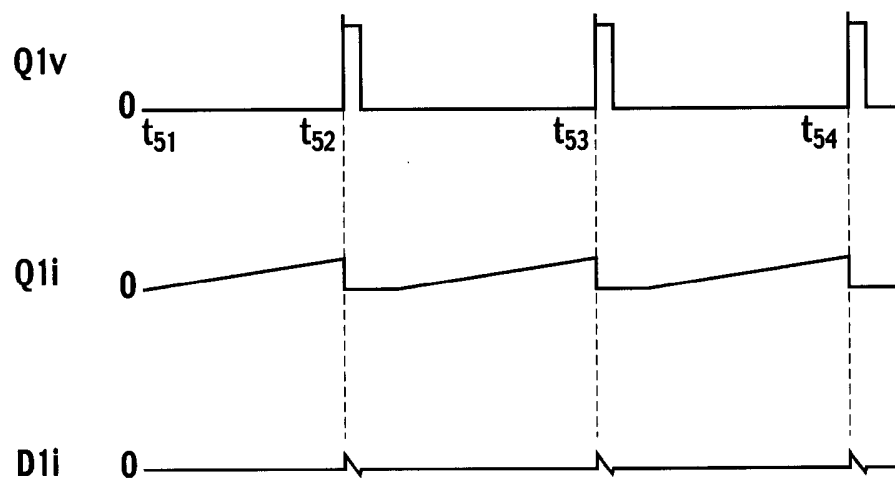
[図6]



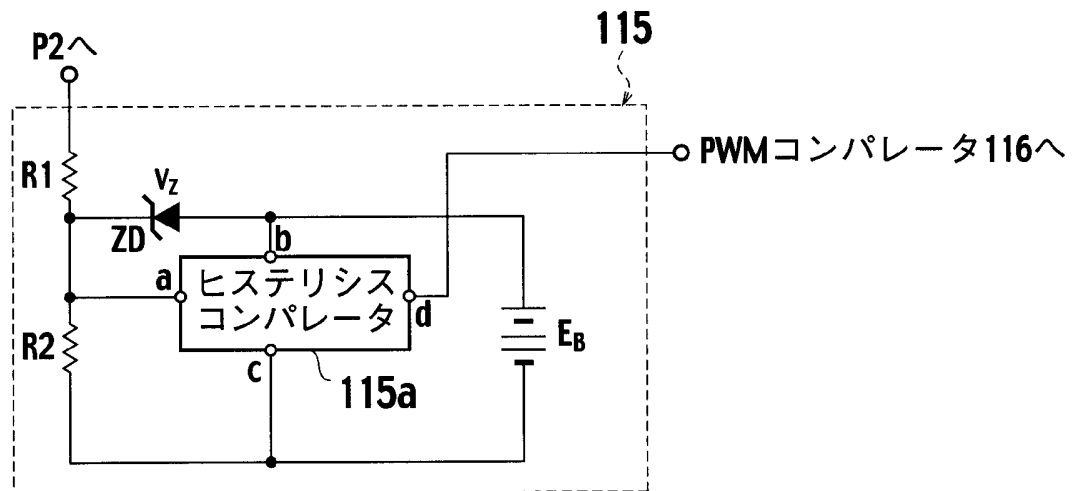
[図7]



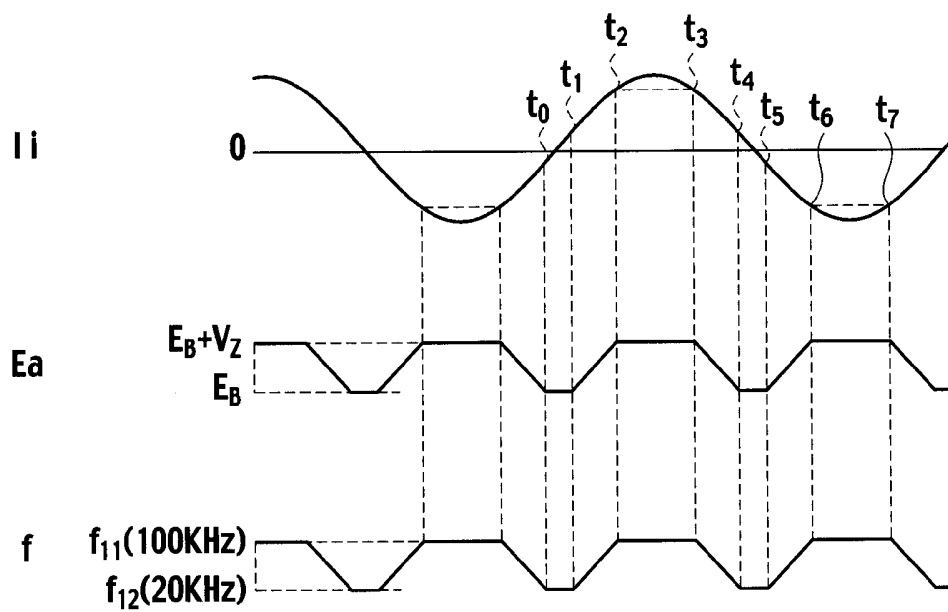
[図8]



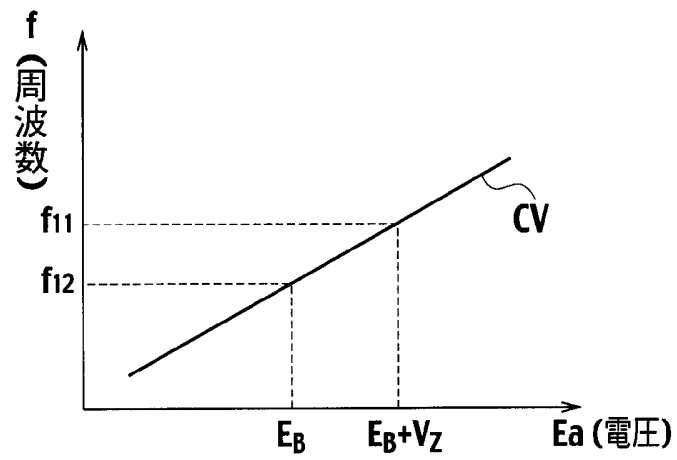
[図9]



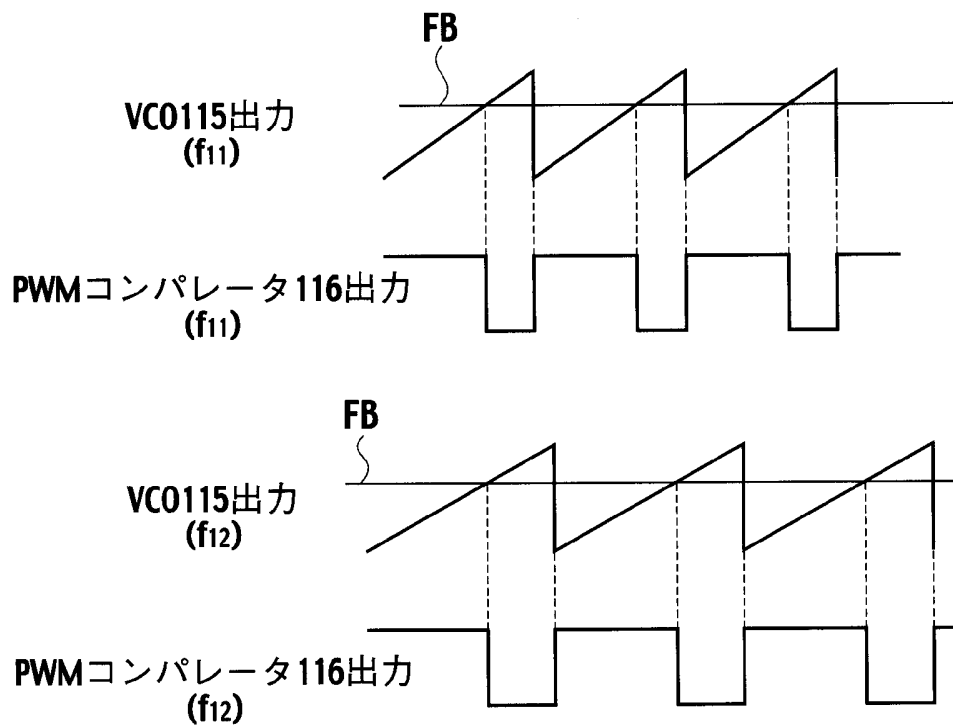
[図10]



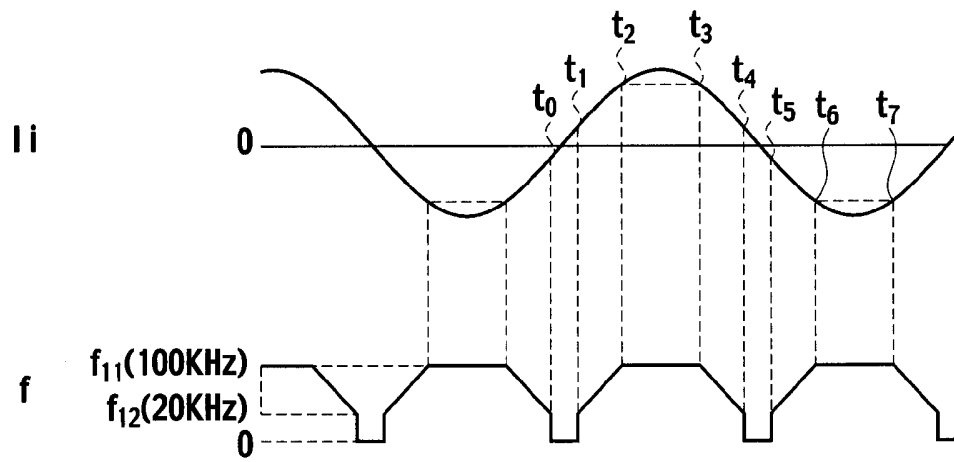
[図11]



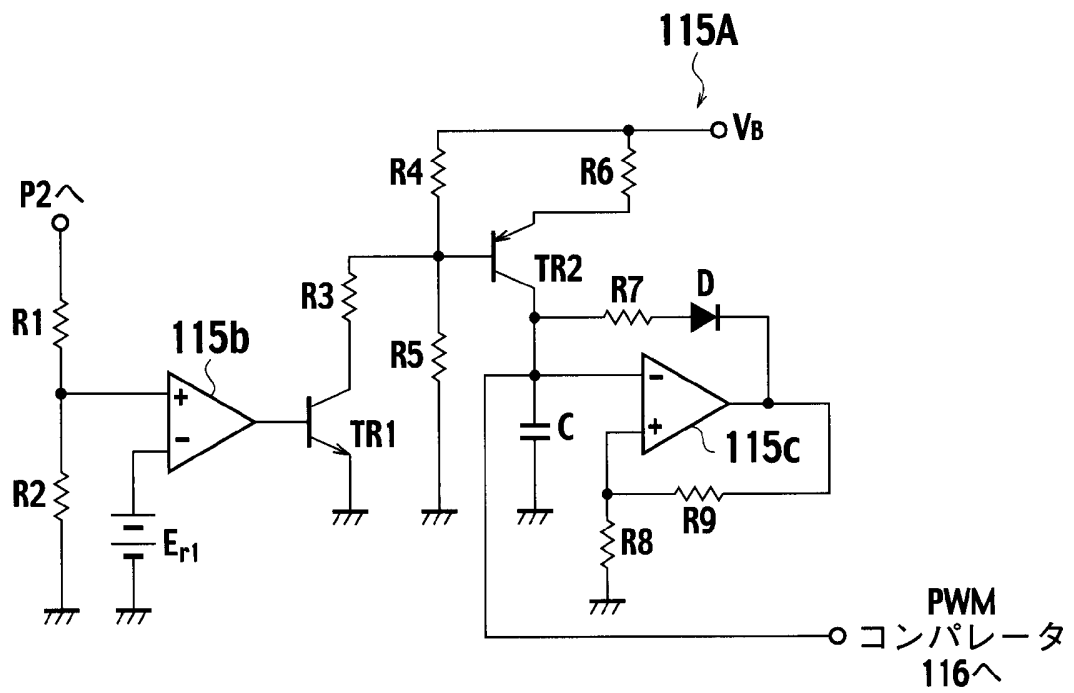
[図12]



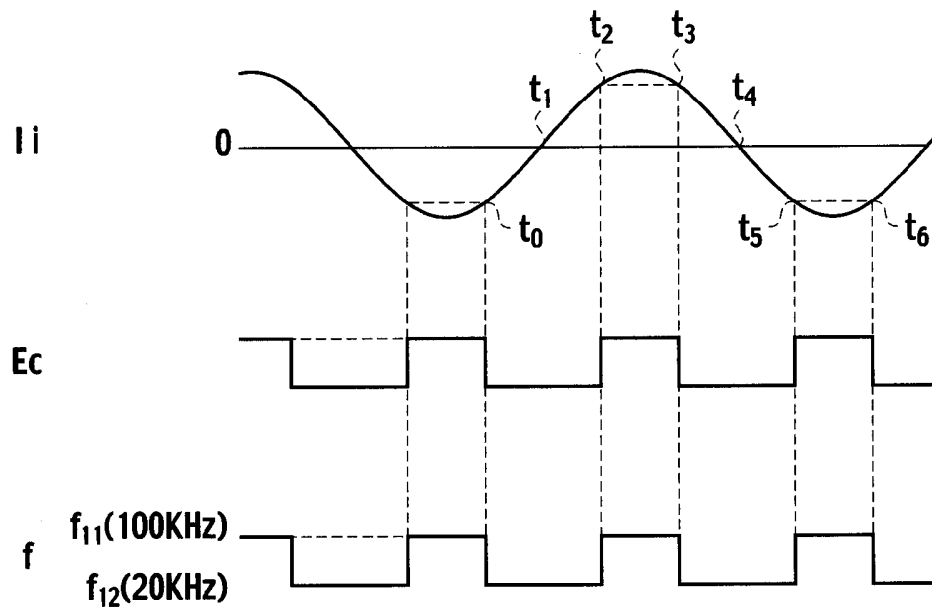
[図13]



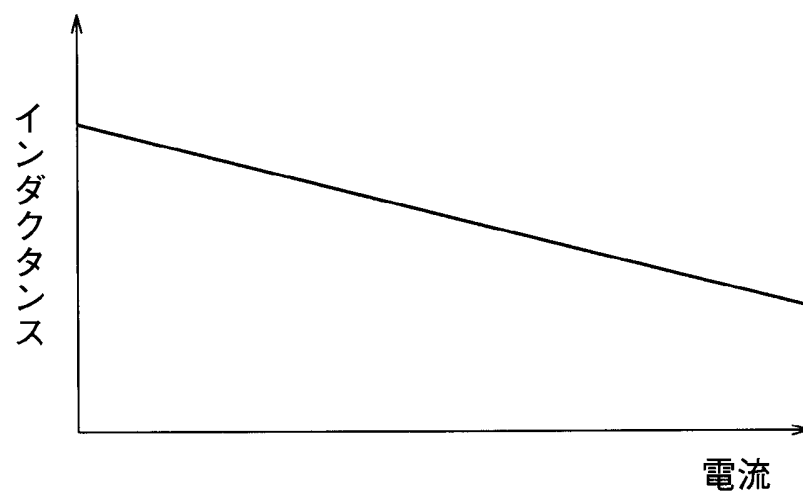
[図14]



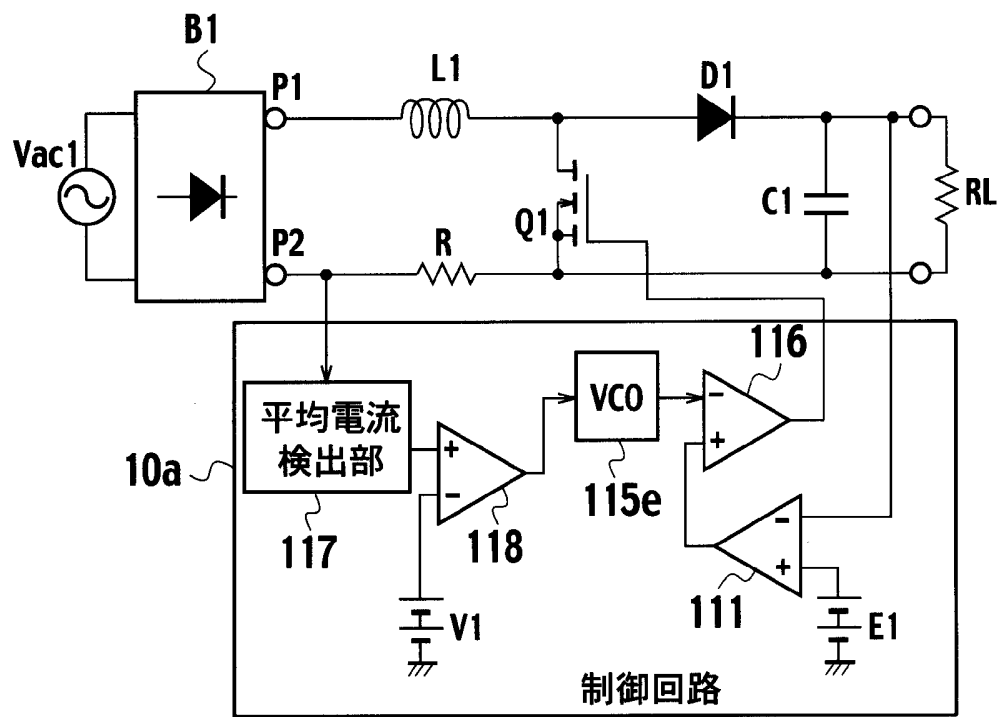
[図15]



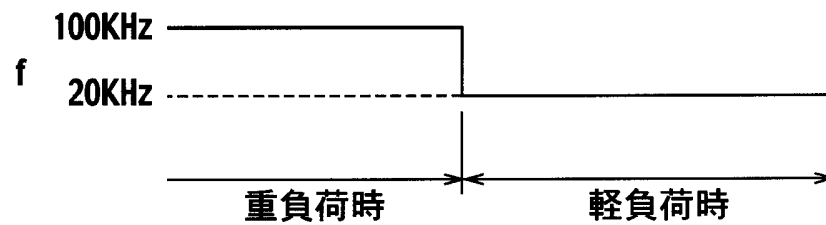
[図16]



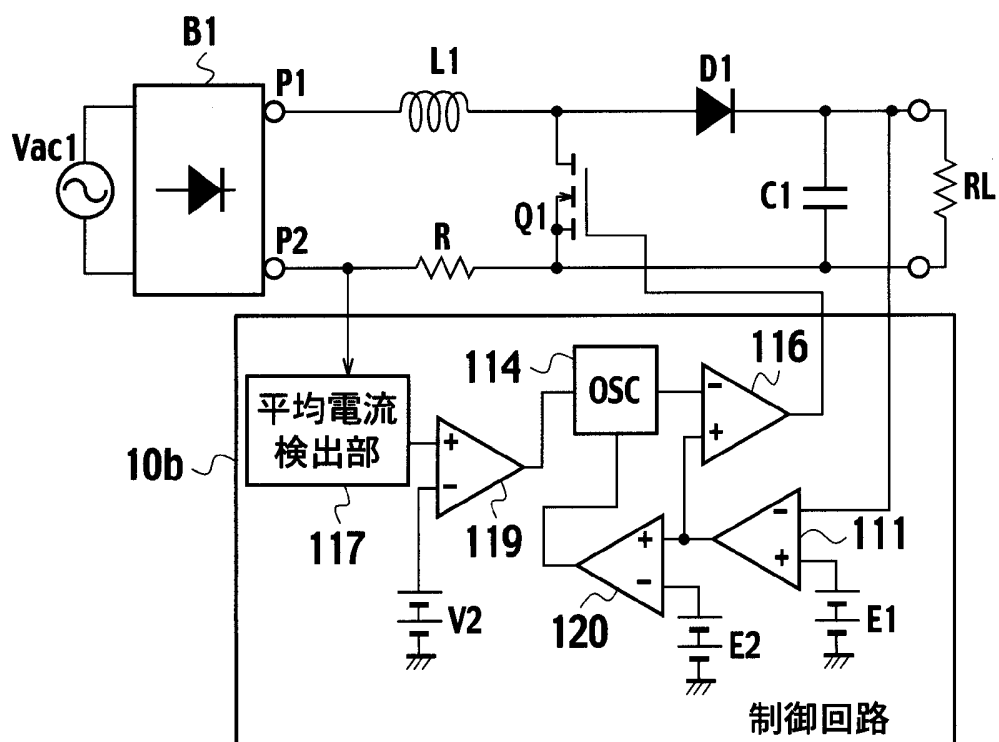
[図17]



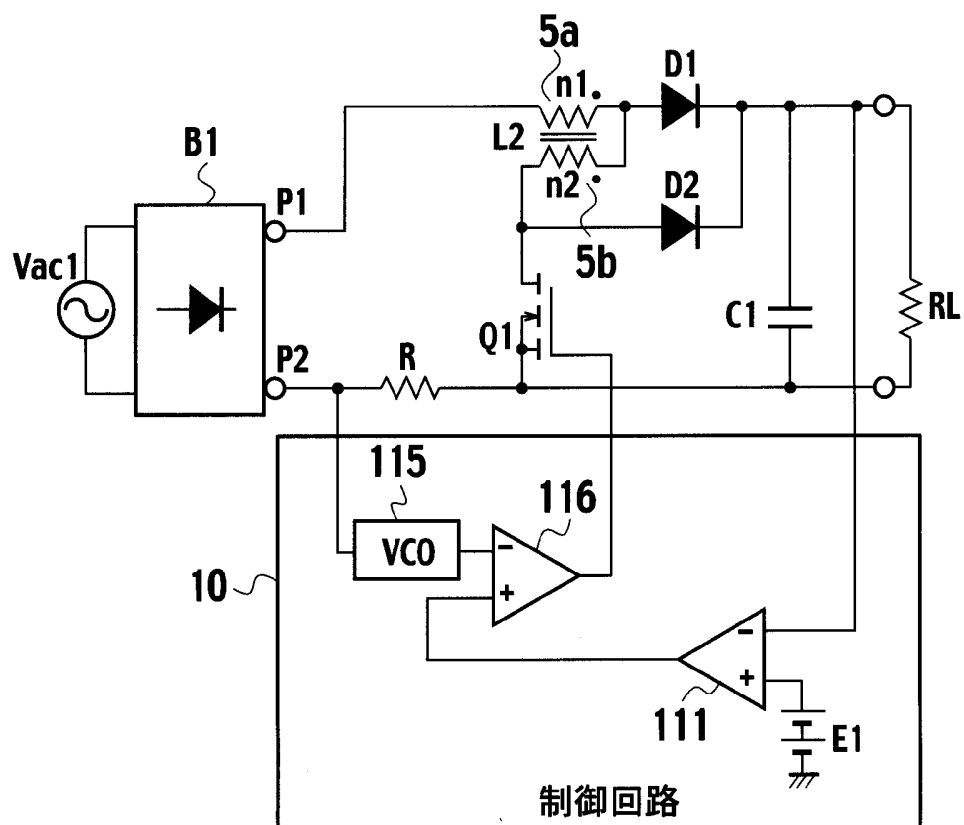
[図18]



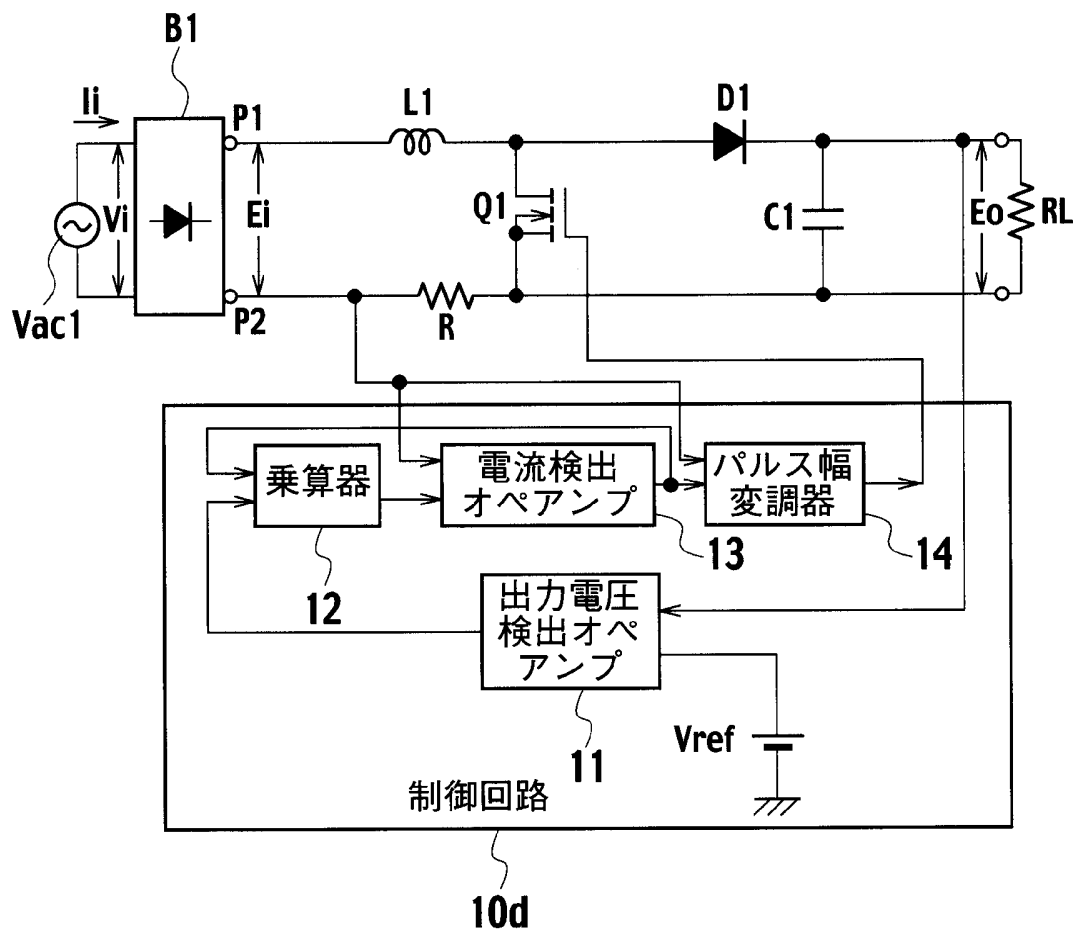
[図19]



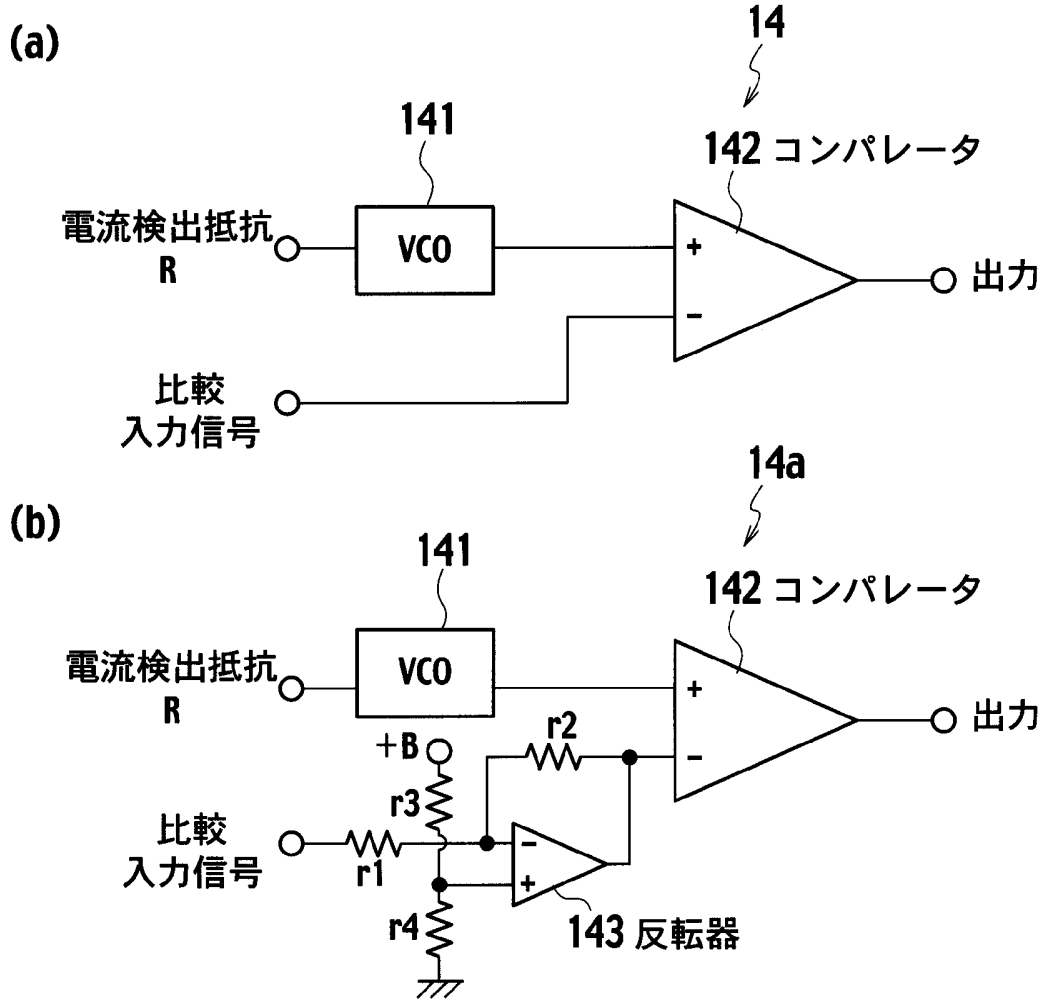
[図20]



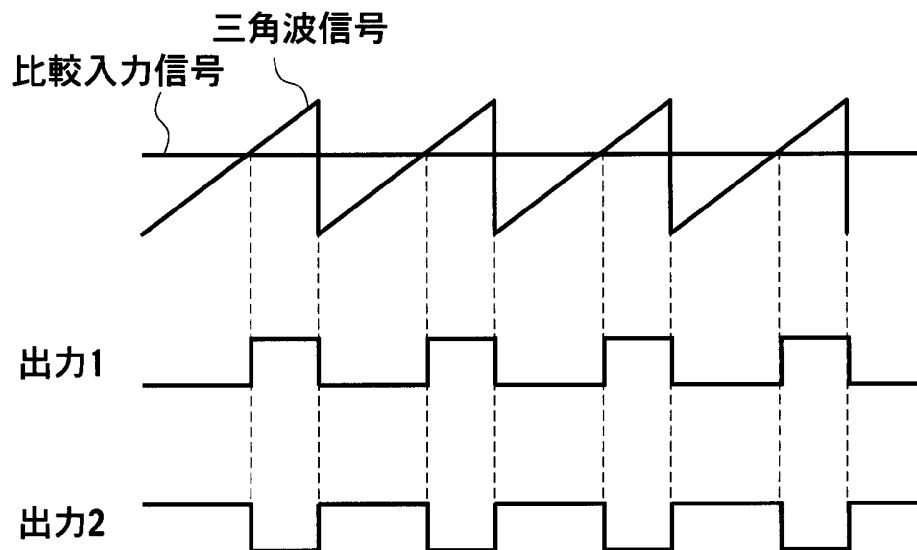
[図21]



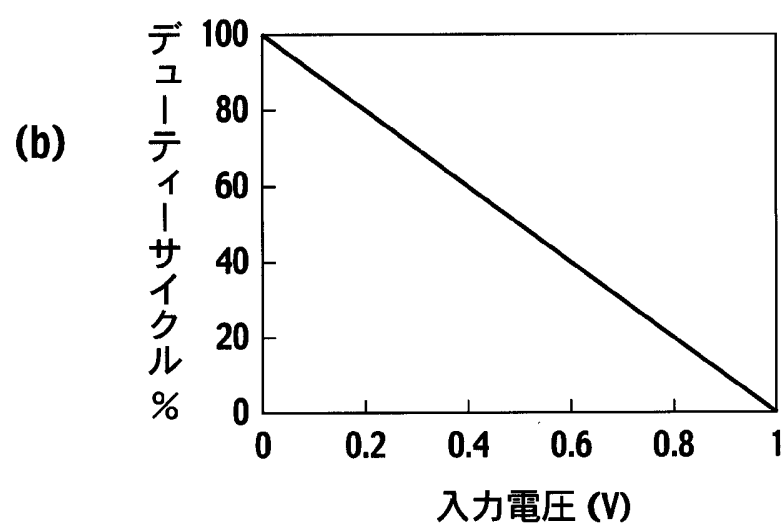
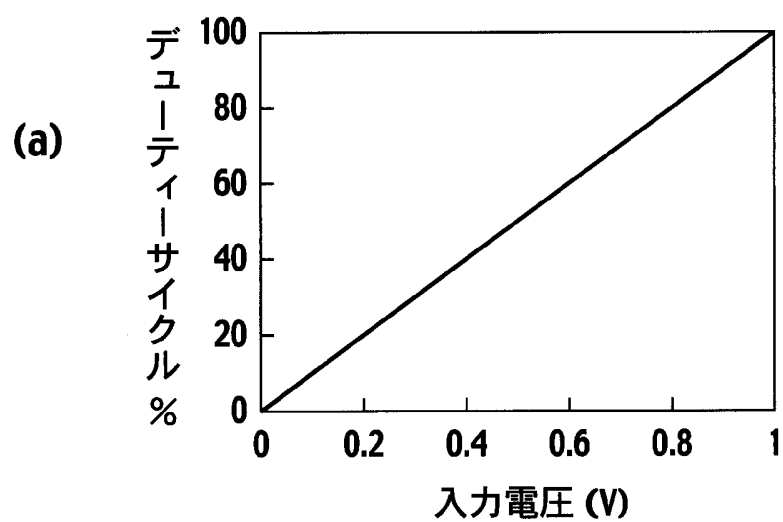
[図22]



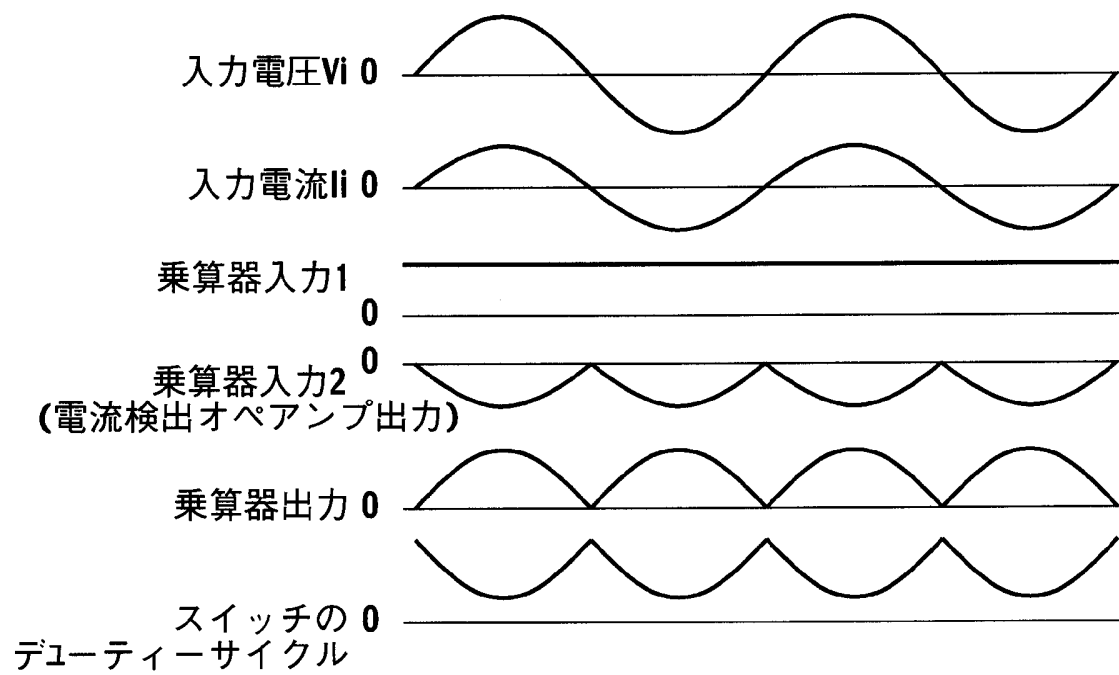
[図23]



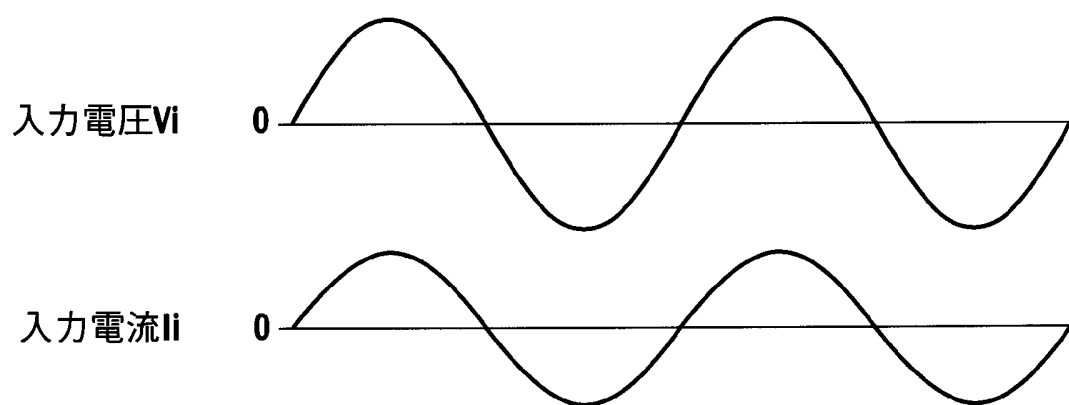
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013623

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12 (2006.01), **H02M3/155** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12 (2006.01), **H02M3/155** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 8-205539 A (Daikin Industries, Ltd.), 09 August, 1996 (09.08.96), (Family: none)	1,3-9 2,10
Y A	JP 10-174428 A (Matsushita Electric Industrial Co., Ltd.), 26 June, 1998 (26.06.98), (Family: none)	1,3-9 2,10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 October, 2005 (31.10.05)Date of mailing of the international search report
15 November, 2005 (15.11.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H02M7/12 (2006.01), H02M3/155 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H02M7/12 (2006.01), H02M3/155 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 8-205539 A (ダイキン工業株式会社) 1996.08.09 (ファミリーなし)	1,3-9 2,10
Y A	JP 10-174428 A (松下電器産業株式会社) 1998.06.26 (ファミリーなし)	1,3-9 2,10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

31.10.2005

国際調査報告の発送日

15.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾家 英樹

電話番号 03-3581-1101 内線 3358

3V

9335