

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-78254

(P2018-78254A)

(43) 公開日 平成30年5月17日(2018.5.17)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8236 (2006.01)	H O 1 L 27/08 3 1 1 A	5 F 0 4 8
H O 1 L 27/088 (2006.01)	H O 1 L 29/78 3 0 1 B	5 F 0 5 8
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 0 1 C	5 F 1 4 0
H O 1 L 29/78 (2006.01)	H O 1 L 27/08 1 0 2 C	
H O 1 L 21/8234 (2006.01)	H O 1 L 21/316 X	
審査請求 未請求 請求項の数 9 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2016-220840 (P2016-220840)
 (22) 出願日 平成28年11月11日 (2016.11.11)

(71) 出願人 301023238
 国立研究開発法人物質・材料研究機構
 茨城県つくば市千現一丁目2番地1
 (72) 発明者 劉 江偉
 茨城県つくば市千現一丁目2番地1 国立
 研究開発法人物質・材料研究機構内
 (72) 発明者 小出 康夫
 茨城県つくば市千現一丁目2番地1 国立
 研究開発法人物質・材料研究機構内
 (72) 発明者 大里 啓孝
 茨城県つくば市千現一丁目2番地1 国立
 研究開発法人物質・材料研究機構内
 (72) 発明者 リャオ メイヨン
 茨城県つくば市千現一丁目2番地1 国立
 研究開発法人物質・材料研究機構内
 最終頁に続く

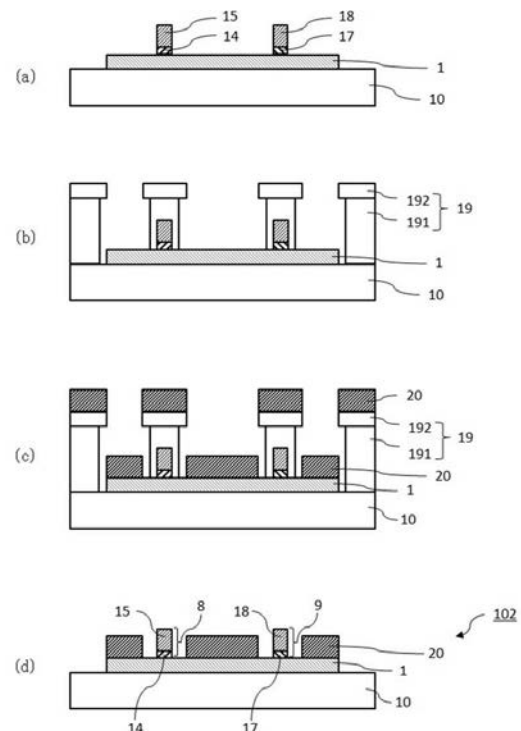
(54) 【発明の名称】 ダイヤモンド半導体装置、それを用いたロジック装置、及びダイヤモンド半導体装置の製造方法

(57) 【要約】

【課題】 E - mode MOS と D - mode MOS が混在して動作するダイヤモンド半導体を提供する。

【解決手段】 水素終端ダイヤモンド半導体層上に、第1のゲート絶縁膜層及びゲートメタル層が形成された第1のMOSトランジスタと第2のゲート絶縁膜層及びゲートメタル層が形成された第2のMOSトランジスタであって、第1の絶縁膜は下層を原子層成長法によって形成された絶縁膜、上層をスパッタリング法によって形成された絶縁膜又は原子層成長法によって形成されたTiO₂膜とする2層の絶縁膜であり、第2の絶縁膜は、原子層成長法によって形成された単層の絶縁膜とする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

ダイヤモンド基板上に水素終端ダイヤモンド半導体層、第 1 のゲート絶縁膜層及びゲートメタル層がこの順に積層された構造を有する第 1 の MOS トランジスタと、該水素終端ダイヤモンド半導体層上に第 2 のゲート絶縁膜層及びゲートメタル層を有する第 2 の MOS トランジスタを有するダイヤモンド半導体装置において、

前記第 1 の絶縁膜は、下層を原子層成長法によって形成された絶縁膜、上層をスパッタリング法によって形成された絶縁膜又は原子層成長法によって形成された TiO_2 膜とする 2 層の絶縁膜であり、

前記第 2 の絶縁膜は、原子層成長法によって形成された単層の絶縁膜、
とすることを特徴としたダイヤモンド半導体装置。

10

【請求項 2】

前記第 1 の絶縁膜の下層は、 Al_2O_3 と HfO_2 からなるいずれか 1 の膜であり、

前記第 1 の絶縁膜の上層は、スパッタリング法によって形成された $LaAlO_3$ 、 Al_2O_3 、 ZrO_2 、 AlN 、 Ta_2O_5 、 TiO_2 、 HfO_2 、又は原子層成長法によって形成された TiO_2 からなるいずれか 1 の膜であり、

前記第 2 の絶縁膜は、 Al_2O_3 と HfO_2 からなるいずれか 1 の膜であることを特徴とした請求項 1 記載のダイヤモンド半導体装置。

【請求項 3】

前記第 1 の絶縁膜の上層は、スパッタリング法によって形成された $LaAlO_3$ 膜であることを特徴とした請求項 1 又は 2 記載のダイヤモンド半導体装置。

20

【請求項 4】

前記第 1 の MOS トランジスタはエンハンスメントモードの MOS トランジスタであり、前記第 2 の MOS トランジスタはデブリーションモードの MOS トランジスタであることを特徴とした請求項 1 及至 3 のいずれか 1 に記載のダイヤモンド半導体装置。

【請求項 5】

請求項 1 及至 4 のいずれか 1 に記載のダイヤモンド半導体装置を用いたことを特徴とする NOT 動作をするロジック装置。

【請求項 6】

請求項 1 及至 4 のいずれか 1 に記載のダイヤモンド半導体装置を用いたことを特徴とする NOR 動作をするロジック装置。

30

【請求項 7】

ダイヤモンド半導体基板上に水素終端ダイヤモンド半導体層を形成する半導体層形成工程と、

前記半導体層上に第 1 のゲートパターンを開口部として有する第 1 のレジストパターン形成工程と、

前記第 1 のレジストパターンの開口部に前記半導体層上に接して第 1 の絶縁膜からなる第 1 の絶縁膜パターンを形成する第 1 の絶縁膜パターン形成工程と、

前記第 1 の絶縁膜パターン上に金属からなる第 1 のゲートメタルパターンを形成する第 1 のゲートメタルパターン形成工程と、

40

前記第 1 のレジストパターンをリフトオフにより除去する第 1 のレジストパターン除去工程と、

前記半導体層上に第 2 のゲートパターンを開口部として有する第 2 のレジストパターン形成工程と、

前記第 2 のレジストパターンの開口部に前記半導体層上に接して第 2 の絶縁膜からなる第 2 の絶縁膜パターンを形成する第 2 の絶縁膜パターン形成工程と、

前記第 2 の絶縁膜パターン上に金属からなる第 2 のゲートメタルパターンを形成する第 1 のゲートメタルパターン形成工程と、

前記第 2 のレジストパターンをリフトオフにより除去する第 2 のレジストパターン除去工程と、

50

金属からなる配線層を形成する配線層形成工程と、

前記第 1 及び第 2 の絶縁膜に対して熱処理を行う熱処理工程を有し、

前記第 1 の絶縁膜は、原子層成長法によって絶縁膜 A を形成する下層膜形成工程と、スパッタリング法による絶縁膜 B 又は原子層成長法による TiO_2 からなる絶縁膜 B を形成する上層膜形成工程によって形成される 2 層膜からなり、

前記第 2 の絶縁膜は、原子層成長法によって形成される単層の絶縁膜 C からなり、

前記第 1 の絶縁膜パターン及び前記第 1 のメタルゲートパターンを有するエンハンスメントモード動作の第 1 の MOS トランジスタ、及び、前記第 2 の絶縁膜パターン及び前記第 2 のメタルゲートパターンを有するデプリーションモード動作の第 2 の MOS トランジスタを形成することを特徴としたダイヤモンド半導体装置の製造方法。

10

【請求項 8】

前記絶縁膜 A は Al_2O_3 と HfO_2 からなるいずれか 1 の膜であり、前記絶縁膜 B はスパッタリング法によって形成された LaAlO_3 、 Al_2O_3 、 ZrO_2 、 AlN 、 Ta_2O_5 、 TiO_2 、 HfO_2 、又は原子層成長法によって形成された TiO_2 からなるいずれか 1 の膜であり、前記絶縁膜 C は Al_2O_3 と HfO_2 からなるいずれか 1 の膜であることを特徴とした請求項 7 記載のダイヤモンド半導体装置の製造方法。

【請求項 9】

前記熱処理の温度は、150 以上 350 以下であることを特徴とする請求項 7 又は 8 記載のダイヤモンド半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明はダイヤモンド半導体装置、それを用いたロジック装置、及びダイヤモンド半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体ダイヤモンドは広いバンドギャップエネルギー（5.45 eV）、低い比誘電率（5.7）、高い絶縁破壊電界強度（10 MV/cm）、高いキャリア飽和速度（電子及び正孔についてそれぞれ $1.5 \sim 2.7 \times 10^7$ cm/s 及び $0.85 \sim 1.2 \times 10^7$ cm/s）（非特許文献 1、2 参照）、高い熱伝導率（22 W/cm・K）及び高いキャリア移動度（電子及び正孔についてそれぞれ 4500 cm²/V・s 及び 3800 cm²/V・s）（非特許文献 3 参照）といったいくつかの際立った物理的特性を有している。このため、ダイヤモンドに基づいた電子デバイスは大きな電力、高周波、高い熱限界、及び高周波における小さな電力損失を示す。

30

【0003】

最近、水素終端ダイヤモンドを使った MOS トランジスタ（MOSFET、MISFET と呼ばれる）が大いに開発されるようになってきた。そして、400 の高温環境で約 1000 V の高い耐圧を得た水素終端ダイヤモンドによる MOS トランジスタの報告もなされるようになってきた（非特許文献 4 参照）。

【0004】

40

また、水素終端ダイヤモンドを使ってデプリーションモード（D-mode と称す）の MOSFET が作製され、その動作が確認されるとともに、負荷抵抗をその MOSFET のドレイン側に繋げた回路が組まれ、その回路が NOT ロジック動作をすることが確認されている（非特許文献 5、6 参照）。さらに、エンハンスメントモード（E-mode と称す）の MOSFET が作製され、その動作も確認されている（非特許文献 7 参照）。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献 1】Phys. Rev. B, vol. 23, pp. 3050 - 3057 (1

50

9 8 1)

【非特許文献2】M a t e r . T o d a y , v o l . 1 1 , p p . 2 2 - 2 8 (2 0 0 8)

【非特許文献3】S c i e n c e , v o l . 2 9 7 , p p . 1 6 7 0 - 1 6 7 2 (2 0 0 2)

【非特許文献4】I E E E I E D M , 2 0 1 4 , 1 1 . 2 . 1 (2 0 1 4)

【非特許文献5】A p p l . P h y s . L e t t . , v o l . 1 0 3 , p . 0 9 2 9 0 5 (2 0 1 3)

【非特許文献6】A p p l . P h y s . L e t t . , v o l . 1 0 5 , p . 0 9 8 2 1 1 0 (2 0 1 4)

【非特許文献7】J . A p p l . P h y s . , v o l . 1 1 8 , p . 1 1 5 7 0 4 (2 0 1 5)

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の課題は、E - m o d e M O S トランジスタとD - m o d e M O S トランジスタが混在して動作をするダイヤモンド半導体装置及びその製造方法を提供することである。また、ダイヤモンド半導体によるN O T やN O R のロジック動作をするロジック装置を提供することである。

【課題を解決するための手段】

【0007】

本発明の構成を下記に示す。

(構成1)

ダイヤモンド基板上に水素終端ダイヤモンド半導体層、第1のゲート絶縁膜層及びゲートメタル層がこの順に積層された構造を有する第1のM O S トランジスタと、該水素終端ダイヤモンド半導体層上に第2のゲート絶縁膜層及びゲートメタル層を有する第2のM O S トランジスタを有するダイヤモンド半導体装置において、

前記第1の絶縁膜は、下層を原子層成長法によって形成された絶縁膜、上層をスパッタリング法によって形成された絶縁膜又は原子層成長法によって形成されたT i O₂膜とする2層の絶縁膜であり、

前記第2の絶縁膜は、原子層成長法によって形成された単層の絶縁膜、とすることを特徴としたダイヤモンド半導体装置。

【0008】

(構成2)

前記第1の絶縁膜の下層は、A l₂O₃とH f O₂からなるいずれか1の膜であり、

前記第1の絶縁膜の上層は、スパッタリング法によって形成されたL a A l O₃、A l₂O₃、Z r O₂、A l N、T a₂O₅、T i O₂、H f O₂、又は原子層成長法によって形成されたT i O₂からなるいずれか1の膜であり、

前記第2の絶縁膜は、A l₂O₃とH f O₂からなるいずれか1の膜であることを特徴とした構成1記載のダイヤモンド半導体装置。

【0009】

(構成3)

前記第1の絶縁膜の上層は、スパッタリング法によって形成されたL a A l O₃膜であることを特徴とした構成1又は2記載のダイヤモンド半導体装置。

【0010】

(構成4)

前記第1のM O S トランジスタはエンハンスメントモードのM O S トランジスタであり、前記第2のM O S トランジスタはデプリーションモードのM O S トランジスタであることを特徴とした構成1及至3のいずれか1に記載のダイヤモンド半導体装置。

【0011】

10

20

30

40

50

(構成5)

構成1及至4のいずれか1に記載のダイヤモンド半導体装置を用いたことを特徴とするNOT動作をするロジック装置。

【0012】

(構成6)

構成1及至4のいずれか1に記載のダイヤモンド半導体装置を用いたことを特徴とするNOR動作をするロジック装置。

【0013】

(構成7)

ダイヤモンド半導体基板上に水素終端ダイヤモンド半導体層を形成する半導体層形成工程と、 10

前記半導体層上に第1のゲートパターンを開口部として有する第1のレジストパターン形成工程と、

前記第1のレジストパターンの開口部に前記半導体層上に接して第1の絶縁膜からなる第1の絶縁膜パターンを形成する第1の絶縁膜パターン形成工程と、

前記第1の絶縁膜パターン上に金属からなる第1のゲートメタルパターンを形成する第1のゲートメタルパターン形成工程と、

前記第1のレジストパターンをリフトオフにより除去する第1のレジストパターン除去工程と、

前記半導体層上に第2のゲートパターンを開口部として有する第2のレジストパターン形成工程と、 20

前記第2のレジストパターンの開口部に前記半導体層上に接して第2の絶縁膜からなる第2の絶縁膜パターンを形成する第2の絶縁膜パターン形成工程と、

前記第2の絶縁膜パターン上に金属からなる第2のゲートメタルパターンを形成する第1のゲートメタルパターン形成工程と、

前記第2のレジストパターンをリフトオフにより除去する第2のレジストパターン除去工程と、

金属からなる配線層を形成する配線層形成工程と、

前記第1及び第2の絶縁膜に対して熱処理を行う熱処理工程を有し、

前記第1の絶縁膜は、原子層成長法によって絶縁膜Aを形成する下層膜形成工程と、スパッタリング法による絶縁膜B又は原子層成長法による TiO_2 からなる絶縁膜Bを形成する上層膜形成工程によって形成される2層膜からなり、 30

前記第2の絶縁膜は、原子層成長法によって形成される単層の絶縁膜Cからなり、

前記第1の絶縁膜パターン及び前記第1のメタルゲートパターンを有するエンハンスメントモード動作の第1のMOSトランジスタ、及び、前記第2の絶縁膜パターン及び前記第2のメタルゲートパターンを有するデプリーションモード動作の第2のMOSトランジスタを形成することを特徴としたダイヤモンド半導体装置の製造方法。

【0014】

(構成8)

前記絶縁膜Aは Al_2O_3 と HfO_2 からなるいずれか1の膜であり、前記絶縁膜Bはスパッタリング法によって形成された $LaAlO_3$ 、 Al_2O_3 、 ZrO_2 、 AlN 、 Ta_2O_5 、 TiO_2 、 HfO_2 、又は原子層成長法によって形成された TiO_2 からなるいずれか1の膜であり、前記絶縁膜Cは Al_2O_3 と HfO_2 からなるいずれか1の膜であることを特徴とした構成7記載のダイヤモンド半導体装置の製造方法。 40

【0015】

(構成9)

前記熱処理の温度は、150 以上350 以下であることを特徴とする構成7又は8記載のダイヤモンド半導体装置の製造方法。

【発明の効果】

【0016】

本発明によれば、1つのダイヤモンド半導体装置の中で、E - mode動作とD - mode動作をするMOSトランジスタ及びその製造方法を提供することが可能になる。また、ダイヤモンド半導体によるNOTやNORのロジック動作をするロジック装置を提供することが可能になる。

【図面の簡単な説明】

【0017】

【図1】本発明のE - mode MOSトランジスタの構成を示す要部断面図。

【図2】本発明のD - mode MOSトランジスタの構成を示す要部断面図。

【図3】本発明のMOSトランジスタの製造工程を断面図を用いて示した製造工程図。

【図4】本発明のMOSトランジスタの製造工程を断面図を用いて示した製造工程図。

【図5】本発明のMOSトランジスタの製造工程を断面図を用いて示した製造工程図。

【図6】本発明のMOSトランジスタの製造工程を断面図を用いて示した製造工程図。

【図7】本発明のNOT回路の製造工程を平面図で示した製造工程図。

【図8】本発明のNOR回路の製造工程を平面図で示した製造工程図。

【図9】実施例1で作製したMOSトランジスタの平面SEM像。

【図10】実施例1で作製したMOSFETの電気特性を示す特性図。

【図11】実施例1で作製したE - modeとD - mode MOSトランジスタの電気特性を比較して示した特性図。

【図12】実施例2で作製したNOT回路の平面写真とその回路図。(a)が光学顕微鏡による平面写真で、(b)が回路図である。

【図13】実施例2で作製したNOT回路の電気特性を示す特性図。

【図14】実施例2で作製したNOT回路の電気特性を示す特性図。

【図15】実施例3で作製したNOR回路の平面写真とその回路図。(a)が光学顕微鏡による平面写真で、(b)が回路図である。

【図16】実施例3で作製したNOR回路の電気特性を示す特性図。

【発明を実施するための形態】

【0018】

シリコン半導体では、E - modeとD - modeのMOSトランジスタの混載において、その混載は主にシリコン半導体へのドーパントの調整によって行われる。一方、本発明の水素終端ダイヤモンド半導体においては、その混載は、ゲート絶縁膜の構成の差によって行われる。

以下本発明を実施するための形態について図面を参照しながら説明する。

【0019】

<混載MOSトランジスタの構造と特徴>

最初に、本発明の第1のMOSトランジスタであるE - mode MOSトランジスタと第2のMOSトランジスタであるD - mode MOSトランジスタ及びその混載トランジスタについて説明する。

第1のE - mode MOSトランジスタ100は、図1に示すように、半導体層である水素終端ダイヤモンド層1上に形成された絶縁膜とメタル層5からなるゲート8、ソース6及びドレイン7からなる。そして、その絶縁膜は、原子層成長(ALD)法によって形成された下層絶縁膜層2と、スパッタリング法又は原子層成長法によって形成されたTiO₂膜からなる上層絶縁膜層3からなる2層膜である。

下層絶縁膜層2の材料は、原子層成長法によって形成された絶縁膜であれば特に制約はないが、成長温度は80 以上150 以下にするのが好ましい。さらにトランジスタとして良好な電気特性を得るためには、Al₂O₃とHfO₂からなるいずれか1の膜であることが好ましい。また、その厚さも特に制約はないが、1nm以上10nm以下が好ましく、2nm以上5nm以下がより好ましい。

スパッタリング法によって形成される上層絶縁膜層3の材料は、絶縁膜であれば特に制約はないが、トランジスタとして良好な電気特性を得るためには、LaAlO₃、Al₂O₃、ZrO₂、AlN、Ta₂O₅、TiO₂、HfO₂からなるいずれか1の膜であ

ることが好ましい。特に LaAlO_3 はリーク電流が少なくなるので特に好ましい。上層絶縁膜層 3 の厚さは特に制約はないが、10 nm 以上 50 nm 以下が好ましく、20 nm 以上 40 nm 以下がより好ましい。

【0020】

水素終端ダイヤモンド層 1 は、半導体層となるもので、例えば I b 型のダイヤモンド結晶基板上にエピタキシャル成長させて形成されるものである。

メタル層 5、ソース 6 及びドレイン 7 はメタルからなる。メタルの材料は特に制約を受けないが、チタン (Ti)、金 (Au)、タングステン (W)、白金 (Pt) などを好んで用いることができる。特に Ti をバリヤ層として下層に、上層に電気抵抗が低く腐食性も少ない Au を用いることが好ましい。

10

【0021】

第 2 の D - mode MOS トランジスタ 101 は、図 2 に示すように、水素終端ダイヤモンド層 1 上に絶縁層 4 とメタル層 5 からなるゲート 9、ソース 6 及びドレイン 7 からなり、その絶縁層 4 は、原子層成長法によって形成された単層膜である。

絶縁層 4 の材料は、原子層成長法によって形成された絶縁膜であれば特に制約はないが、成長温度は 80 以上 150 以下にするのが好ましい。さらにトランジスタとして良好な電気特性を得るためには、 Al_2O_3 と HfO_2 からなるいずれか 1 の膜であることが好ましい。また、その厚さも特に制約はないが、10 nm 以上 50 nm 以下が好ましく、20 nm 以上 40 nm 以下がより好ましい。

水素終端ダイヤモンド層 1、メタル層 5、ソース 6 及びドレイン 7 は第 1 の MOS トランジスタと同じである。

20

【0022】

第 1 の E - mode MOS トランジスタ 100 及び第 2 の D - mode MOS トランジスタ 101 は、個々には、非特許文献 7 に開示がある。しかしながら、1 つの水素終端ダイヤモンド層 1 上に E - mode MOS トランジスタと D - mode MOS トランジスタを作り分ける方法は未知で、またその作り分けをしたトランジスタが NOT や NOR のロジック動作をする性能を有することを予想することは難しかった。これは、水素終端ダイヤモンドからなる半導体層にダメージを与えることなく、E - mode MOS トランジスタの絶縁層と D - mode MOS トランジスタの絶縁層を所望の形状で作り分けることは難しいからである。

30

【0023】

本発明では、詳細な検討の結果、物理的ダメージの少ないリフトオフ法の適用と、水素終端ダイヤモンドからなる半導体層に接して形成する絶縁層を原子層成長法によって形成することにより、E - mode と D - mode の MOS トランジスタがともに所望の動作をする混載トランジスタとなることを見出した。

【0024】

< 混載 MOS トランジスタの製造方法 >

次に、この E - mode と D - mode の混載 MOS トランジスタ 102 の製造方法を図 3 から 6 を用いて説明する。

まず、図 3 (a) に示すように、ダイヤモンド基板 10 を準備する。ダイヤモンド基板としては、例えば、結晶面が 100 の I b タイプが好んで用いられる。

40

【0025】

その後、図 3 (b) に示すように、ダイヤモンド基板上 10 上に水素終端のダイヤモンド層 11 をエピタキシャル成長させる。この水素終端ダイヤモンド層 11 は、例えば CH_4 ガスと H_2 ガスを用いたマイクロ波プラズマ CVD (Chemical Vapor Deposition) により成膜することができる。この成膜時に、例えば 900 から 940 の熱処理が加わるが、この 900 以上の熱処理により、水素終端ダイヤモンド層 11 は十分な半導体特性を有する膜となる。したがって、この熱処理以外に特段のアニール処理を行わなくてもよい。

【0026】

50

その後、図 3 (c) に示すように、水素終端ダイヤモンド層 1 1 上にレジストパターン 1 2 をリソグラフィにより形成し、そのレジストパターン 1 2 をマスクにして水素終端ダイヤモンド層 1 1 をエッチングしてメサ加工された水素終端ダイヤモンド半導体層 1 を形成する (図 3 (d) 参照) 。ここで、このエッチングには R I E (R e a c t i v e I o n E t c h i n g) などのドライエッチングを好んで用いることができる。

【 0 0 2 7 】

しかる後、図 4 (a) に示すように、レジストパターン 1 2 を N M P (n - m e t h y l - 2 - p y r r o l i d o n e) などのレジストストリッパー (溶剤) を用いて除去する。有機溶剤によるウェット除去であるため、水素終端ダイヤモンド半導体層 1 はほとんどダメージを受けない。一方、アッシングでは水素終端ダイヤモンド半導体層 1 の表面層がダメージを受けるので、レジストアッシング除去は好ましくない。

10

【 0 0 2 8 】

その後、図 4 (b) に示すように、第 1 の M O S トランジスタのゲート 8 (図 1 参照) を形成するためのレジストパターン 1 3 を形成する。このゲート 8 はリフトオフ法により形成するため、レジストパターン 1 3 は下層レジスト膜 1 3 1 と上層レジスト膜 1 3 2 からなり、上層レジスト膜 1 3 2 にリソグラフィにより第 1 の M O S トランジスタのゲート形成用パターンを形成し、下層レジスト膜 1 3 1 を上層レジスト膜 1 3 2 の現像と同時にそのアルカリ現像液によりエッチングして、リフトオフに好適なオーバーハング形状を得る。このときのレジスト膜厚は、例えば、下層レジスト 1 3 1 は $1.5 \sim 2.0 \mu\text{m}$ 、上層レジスト 1 3 2 は $0.3 \sim 0.7 \mu\text{m}$ である。現像は、上層レジスト 1 3 2 と下層レジスト 1 3 1 を一貫で行い、その現像時間は、例えば、 $1.5 \sim 3.0$ 分である。

20

この工程で素終端ダイヤモンド半導体層 1 が触れるのは下層レジスト膜 1 3 1 とアルカリ現像液だけであり、素終端ダイヤモンド半導体層 1 はほとんどダメージを受けない。

【 0 0 2 9 】

その後、図 4 (c) に示すように、絶縁膜 1 4 をデポジション (成膜) する。この絶縁膜 1 4 のデポジションは、水素終端ダイヤモンド半導体層 1 側から原子層成長法による絶縁膜 A とスパッタリング法による絶縁膜 B の 2 層膜からなるデポジションとする。ここで、絶縁膜 B は原子層成長法による TiO_2 膜に代えることもできる。

【 0 0 3 0 】

絶縁膜 A は、前駆体ガス投入、パージ、水蒸気の投入、パージという 4 つのステップを 1 サイクルとして、このサイクルを所望の膜厚になるまで繰り返すことによりデポジションされる。物理的衝撃が少なく温度も比較的低いデポジションであるため、機械的衝撃や高温処理によりレジストパターン 1 3 からレジスト成分が飛散し、露出している水素終端ダイヤモンド半導体層 1 にダメージを与え、汚染を引き起こすことは、このデポジションでは極めて起こりにくい。

30

【 0 0 3 1 】

絶縁膜 B のスパッタリング法としては R F スパッタリングを好んで用いることができるが、D C スパッタリングを用いることもできる。R F スパッタリングは成膜レートが高いので特に好ましい。

D C スパッタリングの場合は、例えば絶縁膜 B として Al_2O_3 をデポジションする場合は、 Al ターゲットを用い、反応性ガスとして O_2 ガス、バッファーガスとして Ar ガスなどを用いればよい。

40

R F スパッタリングは物理衝撃を伴うデポジションであるが、水素終端ダイヤモンド半導体層 1 の半導体面としてダメージとか汚染とかが問題となる界面は絶縁膜 A や下層レジスト膜 1 3 1 で覆われているため、この種の問題は起こりにくい構成となっている。

【 0 0 3 2 】

その後、図 4 (d) に示すように、メタルをデポジションする。メタルの材料は特に制約を受けないが、 Ti 、 Au 、 W 、 Pt などを好んで用いることができる。特に Ti をバリア層として下層に、上層に電気抵抗が低く腐食性も少ない Au を用いることが好ましい。デポジションの方法としては、蒸着法が好ましいが、スパッタリング法でも構わない。

50

このメタルのデポジションはある程度物理衝撃を伴うデポジションであるが、水素終端ダイヤモンド半導体層 1 の半導体面としてダメージとか汚染とかが問題となる界面は絶縁膜 A や下層レジスト膜 131 で覆われているため、この種の問題は起こりにくい構成となっている。

さらに、絶縁膜 14 の形成と同じレジストパターン 13 を使用しているので、セルフアラインでゲート絶縁膜パターンの上にメタル層が形成された第 1 の MOS トランジスタのゲート (図 1 参照) を形成することができる。加えて、絶縁膜 14 のデポジションによってレジストパターン 13 の開口部の間口が狭まるので、メタルがゲート絶縁膜パターンからはみ出して水素終端ダイヤモンド半導体層 1 に接触することを防ぐことができる。

【0033】

10

しかる後、図 5 (a) に示すように、レジストパターン 13 を NMP などのレジストストリッパー (有機溶剤) を用いて除去する。有機溶剤によるウェット除去であるため、水素終端ダイヤモンド半導体層 1 はほとんどダメージを受けない。この際、不要な絶縁膜やメタルはリフトオフ除去される。

【0034】

その後、図 5 (b) に示すように、第 2 の MOS トランジスタのゲート 9 (図 2 参照) を形成するためのレジストパターン 16 を形成する。このゲート 9 はリフトオフ法により形成するため、レジストパターン 16 は下層レジスト膜 161 と上層レジスト膜 162 からなり、上層レジスト膜 162 にリソグラフィにより第 2 の MOS トランジスタのゲート形成用パターンを形成し、下層レジスト膜 161 をアルカリ現像液によりエッチングして、リフトオフに好適なオーバーハング形状を得る。この工程で素終端ダイヤモンド半導体層 1 が触れるのは下層レジスト膜 161 とアルカリ現像液だけであり、素終端ダイヤモンド半導体層 1 はほとんどダメージを受けない。

20

【0035】

リフトオフ用のレジストパターン 16 を形成するに際して、180 5 分程度のホットプレートによる熱処理を行う。この熱処理の第 1 の目的は、リフトオフレジストパターンの作製であるが、絶縁膜 14 の熱処理も兼ねている。この熱処理により、下層を原子層成長法によって形成された絶縁膜、上層をスパッタリング法によって形成された絶縁膜又は原子層成長法によって形成された TiO_2 膜とした絶縁膜 14 を用いた MOS トランジスタは E - mode 動作をするようになる。

30

【0036】

その後、図 5 (c) に示すように、絶縁膜 17 をデポジションする。この絶縁膜 17 のデポジションは原子層成長法による単層膜のデポジションとする。

【0037】

絶縁膜 17 は、前駆体ガス投入、パージ、水蒸気の投入、パージという 4 つのステップを 1 サイクルとして、このサイクルを所望の膜厚になるまで繰り返すことによりデポジションされる。物理的衝撃が少なく温度も比較的低いデポジションであるため、機械的衝撃や高温処理によりレジストパターン 16 からレジスト成分が飛散し、露出している水素終端ダイヤモンド半導体層 1 にダメージを与え、汚染を引き起こすことは、このデポジションでは極めて起こりにくい。

40

【0038】

その後、図 5 (d) に示すように、メタルをデポジションする。メタルの材料は特に制約を受けないが、このメタル 18 はメタル 15 と同じあるものが好ましく、Ti、Au、W、Ptなどを好んで用いることができる。特にTiをバリヤ層として下層に、上層に電気抵抗が低く腐食性も少ないAuを用いることが好ましい。デポジションの方法としては、蒸着法が好ましいが、スパッタリング法でも構わない。

このメタルのデポジションはある程度物理衝撃を伴うデポジションであるが、水素終端ダイヤモンド半導体層 1 の半導体面としてダメージとか汚染とかが問題となる界面は絶縁膜 14, 17 や下層レジスト膜 161 で覆われているため、この種の問題は起こりにくい構成となっている。

50

さらに、絶縁膜 17 の形成と同じレジストパターン 16 を使用しているので、セルフアラインでゲート絶縁膜パターンの上にメタル層が形成された第 2 の MOS トランジスタのゲート (図 2 参照) を形成することができる。加えて、絶縁膜 17 のデポジションによってレジストパターン 16 の開口部の間口が狭まるので、メタルがゲート絶縁膜パターンからはみ出して水素終端ダイヤモンド半導体層 1 に接触することを防ぐことができる。

【0039】

しかる後、図 6 (a) に示すように、レジストパターン 16 を NMP などのレジストストリッパー (有機溶剤) を用いて除去する。

その後、図 6 (b) に示すように、電極を形成するためのレジストパターン 19 を形成する。電極はリフトオフ法により形成するため、レジストパターン 19 は下層レジスト膜 191 と上層レジスト膜 192 からなり、上層レジスト膜 192 にリソグラフィにより電極形成用パターンを形成し、下層レジスト膜 191 をアルカリ現像液によりエッチングして、リフトオフに好適なオーバーハング形状を得る。

【0040】

リフトオフ用のレジストパターン 19 を形成するに際して、180 5 分程度のホットプレートによる熱処理を行う。この熱処理の第 1 の目的は、リフトオフレジストパターンの作製であるが、絶縁膜 14 の熱処理も兼ねている。レジストパターン 16 を形成する際にも同様の熱処理を施しており、そのときの熱処理だけでも十分であるが、この電極形成用の熱処理も加わることにより、下層を原子層成長法によって形成された絶縁膜、上層をスパッタリング法によって形成された絶縁膜又は原子層成長法によって形成された TiO_2 膜とした絶縁膜 14 を用いた MOS トランジスタは安定して E - mode 動作をするようになる。

【0041】

その後、図 6 (c) に示すように、メタル 20 をデポジションする。メタルの材料は特に制約を受けないが、オーミックコンタクトがとれ、所定の電気抵抗以下が得られる材料から選ばれる。例えば、下側から Pd、Ti、Au からなる複合膜を好んで用いることができる。デポジションの方法としては、蒸着法が好ましいが、スパッタリング法でも構わない。

しかる後、図 6 (d) に示すように、レジストパターン 19 を NMP などのレジストストリッパー (有機溶剤) を用いて除去し、不要なメタルをリフトオフ除去して、E - mode、D - mode が混在している MOS トランジスタ 102 を製造する。

【0042】

なお、上記の方法では、第 1 の MOS トランジスタとして E - mode MOS トランジスタを第 2 の MOS トランジスタである D - mode MOS トランジスタに先行して形成した。この順番を変更して第 2 の D - mode MOS トランジスタを形成後に E - mode MOS トランジスタを形成することも可能であるが、後者の場合は E - mode MOS トランジスタの熱処理が減る。本発明の方法による E - mode MOS トランジスタは熱処理が重要なので、E - mode MOS トランジスタを D - mode MOS トランジスタに先行して形成して形成することが好ましい。

【0043】

本発明の E - mode MOS トランジスタの熱処理としては、上記の工程では最高温度 180 でレジストパターン 13 を形成する際に 5 分、レジストパターン 19 を形成する際に 5 分の計 10 分の熱処理とした。種々検討した結果、熱処理温度としては、150 以上 350 以下とすればよいことが分かった。一方、400 とすると E - mode 動作が不安定になる。

E - mode MOS トランジスタ単体を製造した場合は、400 でも十分安定した E - mode MOS トランジスタが得られたので、この事実は E - mode MOS トランジスタと D - mode MOS トランジスタを混載して製造した場合は、E - mode MOS トランジスタ単体を製造した場合とは異なるということを示している。

【0044】

< NOT 回路の製造方法 >

次に、NOT 回路の製造方法を図 7 を用いて説明する。なお、個々の詳細プロセスとその条件は前述の「混載 MOS トランジスタの製造方法」を参照されたい。

まず、図 7 (a) に示すように、ダイヤモンド基板 1 0 を準備する。

その後、図 7 (b) に示すように、ダイヤモンド基板上 1 0 上に水素終端のダイヤモンド層 1 1 をエピタキシャル成長させる。

その後、水素終端ダイヤモンド層 1 1 上にレジストパターンをリソグラフィにより形成し、そのレジストパターンをマスクにして水素終端ダイヤモンド層 1 1 をエッチングしてメサ加工された水素終端ダイヤモンド半導体層 1 を形成する (図 7 (c) 参照) 。

その後、図 7 (d) に示すように、第 1 の MOS トランジスタ (E - m o d e MOS トランジスタ) のゲート 1 2 0 (断面構造は図 1 の 8 を参照) を形成する。

次に、図 7 (e) に示すように、第 2 の MOS トランジスタ (D - m o d e MOS トランジスタ) のゲート 1 2 1 (断面構造は図 2 の 9 を参照) を形成する。

その後、図 7 (f) に示すように、電極 1 2 2 を形成する。ここで、電極のパターンは、第 1 の MOS トランジスタのドレインと第 2 の MOS トランジスタのソースとゲートが電氣的に接触するレイアウトとする。本方法によって、本発明の E - m o d e MOS トランジスタと D - m o d e MOS トランジスタからなる NOT 回路の 1 0 3 が製造される。その特性については実施例 2 のところで述べる。

【 0 0 4 5 】

< NOR 回路の製造方法 >

次に、NOR 回路の製造方法を図 8 を用いて説明する。なお、個々の詳細プロセスとその条件は前述の「混載 MOS トランジスタの製造方法」を参照されたい。

まず、図 8 (a) に示すように、ダイヤモンド基板 1 0 を準備する。

その後、図 8 (b) に示すように、ダイヤモンド基板上 1 0 上に水素終端のダイヤモンド層 1 1 をエピタキシャル成長させる。

その後、水素終端ダイヤモンド層 1 1 上にレジストパターンをリソグラフィにより形成し、そのレジストパターンをマスクにして水素終端ダイヤモンド層 1 1 をエッチングしてメサ加工された水素終端ダイヤモンド半導体層 1 を形成する (図 8 (c) 参照) 。

その後、図 8 (d) に示すように、第 1 の MOS トランジスタ (E - m o d e MOS トランジスタ) のゲート 1 2 0 を形成する。

次に、図 8 (e) に示すように、第 2 の MOS トランジスタ (D - m o d e MOS トランジスタ) のゲート 1 2 1 を形成する。

その後、図 8 (f) に示すように、電極 1 2 2 を形成する。本方法によって、本発明の E - m o d e MOS トランジスタと D - m o d e MOS トランジスタからなる NOR 回路の 1 0 4 が製造される。その特性については実施例 3 のところで述べる。

【 実施例 】

【 0 0 4 6 】

以下では実施例により本発明をさらに詳細に説明するが、この実施例はあくまで本発明の理解を助けるためここに挙げたものであり、本発明をこれに限定するものではない。

【 0 0 4 7 】

(実施例 1)

実施例 1 では、本発明による半導体装置の製造方法とその電気特性について述べる。

< 半導体装置の製造方法 >

まず、Element Six Company の I b タイプのダイヤモンド基板 1 0 を準備した (図 3 (a) 参照) 。その結晶面は 1 0 0 である。

その後、図 3 (b) に示すように、ダイヤモンド基板上 1 0 上に水素終端のダイヤモンド層 1 1 を約 1 5 0 n m の厚さでエピタキシャル成長させた。その成膜には、C H ₄ ガスと H ₂ ガスを使用したマイクロ波プラズマ C V D を用いた。C H ₄ 及び H ₂ のガス流量はそれぞれ 0 . 5 s c c m 、 5 0 0 s c c m とした。圧力は 8 0 P a である。成膜中の温度は 9 0 0 から 9 4 0 まで変化した。

10

20

30

40

50

【0048】

その後、図3(c)に示すように、水素終端ダイヤモンド層11上にレジストパターン12をリソグラフィにより形成し、そのレジストパターン12をマスクにして水素終端ダイヤモンド層11をエッチングしてメサ加工された水素終端ダイヤモンド半導体層1を形成した(図3(d)参照)。

レジストとしてはAZ5214E(Clariant(株))を用い、その膜厚は0.3~0.7 μ mとし、レジスト塗布後1102分のベークを行った。描画にはレーザーライターを用い、TMAH(Tetramethylammonium hydroxide)が2.38重量%の現像液を用いて1.0~2.0分の現像を行った。

水素終端ダイヤモンド層11のエッチングは容量結合プラズマRIEで行った。O₂ガスを用い、その流量は100sccmとした。圧力は10Paである。50Wで1.5分エッチングした。

しかる後、図4(a)に示すように、レジストパターン12をNMP(n-methyl-2-pyrrolidone)で除去した。除去時間は30分であり、室温下で除去した。

【0049】

その後、図4(b)に示すように、第1のMOSトランジスタのゲート8を形成するためのレジストパターン13を形成した。レジストパターン13は下層レジスト膜131と上層レジスト膜132からなる。下層レジスト膜131としては、LOA5A(日本化薬(株))を用い、その膜厚は1.5~2.0 μ mとした。塗布後のベーク温度は180であり、ベーク時間は5分とした。また、上層レジスト膜132としては、AZ5214Eを用い、その膜厚は0.3~0.7 μ mとし、レジスト塗布後1102分のベークを行った。描画にはレーザーライターを用い、TMAHが2.38重量%の現像液を用いて1.5~3.0分の現像を行った。

【0050】

その後、図4(c)に示すように、絶縁膜14をデポジションした。この絶縁膜14のデポジションは、水素終端ダイヤモンド半導体層1側から原子層成長法による絶縁膜Aとスパッタリング法による絶縁膜Bの2層膜からなるデポジションとした。

【0051】

絶縁膜Aは、前駆体をTMA(Tetra Methyl Alminium)、パージを150sccmのN₂ガスとし、TMA投入、N₂ガスパージ、水蒸気投入、パージの4ステップを1サイクルにして膜厚が4.0nmになるまでそのサイクルを繰り返した。TMA及び水蒸気の投入時間は0.1秒、パージの時間は4.0秒とした。

【0052】

絶縁膜BはRFスパッタリングにより成膜した。ターゲットとしてLaAlO₃を用い、30W、室温(23から30)の条件で成膜した。スパッタガスはArで、その流量は2sccm、圧力は1Paとした。成膜された絶縁膜BであるLaAlO₃膜の膜厚は29.7nmである。

【0053】

その後、図4(d)に示すように、メタルをデポジションした。メタルとしては、下層に膜厚が10nmのTiを、上層に膜厚が100nmのAuを用い、それらを蒸着法により成膜した。Ti及びAuの蒸着速度はそれぞれ0.05nm/s、0.2nm/sであった。蒸着時のチャンパー内の圧力は1.0 $\times$ 10⁻⁵Paから2.5 $\times$ 10⁻⁵Paであった。絶縁膜14の形成と同じレジストパターン13を使用しているので、セルフアラインでゲート絶縁膜パターンの上にメタル層が形成された第1のMOSトランジスタのゲートを形成することができた。

【0054】

しかる後、図5(a)に示すように、レジストパターン13をNMPを用いて除去した。この除去は室温下で3時間かけて行った。この際、不要な絶縁膜やメタルはリフトオフ除去された。

10

20

30

40

50

【 0 0 5 5 】

その後、図 5 (b) に示すように、第 2 の M O S トランジスタのゲート 9 (図 2 参照) を形成するためのレジストパターン 1 6 を形成した。レジストパターン 1 6 は下層レジスト膜 1 6 1 と上層レジスト膜 1 6 2 からなる。下層レジスト膜 1 6 1 としては、L O A 5 A を用い、その膜厚は $1.5 \sim 2.0 \mu\text{m}$ とした。塗布後のベーク温度は 180°C であり、ベーク時間は 5 分とした。また、上層レジスト膜 1 6 2 としては、A Z 5 2 1 4 E を用い、その膜厚は $0.3 \sim 0.7 \mu\text{m}$ とし、レジスト塗布後 1 1 0 2 分のベークを行った。描画にはレーザーライターを用い、T M A H が 2 . 3 8 重量 % の現像液を用いて 1 . 5 ~ 3 . 0 分の現像を行った。

【 0 0 5 6 】

その後、図 5 (c) に示すように、絶縁膜 1 7 をデポジションした。この絶縁膜 1 7 のデポジションは原子層成長法による単層膜とし、 Al_2O_3 膜をデポジションした。ここでは、前駆体を T M A 、パージを 150 sccm の N_2 ガスとし、T M A 投入、 N_2 ガスパージ、水蒸気投入、パージの 4 ステップを 1 サイクルにして膜厚が 30.4 nm になるまでそのサイクルを繰り返した。T M A 及び水蒸気の投入時間は 0 . 1 秒、パージの時間は 4 . 0 秒とした。

【 0 0 5 7 】

その後、図 5 (d) に示すように、メタル 1 8 をデポジションした。メタル 1 8 としては、下層に膜厚が 10 nm の T i を、上層に膜厚が 100 nm の A u を用い、それらを蒸着法により成膜した。T i 及び A u の蒸着速度はそれぞれ 0.05 nm/s 、 0.2 nm/s であった。蒸着時のチャンバー内の圧力は $1.0 \times 10^{-5} \text{ Pa}$ から $2.5 \times 10^{-5} \text{ Pa}$ であった。絶縁膜 1 7 の形成と同じレジストパターン 1 6 を使用しているため、セルフアラインでゲート絶縁膜パターンの上にメタル層が形成された第 2 の M O S トランジスタのゲートを形成することができた。

【 0 0 5 8 】

しかる後、図 6 (a) に示すように、レジストパターン 1 6 を N M P を用いて除去した。この除去は室温下で 3 時間かけて行った。この際、不要な絶縁膜やメタルはリフトオフ除去された。

その後、図 6 (b) に示すように、電極を形成するためのレジストパターン 1 9 を形成した。レジストパターン 1 9 は下層レジスト膜 1 9 1 と上層レジスト膜 1 9 2 からなる。下層レジスト膜 1 9 1 としては、L O A 5 A を用い、その膜厚は $1.5 \sim 2.0 \mu\text{m}$ とした。塗布後のベーク温度は 180°C であり、ベーク時間は 5 分とした。また、上層レジスト膜 1 9 2 としては、A Z 5 2 1 4 E を用い、その膜厚は $0.3 \sim 0.7 \mu\text{m}$ とし、レジスト塗布後 1 1 0 2 分のベークを行った。描画にはレーザーライターを用い、T M A H が 2 . 3 8 重量 % の現像液を用いて 1 . 5 ~ 3 . 0 分の現像を行った。

【 0 0 5 9 】

その後、図 6 (c) に示すように、メタル 2 0 をデポジションした。メタル 2 0 としては、下層に膜厚が 10 nm のパラジウム (P d)、中間層に膜厚が 20 nm の T i、そして上層に膜厚が 100 nm の A u を用い、それらを蒸着法により成膜した。P d、T i 及び A u の蒸着速度はそれぞれ 0.05 nm/s 、 0.05 nm/s 、 0.2 nm/s であった。蒸着時のチャンバー内の圧力は $1.0 \times 10^{-5} \text{ Pa}$ から $2.5 \times 10^{-5} \text{ Pa}$ であった。

しかる後、図 6 (d) に示すように、レジストパターン 1 9 を N M P を用いて除去した。この除去は室温下で 3 時間かけて行った。この際、不要なメタルはリフトオフ除去された。

以上の工程により、E - m o d e、D - m o d e が混在している M O S トランジスタ 1 0 2 を製造した。

【 0 0 6 0 】

< 半導体装置の電気特性 >

前述の「半導体装置の製造法」によって作製した第 1 のトランジスタ (E - m o d e M

10

20

30

40

50

OSトランジスタ)と第2のトランジスタ(D-mode MOSトランジスタ)の上面SEM(Scanning Electron Microscope)像を、それぞれ図9(a)及び図9(b)に示す。第1のMOSトランジスタのゲート長(L_g)は $2.0\mu\text{m}$ 、第2のMOSトランジスタのゲート長(L_g)は $3.0\mu\text{m}$ であった。

また、各々のゲートは各々に対するソースおよびドレインに対してオフセット形成されており、第1のトランジスタの場合は、ゲートとソースの間隔が $1.2\mu\text{m}$ 、ゲートとドレインの間隔が $1.3\mu\text{m}$ であった。第2のトランジスタの場合は、ゲートとソースの間隔が $1.5\mu\text{m}$ 、ゲートとドレインの間隔が $2.0\mu\text{m}$ であった。

【0061】

作製したMOSトランジスタの $V_{DS} - I_{DS}$ 特性(ドレインとソース間の電圧—電流特性)を図10に示す。ここで、同図の(a)は第1のトランジスタの場合で、(b)は第2のトランジスタの場合である。 V_{GS} (ゲートとソース間の電圧)を -1.0V から $+6.0\text{V}$ まで $+1.0\text{V}$ 刻みで振ったデータと、最上端のデータは V_{GS} が 6.0V の場合を示す。なお、第1のトランジスタ(図10(a))の場合は、 -9.0V から 0.0V のデータが図上重なっていてその判別が難しくなっている。図10から明らかなように、第1と第2のどちらのトランジスタもピンチオフ特性とpチャンネル特性を示している。

【0062】

I_{DS} の最大値は、第1のトランジスタが -69.3mA/mm 、第2のトランジスタが -112.4mA/mm であった。 V_{GS} が -10.0V のときのゲート幅(W_g)で規格化したオン抵抗は、第1のトランジスタが $63.5\Omega\cdot\text{mm}$ 、第2のトランジスタが $56.0\Omega\cdot\text{mm}$ であった。図11(a)の $V_{GS} - I_{DS}$ 特性から示されるように、ゲートの閾値電圧(V_{TH})は、第1のトランジスタが $-5.0\pm 0.1\text{V}$ 、第2のトランジスタが $5.3\pm 0.1\text{V}$ であった。なお、第1のトランジスタと第2のトランジスタで I_{DS} の最大値及び V_{TH} の値は異なっているが、図11(b)に示さるように、伝達コンダクタンス g_m の最大値は、第1のトランジスタが 16.8mS/mm 、第2のトランジスタが 17.0mS/mm とほぼ同等であった。

以上のことから、想定通りに、第1のトランジスタはE-mode MOSトランジスタとしての動作を行い、第2のトランジスタはD-mode MOSトランジスタとしての動作をすることを確認した。

【0063】

(実施例2)

実施例2では、本発明によるNOTロジック回路について述べる。

実施例1で述べた製造プロセスを用いて図12に示すNOTロジック回路を作製し、その電気特性を調べた。

図12の(a)は作製したNOTロジック回路の上面光学顕微鏡写真であり、(b)はその電気回路図を示す。作製したロジック回路は、第1のトランジスタ(E-mode MOSトランジスタ)のソースをグラウンドとし、第1のトランジスタのドレインと第2のトランジスタ(D-mode MOSトランジスタ)のソース及びゲートを電氣的に接合して出力端子とした回路となっている。入力端子は第1のトランジスタのゲートであり、電源を第2のトランジスタのドレインから供給する。

【0064】

このNOT回路の入力電圧(V_{in})と出力電圧(V_{out})の関係を図13に示す。同図では、パラメータとして電源電圧(V_{DD})を -5.0V から -25.0V まで 5.0V 刻みで振っている。図13に示されるように、入力電圧 V_{in} として 0V を与えた場合には、出力電圧 V_{out} は電源電圧 V_{DD} とほぼ同じ値となり、入力電圧 V_{in} として -10V を与えた場合には、出力電圧 V_{out} はグラウンドレベルに近い値となって、この回路はロジック的にNOT動作をしていることが確認された。

【0065】

このNOT回路の利得特性を図14に示す。ここで、利得(Gain)は $-dV_{out}$

$/dV_{in}$ で定義し、入力電圧 V_{in} に対する値として図示した。その結果、電源電圧 V_{DD} を -5.0 V から -25.0 V に負電位を上げるにしたがい利得が 1.1 から 26.1 に大幅に向上することが確認された。

【0066】

(実施例3)

実施例3では、本発明によるNORロジック回路について述べる。

図15の(a)は作製したNORロジック回路の上面光学顕微鏡写真であり、(b)はその電気回路図を示す。作製したロジック回路は、2個のE-mode MOSトランジスタと1個のD-mode MOSトランジスタからなり、2個のE-mode MOSトランジスタはソース同士が電氣的に繋がれて、グラウンドに落とされている。また、2個のE-mode MOSトランジスタのドレインとD-mode MOSトランジスタのソース及びゲートを電氣的に接合して出力端子とした回路になっている。電源はD-mode MOSトランジスタのドレイン側から供給し、2個のE-mode MOSトランジスタのゲートからそれぞれ入力信号1及び2を供給する構成となっている。

10

【0067】

この回路のロジック動作を評価した例を図16に示す。図16は、60秒ごとに入力電圧(V_{in1} , V_{in2})を変化させて、その時の出力電圧 V_{out} を測定した例である。入力電圧 -10 V をロジック的に入力信号1、入力電圧 0 V を入力信号0とすると、入力信号(1, 1)の場合には出力電圧 V_{out} は $-0.85 \pm 0.05\text{ V}$ 、入力信号(1, 0)の場合には出力電圧 V_{out} は $-1.86 \pm 0.10\text{ V}$ 、入力信号(0, 1)の場合には出力電圧 V_{out} は $-1.92 \pm 0.10\text{ V}$ 、そして入力信号(0, 0)の場合には出力電圧 V_{out} は -10.0 V となった。この結果から、このロジック回路はNOR動作をしていることが確認できた。

20

【産業上の利用可能性】

【0068】

以上、本発明により、E-mode動作をするMOSトランジスタとD-mode動作をするトランジスタが混載されたダイヤモンド半導体装置、及びNOT動作やNOR動作を行うロジック回路が組み込まれたダイヤモンド半導体装置を提供することが可能になる。このため、本発明は、ロジック回路が組み込まれた大電力、高周波、高温対応の半導体装置の道を切り開くものとなっており、産業上大いに利用されることが期待される。

30

【符号の説明】

【0069】

- 1：水素終端ダイヤモンド半導体層
- 2：下層絶縁層
- 3：上層絶縁層
- 4：絶縁層
- 5：メタル層
- 6：ソース
- 7：ドレイン
- 8：ゲート
- 9：ゲート
- 10：ダイヤモンド基板
- 11：水素終端ダイヤモンド半導体層
- 12：レジストパターン
- 13：レジストパターン
- 14：第1の絶縁膜
- 15：メタル
- 16：レジストパターン
- 17：第2の絶縁膜
- 18：メタル

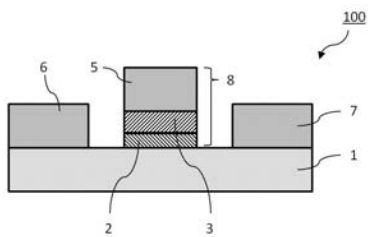
40

50

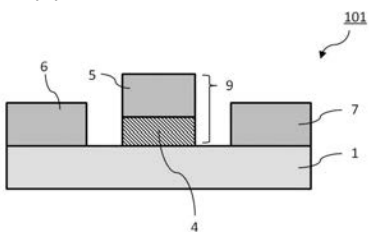
- 19 : レジストパターン
- 20 : メタル
- 100 : E - mode MOS トランジスタ
- 101 : D - mode MOS トランジスタ
- 102 : D - mode , E - mode 混載 MOS トランジスタ
- 103 : NOT 回路
- 104 : NOR 回路
- 16 : レジストパターン
- 17 : 第 2 の絶縁膜
- 131 : 下層レジスト膜
- 132 : 上層レジスト膜
- 161 : 下層レジスト膜
- 162 : 上層レジスト膜
- 191 : 下層レジスト膜
- 192 : 上層レジスト膜

10

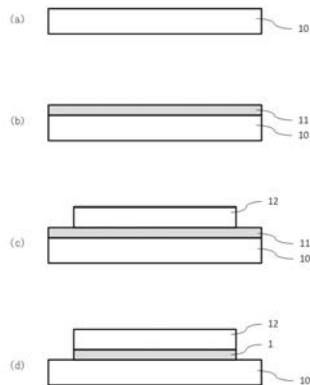
【 図 1 】



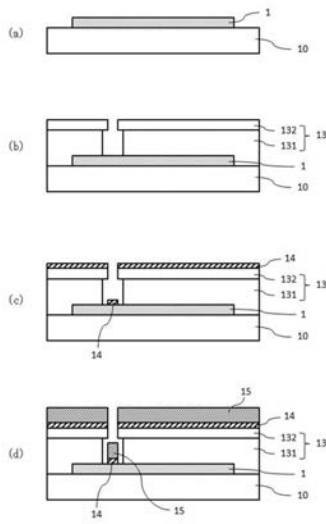
【 図 2 】



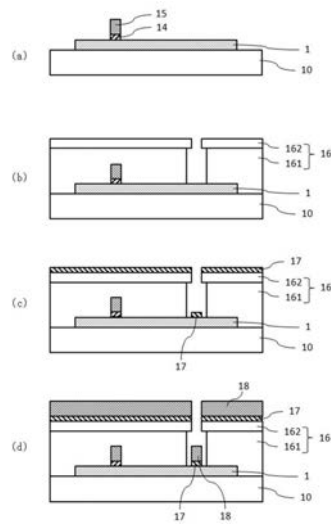
【 図 3 】



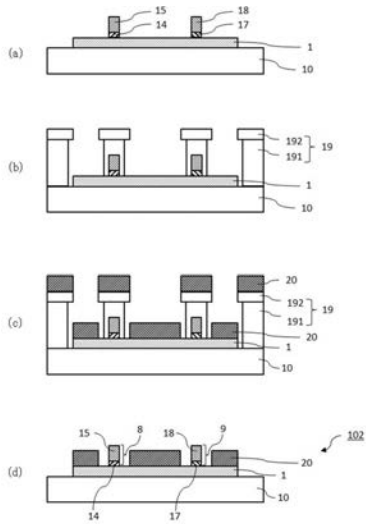
【図 4】



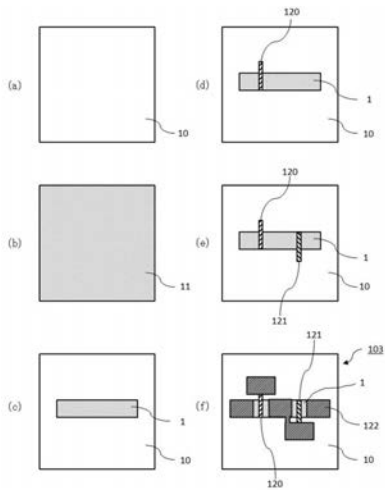
【図 5】



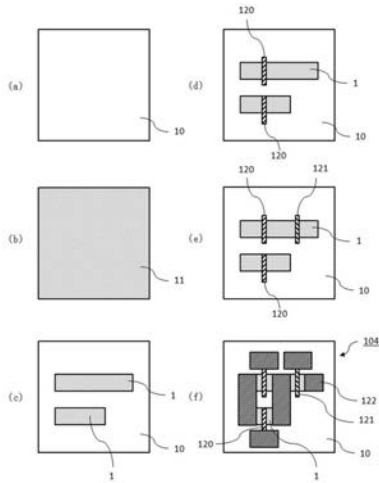
【図 6】



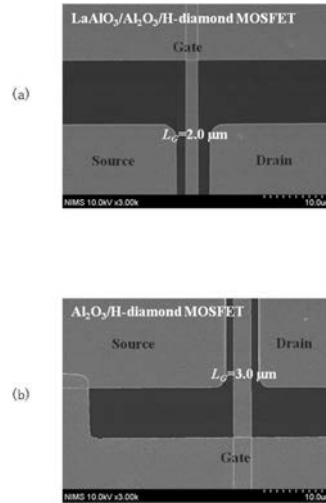
【図 7】



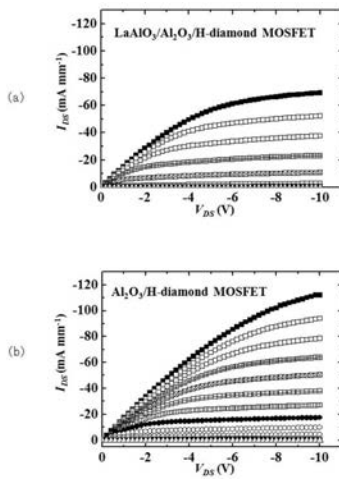
【図 8】



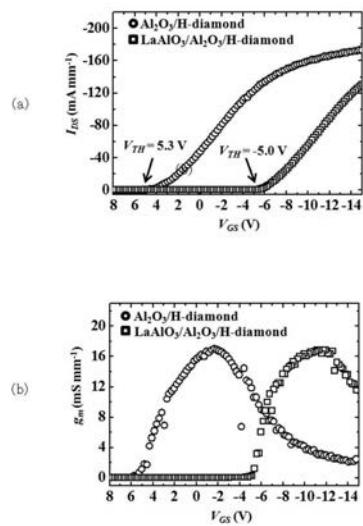
【図 9】



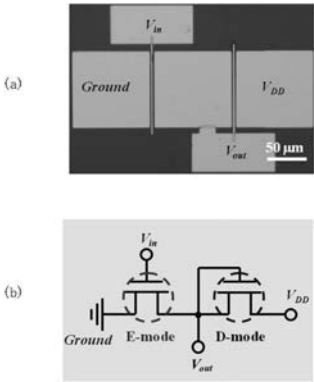
【図 10】



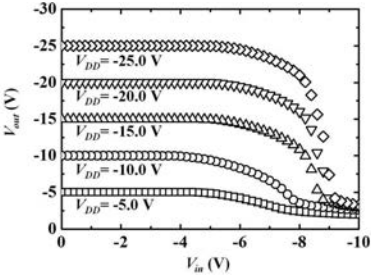
【図 11】



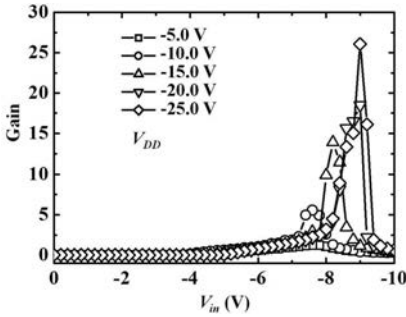
【 図 1 2 】



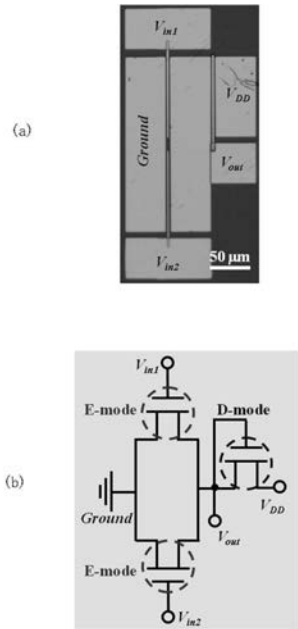
【 図 1 3 】



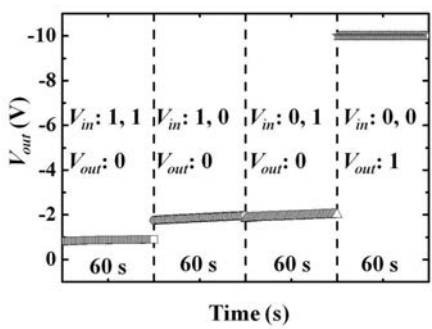
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/316 (2006.01)

(72)発明者 井村 将隆

茨城県つくば市千現一丁目2番地1 国立研究開発法人物質・材料研究機構内

Fターム(参考) 5F048 AA05 AB03 AB04 AC02 BA02 BA10 BA14 BB03 BB09 BB11
BB15 BB16 BB17 BD02 BD10 BF07
5F058 BB10 BC03 BC09 BD01 BF02 BF12 BF14 BF27 BF29 BF37
BH01 BJ04
5F140 AB02 BA04 BA16 BD01 BD04 BD11 BD12 BD13 BE09 BE10
BF07 BF11 BF15 BJ07 BJ11 BJ15 CE02