

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G11C 11/15	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년05월16일 10-0489573 2005년05월04일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0044131 2002년07월26일	(65) 공개번호 (43) 공개일자	10-2003-0043596 2003년06월02일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2001-00360441 2001년11월27일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시카가이사  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 히다카히 데또  
일본도쿄도지요다쿠마루노우찌2쵸메2-3미쓰비시덴키가부시카가이사  
내

(74) 대리인 장수길  
구영창

심사관 : 오응기

(54) 용장 구성을 갖는 박막 자성체 기억 장치

요약

데이터 기입 시에 있어서, 선택 행의 라이트 워드선 WWL에 대한 데이터 기입 전류의 공급은, 용장 판정을 대기하지 않고 제1 시각으로부터 개시된다. 한편, 선택 행의 비트선 BL 또는 서브 비트선 SBL에 대한 데이터 기입 전류  $\pm I_w$ 의 공급은, 용장 판정 결과를 반영하여 제1 시각 이후의 제2 시각으로부터 개시된다. 용장 판정은 제1 및 제2 시각 사이에 실행된다. 선택 메모리 셀에 대하여, 라이트 워드선 및 비트선을 각각 흐르는 데이터 기입 전류는, 각각 자화 곤란축 및 자화 용이축에 따른 방향의 자계를 발생시킨다.

대표도

도 1

색인어

정규 메모리 셀, 스페어 메모리 셀, 자화 방향, 용장 판정, 자화 곤란축, 자화 용이축

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 MRAM 디바이스(1)의 전체 구성을 도시하는 개략적인 블록도.

도 2는 도 1에 도시한 메모리 어레이의 구성을 도시하는 블록도.

도 3은 각 서브 블록의 구성을 도시하는 회로도.

도 4는 도 3에 도시한 데이터 판독 회로의 구성을 도시하는 회로도.

도 5는 도 1에 도시한 데이터 I/O 회로의 구성을 도시하는 블록도.

도 6은 도 5에 도시한 라이트 드라이버의 구성을 도시하는 회로도.

도 7은 도 5에 도시한 용장 제어 회로의 구성을 도시하는 회로도.

도 8a는 실시예 1에 따른 MRAM 디바이스에서의 데이터 기입 동작의 동작 타이밍을 도시하는 동작 파형도.

도 8b는 실시예 1에 따른 MRAM 디바이스에서의 데이터 판독 동작의 동작 타이밍을 도시하는 동작 파형도.

도 9는 데이터 기입 동작 시에 있어서의 터널 자기 저항 소자의 자화 거동을 설명하는 개념도.

도 10은 자유 자화층에서의 바람직하지 않은 자화 상태를 설명하는 개념도.

도 11은 실시예 1의 변형예에 따른 데이터 I/O 회로의 구성을 도시하는 블록도.

도 12는 실시예 2에 따른 MRAM 디바이스의 용장 구성을 도시하는 개략적인 블록도.

도 13은 실시예 2의 변형예에 따른 MRAM 디바이스의 용장 구성을 설명하는 블록도.

도 14는 MTJ 메모리 셀의 구성을 도시하는 개략도.

도 15는 MTJ 메모리 셀로부터의 데이터 판독 동작을 설명하는 개념도.

도 16은 MTJ 메모리 셀에 대한 데이터 기입 동작을 설명하는 개념도.

도 17은 MTJ 메모리 셀에 대한 데이터 기입 시에 있어서의 데이터 기입 전류와 터널 자기 저항 소자의 자화 방향과의 관계를 설명하는 개념도.

<도면의 주요 부분에 대한 부호의 설명>

1 : MRAM 디바이스

2 : 어드레스 단자

4 : 데이터 단자

5 : 컨트롤 회로

10 : 메모리 어레이

20 : 디코드 회로

30 : 선택선 드라이브 회로

50, 51 : 데이터 I/O 회로

60, 60a, 60b : 용장 제어 회로

65 : 신호 셀렉터

70, 70s : 데이터 판독 회로

71, 72, 73 : 접속 스위치

100 : 프로그램 회로

ADD : 어드레스 신호

ATR : 액세스 트랜지스터

BL, /BL : 비트선  
 CSG : 컬럼 선택 게이트  
 CSL : 컬럼 선택선  
 DAT : 데이터 신호  
 DIN : 기입 데이터  
 DMC : 더미 메모리 셀  
 DOUT : 판독 데이터  
 FAD : 불량 어드레스  
 FAMP, RAP : 리드 증폭기  
 IO, /IO : 데이터 입출력선  
 IOP : 데이터 입출력선쌍  
 $I_p, \pm I_w$  : 데이터 기입 전류  
 $I_s$  : 감지 전류(데이터 판독 전류)  
 LDO : 판독 데이터  
 LIO, /LIO : 로컬 데이터 입출력선  
 LIOP : 로컬 데이터 입출력선쌍  
 MBa, MBa, MBb : 메모리 블록  
 MC : 정규 메모리 셀  
 NIOB : 노멀 IO 블록  
 $N_d$  : 데이터 노드  
 $N_{ds}$  : 스페어 데이터 노드  
 RBS : 블록 행 선택 신호  
 RSG, RSGa, RSGb : 용장 제어 신호  
 RSW : 치환 스위치  
 RWL : 리드 워드선  
 SB : 서브 블록  
 SBL, /SBL : 스페어 비트선  
 SBLP : 스페어 비트선쌍  
 SIO, /SIO : 스페어 데이터 입출력선  
 SIOP, SIOPa, SIOPb : 스페어 입출력선쌍  
 SMC : 스페어 메모리 셀

SSB : 스페어 서브 블록

SSW : 시프트 스위치

TMR : 터널 자기 저항 소자

WRD : 라이트 드라이버

WWL : 라이트 워드선

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 자성체 기억 장치에 관한 것으로, 보다 특정적으로는 용장 구성을 갖는 박막 자성체 기억 장치에 관한 것이다.

저소비 전력으로 불휘발적인 데이터의 기억이 가능한 기억 장치로서, MRAM(Magnetic Random Access Memory) 디바이스가 주목받고 있다. MRAM 디바이스는, 반도체 집적 회로에 형성된 복수의 박막 자성체를 이용하여 불휘발적인 데이터 기억을 행하며, 박막 자성체 각각에 대하여 랜덤 액세스가 가능한 기억 장치이다.

특히, 최근에는 자기 터널 접합(MTJ: Magnetic Tunnel Junction)을 이용한 박막 자성체를 메모리 셀로서 이용함으로써, MRAM 디바이스의 성능이 비약적으로 진보되는 것이 발표되었다. 자기 터널 접합을 갖는 메모리 셀을 구비한 MRAM 디바이스에 대해서는, "A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell", ISSCC Digest of Technical Papers, TA7.2, Feb. 2000., "Nonvolatile RAM based on Magnetic Tunnel Junction Elements", ISSCC Digest of Technical Papers, TA7.3, Feb.2000., 및 "A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM", ISSCC Digest of Technical Papers, TA7.6, Feb.2001. 등의 기술 문헌에 개시되어 있다.

도 14는 자기 터널 접합부를 갖는 메모리 셀(이하, 간단하게 「MTJ 메모리 셀」 로도 칭함)의 구성을 도시하는 개략도이다.

도 14를 참조하면, MTJ 메모리 셀은, 기억 데이터 레벨에 따라 전기 저항이 변화되는 터널 자기 저항 소자 TMR과, 데이터 판독 시에 터널 자기 저항 소자 TMR을 통과하는 감지 전류  $I_s$ 의 경로를 형성하기 위한 액세스 소자 ATR을 구비한다. 액세스 소자 ATR은, 대표적으로는 전계 효과형 트랜지스터로 형성되기 때문에, 이하에서는, 액세스 소자 ATR을 액세스 트랜지스터 ATR로도 칭한다. 액세스 트랜지스터 ATR은 터널 자기 저항 소자 TMR과 고정 전압(접지 전압  $V_{ss}$ ) 사이에 결합된다.

MTJ 메모리 셀에 대하여, 데이터 기입을 지시하기 위한 라이트 워드선 WWL과, 데이터 판독을 실행하기 위한 리드 워드선 RWL과, 데이터 판독 및 데이터 기입에서, 기억 데이터의 데이터 레벨에 대응한 전기 신호를 전달하기 위한 데이터선인 비트선 BL이 배치된다.

도 15는 MTJ 메모리 셀로부터의 데이터 판독 동작을 설명하는 개념도이다.

도 15를 참조하면, 터널 자기 저항 소자 TMR은 고정된 일정한 자화 방향을 갖는 강자성체층(이하, 간단하게 「고정 자화층」으로도 칭함) FL과, 외부로부터의 인가 자계에 따른 방향으로 자화되는 강자성체층(이하, 간단하게 「자유 자화층」으로도 칭함) VL을 갖는다. 고정 자화층 FL 및 자유 자화층 VL 사이에는, 절연체막으로 형성되는 터널 배리어(터널막) TB가 형성된다. 자유 자화층 VL은, 기입되는 기억 데이터의 레벨에 따라, 고정 자화층 FL과 동일 방향 또는 고정 자화층 FL과 반대 방향으로 자화된다. 고정 자화층 FL, 터널 배리어 TB 및 자유 자화층 VL에 의해, 자기 터널 접합이 형성된다.

데이터 판독 시에 있어서는, 리드 워드선 RWL의 활성화에 따라 액세스 트랜지스터 ATR이 턴 온한다. 이에 의해, 비트선 BL~터널 자기 저항 소자 TMR~액세스 트랜지스터 ATR~접지 전압  $V_{ss}$ 의 전류 경로에, 감지 전류  $I_s$ 를 흘릴 수 있다.

터널 자기 저항 소자 TMR의 전기 저항은, 고정 자화층 FL 및 자유 자화층 VL의 각각의 자화 방향의 상대 관계에 따라 변화된다. 구체적으로는, 고정 자화층 FL의 자화 방향과, 자유 자화층 VL의 자화 방향이 동일(평행)한 경우에는, 양자의 자화 방향이 반대(반평행) 방향인 경우에 비해 터널 자기 저항 소자 TMR의 전기 저항이 작아진다.

따라서, 자유 자화층 VL을 기억 데이터에 따른 방향으로 자화하면, 감지 전류  $I_s$ 에 의해 터널 자기 저항 소자 TMR에서 발생하는 전압 변화는, 기억 데이터 레벨에 따라 다르다. 따라서, 예를 들면 비트선 BL을 일정 전압으로 프리차지한 후에, 터널 자기 저항 소자 TMR에 감지 전류  $I_s$ 를 흘리면, 비트선 BL의 전압을 검지함으로써, MTJ 메모리 셀의 기억 데이터를 판독할 수 있다.

도 16은 MTJ 메모리 셀에 대한 데이터 기입 동작을 설명하는 개념도이다.

도 16을 참조하면, 데이터 기입 시에 있어서는, 리드 워드선 RWL이 비활성화되며, 액세스 트랜지스터 ATR은 턴 오프된다. 이 상태에서, 자유 자화층 VL을 기입 데이터에 따른 방향으로 자화하기 위한 데이터 기입 전류가, 라이트 워드선 WWL 및 비트선 BL에 각각 흐른다. 자유 자화층 VL의 자화 방향은, 라이트 워드선 WWL 및 비트선 BL을 각각 흐르는 데이터 기입 전류에 의해 결정된다.

도 17은 MTJ 메모리 셀에 대한 데이터 기입 시에 있어서는 데이터 기입 전류와 터널 자기 저항 소자의 자화 방향과의 관계를 설명하는 개념도이다.

도 17을 참조하면, 횡축 H(EA)는 터널 자기 저항 소자 TMR 내의 자유 자화층 VL에서 자화 용이축(EA: Easy Axis) 방향으로 인가되는 자계를 나타낸다. 한편, 종축 H(HA)는, 자유 자화층 VL에서 자화 곤란축(HA: Hard Axis) 방향으로 작용하는 자계를 나타낸다. 자계 H(EA) 및 H(HA)는, 비트선 BL 및 라이트 워드선 WWL을 각각 흐르는 전류에 의해 발생하는 2개의 자계의 한쪽씩에 각각 대응한다.

MTJ 메모리 셀에서는, 고정 자화층 FL의 고정된 자화 방향은 자유 자화층 VL의 자화 용이축을 따르고, 자유 자화층 VL은, 기억 데이터의 레벨("1" 및 "0")에 따라, 자화 용이축 방향을 따라, 고정 자화층 FL과 평행(동일) 혹은 반평행(반대) 방향으로 자화된다. 이하, 본 명세서에서는, 자유 자화층 VL의 2종류의 자화 방향에 각각 대응하는 터널 자기 저항 소자 TMR의 전기 저항을  $R_{max}$  및  $R_{min}$ (단,  $R_{max} > R_{min}$ )으로 각각 나타내는 것으로 한다. MTJ 메모리 셀은, 이러한 자유 자화층 VL의 2종류의 자화 방향과 대응시켜, 1비트의 데이터("1" 및 "0")를 기억할 수 있다.

자유 자화층 VL의 자화 방향은, 인가되는 자계 H(EA) 및 H(HA)의 합이, 도 17에 도시하는 아스테로이드 특성선의 외측의 영역에 달하는 경우에만 새롭게 재기입할 수 있다. 즉, 인가된 데이터 기입 자계가 아스테로이드 특성선의 내측의 영역에 상당하는 강도인 경우에는, 자유 자화층 VL의 자화 방향은 변화되지 않는다.

아스테로이드 특성선으로 나타낸 바와 같이, 자유 자화층 VL에 대하여 자화 곤란축 방향의 자계를 인가함으로써, 자화 용이축을 따른 자화 방향을 변화시키는 데 필요한 자화 임계치를 내릴 수 있다.

도 17의 예와 같이 데이터 기입 시의 동작점을 설계한 경우에는, 데이터 기입 대상인 MTJ 메모리 셀에서, 자화 용이축 방향의 데이터 기입 자계는, 그 강도가  $H_{WR}$ 로 되도록 설계된다. 즉, 이 데이터 기입 자계  $H_{WR}$ 이 얻어지도록, 비트선 BL 또는 라이트 워드선 WWL을 흐르는 데이터 기입 전류의 값이 설계된다. 일반적으로, 데이터 기입 자계  $H_{WR}$ 은, 자화 방향의 전환에 필요한 스위칭 자계  $H_{SW}$ 와, 마진분  $\Delta H$ 와의 합으로 나타낸다. 즉,  $H_{WR} = H_{SW} + \Delta H$ 로 나타낸다.

MTJ 메모리 셀의 기억 데이터, 즉 터널 자기 저항 소자 TMR의 자화 방향을 재기입하기 위해서는, 라이트 워드선 WWL과 비트선 BL과의 양방에 소정 레벨 이상의 데이터 기입 전류를 흘릴 필요가 있다. 이에 의해, 터널 자기 저항 소자 TMR 내의 자유 자화층 VL은, 자화 용이축(EA)을 따른 데이터 기입 자계의 방향에 따라, 고정 자화층 FL과 평행 혹은, 반대(반평행) 방향으로 자화된다. 터널 자기 저항 소자 TMR에 일단 기입된 자화 방향, 즉 MTJ 메모리 셀의 기억 데이터는 새로운 데이터 기입이 실행되기까지의 동안 불휘발적으로 유지된다.

이와 같이 터널 자기 저항 소자 TMR은, 인가되는 데이터 기입 자계에 의해 재기입 가능한 자화 방향에 따라 그 전기 저항이 변화되기 때문에, 터널 자기 저항 소자 TMR 내의 자유 자화층 VL의 2가지의 자화 방향과, 기억 데이터의 레벨("1" 및 "0")을 각각 대응시킴으로써, 불휘발적인 데이터 기억을 실행할 수 있다.

### 발명이 이루고자 하는 기술적 과제

일반적으로, 메모리 디바이스에서는, 제조 수율을 향상시키기 위해, 어드레스 신호에 의해 어드레스 선택되는 복수의 정규 메모리 셀을 구비하고, 또한 결합이 생긴 정규 메모리 셀을 구제하기 위한 용장 구성이 구비된다.

이러한 용장 구성에서는, 여분으로 형성된 스페어 메모리 셀에 의해, 단위 구분마다 결합 메모리 셀이 치환 구제된다. 따라서, 용장 구성에서는, 데이터 판독 동작 및 데이터 기입 동작에서, 결합 메모리 셀을 나타내는 불량 어드레스와 입력된 어드레스 신호 사이에서, 어드레스 비교 판정을 실행할 필요가 있다. 이 때문에, MRAM 디바이스에서도, 용장 구성을 채용하는 경우에는, 어드레스 비교 판정에 필요한 시간이 동작 속도에 큰 영향을 주지 않도록 고려할 필요가 있다.

한편, MRAM 디바이스에서는, MTJ 메모리 셀에 대한 데이터 기입 시, 즉 터널 자기 저항 소자의 자화 방향의 재기입 시에는, 도 17에서 설명한 바와 같이 2종류의 방향의 데이터 기입 자계가 인가된다. 따라서, 이들 데이터 기입 자계의 시간적 변화가 적절하지 않으면, 터널 자기 저항 소자의 자화 동작이 불안정하게 되어, 오기입이 발생할 가능성이 있다.

본 발명의 목적은, 용장 구성을 갖고, 고속이며 또한 안정적으로 동작할 수 있는 박막 자성체 기억 장치를 제공하는 것이다.

### 발명의 구성 및 작용

본 발명에 따른 박막 자성체 기억 장치는, 제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치로서, 행렬 형상으로 배치된, 복수의 정규 메모리 셀 및 복수의 정규 메모리 셀 중의 결합 메모리 셀을 치환 구제하기 위한 복수의 스페어 메모리 셀을 포함한다. 각 정규 메모리 셀 및 각 스페어 메모리 셀은, 자화 곤란축을 따른 제1 소정 자계 및 자화 용이축을 따른 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자를 갖는다. 박막 자성체 기억 장치는, 또한, 어드레스 신호와 결합 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 결합 메모리 셀이 선택되었는지의 여부를 판정하는 용장 판정을 행하는 용장 제

어 회로와, 데이터 기입 시에 있어서, 용장 판정에 상관없이 제1 어드레스에 따라, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행하는 선택 회로와, 선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군에 대하여 제1 소정 자계를 인가하기 위해, 각각이, 행 선택에 따라 선택적으로 활성화되어 제1 데이터 기입 전류가 흐르는 복수의 기입 선택 배선과, 정규 메모리 셀 열에 대응하여 형성되는 복수의 데이터선과, 스페어 메모리 셀 열에 대응하여 형성되는 복수의 스페어 데이터선과, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀에 대한 데이터 입출력을 용장 판정에 따라 제어하기 위한 데이터 입출력 회로를 포함한다. 데이터 입출력 회로는, 데이터 기입 시에, 용장 판정에 따라, 제2 어드레스에 따른 일부의 데이터선과, 제2 어드레스에 따른 일부의 데이터선 및 스페어 데이터선 중 어느 한쪽에 대하여, 제2 소정 자계를 발생시키기 위한 제2 데이터 기입 전류를 공급한다.

바람직하게는, 제1 데이터 기입 전류는 기입 데이터에 상관없이 일정 방향을 갖고, 제2 데이터 기입 전류의 방향은 기입 데이터의 레벨에 따라 설정된다.

또한 바람직하게는, 복수의 스페어 메모리 셀 및 복수의 정규 메모리 셀은 메모리 셀 행을 공유하도록 배치된다. 각 기입 선택선은 메모리 셀 행마다 배치되며, 결합 메모리 셀은 동일한 메모리 셀 행에 속하는 스페어 메모리 셀 중의 하나에 의해 치환 구제된다.

이러한 박막 자성체 기억 장치는, 데이터 기입 시에 있어서, 용장 판정을 대기하지 않고, 어드레스 신호에 따라 선택되는 정규 메모리 셀 및 스페어 메모리 셀의 양방에 대하여 자화 곤란측 방향을 따른 자계를 인가하고, 또한 용장 판정 결과를 반영하여, 자화 용이측 방향을 따른 자계의 인가를 개시한다. 따라서, 용장 판정의 소요 시간을 이용하여, 자화적으로 불안정한 중간 상태가 발생하는 것을 회피한 안정적인 데이터 기입을 고속으로 실행할 수 있다.

본 발명의 다른 국면에 따른 박막성체 기억 장치는, 제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치로서, 복수의 정규 메모리 셀, 복수의 스페어 메모리 셀, 용장 제어 회로, 선택 회로, 복수의 판독 선택 배선, 복수의 데이터선, 복수의 스페어 데이터선, 제1 데이터 판독 회로, 제2 데이터 판독 회로, 및 데이터 입출력 회로를 포함한다.

복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀은 행렬 형상으로 배치되며, 복수의 스페어 메모리 셀은, 복수의 정규 메모리 셀 중의 결합 메모리 셀을 치환 구제한다. 각 정규 메모리 셀 및 각 스페어 메모리 셀은, 제1 및 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자와, 자기 저항 소자와 직렬로 전기적으로 결합되어, 데이터 판독 전류를 통과시키기 위해 선택적으로 턴 온되는 액세스 소자를 포함한다. 용장 제어 회로는, 어드레스 신호와, 결합 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 결합 메모리 셀이 선택되었는지의 여부를 판정하는 용장 판정을 행한다. 선택 회로는, 데이터 판독 시에 있어서, 용장 판정에 상관없이 제1 어드레스에 따라, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행한다. 복수의 판독 선택 배선은, 선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군의 각각에서, 액세스 소자를 턴 온시키기 위해, 행 선택에 따라 선택적으로 활성화된다. 복수의 데이터선은 정규 메모리 셀 열에 대응하여 형성되며, 각각이, 데이터 판독 시에 선택 행의 메모리 셀과 접속된다. 복수의 스페어 데이터선은, 스페어 메모리 셀 열에 대응하여 형성되고, 데이터 판독 시에 선택 행의 스페어 메모리 셀과 접속된다. 제1 데이터 판독 회로는, 데이터 판독 시에 있어서, 용장 판정에 상관없이, 복수의 데이터선 중의 제2 어드레스에 따른 일부의 선택 데이터선에 대하여 데이터 판독 전류를 공급한다. 제2 데이터 판독 회로는, 데이터 판독 시에 있어서, 용장 판정에 상관없이, 복수의 스페어 데이터선 중의 적어도 1개의 선택 스페어 데이터선에 대하여 데이터 판독 전류를 공급한다. 데이터 입출력 회로는, 데이터 판독 시에 있어서, 데이터 판독 전류의 공급을 받은 선택 데이터선 및 선택 스페어 데이터선의 각각으로부터의 복수의 판독 데이터를 받아, 복수의 판독 데이터의 일부를 용장 판정에 기초하여 선택적으로 출력한다.

이러한 박막 자성체 기억 장치는, 용장 판정을 대기하지 않고, 정규 메모리 셀 및 스페어 메모리 셀의 양방에 대하여 데이터 판독 동작을 병렬로 개시할 수 있다. 따라서, 용장 판정에 필요한 시간의 영향을 최소로 억제하여, 고속의 데이터 판독을 실행할 수 있다.

본 발명의 또 다른 국면에 따른 박막 자성체 기억 장치는, 제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치로서, 복수의 정규 메모리 셀, 복수의 스페어 메모리 셀, 용장 제어 회로, 선택 회로, 복수의 기입 선택 배선, 복수의 데이터선, 복수의 스페어 데이터선, 및 데이터 입출력 회로를 포함한다.

복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀은, 메모리 셀 행을 공유하도록 행렬 형상으로 배치되며, 복수의 스페어 메모리 셀은, 복수의 정규 메모리 셀 중의 결합 메모리 셀을 치환 구제한다. 각 정규 메모리 셀 및 각 스페어 메모리 셀은, 제1 및 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자를 갖는다. 용장 제어 회로는, 어드레스 신호와, 결합 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 결합 메모리 셀이 선택되었는지의 여부를 판정하는 용장 판정을 행한다. 선택 회로는, 데이터 기입 시에 있어서, 용장 판정에 상관없이 제1 어드레스에 따라, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행한다. 복수의 기입 선택 배선은, 메모리 셀 행에 각각 대응하여 형성되며, 선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군에 대하여 제1 소정 자계를 인가하기 위해, 각각이, 행 선택에 따라 선택적으로 활성화되어 제1 데이터 기입 전류가 흐른다. 복수의 데이터선은 정규 메모리 셀 열에 대응하여 형성된다. 복수의 스페어 데이터선은, 스페어 메모리 셀 열에 대응하여 형성된다. 데이터 입출력 회로는, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀에 대한 데이터 입출력을 용장 판정에 따라 제어하기 위해 형성되며, 데이터 기입 시에, 용장 판정에 따라, 제2 어드레스에 따른 일부의 데이터선과, 제2 어드레스에 따른 일부의 데이터선 및 스페어 데이터선 중 어느 한쪽에 대하여, 제2 소정 자계를 발생시키기 위한 제2 데이터 기입 전류를 공급한다. 결합 메모리 셀은, 동일한 메모리 셀 행에 속하는 스페어 메모리 셀 중의 하나에 의해 치환 구제된다.

본 발명의 또 다른 구성에 따른 박막 자성체 기억 장치는, 제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치로서, 복수의 정규 메모리 셀, 복수의 스페어 메모리 셀, 용장 제어 회로, 선택 회로, 복수의 기입 선택 배선, 복수의 데이터선, 복수의 스페어 데이터선, 데이터 단자, M개의 노멀 데이터 입출력선, 스페어 데이터 입출력선, 제1 접속 스위치 회로, 제2 접속 스위치 회로, 및 데이터 입출력 회로를 포함한다.

복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀은, 행렬 형상으로 배치되며, 복수의 스페어 메모리 셀은, 복수의 정규 메모리 셀 중의 결함 메모리 셀을 치환 구제한다. 각 정규 메모리 셀 및 각 스페어 메모리 셀은, 제1 및 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자를 갖는다. 용장 제어 회로는, 어드레스 신호와, 결함 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 결함 메모리 셀이 선택되었는지의 여부를 판정하는 용장 판정을 행한다. 선택 회로는, 데이터 기입 시에 있어서, 용장 판정에 상관없이 제1 어드레스에 따라, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행한다. 복수의 기입 선택 배선은, 선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군에 대하여 제1 소정 자계를 인가하기 위해, 각각이, 행 선택에 따라 선택적으로 활성화되어 제1 데이터 기입 전류가 흐른다. 복수의 데이터선은 정규 메모리 셀 열에 대응하여 형성된다. 복수의 스페어 데이터선은 스페어 메모리 셀 열에 대응하여 형성된다. 데이터 단자는 M비트(M: 2 이상의 정수)의 데이터를 병렬로 수신한다. M개의 노멀 데이터 입출력선은, 복수의 정규 메모리 셀의 소정 구분에 각각 대응하여 형성된다. 스페어 데이터 입출력선은, 복수의 스페어 메모리 셀에 대응하여 배치된다. 상기 제1 접속 스위치 회로는, 데이터 기입 시에 있어서, 각 노멀 데이터 입출력선을, 대응하는 소정 구분에서 제2 어드레스에 따라 선택된 1개의 데이터선과 접속한다. 제2 접속 스위치 회로는, 데이터 기입 시에 있어서, 스페어 데이터 입출력선을 제2 어드레스에 따라 선택된 1개의 스페어 데이터선과 접속한다. 데이터 입출력 회로는, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀에 대한 데이터 입출력을 용장 판정에 따라 제어하기 때문에, 데이터 기입 시에, 용장 판정에 따라, 제2 어드레스에 따른 일부의 데이터선과, 제2 어드레스에 따른 일부의 데이터선 및 스페어 데이터선의 한쪽에 대하여, 제2 소정 자계를 발생시키기 위한 제2 데이터 기입 전류를 공급한다. 데이터 입출력 회로는, M개의 노멀 데이터 입출력선 및 스페어 데이터 입출력선에 각각 대응하여 형성되며, 각각이, 전달된 기입 데이터에 따른 방향의 제2 데이터 기입 전류를, 대응하는 노멀 데이터 입출력선 또는 스페어 데이터 입출력선에 공급하기 위한 복수의 라이트 드라이브 회로와, 복수의 라이트 드라이브 회로 중의 용장 판정에 기초하여 선택되는 M개의 라이트 드라이브 회로와 데이터 단자 사이를 접속함으로써, 데이터 단자에 입력된 M비트 데이터의 각 비트를, M개의 라이트 드라이브 회로의 각각에 대하여 기입 데이터로서 전달하기 위한 용장 스위치 회로를 포함한다.

이러한 박막 자성체 기억 장치는, 계층적으로 형성된 데이터 입출력선 및 스페어 데이터 입출력선을 이용하여, 소위 계층 I/O선 구성에 기초하여, 상위 I/O선 단위의 용장 치환에 의해 데이터 기입을 실행할 수 있다. 따라서, 용장 판정의 소요 시간을 이용하여 데이터 판독 및 데이터 기입을 고속으로 실행함과 함께, 대용량 메모리의 구성이 용이하다.

본 발명의 또 다른 구성에 따른 박막 자성체 기억 장치는, 제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치로서, 복수의 정규 메모리 셀, 복수의 스페어 메모리 셀, 용장 제어 회로, 선택 회로, 복수의 기입 선택 배선, 복수의 데이터선, 복수의 스페어 데이터선, 및 데이터 입출력 회로를 포함한다.

복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀은 행렬 형상으로 배치되고, 복수의 스페어 메모리 셀은, 복수의 정규 메모리 셀 중의 결함 메모리 셀을 치환 구제한다. 각 정규 메모리 셀 및 각 스페어 메모리 셀은, 제1 및 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자를 갖는다. 복수의 정규 메모리 셀은 행 선택이 서로 독립적으로 실행되는 복수의 메모리 블록으로 분할되고, 복수의 스페어 메모리 셀은 메모리 블록마다 배치된다. 용장 제어 회로는, 각 메모리 블록마다 배치되며, 어드레스 신호와, 결함 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 결함 메모리 셀이 선택되었는지의 여부를 판정하는 용장 판정을 행한다. 선택 회로는, 데이터 기입 시에 있어서, 용장 판정에 상관없이 제1 어드레스에 따라, 복수의 정규 메모리 셀 및 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행한다. 복수의 기입 선택 배선은, 선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군에 대하여 제1 소정 자계를 인가하기 때문에, 각각이, 행 선택에 따라 선택적으로 활성화되어 제1 데이터 기입 전류가 흐른다. 복수의 데이터선은, 정규 메모리 셀 열에 대응하여 형성된다. 복수의 스페어 데이터선은, 스페어 메모리 셀 열에 대응하여 형성된다. 데이터 입출력 회로는, 각 메모리 블록마다 배치되며, 대응하는 메모리 블록에서의 데이터 입출력을 용장 판정에 따라 제어한다. 데이터 입출력 회로는, 데이터 기입 시에, 용장 판정에 따라, 제2 어드레스에 따른 일부의 데이터선과, 제2 어드레스에 따른 일부의 데이터선 및 스페어 데이터선의 한쪽에 대하여, 제2 소정 자계를 발생시키기 위한 제2 데이터 기입 전류를 공급한다.

이러한 박막 자성체 기억 장치는, 용장 판정의 소요 시간을 이용하여 데이터 판독 및 데이터 기입을 고속으로 실행함과 함께, 용장 구성에 필요한 회로 면적을 삭감할 수 있다.

이하에서, 본 발명의 실시예에 대하여 도면을 참조하면서 자세히 설명한다.

[실시예 1]

도 1을 참조하면, MRAM 디바이스(1)는, 외부로부터의 제어 신호 CMD 및 어드레스 신호 ADD에 따라, M비트(M: 자연수)의 데이터 신호 DAT의 수신을 행한다. MRAM 디바이스(1)에서의 데이터 판독 동작 및 데이터 기입 동작은, 예를 들면, 외부로부터의 클럭 신호 CLK에 동기한 타이밍에서 실행된다. 혹은, 외부로부터 클럭 신호 CLK를 받지 않고 내부에서 동작 타이밍을 결정해도 된다.

MRAM 디바이스(1)는, 어드레스 신호 ADD의 입력을 받는 어드레스 단자(2)와, 제어 신호 CMD 및 클럭 신호 CLK의 입력을 받는 신호 단자(3a)와, 프로그램 동작 시에 활성화되는 프로그램 신호 PRG의 입력을 받는 신호 단자(3b)와, M비트의 데이터 신호 DAT의 수신을 행하는 데이터 단자(4)를 구비한다.

MRAM 디바이스(1)는, 또한, 제어 신호 CMD 및 클럭 신호 CLK에 응답하여 MRAM 디바이스(1)의 전체 동작을 제어하기 위한 컨트롤 회로(5)와, 행렬 형상으로 배치된 복수의 MTJ 메모리 셀을 갖는 메모리 어레이(10)를 구비한다.

메모리 어레이(10)의 구성에 대해서는 나중에 상세히 설명하지만, 메모리 어레이(10)는, 어드레스 신호 ADD에 의해 각각을 선택할 수 있는, 행렬 형상으로 배치된 복수의 정규의 MTJ 메모리 셀(이하, 「정규 메모리 셀」로도 칭함)과, 결함이 생긴 정규 메모리 셀(이하, 「결함 메모리 셀」로도 칭함)을 구제하기 위한 스페어 메모리 셀을 포함한다.

MTJ 메모리 셀의 행(이하, 간단하게 「메모리 셀 행」으로도 칭함)에 각각 대응하여, 복수의 라이트 워드선 WWL 및 리드 워드선 RWL이 배치된다. 또한, 메모리 어레이(10)에는, 열 선택을 실행하기 위한 컬럼 선택선 CSL이 배치된다. 메모리 어레이(10)에 대한 데이터 관독 및 데이터 기입은, 정규 메모리 셀에 대응하여 형성되는 노멀 데이터 입출력선쌍 IOP, 및 스페어 메모리 셀에 대하여 형성되는 스페어 데이터 입출력선쌍 SIOP을 통해 실행된다. 이하에서는, 노멀 데이터 입출력선쌍 IOP에 대해서는, 간단하게, 데이터 입출력선쌍 IOP로도 칭한다.

MRAM 디바이스(1)는, 또한, 디코드 회로(20)와, 선택선 드라이브 회로(30)와, 데이터 입출력(I/O) 회로(50)와, 용장 제어 회로(60)와, 프로그램 회로(100)를 구비한다.

디코드 회로(20)는, 어드레스 신호 ADD에 기초한 행 선택 및 열 선택을 실행한다. 선택선 드라이브 회로(30)는, 디코드 회로(20)에서의 행 선택 및 열 선택 결과에 따라, 리드 워드선 RWL, 라이트 워드선 WWL, 컬럼 선택선 CSL 및 그 밖의 선택선의 활성화를 제어한다. 라이트 워드선 WWL 각각은, 메모리 어레이(10)를 사이에 두고 선택선 드라이브 회로(30)가 배치되는 것과 반대측의 영역(40)에서, 접지 전압  $V_{ss}$ 와 결합된다.

프로그램 회로(100)는, 결합 메모리 셀을 나타내기 위한 불량 어드레스를 프로그램 정보로서 불휘발적으로 기억한다. 불량 어드레스는, 프로그램 신호 PRG가 활성화되는 프로그램 데이터 기입 시에 있어서, 예를 들면 어드레스 단자(2)를 통해 외부로부터 입력된다. 프로그램 회로(100)로부터의 불량 어드레스의 관독은 컨트롤 회로(5)로부터의 지시에 따라 실행된다.

용장 제어 회로(60)는, 통상 동작 시에 있어서, 어드레스 신호 ADD와, 프로그램 회로(100)에 유지되는 불량 어드레스와의 어드레스 일치 비교에 기초하여, 데이터 관독 또는 데이터 기입 대상으로서, 결합 메모리 셀이 선택되었는지의 여부를 나타내는 용장 판정을 행한다. 용장 제어 회로(60)는, 용장 판정 결과가 반영된 용장 제어 신호 RSG를 생성한다.

나중에 상세히 설명하는 바와 같이, 디코드 회로(20) 및 선택선 드라이브 회로(30)에서의 어드레스 신호 ADD에 따른 행 선택 및 열 선택은, 용장 판정 결과를 대기하지 않고 실행된다. 즉, 데이터 관독 및 데이터 기입 시의 어드레스 선택 동작을, 정규 메모리 셀 및 스페어 메모리 셀에 대하여 병렬로 개시함으로써, 용장 구성을 갖는 MRAM 디바이스에서의 동작의 고속화를 도모할 수 있다.

데이터 I/O 회로(50)는, 데이터 입출력선쌍 IOP 및 스페어 데이터 입출력선쌍 SIOP과, 데이터 단자(4) 간의 접속 관계를 용장 제어 신호 RSG에 따라 제어함으로써, 결합 메모리 셀의 구제를 행한다. 구체적으로는, 용장 제어 회로(60)에 의해, 입력된 어드레스 신호 ADD가 불량 어드레스와 일치하지 않는다고 판정된 경우에는, 정규 메모리 셀에 대응하는 데이터 입출력선쌍 IOP만을 이용하여, M비트의 데이터 관독 또는 데이터 기입이 실행된다. 한편, 어드레스 신호 ADD가 불량 어드레스와 일치한다고 판정된 경우에는, 선택된 결합 메모리 셀에 대응하는 데이터 입출력선쌍 IOP를, 스페어 데이터 입출력선쌍 SIOP로 치환하여, M비트의 데이터 관독 또는 데이터 기입을 실행한다.

도 2를 참조하면, 메모리 어레이(10)는, 행렬 형상으로 배치되는  $N \times (M+1)$ 개( $N$ : 자연수)의 복수의 서브 블록 SB(11)~SB(NM) 및 SB(1s)~SB(Ns)로 분할된다. 이하에서는, 이들 서브 블록을 총칭하는 경우에는 간단하게 서브 블록 SB로 표기한다.

서브 블록 SB(11)~SB(NM)는 정규 메모리 셀로 구성되며, 서브 블록 SB(1s)~SB(Ns)는 스페어 메모리 셀로 구성된다. 각 서브 블록 SB는, 마찬가지로의 구성을 갖고, 나중에 상세히 설명하는 바와 같이,  $n$ 행 $\times$  $m$ 열( $n, m$ : 자연수)로 배치된 복수의 정규 메모리 셀 또는 스페어 메모리 셀을 갖는다.

이들 정규 메모리 셀 및 스페어 메모리 셀은, 메모리 어레이(10) 전체에서, 메모리 셀 행을 공유하도록 행렬 형상으로 배치된다. 즉, 메모리 어레이(10) 전체에서의 메모리 셀 행수를  $k$ 로 하면,  $k=(N \times n)$ 으로 표시된다.  $k$ 개의 메모리 셀 행에 각각 대응하여, 라이트 워드선 WWL1~WWLk 및 리드 워드선 RWL1~RWLk가 각각 배치된다. 이하에서는, 라이트 워드선 WWL1~WWLk를 총칭하여 라이트 워드선 WWL로도 표기하고, 리드 워드선 RWL1~RWLk를 총칭하여 리드 워드선 RWL로도 표기하는 것으로 한다.

각 라이트 워드선 WWL 및 각 리드 워드선 RWL은, 각 메모리 셀 행에서, 대응하는 정규 메모리 셀 및 스페어 메모리 셀에 의해 공유된다. 이에 의해, 행 선택 결과에 따라 실행되는, 데이터 기입 시에 있어서의 라이트 워드선 WWL의 활성화 제어 및 데이터 관독 시에 있어서의 리드 워드선 RWL의 활성화 제어의 각각은, 정규 메모리 셀 및 스페어 메모리 셀에 대하여, 동시에 병렬로 실행된다.

서브 블록 SB(11)~SB(NM)로 형성되는  $M$ 개의 서브 블록 열은, 노멀 IO 블록 NIOB(1)~NIOB(M)를 각각 구성한다. 한편, 서브 블록 SB(1s)~SB(Ns)로 구성되는 서브 블록 열은 스페어 IO 블록 SIOB를 구성한다.

노멀 IO 블록 NIOB(1)~NIOB(M)는, 블록 열 선택 신호 CBS1~CBSM에 따라 선택 가능하다. 한편, 서브 블록 SB(11)~SB(NM), SB(1s)~SB(Ns)로 형성되는  $N$ 개의 서브 블록의 행(이하, 「블록 행」이라고도 함)은, 블록 행 선택 신호 RBS1~RBSN에 따라 선택 가능하다. 이하에서는, 블록 행 선택 신호 RBS1~RBSN을 총칭하여, 블록 행 선택 신호 RBS라고도 한다.

노멀 IO 블록 NIOB(1)~NIOB(M)에 각각 대응하여, 데이터 입출력선쌍 IOP(1)~IOP(M)가 각각 배치되며, 스페어 IO 블록 SIOB에 대응하여, 스페어 데이터 입출력선쌍 SIOP가 배치된다. 이하에서는, 노멀 IO 블록 NIOB(1)~NIOB(M)를 총칭하여 노멀 IO 블록 NIOB로도 표기하고, 데이터 입출력선쌍 IOP(1)~IOP(M)를 총칭하여 데이터 입출력선쌍 IOP로도 표기한다.

노멀 IO 블록 NIOB를 구성하는 서브 블록 SB(11)~SB(NM)의 내부에서, 로컬 데이터 입출력선쌍 LIOP(11)~LIOP(NM)가 각각 형성된다. 마찬가지로, 스페어 IO 블록 SIOB를 구성하는 서브 블록 SB(1s)~SB(Ns)의 내부에서, 로컬 데이터 입출력선쌍 LIOP(1s)~LIOP(Ns)가 각각 형성된다. 또한 이하에서는, 로컬 데이터 입출력선쌍 LIOP(11)~LIOP(NM)를 총칭하여, 간단하게 로컬 데이터 입출력선쌍 LIOP로도 표기하고, 로컬 데이터 입출력선쌍 LIOP(1s)~LIOP(Ns)를 총칭하여, 스페어 로컬 데이터 입출력선쌍 SLIOP로도 표기한다.

로컬 데이터 입출력선쌍 LIOP 및 스페어 로컬 데이터 입출력선쌍 SLIOP와, 대응하는 데이터 입출력선쌍 IOP 또는 스페어 데이터 입출력선쌍 SIOB 간의 접속은, 각 서브 블록 SB 내에 형성된 접속 스위치에 의해 제어된다.

데이터 판독 시 및 데이터 기입 시에 있어서는, 어드레스 신호 ADD에 포함되는 로우 어드레스 RA에 의해 하나의 메모리 셀 행(이하, 「선택 행」으로도 칭함)이 선택된다. 또한, 선택 행을 포함하는 (M+1)개의 서브 블록 SB가 속하는 블록 행이 선택되어, 대응하는 블록 행 선택 신호 RBS는 H 레벨로 활성화된다. 또한, 이하 본 명세서에서는, 신호, 데이터, 신호선 및 데이터선에서의 2차적인 전압 상태의 각각을, 간단하게 「H 레벨」 및 「L 레벨」로 칭한다.

선택 행을 포함하는 (M+1)개의 서브 블록 SB 각각에서, 컬럼 선택선 CSL1~CSLm의 활성화 제어에 응답하여, m:1의 열 선택이 실행된다. 따라서, 이들 각 서브 블록에서, 1개의 정규 메모리 셀 또는 스페어 메모리 셀이, 데이터 판독 또는 데이터 기입 대상으로 선택된다. 따라서 메모리 어레이(10)에서는, 선택 행에 대응하는 정규 메모리 셀 및 스페어 메모리 셀 중, 선택된 (M+1)개의 정규 메모리 셀 및 스페어 메모리 셀에 대하여, 데이터 입출력선쌍 IOP(1)~IOP(M) 및 스페어 데이터 입출력선쌍 SIOB를 각각 통해, 데이터 판독 및 데이터 기입을 실행할 수 있는 구성으로 되어 있다.

다음으로, 각 서브 블록의 상세한 구성에 대하여 설명한다.

도 3에서는, 일례로서, 노멀 IO 블록에 대응하는 서브 블록의 구성에 대하여 설명한다.

도 3을 참조하면, 서브 블록 SB는, n행×m열로 배치된 정규 메모리 셀 MC와, 2행×m열로 배치된 더미 메모리 셀 DMC와, 로컬 데이터 입출력선쌍 LIOP와, 메모리 셀 열에 각각 대응하여 형성되는 컬럼 선택 게이트 CSG1~CSGm과, 데이터 판독 회로(70)와, 대응하는 데이터 입출력선쌍 IOP와 로컬 데이터 입출력선쌍 LIOP 간의 접속을 제어하기 위한 접속 스위치(71, 72, 73)를 포함한다. 로컬 데이터 입출력선쌍 LIOP는 상보의 로컬 데이터 입출력선 LIO 및 /LIO로 구성된다.

메모리 셀 행에 각각 대응하여, 리드 워드선 RWL1~RWLn, 라이트 워드선 WWL1~WWLn이 배치된다. 리드 워드선 RWL 및 라이트 워드선 WWL은 동일한 블록 행에 속하는 복수의 서브 블록 SB 간에 공유된다.

한편, 메모리 셀 열에 각각 대응하여, 비트선 쌍 BLP1~BLPm을 구성하는 비트선 BL1, /BL1~BLm, /BLm이 형성된다. 이하에서는, 비트선 쌍 BLP1~BLPm, 비트선 BL1~BLm 및 비트선 /BL1~/BLm을 총칭하는 경우에는, 간단하게, 비트선 쌍 BLP 및 비트선 BL 및 /BL로도 각각 칭한다. 비트선 BL 및 /BL은 각 서브 블록마다 독립적으로 형성된다.

정규 메모리 셀 MC는, 1행마다 비트선 BL 및 /BL 중 어느 한쪽씩과 접속된다. 예를 들면, 제1번째의 메모리 셀 열에 속하는 정규 메모리 셀에 대하여 설명하면, 제1행째의 정규 메모리 셀은 비트선 /BL1과 결합되고, 제2행째의 정규 메모리 셀은 비트선 BL1과 결합된다. 이하 마찬가지로, MTJ 메모리 셀 각각은, 홀수 행에서 비트선 쌍의 한쪽의 /BL1~/BLm과 접속되고, 짝수 행에서 비트선 쌍의 다른쪽의 BL1~BLm과 접속된다.

각 정규 메모리 셀 MC는, 직렬로 접속된, 기억 데이터의 레벨에 따라 전기 저항이 변화되는 터널 자기 저항 소자 TMR, 및 액세스 소자로서 작용하는 액세스 트랜지스터 ATR을 갖는다. 이미 설명한 바와 같이, 액세스 트랜지스터 ATR에는, 반도체 기판 상에 형성된 전계 효과형 트랜지스터인 MOS 트랜지스터가 대표적으로 적용된다.

터널 자기 저항 소자 TMR은, 비트선 BL 또는 /BL과 접지 전압 Vss 사이에, 액세스 트랜지스터 ATR과 직렬로 접속된다. 액세스 트랜지스터 ATR의 게이트는, 대응하는 리드 워드선 RWL과 결합된다. 액세스 트랜지스터 ATR은, 리드 워드선 RWL이 H 레벨로 활성화되면 턴 온하여, 대응하는 비트선 BL(/BL)과 접지 전압 Vss 사이에, 터널 자기 저항 소자 TMR을 전기적으로 결합한다. 한편, 리드 워드선 RWL이 비활성 상태(L 레벨)인 경우에는, 액세스 트랜지스터 ATR은 턴 오프되어, 비트선 BL(/BL)과 터널 자기 저항 소자 TMR을 전기적으로 절단하여 이격한다.

각 서브 블록 SB는, 또한, 비트선 BL1, /BL1~BLm, /BLm과 각각 결합되는 복수의 더미 메모리 셀 DMC를 갖는다. 더미 메모리 셀 DMC는, 더미 리드 워드선 DRWL1 및 DRWL2 중 어느 한쪽과 대응하도록, 2행×m열로 배치된다. 더미 리드 워드선 DRWL1에 대응하는 더미 메모리 셀은, 비트선 BL1, BL2~BLm과 각각 결합된다. 한편, 더미 리드 워드선 DRWL2에 대응하는 남은 더미 메모리 셀은 비트선 /BL1, /BL2~/BLm과 각각 결합된다.

더미 메모리 셀 DMC는, 더미 저항 소자 TMRd 및 더미 액세스 소자 ATRd를 갖는다. 더미 저항 소자 TMRd의 전기 저항 Rd는, MTJ 메모리 셀 MC의 기억 데이터 레벨 "1" 및 "0"에 각각 대응하는 전기 저항 Rmax 및 Rmin의 중간 값으로, 즉 Rmax>Rd>Rmin으로 설정된다. 더미 액세스 소자 ATRd는, MTJ 메모리 셀의 액세스 소자와 마찬가지로, 대표적으로는 전계 효과형 트랜지스터로 구성된다. 따라서, 이하에서는, 더미 액세스 소자를 더미 액세스 트랜지스터 ATRd로도 칭한다.

또한, 더미 메모리 셀의 행에 각각 대응하여, 더미 라이트 워드선 DWWL1, DWWL2가 배치된다. 또한, 더미 저항 소자 TMRd의 구조에 따라서는 더미 라이트 워드선의 배치는 불필요해지지만, 메모리 어레이 상에서의 형상의 연속성을 확보하여 제조 프로세스의 복잡화를 피하기 위해, 라이트 워드선 WWL과 마찬가지로 설계된 더미 라이트 워드선 DWWL1, DWWL2가 형성된다.

데이터 판독 시에 있어서, 행 선택 결과에 따라 홀수 행이 선택되어, 비트선 /BL1~/BLm의 각각과 MTJ 메모리 셀 MC가 결합되는 경우에는, 더미 리드 워드선 DRWL1이 활성화되어, 비트선 BL1~BLm과 복수의 더미 메모리 셀 DMC가 각각 결합된다. 반대로, 짝수 행이 선택되어, 비트선 BL1~BLm의 각각과, MTJ 메모리 셀 MC가 결합되는 경우에는, 더미 리드 워드선 DRWL2가 활성화되어, 비트선 /BL1~/BLm은 복수의 더미 메모리 셀 DMC와 각각 결합된다. 이하에서는, 더미 리드 워드선 DRWL1 및 DRWL2를 총칭하여 더미 리드 워드선 DRWL로도 칭한다.

선택선 드라이브 회로(30)는, 데이터 기입 시에 있어서, 선택 행의 라이트 워드선 WWL의 일단을 전원 전압 Vcc와 결합한다. 이에 의해, 선택 행의 라이트 워드선 WWL 상에, 도 1에 도시한 선택선 드라이브 회로(30)로부터 영역(40)으로 향하는 방향으로, 행 방향의 데이터 기입 전류 Ip를 흘릴 수 있다. 한편, 비선택 행의 라이트 워드선은, 선택선 드라이브 회로(30)에 의해, 접지 전압 Vss와 결합된다.

데이터 판독 시에 있어서, 선택선 드라이브 회로(30)는, 행 선택 결과에 따라, 리드 워드선 RWL 및 더미 리드 워드선 DRWL1, DRWL2를 선택적으로 H 레벨(전원 전압 Vcc)로 활성화한다. 이미 설명한 바와 같이, 홀수 행이 선택되어, 선택 행의 MTJ 메모리 셀군이 /BL1~/BLm과 접속되는 경우에는, 더미 리드 워드선 DRWL1이 활성화되어, 더미 메모리 셀군이 비트선 BL1~BLm과 접속된다. 마찬가지로, 짝수 행이 선택되는 경우에는, 더미 리드 워드선 DRWL2가 활성화된다.

각 서브 블록의 m개의 메모리 셀 열에 각각 대응하여, 열 선택을 실행하기 위한 컬럼 선택선 CSL1~CSLm이 형성된다. 선택선 드라이브 회로(30)는, 컬럼 어드레스 CA의 디코딩 결과, 즉 열 선택 결과에 따라, 데이터 기입 및 데이터 판독 시의 각각에서, 컬럼 선택선 CSL1~CSLm 중의 1개를 선택 상태(H 레벨)로 활성화한다.

컬럼 선택선 CSL1~CSLm은, 동일한 블록 행에 속하는 (M+1)개의 서브 블록 SB에 의해 공유된다. 따라서, 선택된 블록 행에 속하는 서브 블록 각각에서, m : 1의 열 선택이 실행되어, 1개의 정규 메모리 셀 또는 스페어 메모리 셀이 데이터 판독 또는 데이터 기입 대상으로 선택된다.

각 서브 블록 SB는, 또한, 메모리 셀 열에 각각 대응하여 형성되는 컬럼 선택 게이트 CSG1~CSGm을 포함한다. 컬럼 선택 게이트 CSG1~CSGm 각각은, 각각 마찬가지로의 구성을 갖기 때문에, 비트선 BL1, /BL1에 대응하여 형성되는 컬럼 선택 게이트 CSG1의 구성에 대하여 대표적으로 설명한다.

컬럼 선택 게이트 CSG1은, 로컬 데이터 입출력선 LIO와 비트선 BL1 사이에 전기적으로 결합되는 트랜지스터 스위치와, 로컬 데이터 입출력선 /LIO와 비트선 /BL1 사이에 전기적으로 결합되는 트랜지스터 스위치를 갖는다. 이들 트랜지스터 스위치는, 컬럼 선택선 CSL1의 전압에 따라 온·오프한다. 즉, 컬럼 선택선 CSL1이 선택 상태(H 레벨)로 활성화된 경우에는, 컬럼 선택 게이트 CSG1은 로컬 데이터 입출력선 LIO 및 /LIO를 비트선 BL1 및 /BL1과 각각 전기적으로 결합한다.

또한, 이하에서는, 컬럼 선택선 CSL1~CSLm 및 컬럼 선택 게이트 CSG1~CSGm을 각각 총칭하여, 간단하게, 컬럼 선택선 CSL 및 컬럼 선택 게이트 CSG로도 칭한다.

서브 블록 SB는, 또한, 메모리 셀 열에 각각 대응하여 형성되는 단락 스위치 트랜지스터(62-1~62-m) 및 제어 게이트(66-1~66-m)를 갖는다. 서브 블록 SB는, 또한, 비트선 BL1, /BL1~비트선 BLm, /BLm과 접지 전압 Vss 사이에 각각 형성되는 프리차지 트랜지스터(64-1a, 64-1b~64-ma, 64-mb)를 갖는다. 이하에서는, 단락 스위치 트랜지스터(62-1~62-m), 프리차지 트랜지스터(64-1a, 64-1b~64-ma, 64-mb) 및 제어 게이트(66-1~66-m)를 각각 총칭하여, 단락 스위치 트랜지스터(62), 프리차지 트랜지스터(64) 및 제어 게이트(66)로도 칭한다.

각 제어 게이트(66)는, 대응하는 컬럼 선택선 CSL과 제어 신호 WE와의 AND 논리 연산 결과를 출력한다. 따라서, 데이터 기입 동작 시에는, 선택 열에 대응하는 제어 게이트(66)의 출력이 H 레벨로 선택적으로 활성화된다.

단락 스위치 트랜지스터(62)는, 대응하는 제어 게이트(66)의 출력에 각각 응답하여 온·오프한다. 따라서, 데이터 기입 동작 시에는, 각 서브 블록에서, 선택 열에 대응하는 비트선 BL 및 /BL의 일단끼리는 단락 스위치 트랜지스터(62)에 의해 전기적으로 결합된다.

각 프리차지 트랜지스터(64)는, 비트선 프리차지 신호 BLPR의 활성화에 응답하여 온함으로써, 비트선 BL1, /BL1~비트선 BLm, /BLm을 접지 전압 Vss로 프리차지한다. 컨트롤 회로(5)에 의해 생성되는 비트선 프리차지 신호 BLPR은, MRAM 디바이스(1)의 액티브 기간에 있어서, 적어도 데이터 판독 실행 전의 소정 기간에 있어서 H 레벨로 활성화된다. 한편, MRAM 디바이스(1)의 액티브 기간 중의 데이터 판독 동작 시 및 데이터 기입 동작 시에 있어서, 비트선 프리차지 신호 BLPR은 L 레벨로 비활성화되며, 프리차지 트랜지스터(64)는 오프된다.

접속 스위치(71, 72)는, 데이터 판독 시(제어 신호 RE=H 레벨)에 있어서, 대응하는 블록 행이 선택된 경우(블록 행 선택 신호 RBS=H 레벨)에 온되고, 그 이외에는 오프된다. 접속 스위치(73)는, 데이터 기입 시(제어 신호 WE=H 레벨)에 있어서, 대응하는 블록 행이 선택된 경우(블록 행 선택 신호 RBS=H 레벨)에 온되고, 그 이외에는 오프된다.

도 4를 참조하면, 데이터 판독 회로(70)는 감지 전류 공급부(75)와, 리드 증폭기 FAMP를 포함한다.

감지 전류 공급부(75)는, 전원 전압 Vcc를 받아, 일정 전류 I(Read)를 노드 Ns1 및 Ns2에 각각 공급하기 위한 정전류 공급 회로(171a, 171b)와, 노드 Ns1 및 Nr 사이에 전기적으로 결합되는 N채널 MOS 트랜지스터(173)와, 노드 Ns2와 /Nr 사이에 전기적으로 결합되는 N채널 MOS 트랜지스터(174)와, 노드 Ns1 및 Ns2를 접지 전압 Vss로 풀다운하기 위한 저항(176, 177)을 갖는다. N채널 MOS 트랜지스터(173, 174)의 각각의 게이트에는 기준 전압 Vrr이 공급된다.

이러한 구성으로 함으로써, 감지 전류 공급부(75)는, 대응하는 블록 열이 선택된 데이터 판독 시에 있어서, 노드 Nr 및 /Nr의 각각에 대하여, 일정 전류 I(Read)에 따른 감지 전류(데이터 판독 전류) Is를 공급할 수 있다. 노드 Nr 및 /Nr은, 접속 스위치(72)를 통해, 로컬 데이터 입출력선 LIO 및 /LIO와 전기적으로 각각 결합된다. 그 결과, 데이터 판독 시에는, 선택된 블록 행의 각 메모리 블록에서, 로컬 IO선쌍 LIOP를 구성하는 로컬 데이터 입출력선 LIO 및 /LIO는, 데이터 판독 회로(70)와 접속되어, 감지 전류 Is의 공급을 받는다.

이미 설명한 바와 같이, 데이터 판독 시에 있어서, 로컬 데이터 입출력선 LIO 및 /LIO 각각은, 선택 열의 비트선 BL 또는 /BL, 및 선택 메모리 셀 또는 더미 메모리 셀을 통해 접지 전압 Vss로 풀다운된다. 따라서, 선택 블록 열에 속하는 각 서브 블록에서, 데이터 판독 회로(70) 중의 노드 Ns1 및 Ns2 사이에는, 선택 메모리 셀의 기억 데이터에 따른 전압 차가 발생한다.

리드 증폭기 FAMP는, 노드 Ns1 및 Ns2 사이의 전압 레벨 차를 증폭하여, 상보의 판독 데이터 LDO 및 /LDO를 출력한다. 판독 데이터 LDO 및 /LDO는, 접속 스위치(71)를 통해, 데이터 입출력선 IO 및 /IO에 각각 전달된다.

데이터 기입 시에 있어서는, 접속 스위치(73)의 온에 따라, 로컬 데이터 입출력선 LIO 및 /LIO는 대응하는 데이터 입출력선 IO 및 /IO와 각각 전기적으로 결합된다.

이하에서는, 정규 메모리 셀로 구성되는 서브 블록과, 스페어 메모리 셀로 구성되는 서브 블록을 구별하기 위해, 도 2에 도시한, 스페어 IO 블록 SIOB에 배치되는 서브 블록 SB(1s)~SB(Ns)를 총칭하여, 스페어 서브 블록 SSB로도 칭한다.

다시 도 3을 참조하면, 각 스페어 서브 블록 SSB 내에서는, 정규 메모리 셀 MC 대신에, 스페어 메모리 셀 SMC가 n행×m 열로 행렬 형상으로 배치되어 있다. 각 스페어 메모리 셀 SMC는, 정규 메모리 셀 MC와 마찬가지로의 구성 및 특성을 갖도록 설계된다.

또한, 스페어 메모리 셀 열에 각각 대응하여, 비트선쌍 BLP1~BLPm 대신에, 스페어 비트선쌍 SBLP1~SBLPm이 형성된다. 스페어 비트선쌍 SBLP1~SBLPm은 스페어 비트선 SBL1, /SBL1~SBLm, /SBLm으로 구성된다.

마찬가지로, 스페어 서브 블록 SSB에는, 로컬 데이터 입출력선쌍 LIOP 대신에, 스페어 로컬 데이터 입출력선쌍 SLIOP가 배치되고, 데이터 판독 회로(70) 대신에, 데이터 판독 회로(70s)가 배치된다. 스페어 로컬 데이터 입출력선쌍 SLIOP는 스페어 로컬 데이터 입출력선 SLIO, /SLIO를 포함한다.

단, 도 3에 도시한 바와 같이, 일부 요소의 명칭만이 구별되고, 각 스페어 서브 블록 SSB의 구성은, 노멀 메모리 셀이 배치된 서브 블록 SB와 마찬가지로이다.

이러한 구성으로 함으로써, 데이터 기입 시에는, 선택 블록 행에 속하는 서브 블록 SB 및 스페어 서브 블록 SSB 각각에서, m개의 메모리 셀 열 중의 하나가 선택되어, 대응하는 비트선 BL, /BL(또는 스페어 비트선 SBL, /SBL)의 일단측이, 로컬 데이터 입출력선 LIO, /LIO(또는 스페어 로컬 데이터 입출력선 SLIO, /SLIO)를 통해, 대응하는 데이터 입출력선 IO, /IO(또는 스페어 데이터 입출력선 SIO, /SIO)와 각각 접속된다. 또한, 선택 열의 비트선 BL, /BL(또는 스페어 비트선 SBL, /SBL)의 타단끼리는, 단락 스위치 트랜지스터(62)에 의해 전기적으로 결합된다.

한편, 데이터 판독 시에는, 단락 스위치 트랜지스터(62)가 턴 오프된 상태 하에서, 선택 열의 비트선 BL, /BL(또는 스페어 비트선 SBL, /SBL)의 각각에 대하여, 감지 전류 Is가 공급된다. 이에 의해, 데이터 판독 회로(70)(또는 데이터 판독 회로(70s))는, 해당 서브 블록(또는 스페어 서브 블록)에서의 선택 메모리 셀의 기억 데이터에 따른 판독 데이터 LDO 및 /LDO를 생성한다. 생성된 판독 데이터 LDO 및 /LDO는, 데이터 입출력선 IO(스페어 데이터 입출력선 SIO) 및 /IO(/SIO)에 각각 전달된다.

도 5를 참조하면, 데이터 단자(4)에 의해 수수되는 M비트의 데이터 신호 DAT에 대하여, 데이터 판독 시에 출력되는 판독 데이터는 DOUT(0)~DOUT(M)로 표기하고, 데이터 기입 시에 입력되는 기입 데이터는 DIN(0)~DIN(M)으로 표기한다. 또한, 기입 데이터 DIN(0)~DIN(M)을 총칭하여 기입 데이터 DIN으로도 칭하고, 판독 데이터 DOUT(0)~DOUT(M)를 총칭하여 판독 데이터 DOUT로도 칭한다.

데이터 I/O 회로(50)는, 데이터 입출력선쌍 IOP(1)~IOP(M)에 각각 대응하여 설치되는 리드 증폭기 RAP(1)~RAP(M)와, 스페어 데이터 입출력선쌍 SIOP에 대응하여 설치되는 리드 증폭기 RAP(s)를 포함한다.

데이터 I/O 회로(50)는, 또한, 데이터 입출력선쌍 IOP(1)~IOP(m) 및 스페어 데이터 입출력선쌍 SIOP에 각각 대응하여 설치되는 라이트 드라이버 WRD(1)~WRD(M) 및 WRD(s)를 포함한다.

또한, 이하에서는, 리드 증폭기 RAP(1)~RAP(M), RAP(s)를 총칭하여 리드 증폭기 RAP로도 표기하고, 라이트 드라이버 WRD(1)~WRD(M), WRD(s)를 총칭하여 라이트 드라이버 WRD로도 표기한다.

리드 증폭기 RAP(1)~RAP(M)는, 데이터 판독 시에 데이터 입출력선쌍 IOP(1)~IOP(M) 각각에서 발생하는, 상보 데이터 입출력선 간의 전압 차에 따른 판독 데이터를, 데이터 노드 Nd(1)~Nd(M)에 대하여 각각 출력한다. 리드 증폭기 RAP(s)는, 리드 증폭기 RAP(1)~RAP(M)와 마찬가지로, 대응하는 스페어 데이터 입출력선쌍 SIOP를 구성하는 상보 스페어 데이터 입출력선 간의 전압 차에 따라, 판독 데이터를 스페어 데이터 노드 Nds로 출력한다. 이하에서는, 데이터 노드 Nd(1)~Nd(M)를 총칭하는 경우에는 데이터 노드 Nd로 표기한다.

라이트 드라이버 WRD(1)~WRD(M) 각각은, 대응하는 데이터 노드 Nd에 전달된 기입 데이터 DIN에 따라, 대응하는 데이터 입출력선쌍 IOP의 전압을 구동한다. 라이트 드라이버 WRD(s)는, 스페어 데이터 노드 Nds에 전달된 기입 데이터 DIN에 따라, 대응하는 스페어 데이터 입출력선쌍 SIOP의 전압을 구동한다.

도 6을 참조하면, 라이트 드라이버 WRD는, 일정 전류 I(write)를 흘리기 위한 정전류 공급 회로(180)와, 전류 미러를 구성하는 P채널 MOS 트랜지스터(181, 182)를 갖는다. 이에 따라, 노드 Nw0으로의 공급 전류는 일정 전류 I(write)에 따라 설정된다.

라이트 드라이버 WRD는, 또한, 노드 Nw0을 통해 동작 전류의 공급을 받아 동작하는 인버터(184, 185, 186)를 갖는다. 인버터(184, 185, 186) 각각은, 전원 전압 Vcc 및 접지 전압 Vss의 공급을 받아 동작한다.

인버터(184)는, 전달된 기입 데이터 DIN의 전압 레벨을 반전시켜 데이터 입출력선 IO(또는, 스페어 데이터 입출력선 SIO)에 전달한다. 인버터(185)는, 기입 데이터 DIN의 전압 레벨을 반전시켜 인버터(186)의 입력 노드에 전달한다. 인버터(186)는, 인버터(185)의 출력을 반전시켜 데이터 입출력선 /IO(또는, 스페어 데이터 입출력선 /SIO)에 전달한다. 따라서, 라이트 드라이버 WRD는, 기입 데이터 DIN의 레벨에 따라, 데이터 입출력선 IO 및 /IO(또는, 스페어 데이터 입출력선 SIO 및 /SIO)의 전압을 전원 전압 Vcc 및 접지 전압 Vss의 한쪽씩으로 설정한다.

한편, 대응하는 라이트 드라이버 WRD에 기입 데이터 DIN이 전달되지 않는 경우에는, 대응하는 데이터 입출력선 IO 및 /IO(또는, 스페어 데이터 입출력선 SIO 및 /SIO) 각각은, 도시하지 않은 프리차지 회로에 의해 프리차지 전압 레벨(예를 들면 접지 전압 Vss)을 유지한다.

다시 도 3을 참조하면, 대응하는 데이터 노드에 기입 데이터가 전달된 라이트 드라이버 WRD와, 데이터 입출력선 IO, /IO(또는, 스페어 데이터 입출력선 SIO, /SIO) 및 접속 스위치(73)를 통해 접속된 로컬 데이터 입출력선 LIO, /LIO(또는, 스페어 로컬 데이터 입출력선 SLIO, /SLIO)의 전압은, 전원 전압 Vcc 및 접지 전압 Vss의 한쪽씩으로 설정된다.

이에 의해, 선택 블록 행에 속하는 각 서브 블록의 선택 열에서, 로컬 데이터 입출력선 LIO(/LIO)~컬럼 선택 게이트 CSG~비트선 BL(/BL)~단락 스위치 트랜지스터(62)~비트선 /BL(BL)~컬럼 선택 게이트 CSG~로컬 데이터 입출력선 /LIO(LIO)의 경로에, 기입 데이터 DIN의 레벨에 따른 방향의 데이터 기입 전류  $\pm I_w$ 를 흘릴 수 있다.

마찬가지로, 선택 블록 행에 속하는 스페어 서브 블록의 선택 열에서도, 스페어 로컬 데이터 입출력선 SLIO(/SLIO)~컬럼 선택 게이트 CSG~스페어 비트선 SBL(/SBL)~단락 스위치 트랜지스터(62)~스페어 비트선 /SBL(SBL)~컬럼 선택 게이트 CSG~스페어 로컬 데이터 입출력선 /SLIO(SLIO)의 경로에, 기입 데이터 DIN의 레벨에 따른 방향의 데이터 기입 전류  $\pm I_w$ 를 흘릴 수 있다.

이에 대하여, 대응하는 라이트 드라이버 WRD에 기입 데이터 DIN이 전달되지 않는 경우에는, 데이터 입출력선 IO, /IO(또는, 스페어 데이터 입출력선 SIO, /SIO) 및 접속 스위치(73)를 통해 접속된, 로컬 데이터 입출력선 LIO, /LIO(또는, 스페어 로컬 데이터 입출력선 SLIO, /SLIO) 각각의 전압도, 프리차지 전압(접지 전압 Vss)으로 유지된다. 따라서, 선택 블록 행에 속하는 서브 블록 및 스페어 서브 블록의 선택 열에서도, 대응하는 비트선 BL, /BL(또는, 스페어 비트선 SBL, /SBL)에 데이터 기입 전류  $\pm I_w$ 는 흐르지 않아, 데이터 기입은 실행되지 않는다.

다시 도 5를 참조하면, 데이터 I/O 회로(50)는, 또한, 데이터 단자(4)와 데이터 노드 Nd(1)~Nd(M) 사이에 각각 설치되는 치환 스위치 RSW(1)~RSW(M)을 포함한다.

치환 스위치 RSW(1)~RSW(M) 각각은, 용장 제어 신호 RSG(1)~RSG(M) 각각에 따라, 대응하는 데이터 노드 Nd 및 스페어 데이터 노드 Nds 중 어느 한쪽과, 데이터 단자(4) 사이를 전기적으로 결합한다. 예를 들면, 치환 스위치 RSW(1)는, 데이터 노드 Nd(1) 및 스페어 데이터 노드 Nds의 용장 제어 신호 RSG(1)에 의해 선택된 한쪽을 데이터 단자(4)와 접속한다. 그 밖의 치환 스위치 RSW(2)~RSW(M)에 대해서도, 치환 스위치 RSW(1)와 마찬가지로 동작한다. 이하에서는, 치환 스위치 RSW(1)~RSW(M)를 총칭하여, 치환 스위치 RSW로도 표기한다.

용장 제어 신호 RSG(1)~RSG(M)는, 용장 제어 회로(60)에 의해, 용장 판정에 기초하여 생성된다.

도 7을 참조하면, 프로그램 회로(100)에 의해, 결합 메모리 셀을 나타내기 위한 불량 어드레스 FAD1~FADk(k: 자연수)가 기억된다. 불량 어드레스 FAD1~FADk를 총칭하는 경우에는 불량 어드레스 FAD로 표기한다.

도 2 및 도 5에 도시한 바와 같이, 서브 블록 SB로 분할된 메모리 어레이 구성에서, 데이터 입출력선쌍 IOP를 이용한 용장 구제를 행하는 경우에는, 불량 어드레스 FAD는, 결합 메모리 셀을 포함하는 서브 블록 및 해당 서브 블록 내의 메모리 셀 열을 특정하기 위한 h비트를 갖는다. 예를 들면, 각 불량 어드레스 FAD는,로우 어드레스 RA 및 컬럼 어드레스 CA 즉 어드레스 신호 ADD의 일부 비트를 이용하여 구성된다.

프로그램 회로(100)는, 또한, 불량 어드레스 FAD1~FADk에 각각 대응하는 k세트의 용장 제어 신호 RSG(1)~RSG(M)를 기억한다. 1세트의 용장 제어 신호 RSG(1)~RSG(M)는, 각 불량 어드레스 FAD에 대응하는 결합 메모리 셀을 스페어 메모리 셀로 치환 구제하기 위해 필요한 치환 스위치 RSW(1)~RSW(M) 각각의 접속 방향을 나타낸다.

용장 제어 회로(60)는, 또한, 불량 어드레스 FAD1~FADk에 각각 대응하여 형성되는 용장 판정 유닛 RDU1~RDUk와, 신호 셀렉터(65)를 포함한다. 용장 판정 유닛 RDU1~RDUk 각각은, 대응하는 불량 어드레스 FAD와, 어드레스 신호 ADD

중의 h비트를 받아, 양자의 일치 비교를 실행한다. 용장 판정 유닛 RDU1~RDUk는, 어드레스 일치 비교 결과에 기초하여, 스페어 인에이블 신호 SE1~SEk를 각각 출력한다. 스페어 인에이블 신호 SE1~SEk 각각은, 어드레스 신호 ADD와 대응하는 불량 어드레스 FAD가 일치했을 때에, H 레벨로 활성화되고, 그 이외에는 L 레벨로 비활성화된다.

신호 셀렉터(65)는, 불량 어드레스 FAD1~FADk에 각각 대응하는 k세트의 용장 제어 신호 RSG(1)~RSG(m)를 받아, 스페어 인에이블 신호 SE1~SEk에 따라 선택적으로 출력한다. 신호 셀렉터(65)는, 불량 어드레스 FAD1~FADk 중 어느 하나와 어드레스 신호 ADD가 일치한 경우에는, 일치한 불량 어드레스 FAD에 대응하는 용장 제어 신호 RSG(1)~RSG(M)를 출력한다.

이에 의해, 결합 메모리 셀을 포함하는 노멀 IO 블록 NIOB에 대응하는 치환 스위치 RSW에서는, 대응하는 데이터 노드 Nd가 아니라 스페어 데이터 노드 Nds가 데이터 단자(4)와 접속된다. 한편, 스페어 인에이블 신호 SE1~SEk 모두 비활성화되어 있는 경우, 즉 어드레스 신호 ADD가 어떠한 불량 어드레스와도 일치하지 않는 경우에는, 각 치환 스위치 RSW가, 대응하는 데이터 노드 Nd와 데이터 단자(4) 사이를 접속하도록, 용장 제어 신호 RSG(1)~RSG(M)가 설정된다. 이에 따라, 데이터 입출력선쌍 단위로, 결합 메모리 셀의 구제를 실행할 수 있다.

다음으로, 도 8a 및 도 8b를 이용하여, 실시예 1에 따른 MRAM 디바이스에서의 데이터 기입 동작 및 데이터 판독 동작의 동작 타이밍을 설명한다.

도 8a를 참조하면, 데이터 기입 시에 있어서는, 시각 t0에서, 데이터 기입 동작이 개시되어, 유효한 어드레스 신호 ADD 및 M비트의 기입 데이터 DIN(DIN(0)~DIN(M))이 입력되면, 용장 제어 회로(60)에서의 용장 판정 결과를 대기하지 않고, 어드레스 신호 ADD에 대응하는 라이트 워드선 WWL 및 컬럼 선택선 CSL의 활성화가 실행된다.

라이트 워드선 WWL이 활성화된 시각 t1로부터, 데이터 기입 전류 Ip의 공급이 개시된다. 데이터 기입 전류 Ip는, 선택 행의 정규 메모리 셀 및 스페어 메모리 셀 내의 터널 자기 저항 소자에서, 자화 곤란축(HA) 방향의 자계를 발생시키는 것으로 한다.

한편, 용장 제어 회로(60)에서의 용장 판정은, 시각 t0으로부터 판정 소요 시간 Tr 경과 후의, 시각 t1보다 느린 시각 tj에서 종료된다. 시각 t0으로부터 시각 tj 사이에서는, 치환 스위치 RSW(1)~RSW(M) 각각은, 데이터 노드 Nd(1)~Nd(n) 및 스페어 데이터 노드 Nds를 오픈 상태로 한다. 따라서, 용장 제어 신호 RSG가 설정되기까지의 동안에는, 컬럼 선택선 CSL이 활성화된 선택 열에서도, 대응하는 비트선 또는 스페어 비트선 상에, 비트선 전류 I(BL)는 발생하지 않는다. 즉, 데이터 기입 전류 ±Iw가 흐르지 않는다. 또한, 비트선 전류 I(BL)는, 정규 메모리 셀 및 스페어 메모리 셀 내의 터널 자기 저항 소자에서의 자화 용이축(EA) 방향의 자계를 발생시키는 것으로 한다.

시각 tj에서, 용장 제어 신호 RSG가 용장 판정 결과에 기초하여 설정되면, (M+1)개의 라이트 드라이버 WRD 중의 M개의 라이트 드라이버 WRD에 대하여, 기입 데이터 DIN(1)~DIN(M)이 각각 전달된다. 기입 데이터 DIN의 전달을 받은 라이트 드라이버 WRD 각각은, 대응하는 데이터 입출력선쌍 IOP 또는 스페어 데이터 입출력선쌍 SIOP를 구성하는, 2개의 데이터 입출력선 또는 스페어 데이터 입출력선을, 기입 데이터 DIN의 레벨에 따라, 전원 전압 Vcc 및 접지 전압 Vss의 한쪽씩으로 설정한다. 한편, 기입 데이터 DIN의 전달을 받지 않은 라이트 드라이버 WRD는, 대응하는 2개의 데이터 입출력선 또는 스페어 데이터 입출력선을 접지 전압 Vss로 유지한다.

그 결과, 시각 t1 및 tj보다 느린 시각 t2에서, 선택된 블록 행에 속하고, 또한, 대응하는 데이터 입출력선쌍 IOP(혹은 스페어 데이터 입출력선쌍 SIOP)가 라이트 드라이버 WRD에 의해 구동된 서브 블록에서, 선택 열의 비트선에 대하여, 기입 데이터 DIN의 레벨에 따른 방향의 데이터 기입 전류 ±Iw가, 비트선 전류 I(BL)로서 흐른다. 한편, 해당 서브 블록 내의 선택 행에 대응하는 라이트 워드선 WWL에 대해서는, 데이터 기입 전류 Ip가 라이트 워드선 전류 I(WWL)로서 공급되기 때문에, 이들 양방이 인가된 정규 메모리 셀 또는 스페어 메모리 셀에 대하여, 데이터 기입을 실행할 수 있다.

즉, 결합 메모리 셀과의 사이에서 라이트 워드선 WWL 및 리드 워드선 RWL을 공유하는, 즉 동일한 메모리 셀 행에 속하는 스페어 메모리 셀에 의해, 해당 결합 메모리 셀을 치환 구제하는 데이터 기입을 실행할 수 있다.

한편, 데이터 기입 종료 시에 있어서는, 우선 시각 t3에서, 선택 행의 라이트 워드선 WWL이 비활성화되어, 라이트 워드선 전류 I(WWL), 즉 데이터 기입 전류 Ip의 공급이 정지된다. 그 후, 시각 t4에서, 또한, 컬럼 선택선 CSL이 비활성화되어, 비트선 전류 I(BL), 즉 데이터 기입 전류 ±Iw의 공급이 정지된다.

데이터 기입 전류의 공급 타이밍을 상기한 바와 같이 설정함으로써, 데이터 기입 대상으로 되는 정규 메모리 셀 또는 스페어 메모리 셀 내의 터널 자기 저항 소자 TMR에 대하여, 데이터 기입 개시 시에 자화 곤란축 방향의 데이터 기입 자계를 먼저 인가한 후에, 자화 용이축 방향의 데이터 기입 자계를 인가할 수 있다.

또한, 데이터 기입 동작 종료 시에 있어서, 자화 용이축 방향으로 소정 레벨의 데이터 기입 자계가 인가된 상태에서, 자화 곤란축 방향의 데이터 기입 자계가 감소해 가는 기간을 설정할 수 있다.

여기서, 도 9를 이용하여, 데이터 기입 동작 시에 있어서의 터널 자기 저항 소자의 자화 거동을 설명한다.

도 9의 (a)를 참조하면, 데이터 기입 동작 전 및 데이터 기입 동작 개시 후의 데이터 기입 전류 인가 전에 해당하는 시각 t1 이전(t<t1)에 있어서는, 터널 자기 저항 소자 내의 자유 자화층은, 자화 용이축을 따라, 임의의 방향(도 9의 (a)에서는 우측 방향)으로 자화되어 있다. 이하, 도 9의 (a)에서의 자화 방향을, 반대 방향으로 재기입하기 위한 데이터 기입 동작에 대하여 설명한다.

도 9의 (b)를 참조하면, 시각 t1로부터 시각 t2 사이( $t=t1 \sim t2$ )에서는, 라이트 워드선 WWL을 흐르는 데이터 기입 전류 Ip에 의해, 자화 곤란축(HA)을 따른 데이터 기입 자계 Hh가 인가된다. 이에 의해, 자유 자화층의 자화 방향은 서서히 회전하기 시작한다.

또한, 도 9의 (c)를 참조하면, 시각 t2로부터 시각 t3 사이( $t=t2 \sim t3$ )에 있어서는, 소정 레벨의 자화 곤란축 방향의 데이터 기입 자계 Hh가 인가된 상태에서, 또한, 자유 자화층의 자화 방향을 반전시키기 위한 자화 용이축 방향의 데이터 기입 자계 He가 인가된다. 데이터 기입 자계 Hh 및 He의 합이 도 17에 도시한 아스테로이드 특성선의 외측에 대응하는 영역에 달하면, 자유 자화층의 자화 방향은, 점선의 화살표로 나타난 방향으로부터, 실선의 화살표로 나타난 방향으로 반전되도록 재기입된다.

도 9의 (d)를 참조하면, 시각 t3으로부터 시각 t4 사이( $t=t3 \sim t4$ )에 있어서는, 자화 용이축 방향을 따른 데이터 기입 자계 He가 소정 레벨로 인가된 상태에서, 자화 곤란축 방향을 따른 데이터 기입 자계 Hh가 감소한다. 이에 의해, 데이터 기입 동작 종료 시에 있어서, 데이터 기입 자계 Hh 및 He의 벡터 합은, 도 9의 (c)에서의 자화 회전 방향으로 변화된다.

도 9의 (e)에 도시한 바와 같이, 이러한 순서로 데이터 기입 자계 Hh 및 He를 변화시킴으로써, 자유 자화층의 자화 방향은, 데이터 기입 동작 시에 있어서, 바람직하지 못한 중간적인 자화 상태에 빠지지 않고 안정적으로 반대 방향으로 재기입할 수 있다.

여기서, 도 10을 이용하여, 자유 자화층에서의 데이터 기입 동작 시의 바람직하지 못한 중간적인 자화 상태의 발생에 대하여 설명한다.

도 10을 참조하면, 터널 자기 저항 소자 TMR의 단부 영역(108, 109)은, 자화 용이축 방향의 자계에 응답하여 용이하게 자화되지 않고, 자화 방향 및 양이 서서히 변화되는 특성을 갖는다. 따라서, 단부 영역은, 자화 용이축 방향의 자계에 응답하여 자화 방향 및 양이 2차적으로 설정되는 중앙부 영역(107)과는 달리, 메모리 셀로서 바람직하지 못한 특성을 갖고 있다.

도 10의 (a) 혹은 도 10의 (b)에 도시한 바와 같이, 터널 자기 저항 소자 TMR의 자유 자화층에서는, 단부 영역(108, 109)을 자화 곤란축을 따른 한 방향으로 자화한 후에, 중앙부 영역을 자화 용이축을 따라, 기입 데이터 레벨에 따른 방향으로 자화함으로써, 안정적인 자화 특성을 얻을 수 있다.

상술한 바와 같이, 컬럼 선택선 CSL의 활성화 타이밍을 라이트 워드선 WWL보다 늦게 함으로써, 자화 곤란축 방향의 데이터 기입 자계는, 자화 용이축 방향의 데이터 기입 자계보다 먼저 인가된다. 이에 의해, 터널 자기 저항 소자 TMR의 단부 영역(108, 109)에서의 자화 방향을 한 방향(도 9의 (a), 도 9의 (b)에서는 상측 방향)으로 정렬시킨 후에, 중앙부 영역(107)에서 자화 용이축을 따른 방향의 자화 반전을 안정적으로 행할 수 있다.

이에 대하여, 라이트 워드선 WWL과 컬럼 선택선 CSL을 거의 동시에 활성화, 혹은 컬럼 선택선 CSL을 라이트 워드선 WWL보다 빠르게 활성화한 경우에는, 자유 자화층이 다안정(Multi-Stable) 상태로 되어, 도 10의 (c), (d), (e)에 도시한 바와 같이, 자화의 방향은, 바람직한 안정 상태가 아닌 무질서한 중간 상태로 된다.

그 결과, 데이터 기입 후에 있어서의 자유 자화층의 자화 방향은, 도 10의 (a) 혹은 도 10의 (b)에 도시한 바와 같이, 바람직한 방향으로 정렬되지 않는다. 따라서, 데이터가 기입된 메모리 셀에서, 기억 데이터 레벨의 차이에 따른 원하는 전기 저항 차를 확보할 수 없어, 오동작의 원인으로 되어 MRAM 디바이스의 동작 안정성이 손상된다.

이상 설명한 바와 같이, 도 8a에 따라 데이터 기입 전류를 공급함으로써, 데이터 기입 동작의 개시 시 및 종료 시에 있어서, 자화 곤란축 방향의 데이터 기입 자계를, 자화 용이축 방향의 데이터 기입 자계보다 빠르게 발생시키거나 혹은 소멸시킬 수 있다. 이에 따라, MTJ 메모리 셀의 자화 특성을 고려하여 데이터 기입을 안정적으로 실행할 수 있다.

또한, 데이터 기입을 안정적으로 실행하기 위해 필요한 타임 래그(도 8의 (a)에서의 시각 t1~t2 사이)는, 용장 판정의 처리 시간을 이용하여 설정되기 때문에, 용장 판정 종료 후에, 최고속 타이밍에서 데이터 기입 전류  $\pm I_w$ 의 공급을 개시해도, 안정적인 데이터 기입을 실현할 수 있다.

도 8b를 참조하면, 데이터 판독 시에 있어서도, 시각 t0에 입력된 유효한 어드레스 신호 ADD에 응답하여, 시각 t1에서, 선택 행의 리드 워드선 RWL 및 선택 열의 컬럼 선택선 CSL이 H 레벨로 활성화된다. 이에 의해, 선택 블록 행에 속하는 각 서브 블록 및 스페어 서브 블록에서, 선택 열의 비트선 BL, /BL 또는 스페어 비트선 SBL, /SBL에 대하여, 터널 자기 저항 소자 TMR을 통과시키기 위한 감지 전류(데이터 판독 전류) Is가 비트선 전류 I(BL)로서, 데이터 판독 회로(70, 70s)에 의해 공급된다.

또한, 데이터 판독 회로(70, 70s) 각각은, 선택 열의 비트선 BL, /BL과 접속된 로컬 데이터 입출력선 LIO, /LIO 간의 전압 차, 또는, 선택 열의 스페어 비트선 SBL, /SBL과 접속된 스페어 로컬 데이터 입출력선 SLIO, /SLIO 간의 전압 차에 따라, 판독 데이터를 생성한다. 데이터 판독 회로(70, 70s)로부터의 판독 데이터의 레벨에 따라, 각 데이터 입출력선쌍 IOP 및 스페어 데이터 입출력선쌍 SIOP의 전압이 구동된다. 이들 (M+1)개의 판독 데이터는, 리드 증폭기 RAP(1)~RAP(M), RAP(s)에 의해 더욱 증폭되어, 데이터 노드 Nd(1)~Nd(M) 및 스페어 데이터 노드 Nds에 전달된다.

따라서, 데이터 판독 시에 있어서는, 용장 제어 회로(60)에 의한 용장 판정의 종료를 대기하지 않고, 스페어 메모리 셀과 정규 메모리 셀의 양방에 대하여 병렬로 데이터 판독이 실행되게 된다. 이에 의해, 결합 메모리 셀과의 사이에서 라이트 워드선 WWL 및 리드 워드선 RWL을 공유하는, 즉 동일한 메모리 셀 행에 속하는 스페어 메모리 셀에 의해, 해당 결합 메모리 셀을 치환 구제하는 데이터 판독이 실행된다.

또한, 시각  $t_j$ 에서, 용장 판정이 종료되면, 치환 스위치 RSW(1)~RSW(M)의 접속 방향이, 용장 판정에 기초하여 적절하게 설정된다. 이에 의해, 결합 메모리 셀을 치환 구제하기 위한 용장 판정 결과를 반영하여, M비트의 판독 데이터 DOUT(DOUT(1)~DOUT(M))가 데이터 단자(4)로 출력된다.

이상 설명한 바와 같이, 실시예 1에 따른 MRAM 디바이스에서는, 데이터 기입 시에 있어서는, 용장 판정의 소요 시간을 이용하여, 자화적으로 불안정한 중간 상태가 발생하는 것을 회피한 안정적인 데이터 기입을 고속으로 실행할 수 있다. 또한, 데이터 판독 시에 있어서는, 용장 판정에 필요한 시간의 영향을 최소로 억제하여, 고속 데이터 판독을 실행할 수 있다. 따라서, 용장 구성에서의 고속 동작화와, 데이터 기입의 안정화를 양립시킬 수 있다.

[실시예 1의 변형예]

실시예 1의 변형예에서는, 데이터 I/O 회로에서, 스페어 데이터 입출력선쌍 SIOP에 의한 직접적인 데이터선 치환이 아니라, 시프트 리던던시 방식에 기초한 용장 구제를 실행하는 구성에 대하여 설명한다.

도 11을 참조하면, 실시예 1의 변형예에 따른 데이터 I/O 회로(51)는, 도 5에 도시한 데이터 I/O 회로(50)와 비교하여, 치환 스위치 RSW(1)~RSW(M) 대신에, 시프트 스위치 SSW(1)~SSW(M)를 포함하는 점이 다르다. 데이터 I/O 회로(51)의 그 밖의 부분의 구성에 대해서는, 도 5에 도시한 데이터 I/O 회로(50)와 마찬가지로이기 때문에 상세한 설명은 반복하지 않는다.

시프트 스위치 SSW(1)~SSW(M)는, 데이터 입출력선쌍 IOP(1)~IOP(M) 및 스페어 데이터 입출력선쌍 SIOP에 각각 대응하는, 순서대로 배열된 데이터 노드 Nd(1)~Nd(M) 및 스페어 데이터 노드 Nds의 인접하는 2개의 노드 사이에 각각 배치된다. 시프트 스위치 SSW(1)~SSW(M) 각각은, 대응하는 2개의 노드의 한쪽을 데이터 단자(4)와 접속한다. 시프트 스위치 SSW(1)~SSW(M)의 접속 방향은, 용장 제어 회로(60)로부터의, 용장 판정 결과에 기초하는 용장 제어 신호 RSG(1)~RSG(M)에 의해 각각 제어된다.

예를 들면, 제1번째의 시프트 스위치 SSW(1)는, 용장 제어 신호 RSG(1)에 따라, 데이터 노드 Nd(1) 및 Nd(2)의 한쪽을 데이터 단자(4)와 선택적으로 접속하여, 제M번째(최종)의 시프트 스위치 SSW(M)는, 용장 제어 신호 RSG(M)에 따라, 데이터 노드 Nd(M) 및 스페어 데이터 노드 Nds의 한쪽을 데이터 단자(4)와 선택적으로 접속한다. 이하에서는, 시프트 스위치 SSW(1)~SSW(M)를 총칭하는 경우에는, 간단하게 시프트 스위치 SSW로도 표기한다.

각 시프트 스위치 SSW는, 결합 메모리 셀을 포함하는 노멀 IO 블록에 대응하는 데이터 입출력선쌍 IOP를 경계로, 그 접속 방향이 변화된다. 예를 들면, 도 11의 구성에서, 제j번째(j: 2~M의 자연수)의 데이터 입출력선쌍 IOP(j)가 결합 메모리 셀과 대응하는 경우에는, 시프트 스위치 SSW(1)~SSW(j-1)의 접속 방향은, 정규 방향(도 11에서의 상측 방향)으로 설정되고, 시프트 스위치 SSW(j)~SSW(M)의 접속 방향은, 스페어 방향(도 11에서의 하측 방향)으로 설정된다. 또한, 데이터 입출력선쌍 IOP(1)가 결합 메모리 셀과 대응하는 경우에는, 시프트 스위치 SSW(1)~SSW(M)의 각각의 접속 방향은, 스페어 방향(도 11에서의 하측 방향)으로 설정된다.

이에 대하여, 결합 메모리 셀이 선택되지 않고, 데이터 입출력선쌍 IOP의 시프트 리던던시가 불필요한 경우에는, 시프트 스위치 SSW(1)~SSW(M)의 각각의 접속 방향은 정규 방향(상측 방향)으로 설정된다.

이에 의해, 시프트 스위치 SSW(1)~SSW(M)를 이용하여, 결합 메모리 셀이 액세스 대상으로 선택된 경우에도, 결합 메모리 셀에 대응하는 데이터 입출력선쌍 IOP(j)를 데이터 단자(4)와 접속하지 않고, 남은 (M-1)개의 데이터 입출력선쌍 IOP 및 스페어 데이터 입출력선쌍 SIOP를 이용하여, M비트의 데이터 신호 DAT의 데이터 판독 및 데이터 기입을 실행할 수 있다.

또한, 실시예 1의 변형예에 따른 구성에서는, 데이터 I/O 회로의 구성 이외에는 실시예 1의 경우와 마찬가지로이기 때문에, 각 서브 블록 SB에 대한 데이터 판독 및 데이터 기입은, 도 8a, 도 8b에 도시한 동작 파형도와 마찬가지로 실행되어, 고속 데이터 판독 및 자화적으로 안정된 데이터 기입을 실행하는 것이 가능하다.

[실시예 2]

도 12를 참조하면, 실시예 2에 따른 구성에서는, 메모리 어레이(10)는 열 방향을 따라 복수의 메모리 블록 MBa 및 MBb로 분할된다. 예를 들면,뱅크 어드레스 등에 의해, 복수의 메모리 블록 MBa 및 MBb 중의 하나가 선택된다. 또한, 메모리 블록 MBa, MBb를 총칭하여, 메모리 블록 MB로도 표기한다.

메모리 블록 MBa 및 MBb 각각은, 실시예 1에서 설명한 메모리 어레이(10)와 마찬가지로의 구성을 갖는다. 즉, 메모리 블록 MBa에 대하여, 데이터 입출력선쌍 IOPa(1)~IOPa(M) 및 스페어 데이터 입출력선쌍 SIOPa가 배치된다. 마찬가지로, 메모리 블록 MBb에서는, 데이터 입출력선쌍 IOPb(1)~IOPb(M) 및 스페어 데이터 입출력선쌍 SIOPb가 배치된다.

또한, 동일한 메모리 셀 행에 대하여, 메모리 블록 MBa 및 MBb에 각각 대응하여, 메모리 블록 MBa 및 MBb에서, 리드 워드선 RWLa 및 RWLb가 각각 배치된다. 마찬가지로, 동일한 메모리 셀 행에 대하여, 메모리 블록 MBa 및 MBb에서, 라이트 워드선 WWLa 및 WWLb가 각각 배치된다.

로우 디코더(21)는, 메모리 블록 MBa 및 MBb에 공통으로 형성되고, 선택된 메모리 블록 MB에서, 선택 행의 리드 워드선 RWL(데이터 판독 시) 또는 라이트 워드선 WWL(데이터 기입 시)을 선택적으로 활성화한다. 따라서, 메모리 블록 MBa 및 MBb의 양방에서, 동시에 행 선택이 실행되지 않는다. 다시 말하면, 각 메모리 블록 MB에서, 행 선택은 독립적인 타이밍에서 실행된다.

컬럼 디코더 및 선택선 드라이버(31a, 31b)는, 메모리 블록 MBa 및 MBb에 각각 대응하여 형성되고, 대응하는 메모리 블록 MB가 선택된 경우에, 도 2와 마찬가지로 컬럼 선택선 CSL 및 블록 행 선택 신호 RBS를 선택적으로 활성화한다.

메모리 블록 MBa 및 MBb에서의 용장 구성은 각각 독립적으로 설정된다. 즉, 메모리 블록 MBa에 대응하여, 데이터 I/O 회로(50#a) 및 용장 제어 회로(60a)가 배치되고, 메모리 블록 MBb에 대응하여, 데이터 I/O 회로(50#b) 및 용장 제어 회로(60b)가 배치된다.

데이터 I/O 회로(50#a, 50#b) 각각은, 도 5 및 도 11에 각각 도시한 데이터 I/O 회로(50, 51) 중 어느 한쪽과 마찬가지로 구성을 갖는다.

용장 제어 회로(60a)는, 메모리 블록 MBa에서의 용장 구제를 실행하기 위한 불량 어드레스 FADa 및 용장 제어 신호 RSGa의 패턴을 기억하고, 어드레스 신호 ADD와 불량 어드레스 FADa와의 용장 판정 결과에 기초하여, 실시예 1과 마찬가지로, 데이터 I/O 회로(50#a)에서의 치환 스위치 RSW 또는 시프트 스위치 SSW의 접속 방향을 제어한다.

마찬가지로, 용장 제어 회로(60b)는, 메모리 블록 MBb에서의 용장 구제를 행하기 위한 불량 어드레스 FADb 및 용장 제어 신호 RSGb의 패턴을 기억하고, 어드레스 신호 ADD와 불량 어드레스 FADb와의 용장 판정 결과에 기초하여, 실시예 1과 마찬가지로, 데이터 I/O 회로(50#b)에서의 치환 스위치 RSW 또는 시프트 스위치 SSW의 접속 방향을 제어한다.

즉, 스페어 메모리 셀에 대한 데이터 판독 및 기입에 이용되는 스페어 데이터 입출력선쌍 SIOP나, 용장 제어 회로(60) 등의 용장 구성은, 행 선택이 공통의 타이밍에서 실행되는 소정 구분, 도 12에서는 메모리 블록 MB마다 형성된다.

이러한 구성으로 함으로써, 독립된 타이밍에서 행 선택이 실행되는 복수의 메모리 블록 MB 각각에서, 결합 메모리 셀을 구제한 후에, M비트의 데이터 신호 DAT를 입출력할 수 있다.

[실시예 2의 변형예]

도 13을 참조하면, 실시예 2의 변형예에 따른 구성에서는, 실시예 2에 따르는 구성과 비교하여, 메모리 블록 MBa 및 MBb에서, 동시에 행 선택이 실행되는 점이 다르다. 즉, 어드레스 신호 ADD에 대응하여, 메모리 블록 MBa 및 MBb의 양방에서, 1개씩의 리드 워드선 RWL(데이터 판독 시) 또는 라이트 워드선 WWL(데이터 기입 시)이 선택적으로 활성화된다.

이와 같이, 메모리 블록 MBa 및 MBb에서 공통으로 행 선택이 실행되는 경우에는, 스페어 IO 블록 SIOB 즉 스페어 데이터 입출력선쌍 SIOP는, 메모리 블록 MBa 및 MBb에 공통으로 형성할 수 있다. 즉, 도 13의 예에서는, 메모리 블록 MBb 내에 형성된 스페어 IO 블록 SIOB의 스페어 데이터 입출력선쌍 SIOP를, 메모리 블록 MBa 및 MBb의 용장 구제에 공통으로 이용할 수 있다.

따라서, 데이터 I/O 회로(50#) 및 용장 제어 회로(60)에 대해서도, 메모리 블록 MBa 및 MBb에 대하여 공통으로 형성할 수 있다. 따라서, 용장 구성에 필요한 회로 면적이 삭감된다.

이러한 구성으로 함으로써, 메모리 블록 MBa 및 MBb의 각각에, M개의 데이터 입출력선쌍 IOP를 배치하는 구성에서는, 결합 메모리 셀을 데이터 입출력선쌍 IOP 단위로 용장 구제하여, (2×M)비트의 데이터 신호 DAT를 입출력할 수 있다.

또한, 본 실시예에서는, 스페어 메모리 셀에 대한 데이터 판독 및 기입이 하나의 스페어 데이터 입출력선쌍 SIOP에 의해 실행되는 구성예를 설명하였지만, 마찬가지로의 스페어 데이터 입출력선쌍 SIOP를 복수개 형성하는 구성을 채용할 수도 있다. 이 경우에는, 도 5에 도시한 각 치환 스위치 RSW의 접점 수를 스페어 데이터 입출력선쌍 SIOP의 개수에 따라 증가시키거나, 도 11에 도시한 시프트 스위치 SSW의 단수를 스페어 데이터 입출력선쌍 SIOP의 개수에 따라 증가시키는 구성으로 하면 된다.

**발명의 효과**

본 발명에 따르면, 박막 자성체 기억 장치는, 용장 판정 소요 시간을 이용하여, 자화적으로 불안정한 중간 상태가 발생하는 것을 회피한 안정적인 데이터 기입을 고속으로 실행할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치에 있어서,

행렬 형상으로 배치된, 복수의 정규 메모리 셀 및 상기 복수의 정규 메모리 셀 중의 결합 메모리 셀을 치환 구제하기 위한 복수의 스페어 메모리 셀 - 상기 각 정규 메모리 셀 및 상기 각 스페어 메모리 셀은, 자화 곤란축을 따른 제1 소정 자계 및 자화 용이축을 따른 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자를 가짐 - ;

상기 어드레스 신호와, 상기 결합 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 상기 결합 메모리 셀이 선택되었는지의 여부를 판정하는 용장 판정을 행하는 용장 제어 회로;

상기 용장 관정을 행하기 위한 경로와는 별도의 경로에 배치되어, 데이터 기입 시에, 상기 용장 관정과 독립적이고 또한 병행하여, 상기 제1 어드레스에 따라, 상기 복수의 정규 메모리 셀 및 상기 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행하는 선택 회로;

선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군에 대하여 상기 제1 소정 자계를 인가하기 위해, 각각이, 상기 행 선택에 따라 선택적으로 활성화되어 제1 데이터 기입 전류가 흐르는 복수의 기입 선택 배선;

정규 메모리 셀 열에 대응하여 형성되는 복수의 데이터선;

스페어 메모리 셀 열에 대응하여 형성되는 복수의 스페어 데이터선; 및

상기 복수의 정규 메모리 셀 및 상기 복수의 스페어 메모리 셀에 대한 데이터 입출력을 상기 용장 관정에 따라 제어하기 위한 데이터 입출력 회로

를 포함하고,

상기 데이터 입출력 회로는, 상기 데이터 기입 시에, 상기 용장 관정에 따라, 상기 제2 어드레스에 따른 일부의 데이터선과, 상기 제2 어드레스에 따른 일부의 데이터선 및 스페어 데이터선 중 어느 한쪽에 대하여, 상기 제2 소정 자계를 발생시키기 위한 제2 데이터 기입 전류를 공급하는 박막 자성체 기억 장치.

## 청구항 2.

제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치에 있어서,

행렬 형상으로 배치된, 복수의 정규 메모리 셀, 및 상기 복수의 정규 메모리 셀 중의 결합 메모리 셀을 치환 구제하기 위한 복수의 스페어 메모리 셀 - 상기 각 정규 메모리 셀 및 상기 각 스페어 메모리 셀은, 제1 및 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자와, 상기 자기 저항 소자와 직렬로 전기적으로 결합되어, 데이터 관독 전류를 통과시키기 위해 선택적으로 턴 온되는 액세스 소자를 포함함 - ;

상기 어드레스 신호와, 상기 결합 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 상기 결합 메모리 셀이 선택되었는지의 여부를 판정하는 용장 관정을 행하는 용장 제어 회로;

상기 용장 관정을 행하기 위한 경로와는 별도의 경로에 배치되어, 데이터 관독 시에, 상기 용장 관정과 독립적이고 또한 병행하여, 상기 제1 어드레스에 따라, 상기 복수의 정규 메모리 셀 및 상기 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행하는 선택 회로;

선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군의 각각에서, 상기 액세스 소자를 턴 온시키기 위해, 각각이 상기 행 선택에 따라 선택적으로 활성화되는 복수의 관독 선택 배선;

정규 메모리 셀 열에 대응하여 형성되며, 각각이, 상기 데이터 관독 시에 선택 행의 정규 메모리 셀과 접속되는 복수의 데이터선;

스페어 메모리 셀 열에 대응하여 형성되며, 상기 데이터 관독 시에 선택 행의 스페어 메모리 셀과 접속되는 복수의 스페어 데이터선;

상기 데이터 관독 시에, 상기 용장 관정과 독립적이고 또한 병행하여, 상기 복수의 데이터선 중의 상기 제2 어드레스에 따른 일부의 선택 데이터선에 대하여 상기 데이터 관독 전류를 공급하기 위한 제1 데이터 관독 회로;

상기 데이터 관독 시에, 상기 용장 관정과 독립적이고 또한 병행하여 동작하고, 또한 상기 제1 데이터 관독 회로와 병렬로 동작하여, 상기 복수의 스페어 데이터선 중의 적어도 1개의 선택 스페어 데이터선에 대하여 상기 데이터 관독 전류를 공급하기 위한 제2 데이터 관독 회로; 및

상기 데이터 관독 시에, 상기 데이터 관독 전류의 공급을 받은 상기 선택 데이터선 및 상기 선택 스페어 데이터선의 각각으로부터의 복수의 관독 데이터를 받아, 상기 복수의 관독 데이터의 일부를 상기 용장 관정에 기초하여 선택적으로 출력하는 데이터 입출력 회로

를 포함하는 박막 자성체 기억 장치.

## 청구항 3.

제1 및 제2 어드레스를 포함하는 어드레스 신호에 따른 어드레스 선택을 행하는 박막 자성체 기억 장치에 있어서,

메모리 셀 행을 공유하도록 행렬 형상으로 배치된, 복수의 정규 메모리 셀 및 상기 복수의 정규 메모리 셀 중의 결합 메모리 셀을 치환 구제하기 위한 복수의 스페어 메모리 셀 - 상기 각 정규 메모리 셀 및 상기 각 스페어 메모리 셀은, 제1 및 제2 소정 자계의 양방의 인가에 응답하여 재기입 가능한 자화 방향에 따라 전기 저항이 변화되는 자기 저항 소자를 가짐 - ;

상기 어드레스 신호와, 상기 결합 메모리 셀을 나타내는 불량 어드레스와의 일치 비교에 기초하여, 상기 결합 메모리 셀이 선택되었는지의 여부를 판정하는 용장 판정을 행하는 용장 제어 회로;

상기 용장 판정을 행하기 위한 경로와는 별도의 경로에 배치되어, 데이터 기입 시에, 상기 용장 판정과 독립적이고 또한 병행하여, 상기 제1 어드레스에 따라, 상기 복수의 정규 메모리 셀 및 상기 복수의 스페어 메모리 셀의 각각에 대하여 행 선택을 실행하는 선택 회로;

상기 메모리 셀 행에 각각 대응하여 형성되며, 선택 행의 정규 메모리 셀군 및 스페어 메모리 셀군에 대하여 상기 제1 소정 자계를 인가하기 위해, 각각이, 상기 행 선택에 따라 선택적으로 활성화되어 제1 데이터 기입 전류가 흐르는 복수의 기입 선택 배선;

정규 메모리 셀 열에 대응하여 형성되는 복수의 데이터선;

스페어 메모리 셀 열에 대응하여 형성되는 복수의 스페어 데이터선; 및

상기 복수의 정규 메모리 셀 및 상기 복수의 스페어 메모리 셀에 대한 데이터 입출력을 상기 용장 판정에 따라 제어하기 위한 데이터 입출력 회로

를 포함하며,

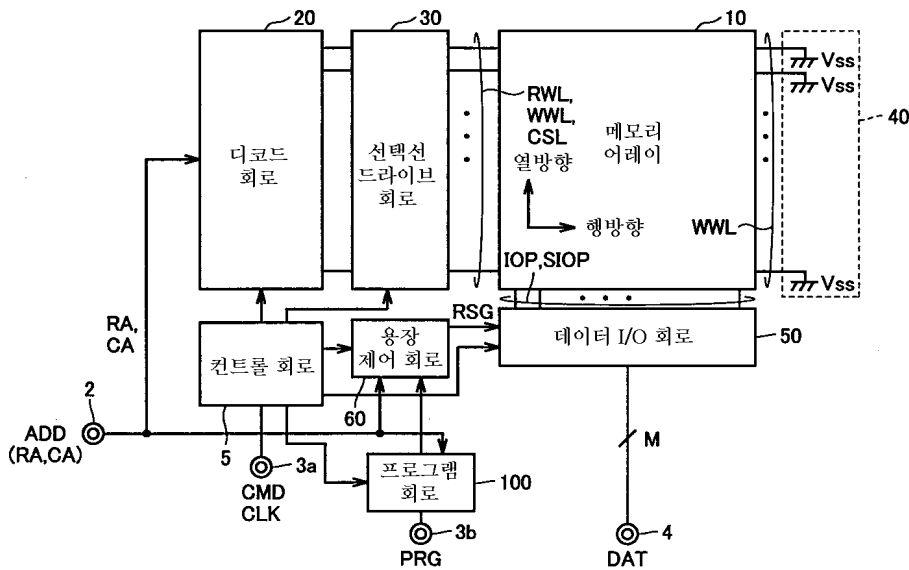
상기 데이터 입출력 회로는, 상기 데이터 기입 시에, 상기 용장 판정에 따라, 상기 제2 어드레스에 따른 일부의 데이터선과, 상기 제2 어드레스에 따른 일부의 데이터선 및 스페어 데이터선 중 어느 한쪽에 대하여, 상기 제2 소정 자계를 발생시키기 위한 제2 데이터 기입 전류를 공급하고,

상기 결합 메모리 셀은, 동일한 상기 메모리 셀 행에 속하는 스페어 메모리 셀 중의 하나에 의해 치환 구제되는 박막 자성체 기억 장치.

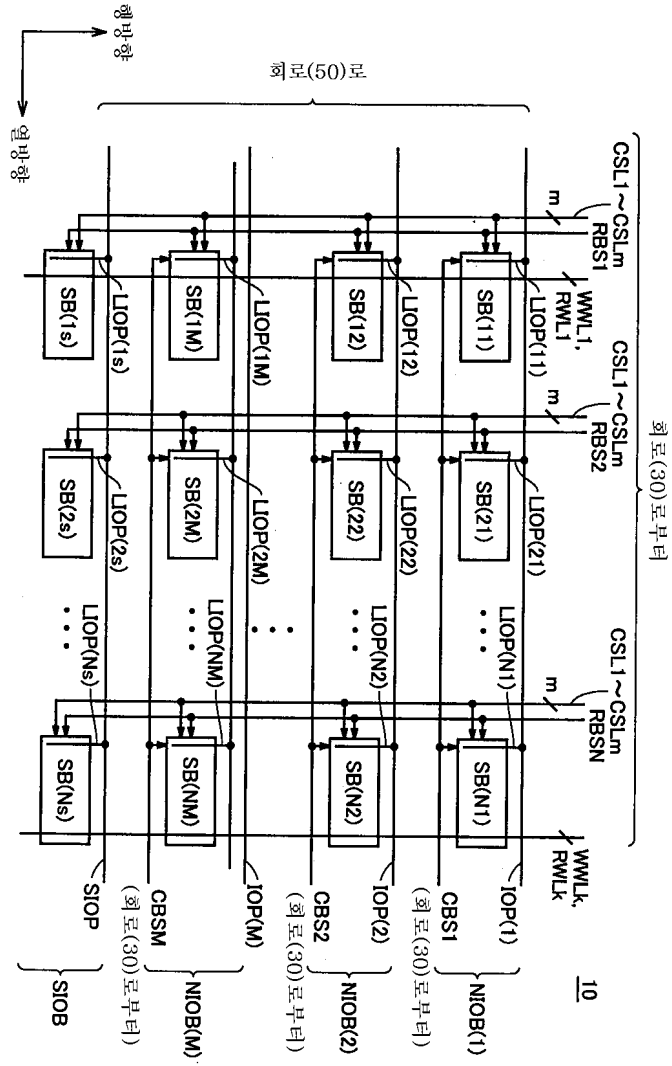
도면

도면1

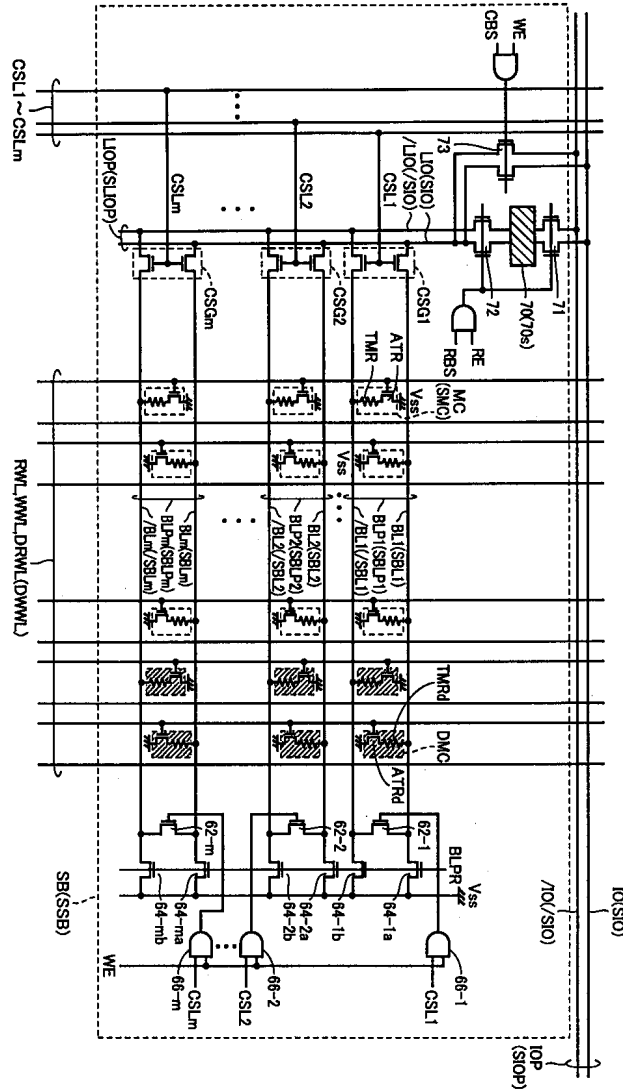
1



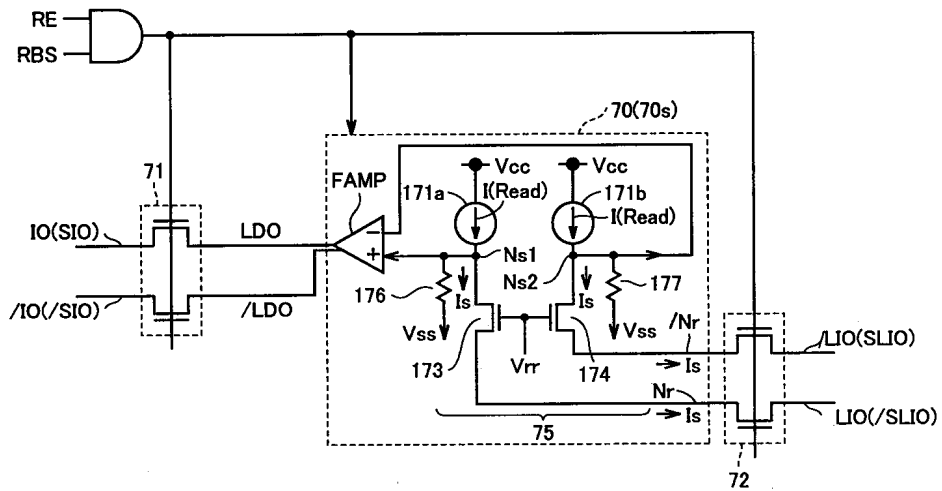
도면2



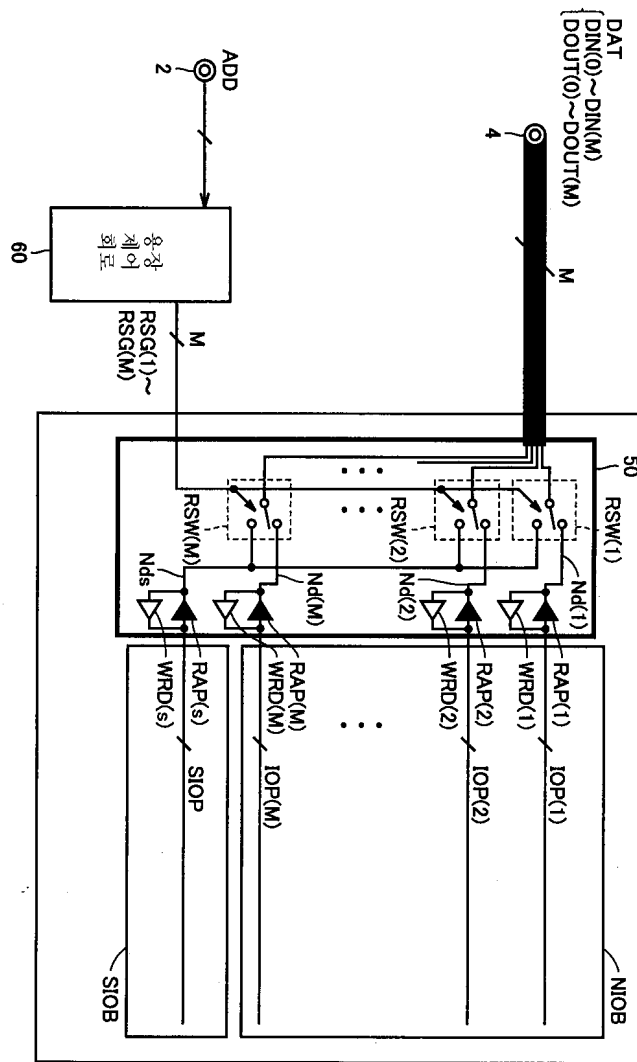
도면3



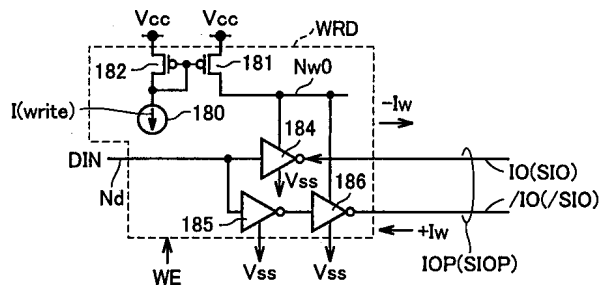
도면4



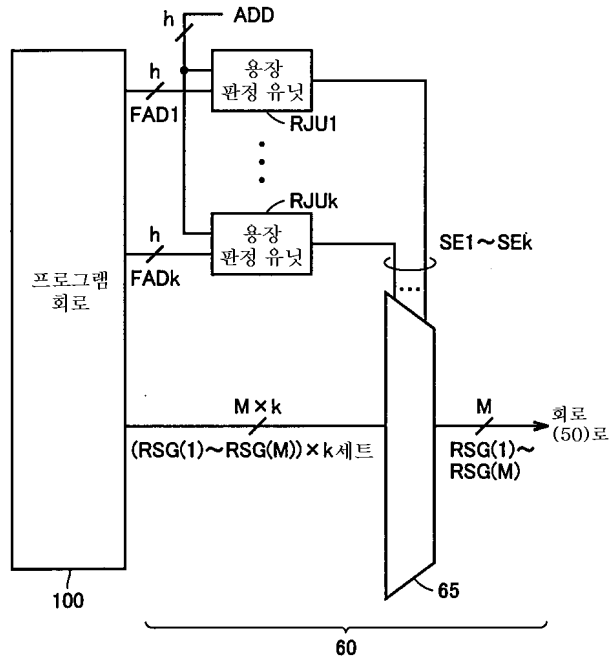
도면5



도면6

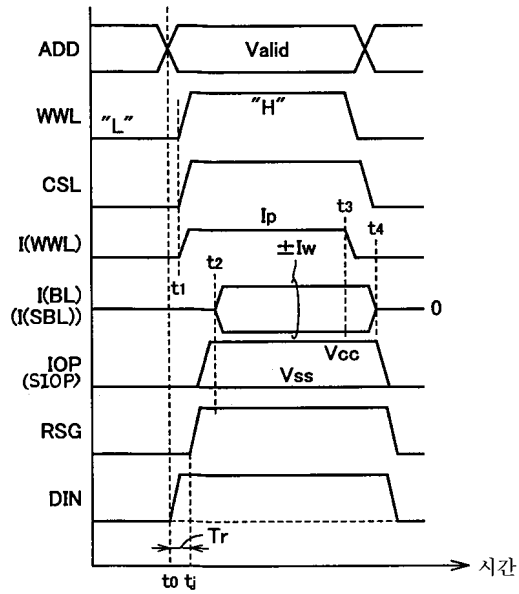


도면7

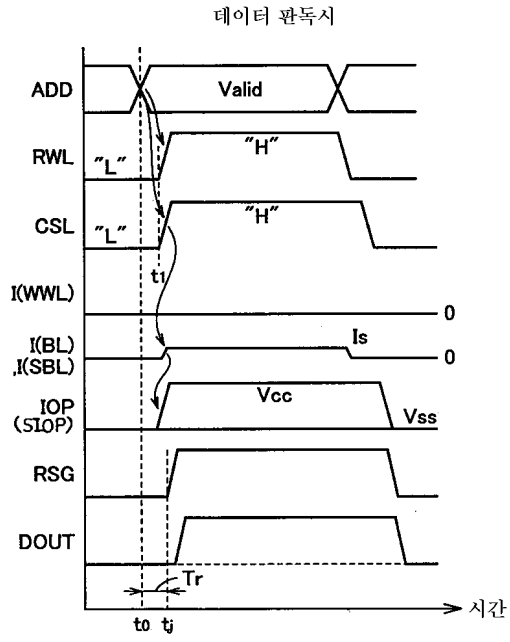


도면8a

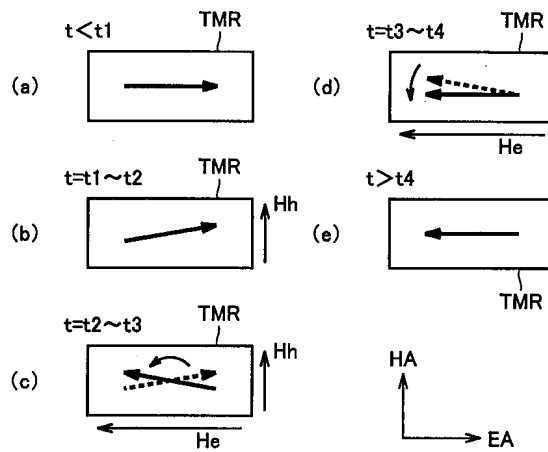
데이터 기입시



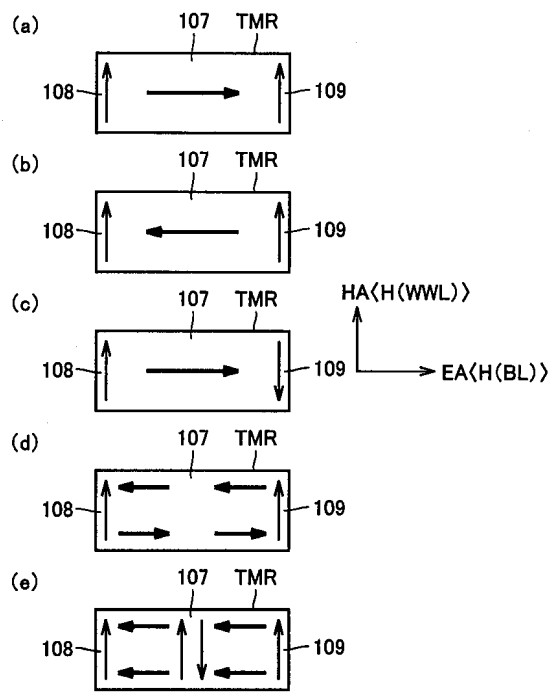
도면8b



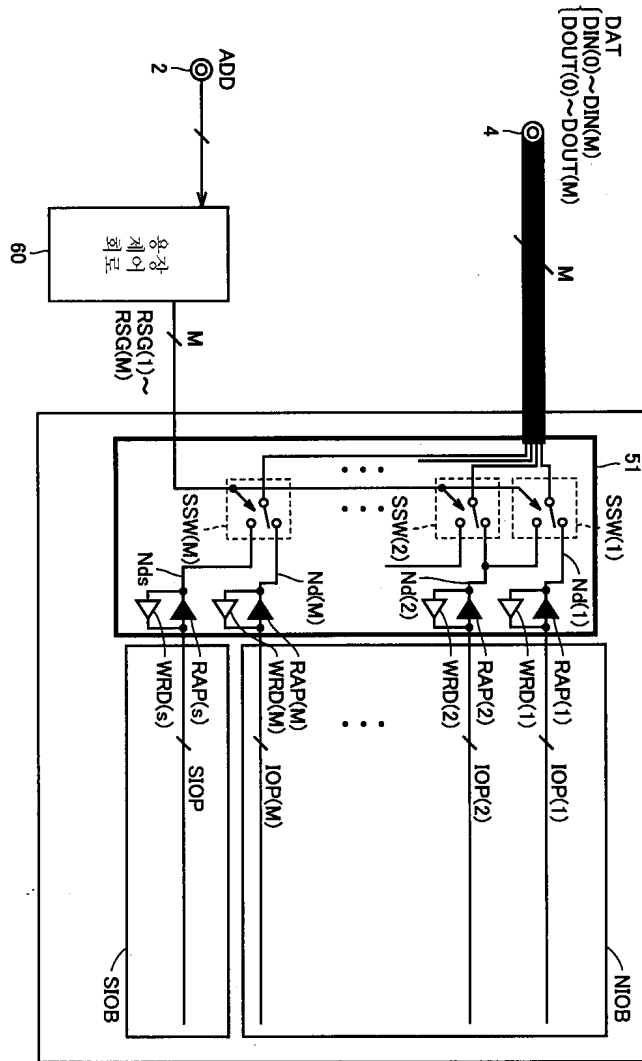
도면9



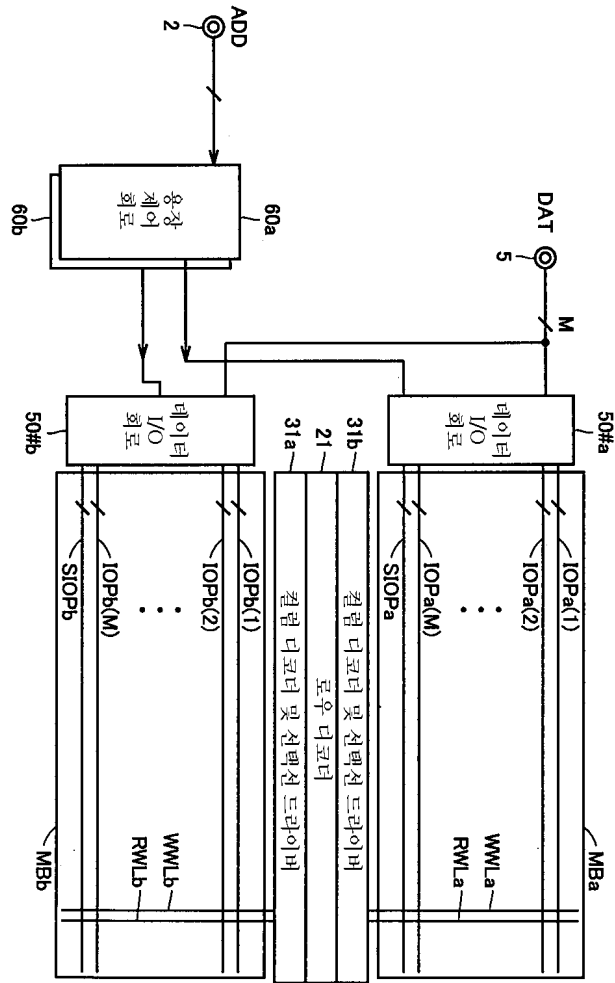
도면10



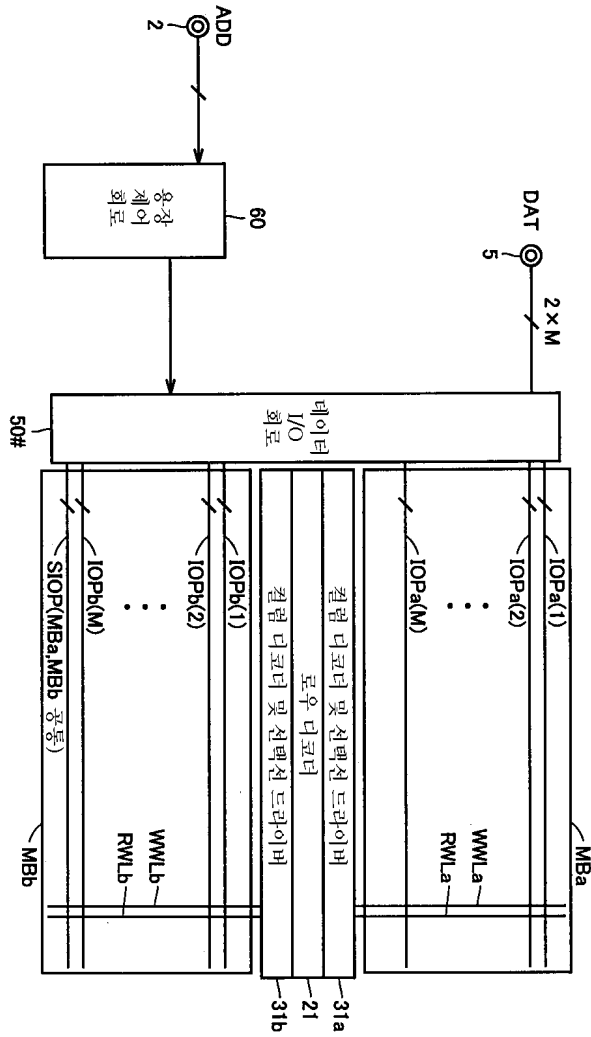
도면11



도면12

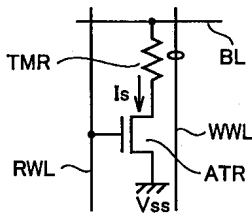


도면13



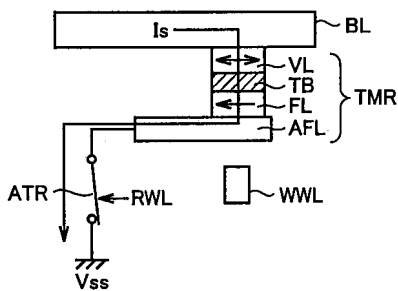
도면14

(종래 기술)



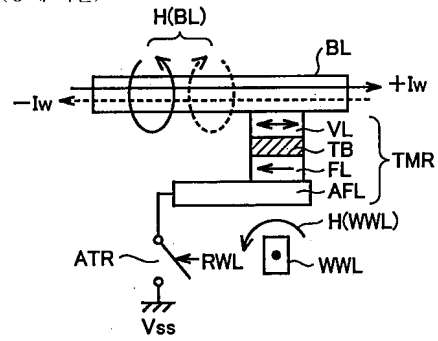
도면15

(종래 기술)



도면16

(종래 기술)



도면17

(종래 기술)

