

(21)申請案號：102101773

(22)申請日：中華民國 102 (2013) 年 01 月 17 日

(51)Int. Cl. : G01R31/317 (2006.01)

G01R31/3185(2006.01)

(71)申請人：德律科技股份有限公司 (中華民國) TEST RESEARCH, INC. (TW)

臺北市士林區德行西路 45 號 7 樓

(72)發明人：沈游城 SHEN, YUCHEN (TW) ; 許益豪 HSU, YIHAO (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：14 項 圖式數：5 共 24 頁

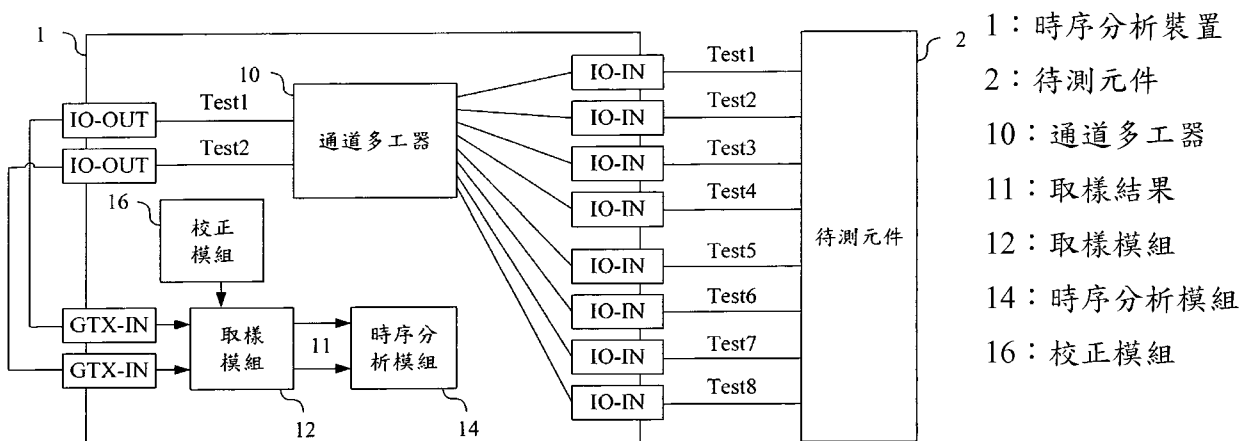
(54)名稱

時序分析裝置及時序分析方法

DEVICE AND METHOD FOR PERFORMING TIMING ANALYSIS

(57)摘要

一種時序分析裝置，應用於一可程式邏輯陣列系統中，包含：複數第一及第二基本輸入輸出端、通道多工器、複數高速輸入輸出端、取樣模組以及時序分析模組。第一基本輸入輸出端自待測元件接收複數待測訊號。通道多工器自第一基本輸入輸出端接收待測訊號，以選擇待測訊號中之至少一組輸出至第二基本輸入輸出端。高速輸入輸出端具有較第一及第二基本輸入輸出端高之邏輯電平解析速度。取樣模組透過高速輸入輸出端接收自第二基本輸入輸出端輸出之該組待測訊號進行取樣，以產生取樣結果。時序分析模組根據取樣結果進行時序分析及量測。



第1圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：102(01777)

※申請日：102.1.17

※IPC 分類：

G01R 31/317 (2006.01)

G01R 31/3185 (2006.01)

一、發明名稱：(中文/英文)

時序分析裝置及時序分析方法

DEVICE AND METHOD FOR PERFORMING TIMING
ANALYSIS

二、中文發明摘要：

一種時序分析裝置，應用於一可程式邏輯陣列系統中，包含：複數第一及第二基本輸入輸出端、通道多工器、複數高速輸入輸出端、取樣模組以及時序分析模組。第一基本輸入輸出端自待測元件接收複數待測訊號。通道多工器自第一基本輸入輸出端接收待測訊號，以選擇待測訊號中之至少一組輸出至第二基本輸入輸出端。高速輸入輸出端具有較第一及第二基本輸入輸出端高之邏輯電平解析速度。取樣模組透過高速輸入輸出端接收自第二基本輸入輸出端輸出之該組待測訊號進行取樣，以產生取樣結果。時序分析模組根據取樣結果進行時序分析及量測。

三、英文發明摘要：

A device for performing timing analysis used in a programmable logic array system is provided. The device comprises first and second basic I/O terminals, a channel

multiplexer, high-speed I/O terminals, a sampling module and a timing analysis module. The first basic I/O terminals receive under-test signals from an under-test unit. The channel multiplexer receives the under-test signals from the first basic I/O terminals to select at least a group of the under-test signals to be outputted to the second basic I/O terminals. The high-speed I/O terminals has a logic level analyzing speed higher than that of the first and second basic I/O terminals. The sampling module receives the group of under-test signals from the high-speed I/O terminals and samples the group of under-test signals to generate a sample result. The timing analysis module performs timing analysis and measurement according to the sample result.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----------|----------|
| 1：時序分析裝置 | 10：通道多工器 |
| 11：取樣結果 | 12：取樣模組 |
| 14：時序分析模組 | 16：校正模組 |
| 2：待測元件 | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種時序分析技術，且特別是有關於一種時序分析裝置及時序分析方法。

【先前技術】

在自動測試設備（automatic test equipment；ATE）的系統中，時序的量測為相當重要的一環。舉凡待測物的訊號的波寬、波形上升及下降時間、相位偏差與頻率，都是常見的量測目標。量測訊號的時序資訊，將可對未正確輸出的訊號進行調校，以使待測物的功能不致因訊號時序的錯誤而受到影響。

然而，以往的技術，往往使用一長串串聯的延遲元件將待測的訊號進行延遲，並依據延遲的結果來進行量測。在使用如可程式邏輯陣列的系統實現量測時，常常由於大量延遲元件造成繞線面積過大，在將量測結果送至分析的模組時，不但單一通道中各延遲元件至分析模組的距離不同造成誤差，不同通道間的繞線方式不同也會有所影響，大幅降低量測的精確度。

於部份習知的技術，則是採用可程式邏輯陣列之高速IO介面取樣，雖能達到良好的量測結果，但是取樣通道數量有所限制。對於普遍之自動測試設備系統來說，大量的訊號量測輸入通道數是必須的。

因此，如何設計一個新的時序分析裝置及時序分析方法，以避免上述的誤差，提升量測的精確度，乃為此一業

界亟待解決的問題。

【發明內容】

因此，本發明之一態樣是在提供一種時序分析裝置，應用於一可程式邏輯陣列（programmable logic array）系統中，包含：複數第一基本輸入輸出（I/O）端、複數第二基本輸入輸出端、通道多工器、複數高速輸入輸出端、取樣模組以及時序分析模組。第一基本輸入輸出端用以自待測元件接收複數待測訊號。通道多工器用以自第一基本輸入輸出端接收待測訊號，以選擇待測訊號中之至少一組輸出至第二基本輸入輸出端。高速輸入輸出端具有較第一及第二基本輸入輸出端高之邏輯電平解析速度，用以連接第二基本輸入輸出端。取樣模組用以透過高速輸入輸出端接收自第二基本輸入輸出端輸出之該組待測訊號進行取樣，以產生取樣結果。時序分析模組用以根據取樣結果進行時序分析及量測。

依據本發明一實施例，其中第一及第二基本輸入輸出端之邏輯電平解析速度至多為 200 兆赫（MHz）。

依據本發明另一實施例，其中高速輸入輸出端之邏輯電平解析速度至少為 1 吉赫（GHz）。

依據本發明又一實施例，時序分析裝置更包含校正模組，用以儲存時序校正表，時序分析模組係根據時序校正表對待測訊號之取樣結果進行時序校正後進行時序分析及量測。其中時序校正表記錄任二第一基本輸入輸出端與通道多工器間以及任二第二基本輸入輸出端與通道多工器間

之路徑延遲差距。

依據本發明再一實施例，時序分析裝置更包含：複數第一時序校正模組以及複數第二時序校正模組。第一時序校正模組分別連接於第一基本輸入輸出端其中之一以及通道多工器間。第二時序校正模組分別連接於第二基本輸入輸出端其中之一以及通道多工器間，其中第一時序校正模組以及第二時序校正模組根據時序校正資訊對待測訊號進行時序校正。其中時序校正資訊係為任二第一基本輸入輸出端與通道多工器間以及任二第二基本輸入輸出端與通道多工器間之路徑延遲差距。第一時序校正模組及第二時序校正模組分別為延遲單元。

依據本發明更具有之一實施例，其中取樣模組為高速序列轉低速平行取樣模組。

本發明之另一態樣是在提供一種時序分析方法，應用於可程式邏輯陣列系統之時序分析裝置中，時序分析方法包含：由複數第一基本輸入輸出端自待測元件接收複數待測訊號；由通道多工器自第一基本輸入輸出端接收待測訊號，以選擇待測訊號中之至少一組輸出至複數第二基本輸入輸出端；透過複數高速輸入輸出端接收自第二基本輸入輸出端輸出之該組待測訊號進行取樣，以產生取樣結果，其中高速輸入輸出端具有較第一及第二基本輸入輸出端高之邏輯電平解析速度；以及根據取樣結果進行時序分析及量測。

依據本發明一實施例，時序分析方法更包含根據時序校正表對待測訊號之取樣結果進行時序校正後進行時序分

析及量測。時序校正表係記錄任二第一基本輸入輸出端與通道多工器間以及任二第二基本輸入輸出端與通道多工器間之路徑延遲差距。

依據本發明另一實施例，時序分析方法更包含使分別連接於第一基本輸入輸出端其中之一以及通道多工器間之複數第一時序校正模組，以及分別連接於第二基本輸入輸出端其中之一以及通道多工器間之複數第二時序校正模組根據時序校正資訊對待測訊號進行時序校正。其中時序校正資訊係為任二第一基本輸入輸出端與通道多工器間以及任二第二基本輸入輸出端與通道多工器間之路徑延遲差距。

應用本發明之優點係在於藉由時序分析裝置之設計，在僅具有有限的高速輸入輸出端口的可程式邏輯陣列系統中，實現多通道的訊號分析與量測，並可獲得高精確度的量測結果，而輕易地達到上述之目的。

【實施方式】

請參照第 1 圖。第 1 圖為本發明一實施例中，一種時序分析裝置 1 之方塊圖。時序分析裝置 1 可應用於可程式邏輯陣列（programmable logic array）系統中，並包含：複數第一基本輸入輸出端 IO-IN、複數第二基本輸入輸出端 IO-OUT、通道多工器 10、複數高速輸入輸出端 GTX-IN、取樣模組 12 以及時序分析模組 14。

第一基本輸入輸出端 IO-IN 與第二基本輸入輸出端 IO-OUT 於本實施例中，均可為可程式邏輯陣列中的基本輸

入輸出端口，具有至多為 200 兆赫（MHz）的邏輯電平解析速度。於本實施例中，第一基本輸入輸出端 IO-IN 實際上做為輸入端，自待測元件 2 接收複數待測訊號 Test1、Test2、...、Test8。需注意的是，於第 1 圖中所繪示的第一基本輸入輸出端 IO-IN 的數目為八個，然而於其他實施例中，時序分析裝置 1 所包含的第一基本輸入輸出端 IO-IN 數目並不為本實施例之數目所限。

通道多工器 10 用以自第一基本輸入輸出端 IO-IN 接收待測訊號 Test1、Test2、...、Test8，並選擇此些待測訊號中之至少一組輸出至第二基本輸入輸出端 IO-OUT。於本實施例中，第二基本輸入輸出端 IO-OUT 實際上做為輸出端，以自通道多工器 10 輸出一組待測訊號 Test1 及 Test2。需注意的是，於第 1 圖中所繪示的第二基本輸入輸出端 IO-OUT 的數目為兩個，然而於其他實施例中，時序分析裝置 1 所包含的第二基本輸入輸出端 IO-OUT 數目並不為本實施例之數目所限。

高速輸入輸出端 GTX-IN 具有較第一及第二基本輸入輸出端 IO-IN、IO-OUT 高之邏輯電平解析速度。於一實施例中，高速輸入輸出端 GTX-IN 至少具有第一及第二基本輸入輸出端 IO-IN、IO-OUT 五倍以上的邏輯電平解析速度。高速輸入輸出端 GTX-IN 可為例如但不限於符合周邊元件連接快速（peripheral component interconnect express；PCI-E）匯流排或是通用序列匯流排（universal serial bus；USB）3.0 規格的輸入輸出端口，可達到至少 1 吉赫（GHz）的邏輯電平解析速度。高速輸入輸出端 GTX-IN 連接於第

二基本輸入輸出端 IO-OUT。

取樣模組 12 透過高速輸入輸出端 GTX-IN 接收自第二基本輸入輸出端 IO-OUT 輸出之該組待測訊號 Test1 及 Test2 進行取樣，以產生取樣結果 11。於一實施例中，取樣模組 12 為高速序列轉低速平行取樣模組。其等效取樣率將不會改變，且低速的平行埠將有利於後續數位化時間量測的處理。舉例來說，如果待測訊號 Test1 可達到 10GHz，則取樣模組 12 可為一個 10GHz 降頻 100 倍至 100MHz 的縮小取樣模組，並將原本為 1 位元序列式的訊號轉換為 100 位元平行式的訊號輸出。

由於透過高速輸入輸出端 GTX-IN 進行待測訊號 Test1 及 Test2 的取樣，因此其取樣結果 11 之精確度將較透過一般基本輸入輸出端的取樣為高。時序分析模組 14 將可根據取樣結果 11，進行時序分析及量測。

請參照第 2 圖。第 2 圖為本發明一實施例中，待測訊號之波型圖。舉例來說，如取樣結果 11 為如第 2 圖所示，於開始量測至終止量測的 20 奈秒 (ns; nanoseconds) 中，產生 100 個取樣值，其中有 49 個為 1，則可以得知此波型的波寬之量測值為 $49 \times (20\text{n}/100) = 49 \times 0.2\text{n}$ 。

因此，藉由設定開始及終止量測的時間間隔，以及在此時間間隔的取樣值，時序分析模組 14 可進行精確的時序量測及分析。

請參照第 3 圖。第 3 圖為本發明另一實施例中，待測訊號及相關量測訊號之波型圖。於本實施例中，如欲量測待測訊號 A 的上升時間 (rise time)，則可藉由將同一待測

訊號傳送至兩個通道後，分別輸入兩個比較器（未繪示）進行比較。其中一個比較器的參考電壓可設為此待測訊號最大電壓值的 90%，而另一個比較器的參考電壓則可設為此待測訊號最大電壓值的 10%。舉例來說，如待測訊號最大電壓值為 5 伏特，則其中一個比較器的參考電壓可設為 4.5 伏特，另一個比較器的參考電壓則可設為 0.5 伏特。經過比較後，比較器將產生如第 3 圖所示的比較訊號 B 及 C。接著，藉由類似第 2 圖中計數的方式，計數比較訊號 B 及 C 中的 0 或 1，時序分析模組 14 將可計算兩個比較訊號 B 及 C 間的差距，對待測訊號的上升時間進行測量與分析。

以上係僅以波寬與波型上升時間為例進行說明。於其他不同實施例中，時序分析模組 14 可進行其他例如，但不限於波型下降時間（fall time）、頻率及相位偏差（skew）等的量測與分析。

請再參考第 1 圖。在該組待測訊號 Test1 及 Test2 測量完畢後，通道多工器 10 可再選擇其他組待測訊號，例如 Test3 及 Test4 進行量測及分析。因此，本實施例中的通道多工器 10 將可在高速輸入輸出端 GTX-IN 之數目受限的情形下，動態地選擇不同的通道中的待測訊號，以輪流進行量測。

需注意的是，於其他實施例中，時序分析裝置 1 的高速輸入輸出端 GTX-IN 之數目可依實際狀況進行調整。舉例來說，如高速輸入輸出端 GTX-IN 之數目為八個，則可連接至八個對應的第二基本輸入輸出端 IO-OUT 所輸出的待測訊號，以使時序分析模組 14 在經過取樣模組 12 的取

樣後，同時進行更多待測訊號的量測及分析。

習知技術中以數級延遲元件串接進行量測方式時，繞線面積與長度將對精確度造成影響。並且，在實現多個通道時，習知技術將因為繞線問題而難以在各通道間達成相同的訊號傳輸長度。這些效應將在量測結果造成差分非線性與積分非線性的誤差。藉由本發明的時序分析裝置，可避免為實現大數量的延遲元件所必需的繁雜繞線。並且，通常具有 5GHz 至 28GHz 的邏輯電平解析速度的高速輸入輸出端，可以使量測結果達到 200 皮秒 (ps; picoseconds) 至 35 皮秒的精確度。再者，由於可程式邏輯陣列系統中，高速輸入輸出端 GTX-IN 之數目往往受限，藉由通道多工器之設置，將可動態地選擇不同的通道中的待測訊號，實現多通道的訊號量測。

然而，各個第一基本輸入輸出端 IO-IN 與通道多工器 10 間的訊號路徑距離，可能因為繞線長度、接腳板的路徑長度等因素而不盡相同。並且，通道多工器 10 與各第二基本輸入輸出端 IO-OUT 間的訊號路徑距離亦不盡相同。因此，在進行如前述第 3 圖中，利用兩個通道的訊號量測時，將由於兩者間的路徑延遲差距，產生不匹配的狀況而造成誤差。

因此，於本實施例中，時序分析裝置 1 可更包含校正模組 16。於本實施例中，校正模組 16 儲存時序校正表（未繪示）。在實際進行量測前，時序分析裝置 1 可藉由在任一第一基本輸入輸出端 IO-IN 至通道多工器 10 間，以及通道多工器 10 與任一第二基本輸入輸出端 IO-OUT 間的通道傳

送相同的待測訊號，以得知二個通道間在取樣模組 12 取樣後的差異，並記錄於時序校正表中。

在記錄完所有通道間的時序誤差後，時序分析裝置 1 即可在實際量測時，將取樣模組 12 的取樣結果進行時序的校正。舉例來說，如在校正過程中發現兩個通道間傳送同樣由低態轉高態的訊號時，第二個通道的轉態時間較第一個通道晚了 0.3ns，則在實際量測時，時序分析裝置 1 將可依照時序校正表把第一個通道的取樣結果延遲 0.3ns，以補償通道間的不匹配。

請參照第 4 圖。第 4 圖為本發明另一實施例中，時序分析裝置 4 之方塊圖。時序分析裝置 4 與第 1 圖中繪示的時序分析裝置 1 大同小異，因此對於相同的元件不再贅述。於本實施例中，時序分析裝置 4 包含複數第一時序校正模組 De-skew1 以及複數第二時序校正模組 De-skew2。

第一時序校正模組 De-skew1 分別連接於第一基本輸入輸出端 IO-IN 其中之一以及通道多工器 10 間。第二時序校正模組 De-skew2 分別連接於第二基本輸入輸出端 IO-OUT 其中之一以及通道多工器 10 間。於本實施例中，第一時序校正模組 De-skew1 及第二時序校正模組 De-skew2 分別為一個延遲元件。

類似地，時序分析裝置 1 可藉由在任二第一基本輸入輸出端 IO-IN 至通道多工器 10 間，以及通道多工器 10 與任二第二基本輸入輸出端 IO-OUT 間的通道傳送相同的待測訊號，以得知時序校正資訊，意即任二個通道間在取樣模組 12 取樣後的差異。在得知所有通道間的時序誤差後，

時序分析裝置 1 可藉由程式化第一時序校正模組 De-skew1 及第二時序校正模組 De-skew2，以將所有通道的時序誤差進行補償，以使所有的通道都具有相同的訊號傳輸時間。

舉例來說，如在校正過程中發現兩個通道間傳送同樣由低態轉高態的訊號時，第二個通道的轉態時間較第一個通道晚了 0.3ns，則藉由微調第一時序校正模組 De-skew1 及/或第二時序校正模組 De-skew2，將第一個通道的訊號延遲，則可以使兩個通道間的取樣結果的時序相同。因此，藉由此方式，時序分析裝置 1 可以不需要再經過對取樣結果的校正，而直接對取樣結果進行量測與分析。

因此，藉由本發明的時序分析裝置 1 的設計，在僅具有有限的高速輸入輸出端口的可程式邏輯陣列系統中，實現多通道的訊號分析與量測。並且，藉由訊號於通道間的校正機制，取樣結果將可為精確，而使量測結果的精確度進一步提升。

請參照第 5 圖。第 5 圖為本發明一實施例中，一種時序分析方法 500 的流程圖。時序分析方法 500 可應用於如第 1 圖所示的時序分析裝置中。時序分析方法 500 包含下列步驟（應瞭解到，在本實施方式中所提及的步驟，除特別敘明其順序者外，均可依實際需要調整其前後順序，甚至可同時或部分同時執行）。

於步驟 501，由第一基本輸入輸出端 IO-IN 自待測元件 2 接收複數待測訊號。

於步驟 502，由通道多工器 10 自第一基本輸入輸出端 IO-IN 接收待測訊號，以選擇待測訊號中之至少一組輸出

至複數第二基本輸入輸出端 IO-OUT。

於步驟 503，透過複數高速輸入輸出端 GTX-IN 接收自第二基本輸入輸出端 IO-OUT 輸出之該組待測訊號進行取樣，以產生取樣結果，其中高速輸入輸出端具有較第一及第二基本輸入輸出端高之邏輯電平解析速度。

於步驟 504，根據取樣結果進行時序分析及量測。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖為本發明一實施例中，一種時序分析裝置之方塊圖；

第 2 圖為本發明一實施例中，待測訊號之波型圖；

第 3 圖為本發明另一實施例中，待測訊號及相關量測訊號之波型圖；

第 4 圖為本發明另一實施例中，時序分析裝置之方塊圖；以及

第 5 圖為本發明一實施例中，一種時序分析方法的流程圖。

【主要元件符號說明】

1、4：時序分析裝置	10：通道多工器
11：取樣結果	12：取樣模組
14：時序分析模組	16：校正模組
2：待測元件	500：時序分析方法
501-504：步驟	

七、申請專利範圍：

1. 一種時序分析裝置，應用於一可程式邏輯陣列（programmable logic array）系統中，包含：

複數第一基本輸入輸出（I/O）端，用以自一待測元件接收複數待測訊號；

複數第二基本輸入輸出端；

一通道多工器，用以自該等第一基本輸入輸出端接收該等待測訊號，以選擇該等待測訊號中之至少一組輸出至該等第二基本輸入輸出端；

複數高速輸入輸出端，具有較該等第一及第二基本輸入輸出端高之邏輯電平解析速度，用以連接該等第二基本輸入輸出端；

一取樣模組，用以透過該等高速輸入輸出端接收自該等第二基本輸入輸出端輸出之該組待測訊號進行取樣，以產生一取樣結果；以及

一時序分析模組，用以根據該取樣結果進行一時序分析及量測。

2. 如請求項 1 所述之時序分析裝置，其中該等第一及第二基本輸入輸出端之邏輯電平解析速度至多為 200 兆赫（MHz）。

3. 如請求項 1 所述之時序分析裝置，其中該等高速輸入輸出端之邏輯電平解析速度至少為 1 吉赫（GHz）。

4. 如請求項 1 所述之時序分析裝置，更包含一校正模組，用以儲存一時序校正表，該時序分析模組係根據該時序校正表對該等待測訊號之該取樣結果進行一時序校正後進行該時序分析及量測。

5. 如請求項 4 所述之時序分析裝置，其中該時序校正表係記錄任二該等第一基本輸入輸出端與該通道多工器間以及任二該等第二基本輸入輸出端與該通道多工器間之一路徑延遲差距。

6. 如請求項 1 所述之時序分析裝置，更包含：

複數第一時序校正模組，分別連接於該等第一基本輸入輸出端其中之一以及該通道多工器間；以及

複數第二時序校正模組，分別連接於該等第二基本輸入輸出端其中之一以及該通道多工器間，其中該等第一時序校正模組以及該等第二時序校正模組根據一時序校正資訊對該等待測訊號進行一時序校正。

7. 如請求項 6 所述之時序分析裝置，其中該時序校正資訊係為任二該等第一基本輸入輸出端與該通道多工器間以及任二該等第二基本輸入輸出端與該通道多工器間之一路徑延遲差距。

8. 如請求項 6 所述之時序分析裝置，其中該等第一

時序校正模組及該等第二時序校正模組分別為一延遲單元。

9. 如請求項 1 所述之時序分析裝置，其中該取樣模組為一高速序列轉低速平行取樣模組。

10. 一種時序分析方法，應用於一可程式邏輯陣列系統之一時序分析裝置中，該時序分析方法包含：

由複數第一基本輸入輸出端自一待測元件接收複數待測訊號；

由一通道多工器自該等第一基本輸入輸出端接收該等待測訊號，以選擇該等待測訊號中之至少一組輸出至複數第二基本輸入輸出端；

透過複數高速輸入輸出端接收自該等第二基本輸入輸出端輸出之該組待測訊號進行取樣，以產生一取樣結果，其中該等高速輸入輸出端具有較該等第一及第二基本輸入輸出端高之邏輯電平解析速度；以及

根據該取樣結果進行一時序分析及量測。

11. 如請求項 10 所述之時序分析方法，更包含根據一時序校正表對該等待測訊號之該取樣結果進行一時序校正後進行該時序分析及量測。

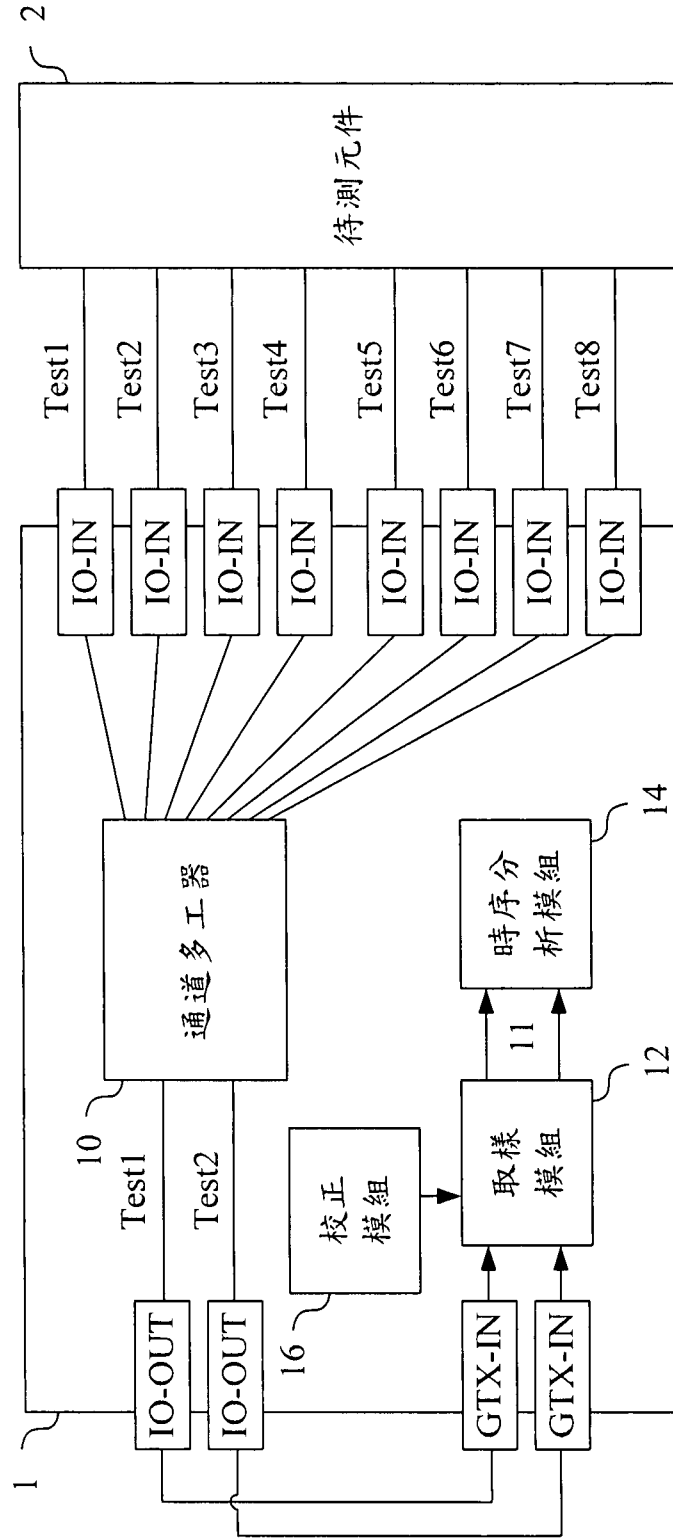
12. 如請求項 11 所述之時序分析方法，其中該時序校

正表係記錄任二該等第一基本輸入輸出端與該通道多工器間以及任二該等第二基本輸入輸出端與該通道多工器間之一路徑延遲差距。

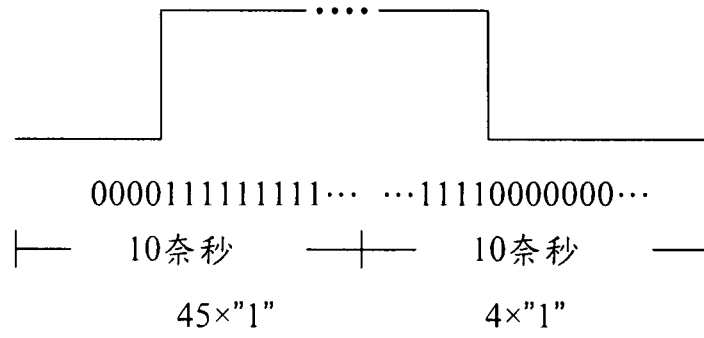
13. 如請求項 10 所述之時序分析方法，更包含使分別連接於該等第一基本輸入輸出端其中之一以及該通道多工器間之複數第一時序校正模組，以及分別連接於該等第二基本輸入輸出端其中之一以及該通道多工器間之複數第二時序校正模組根據一時序校正資訊對該等待測訊號進行一時序校正。

14. 如請求項 13 所述之時序分析方法，其中該時序校正資訊係為任二該等第一基本輸入輸出端與該通道多工器間以及任二該等第二基本輸入輸出端與該通道多工器間之一路徑延遲差距。

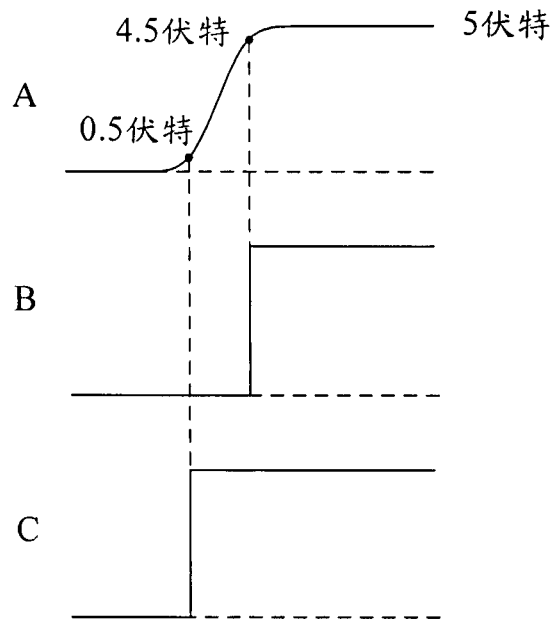
八、圖式



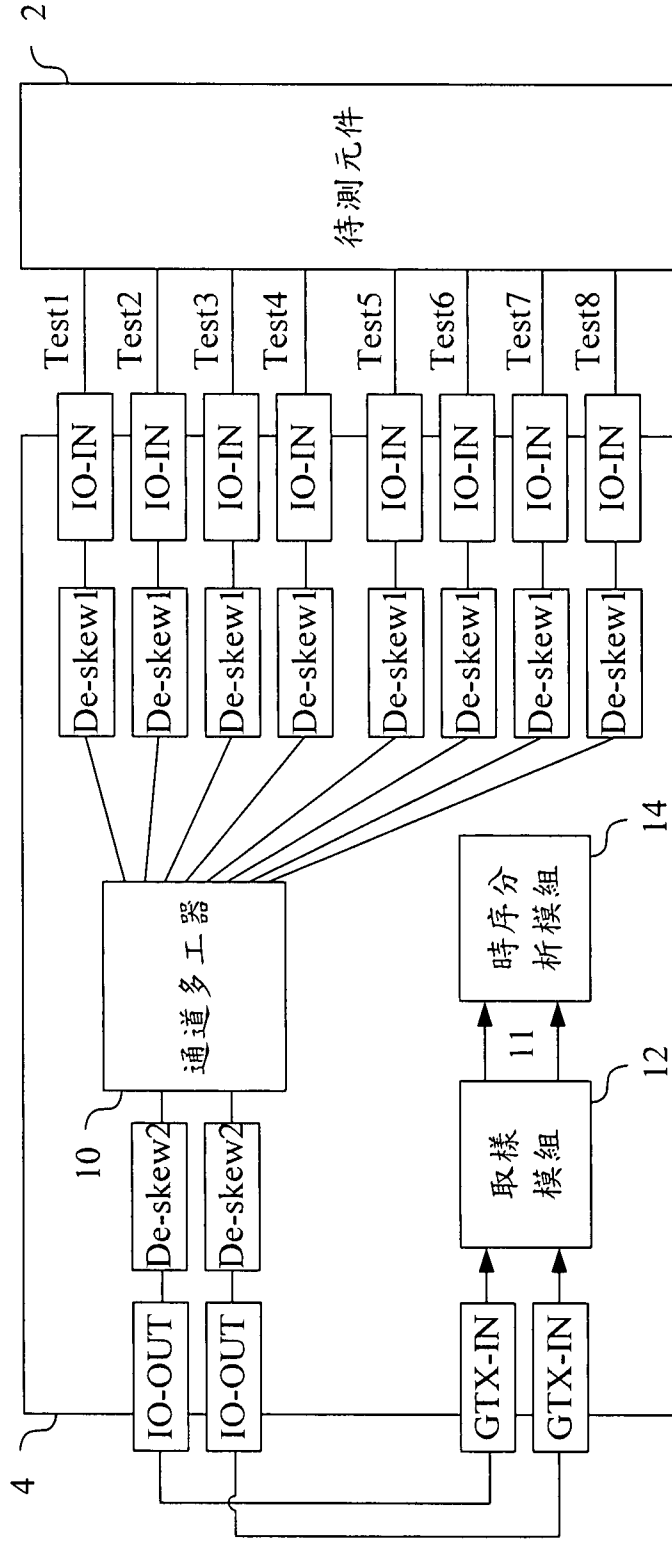
第1圖



第2圖

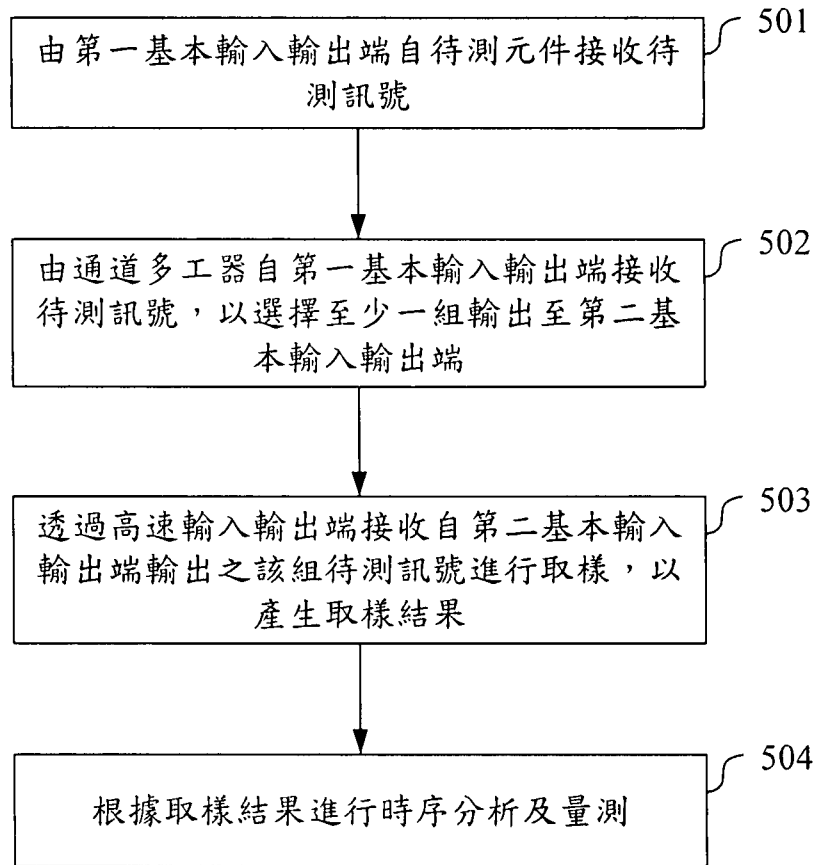


第3圖



第4圖

500



第5圖