

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成21年11月12日(2009.11.12)

【公開番号】特開2007-199687(P2007-199687A)

【公開日】平成19年8月9日(2007.8.9)

【年通号数】公開・登録公報2007-030

【出願番号】特願2006-335526(P2006-335526)

【国際特許分類】

G 02 F 1/1368 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 29/786 (2006.01)

G 09 F 9/30 (2006.01)

【F I】

G 02 F 1/1368

H 01 L 29/78 6 1 2 Z

G 09 F 9/30 3 3 8

【手続補正書】

【提出日】平成21年9月23日(2009.9.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ガラス基板と、

前記ガラス基板上に形成されたゲート配線と、

前記ゲート配線を覆って形成されたゲート絶縁膜と、

前記ゲート配線に電気的に接続する薄膜トランジスタと、

前記薄膜トランジスタに電気的に接続するソース配線と、

前記薄膜トランジスタに電気的に接続するドレイン電極と、

前記ドレイン電極及び前記ソース配線を覆って形成された保護膜と、

前記保護膜が除去された領域と、

前記領域内で前記ドレイン電極と電気的に接続する画素電極と、

前記領域は、前記ソース配線に平行な方向に、前記ゲート配線を越えて延在し、

前記領域内で、隣接する画素のゲート配線と前記画素電極とで補助容量を形成することを特徴とする半導体装置。

【請求項2】

ガラス基板と、

前記ガラス基板上に平行に形成された第1のゲート配線及び第2のゲート配線と、

前記第1のゲート配線及び第2のゲート配線を覆って形成されたゲート絶縁膜と、

前記第1のゲート配線に電気的に接続する第1の薄膜トランジスタと、

前記第2のゲート配線に電気的に接続する第2の薄膜トランジスタと、

前記第1の薄膜トランジスタ及び前記第2の薄膜トランジスタに電気的に接続するソース配線と、

前記第1の薄膜トランジスタに電気的に接続する第1のドレイン電極と、

前記第2の薄膜トランジスタに電気的に接続する第2のドレイン電極と、

前記第1のドレイン電極、前記第2のドレイン電極、及び前記ソース配線を覆って形成

された保護膜と、

前記保護膜が除去された領域と、

前記領域内で前記第1のドレイン電極に電気的に接続する第1の画素電極と、

前記領域内で前記第2のドレイン電極に電気的に接続する第2の画素電極と、を有し、

前記領域は、前記信号線に平行な方向に、前記第1のゲート配線及び前記第2のゲート配線を越えて延在し、

前記領域内で、前記第1のゲート配線と前記第2の画素電極とで補助容量を形成することを特徴とする半導体装置。

**【請求項3】**

請求項1又は2において、

前記半導体装置は、透過型、半透過型又は微透過型のいずれかの液晶表示装置であることを特徴とする半導体装置。

**【請求項4】**

請求項1乃至3のいずれか一項において、

前記半導体装置は、TNモード、IPSモード、MVAモード又はPVAモードのいずれかの液晶表示装置であることを特徴とする半導体装置。

**【請求項5】**

ガラス基板上にゲート配線を形成し、

前記ゲート配線上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

ソース配線、前記ソース配線及び前記半導体膜と電気的に接続するソース電極、及び前記半導体膜と電気的に接続するドレイン電極を形成し、

前記ソース配線、前記ソース電極及び前記ドレイン電極上に保護膜を形成し、

前記ソース配線に平行な方向で、かつ前記ゲート配線を越えて延在する前記保護膜が除去された領域を形成し、

少なくとも前記領域の一部に前記ドレイン電極と電気的に接続する画素電極を形成し、

前記領域内で、隣接する画素のゲート配線と前記画素電極とで補助容量を形成することを特徴とする半導体装置の作製方法。

**【請求項6】**

ガラス基板上に第1のゲート配線及び第2のゲート配線を平行に形成し、

前記第1のゲート配線及び前記第2のゲート配線上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第1の半導体膜及び第2の半導体膜を形成し、

ソース配線、前記ソース配線及び前記第1の半導体膜と電気的に接続する第1のソース電極、及び前記第1の半導体膜と電気的に接続する第1のドレイン電極を形成し、

ソース配線、前記ソース配線及び前記第2の半導体膜と電気的に接続する第2のソース電極、及び前記第2の半導体膜と電気的に接続する第2のドレイン電極を形成し、

前記ソース配線、前記第1のソース電極及び前記第1のドレイン電極、前記第2のソース電極及び前記第2のドレイン電極上に保護膜を形成し、

前記ソース配線に平行な方向で、かつ前記第1のゲート配線及び前記第2のゲート配線を越えて延在する前記保護膜が除去された領域を形成し、

少なくとも前記領域の一部に前記第1のドレイン電極と電気的に接続する第1の画素電極及び前記第2のドレイン電極と電気的に接続する第2の画素電極を形成し、

前記領域内で、前記第1のゲート配線と前記第2の画素電極とで補助容量を形成することを特徴とする半導体装置の作製方法。

**【請求項7】**

ガラス基板上にゲート配線を形成し、

前記ゲート電極上にスパッタ法により酸化珪素からなるゲート絶縁膜を形成し、

前記ゲート絶縁膜上にスパッタ法により微結晶半導体膜を形成し、

ソース配線、前記ソース配線及び前記微結晶半導体膜と電気的に接続するソース電極、及び前記微結晶半導体膜と電気的に接続するドレイン電極をスパッタ法により形成し、

前記ソース配線、前記ソース電極及び前記ドレイン電極上に酸化珪素からなる保護膜を形成し、

ドライエッチングにより、前記ソース配線に平行な方向で、かつ前記ゲート配線を越えて延在する前記保護膜が除去された領域を形成し、

少なくとも前記領域の一部に前記ドレイン電極と電気的に接続する画素電極を形成し、前記領域内で、隣接する画素のゲート配線と前記画素電極とで補助容量を形成することを特徴とする半導体装置の作製方法。

**【請求項 8】**

ガラス基板上にゲート配線を形成し、

前記ゲート電極上にスパッタ法により酸化珪素からなるゲート絶縁膜を形成し、

前記ゲート絶縁膜上にスパッタ法により非晶質半導体膜を形成し、

ソース配線、前記ソース配線及び前記非晶質半導体膜と電気的に接続するソース電極、及び前記非晶質半導体膜と電気的に接続するドレイン電極をスパッタ法により形成し、

前記ソース配線、前記ソース電極及び前記ドレイン電極上に酸化珪素からなる保護膜を形成し、

ドライエッチングにより、前記ソース配線に平行な方向で、かつ前記ゲート配線を越えて延在する前記保護膜が除去された領域を形成し、

少なくとも前記領域の一部に前記ドレイン電極と電気的に接続する画素電極を形成し、前記領域内で、隣接する画素のゲート配線と前記画素電極とで補助容量を形成することを特徴とする半導体装置の作製方法。

**【請求項 9】**

請求項 5 乃至 8 のいずれか一項において、

前記半導体装置は、透過型、半透過型又は微透過型のいずれかの液晶表示装置であることを特徴とする半導体装置の作製方法。

**【請求項 10】**

請求項 5 乃至 9 のいずれか一項において、

前記半導体装置は、TN モード、IPS モード、MVA モード又はPVA モードのいずれかの液晶表示装置であることを特徴とする半導体装置の作製方法。