

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/28

(11) 공개번호 10-2005-0112845
(43) 공개일자 2005년12월01일

(21) 출원번호 10-2004-0038267
(22) 출원일자 2004년05월28일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자 김상태
경기도용인시기홍읍공세리428-5
(74) 대리인 유미특허법인

심사청구 : 있음

(54) 플라즈마 표시 패널의 구동 방법 및 플라즈마 표시 장치

요약

플라즈마 표시 패널에서 어드레스 전압을 낮추고 어드레스 방전을 용이하게 하기 위해서, 리셋 기간의 최종 기간 중 하나의 주사 전극의 선택 시간보다 짧은 기간 동안 주사 전극의 전압을 선택 전압과 같게 한다. 이와 같이 하면, 낮은 선택 전압에 의해 발생할 수 있는 오방전을 제거할 수 있다.

대표도

도 4

색인어

PDP, 어드레스, 리셋, 주사 전극, 전압, 오방전

명세서

도면의 간단한 설명

- 도 1은 종래 기술에 따른 플라즈마 표시 패널의 구동 파형도이다.
- 도 2는 본 발명의 실시예에 따른 플라즈마 표시 장치의 개략적인 도면이다.
- 도 3 및 도 4는 각각 본 발명의 제1 및 제2 실시예에 따른 플라즈마 표시 패널의 구동 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 표시 패널(plasma display panel, PDP)과 그 구동 방법에 관한 것이다.

플라즈마 표시 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다.

플라즈마 표시 패널은 일반적으로 열 방향으로 뻗어 있는 복수의 어드레스 전극과 행 방향으로 뻗어 있는 복수의 유지 전극 및 주사 전극을 포함하며, 유지 전극은 주사 전극에 대응해서 형성된다. 이때, 어드레스 전극과 유지 및 주사 전극의 교차부에 있는 방전 공간이 방전 셀을 형성한다.

일반적으로 이러한 플라즈마 표시 패널은 1 프레임이 복수의 서브필드로 나누어져 구동되며, 서브필드의 조합에 의해 계조가 표현된다. 일반적으로 각 서브필드는 도 1에 나타낸 바와 같이 리셋 기간, 어드레스 기간, 유지 기간으로 이루어진다. 리셋 기간은 이전의 유지방전으로 형성된 벽 전하를 소거하고 다음의 어드레스 방전을 안정적으로 수행하기 위해 벽 전하를 셋업하는 역할을 한다. 어드레스 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱된 셀)에 벽 전하를 쌓아두는 동작을 수행하는 기간이다. 유지 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 유지방전을 수행하는 기간이다.

도 1을 보면, 리셋 기간에서 어드레스 전극(A)이 0V로 바이어스된 상태에서 주사 전극(Y)의 전압이 V_s 전압에서 0V까지 램프 형태로 점진적으로 감소된다. 그러면 어드레스 전극(A)과 주사 전극(Y) 사이에 인가되는 전압과 어드레스 전극(A)과 주사 전극(Y)에 형성된 벽 전하에 의한 벽 전압의 합이 방전 개시 전압 정도로 유지된다. 다음, 어드레스 기간에서 선택되는 주사 전극(Y)에는 리셋 기간의 최종 전압(도 1에서는 0V)과 동일한 전압의 주사 펄스가 인가하고 어드레스 전극(A)에는 양의 전압(V_a)의 어드레스 펄스가 인가된다.

리셋 기간에서 설정된 벽 전하 상태에서는 주사 전극(Y)과 어드레스 전극(A)에 0V 전압이 인가된 경우가 방전 개시 전압을 유지하고 있는 상태이므로, 어드레스 기간에서는 방전 개시 전압보다 양의 전압(V_a)만큼 높은 전압이 인가된 상태이다. 그런데 주사 펄스는 제한된 어드레스 기간에서 복수의 주사 전극에 순차적으로 인가되어야 하므로 주사 펄스의 폭은 좁게 설정된다. 만약, 어드레스 기간에서 방전(이하, "어드레스 방전"이라 함)이 일어나는데 걸리는 지연 시간이 주사 펄스의 폭보다 길면 어드레스 방전이 일어날 수 없다. 따라서 방전 지연 시간을 줄이기 위해서 어드레스 전극(A)에 V_a 전압을 인가하여 어드레스 전극(A)과 주사 전극(Y)의 전압을 방전 개시 전압보다 V_a 전압만큼 높게 해서 방전 지연 시간을 줄인다.

그런데, 최근 플라즈마 표시 패널의 효율을 높이기 방전 가스로 주입되는 제논(Xe)의 분압을 높이는 추세이다. 제논의 분압이 높아지면 방전에 필요한 전압이 높아지므로 어드레스 전극(A)에 인가된 V_a 전압만으로 방전 지연 시간이 충분이 단축되지 않을 수 있다. 그러면 어드레스 방전 지연 시간이 길어져 주사 펄스의 종료 시점 또는 종료 이후에 방전이 일어나서, 원하는 방전보다 약한 방전이 일어나서 벽 전하가 정상적으로 형성되지 않을 수 있다. 그 결과 유지 기간에서 유지방전이 일어나지 않거나 약하게 일어나는 저방전이 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 어드레스 방전을 용이하게 일으킬 수 있는 플라즈마 표시 패널의 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위해 본 발명은 리셋 기간의 최종 단계에서의 주사 전극 전압을 짧은 기간동안 소정 전압만큼 낮춘다.

본 발명의 한 특징에 따르면, 복수의 제1 전극 및 상기 제1 전극과 교차하는 방향으로 형성되는 복수의 제2 전극을 포함하며 상기 제1 전극과 상기 제2 전극에 의해 방전 셀이 정의되는 플라즈마 표시 패널을 구동하는 방법이 제공된다. 본 발명의 구동 방법은, 리셋 기간의 제1 기간 동안 상기 제1 전극의 전압을 제1 전압에서 제2 전압까지 점진적으로 하강시키는 단계, 상기 제1 기간 이후의 상기 리셋 기간의 제2 기간 중 제3 기간을 제외한 기간 동안 상기 제1 전극의 전압을 실질적으로 상기 제2 전압으로 유지시키는 단계, 그리고 어드레스 기간 동안 상기 방전 셀 중 선택하고자 하는 방전 셀의 상기 제1 전극에 제3 전압을 인가하고 상기 제2 전극에 제4 전압을 인가하는 단계를 포함한다. 이때, 상기 제3 기간 동안 상기 제1 전극에는 상기 제2 전압보다 낮은 제5 전압이 인가되며, 상기 제3 기간은 $2\mu s$ 이상이다.

본 발명의 한 실시예에 따르면, 상기 제3 기간은 $10\mu s$ 이하이다.

본 발명의 다른 실시예에 따르면, 상기 제5 전압은 상기 제3 전압과 동일한 레벨의 전압이다.

본 발명의 다른 특징에 따르면, 복수의 제1 전극 및 상기 제1 전극에 교차하는 방향으로 형성되는 복수의 제2 전극을 포함하며 상기 제1 전극과 상기 제2 전극에 의해 방전 셀이 정의되는 플라즈마 표시 패널, 그리고 상기 제1 전극 및 제2 전극에 구동 신호를 인가하는 구동 회로를 포함하는 플라즈마 표시 장치가 제공된다. 상기 구동 회로는, 제1 기간 동안 상기 제1 전극의 전압에서 상기 제2 전극의 전압을 뺀 전압을 제1 전압에서 제2 전압까지 점진적으로 감소시킨 후, 제2 기간 중 제3 기간을 제외한 기간 동안 상기 제2 전압으로 실질적으로 유지시키며, 상기 제3 기간 동안 상기 제1 전극의 전압에서 상기 제2 전극의 전압을 뺀 전압을 상기 제2 전압보다 낮은 제3 전압으로 설정한다. 이때, 상기 제3 기간은 $10\mu s$ 이하이다.

본 발명의 한 실시예에 따르면, 상기 제3 기간은 $2\mu s$ 이상이다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

그리고 본 발명에서 벽 전하란 각 전극에 가깝게 방전 셀의 벽(예를 들어, 유전체층)에 형성되어 전극에 축적되는 전하를 말한다. 이러한 벽 전하는 실제로 전극 자체에 접촉되지는 않지만, 여기서는 벽 전하가 전극에 "형성됨", "축적됨" 또는 "쌓임"과 같이 설명된다. 그리고 벽 전압은 벽 전하에 의해서 방전 셀의 벽에 존재하는 전위차를 말한다. 또한, 약 방전은 방전 셀의 벽 전압과 외부 인가 전압에 의해 방전 셀에 걸리는 전압이 대략 방전 개시 전압을 유지할 수 있도록 일어나는 방전을 말한다.

도 2는 본 발명의 실시예에 따른 플라즈마 표시 장치의 개략적인 도면이다.

도 2에 나타난 바와 같이, 본 발명의 실시예에 따른 플라즈마 표시 장치는 플라즈마 표시 패널(100), 제어부(200), 어드레스 구동부(300), 유지 전극 구동부(이하, "X 전극 구동부"라 함)(400) 및 주사 전극 구동부(이하, "Y 전극 구동부"라 함)(500)를 포함한다.

플라즈마 표시 패널(100)은 열 방향으로 뻗어 있는 복수의 어드레스 전극(A1~Am), 그리고 행 방향으로 서로 쌍으로 이루어지며 나란히 뻗어 있는 복수의 유지 전극(이하, "X 전극"이라 함)(X1~Xn)과 주사 전극(이하 "Y 전극"이라 함)(Y1~Yn)을 포함한다. X 전극(X1~Xn)은 각 Y 전극(Y1~Yn)에 대응해서 형성되며, 일반적으로 그 일단이 서로 공통으로 연결되어 있다. 이때, 어드레스 전극(A1~Am)과 X 및 Y 전극(X1~Xn, Y1~Yn)의 교차부에 있는 방전 공간이 방전 셀을 형성한다.

제어부(200)는 외부로부터 영상 신호를 수신하여 어드레스 구동 제어 신호, X 전극 구동 제어 신호 및 Y 전극 구동 제어 신호를 출력한다. 그리고 제어부(200)는 한 프레임을 복수의 서브필드로 분할하여 구동하며, 각 서브필드는 시간적인 동작 변화로 표현하면 리셋 기간, 어드레스 기간, 유지 기간으로 이루어진다.

어드레스 구동부(300)는 제어부(200)로부터 어드레스 구동 제어 신호를 수신하여 표시하고자 하는 방전 셀을 선택하기 위한 표시 데이터 신호를 각 어드레스 전극(A1-Am)에 인가한다. X 전극 구동부(400)는 제어부(200)로부터 X 전극 구동 제어 신호를 수신하여 X 전극(X1-Xn)에 구동 전압을 인가하고, Y 전극 구동부(500)는 제어부(200)로부터 Y 전극 구동 제어 신호를 수신하여 Y 전극(Y1-Yn)에 구동 전압을 인가한다.

아래에서는 도 3 및 도 4를 참조하여 각 서브필드에서 A 전극, X 전극 및 Y 전극에 인가되는 구동 파형에 대하여 설명한다. 그리고 아래에서는 하나의 A 전극, X 전극 및 Y 전극에 의해 형성되는 방전 셀을 기준으로 설명을 한다.

도 3은 본 발명의 제1 실시예에 따른 플라즈마 표시 패널의 구동 파형도이다.

도 3에 나타난 바와 같이, 본 발명의 제1 실시예에 따른 구동 파형에서 각 서브필드는 리셋 기간(Pr), 어드레스 기간(Pa) 및 유지 기간(Ps)을 포함한다. 그리고 리셋 기간(Pr)은 상승 기간(Pr1) 및 하강 기간(Pr2)으로 이루어진다. 또한, 도 4에서는 하강 기간(Pr2)에서 Y 전극에 인가되는 최종 전압과 어드레스 기간(Pa)에서 선택되는 Y 전극에 인가되는 전압을 음의 전압으로 도시하였다.

리셋 기간(Pr)의 상승 기간(Pr1)은 Y 전극, X 전극 및 A 전극에 벽 전하를 형성하는 기간이며, 하강 기간(Pr2)은 상승 기간(Pr1)에서 형성된 벽 전하를 일부 소거하여 어드레스 방전에 용이하도록 하는 기간이다. 어드레스 기간(Pa)은 복수의 방전 셀 중에서 유지 기간에서 유지방전을 일으킬 방전 셀을 선택하는 기간이다. 유지 기간(Ps)은 Y 전극과 X 전극에 차례로 유지 펄스를 인가하여 어드레스 기간(Pa)에서 선택된 방전 셀을 유지방전시키는 기간이다.

먼저, 리셋 기간(Pr)의 상승 기간(Pr1)에서는 A 전극과 X 전극의 전압을 기준 전압으로 유지한 상태에서 Y 전극에 V_s 전압에서 V_{set} 전압까지 점진적으로 상승하는 파형을 인가한다. 이 파형이 상승하는 동안 모든 방전 셀에서는 Y 전극과 X 전극 사이 및 Y 전극과 A 전극 사이에서 약 방전이 일어난다. 그 결과, Y 전극에 (-) 벽 전하가 축적되고, 동시에 A 전극 및 X 전극에는 (+) 벽 전하가 축적된다.

리셋 기간(Pr)의 하강 기간(Pr2)에서는 제1 기간(Pr21) 동안 A 전극과 X 전극에 각각 기준 전압 및 V_e 전압을 인가한 상태에서 Y 전극에서 V_s 전압에서 V_{nf} 전압까지 점진적으로 하강하는 파형을 인가한다. 이 파형이 하강하는 동안 다시 모든 방전 셀에서는 약 방전이 일어나서, Y 전극의 (-) 벽 전하가 소거되고 X 전극과 A 전극의 (+) 벽 전하가 소거된다. 이때, X 전극에 인가되는 전압(V_e)과 Y 전극에 인가되는 전압(V_{nf})의 차이($V_e - V_{nf}$)는 Y 전극과 X 전극 사이의 방전 개시 전압 정도로 설정된다. 그러면 하강 파형의 최종 전압(V_{nf})에서 Y 전극과 X 전극 사이의 벽 전압은 0V에 근사하게 되어, 어드레스 기간에서 어드레스 방전이 일어나지 않은 방전 셀이 유지 기간에서 방전하는 것을 방지할 수 있다.

그리고 하강 파형의 최종 전압을 음의 전압인 $-V_{nf}$ 전압으로 함으로써 A 전극과 Y 전극 사이의 벽 전압을 낮출 수 있다. 다음, 제2 기간(Pr22) 동안 Y 전극의 전압을 $-V_{nf}$ 전압으로 짧게 유지한다. 이러한 제2 기간(Pr22)에서 Y 전극과 A 전극 사이의 벽 전압은 Y 전극과 A 전극 사이의 방전 개시 전압에서 V_{nf} 전압을 더한 전압과 거의 동일하다.

다음, 어드레스 기간(Pa)에서는 Y 전극을 V_{sch} 전압으로 유지한 상태에서 선택할 Y 전극에 V_{scl} 전압의 주사 전압을 인가한다. 그리고 V_{scl} 전압이 인가된 Y 전극에 의해 형성되는 방전 셀 중 켜질 방전 셀의 A 전극에 어드레스 전압(V_a)이 인가된다. 그러면 A 전극에 인가된 전압(V_a)과 Y 전극에 인가된 전압(V_{nf})의 차이 및 A 전극 및 Y 전극에 형성된 벽 전압에 의해 어드레스 방전이 이루어진다.

만약, $-V_{nf}$ 전압과 $-V_{scl}$ 전압이 동일하다면, 하강 기간(Pr2)의 제2 기간(Pr22)에서의 A 전극과 Y 전극 사이의 전압(V_{nf})과 어드레스 기간(Pa)에서 선택될 방전 셀에서의 A 전극과 Y 전극 사이의 전압($V_a - V_{scl}$)은 V_a 전압만큼 차이가 있다. 그리고 어드레스 방전이 일어나기 전의 방전 셀의 벽 전하 상태는 하강 기간(Pr2)의 제2 기간(Pr22)에서의 최종 벽 전하 상태와 동일하므로, 어드레스 기간에서의 방전 전압은 어드레스 전압(V_a)의 크기에 의해서 결정된다. 그런데, 어드레스 전압(V_a)은 어드레스 전압을 공급하는 회로의 특성상 높은 레벨의 전압을 사용할 수 없으므로, $-V_{nf}$ 전압과 $-V_{scl}$ 전압이 동일한 경우에는 방전 전압이 낮아서 방전 지연에 의해 어드레스 방전이 용이하게 일어나지 않는다.

따라서 본 발명의 제1 실시예에서는 V_{scl} 전압을 V_{nf} 전압보다 낮게 하여, 어드레스 방전시의 A 전극과 Y 전극 사이의 전압($V_a + V_{scl}$)을 하강 기간(Pr2)의 제2 기간(Pr22)에서의 A 전극과 Y 전극 사이의 전압(V_{nf})보다 ($V_a - V_{scl} + V_{nf}$) 전압만큼 크게 한다. 이에 따라 어드레스 방전시의 방전 전압이 높아지므로 어드레스 방전이 용이하게 일어날 수 있으며, 어드레스 전압(V_a)을 작게 할 수도 있다.

다음, 유지 기간(Ps)에서는 Y 전극과 X 전극에 차례로 유지방전 펄스가 인가된다. 유지방전 펄스는 Y 전극과 X 전극의 전압차가 교대로 V_s 전압 및 $-V_s$ 전압이 되도록 하는 펄스이다. V_s 전압은 어드레스 기간(Pa)에서 방전 셀에 형성된 벽 전압과 함께 Y 전극과 X 전극 사이에서 유지 방전을 일으킬 수 있는 전압이다. 도 4에서는 유지방전 펄스를 V_s 전압과 접지 전압을 교대로 가지는 펄스로 도시하였다.

이와 같이 본 발명의 제1 실시예에서는 어드레스 기간(Pa)에서 선택되는 Y 전극에 인가되는 전압(V_{scl})을 하강 기간(Pr2)에서 Y 전극에 인가되는 최종 전압(V_{nf})보다 낮게 하여, 어드레스 전압(V_a)을 낮출 수 있으며 또한 어드레스 방전을 용이하게 할 수도 있다.

그런데, 주변 온도가 고온으로 되거나 플라즈마 표시 패널의 온도가 상승하는 경우, 또는 방전 셀에 프라이밍 입자가 많이 존재하는 경우에는 낮은 전압에서도 방전이 용이하게 일어날 수 있다. 즉, 이러한 조건에서는 어드레스 기간(Pa)에서 A 전극에 V_a 전압이 인가되지 않은 방전 셀에서도 Y 전극에 인가되는 전압(V_{scl})에 의해서 리셋 기간(Pr)의 최종 상태보다 외부 인가 전압이 ($V_{nf} - V_{scl}$) 전압만큼 더 크므로 방전이 일어날 수 있다. 이러한 방전으로 인해 선택되지 않은 방전 셀에서 벽 전압이 형성되어 유지 기간(Ps)에서 오방전이 일어날 수 있다.

아래에서는 이러한 오방전을 제거할 수 있는 실시예에 대해서 도 4를 참조하여 상세하게 설명한다.

도 4는 본 발명의 제2 실시예에 따른 플라즈마 표시 패널의 구동 파형도이다. 도 4에 나타난 바와 같이, 본 발명의 제2 실시예에 따른 구동 파형은 리셋 기간의 최종 상태를 제외하면 제1 실시예와 동일하다.

자세하게 설명하면, 본 발명의 제2 실시예에서는 하강 기간(Pr2)의 제2 기간(Pr22)에서 Y 전극의 전압을 일정 기간(Δt) 동안 ΔV 전압만큼 작게 한다. 이와 같이 하면, 앞에서 설명한 오방전이 일어날 수 있는 조건에서는 Δt 기간 동안 Y 전극과 A 전극 사이에서 방전이 일어날 수 있다. 즉, 어드레스 기간(Pa)에서 Y 전극에 인가되는 V_{scl} 전압에 의해 발생할 수 있는 오방전을 하강 기간(Pr)의 제2 기간(Pr22) 동안 미리 형성함으로써, 어드레스 기간(Pa)에서 오방전이 일어나지 않도록 한다.

다음, 표 1 및 표 2를 참고하여 본 발명의 제2 실시예에서의 Δt 기간의 적정 범위에 대해서 설명한다. 표 1 및 표 2에서 '×' 표시는 앞에서 설명한 오방전이나 저방전이 발생하지 않는 경우를 나타내며, '○' 표시는 오방전이나 저방전이 발생하는 경우를 나타낸다.

먼저, Δt 기간이 너무 짧으면 오방전을 하강 기간(Pr)의 제2 기간(Pr22)에서 미리 형성할 수 없으므로, Δt 의 기간을 일정 기간보다는 길게 할 필요가 있다. 즉, 표 1에서 알 수 있듯이 Δt 의 기간을 $2\mu s$ 이상으로 설정하면 어드레스 기간 및 유지 기간에서의 오방전이나 저방전을 제거할 수 있다.

[표 1]

$\Delta t [\mu s]$	0	1	2	3	4	5	6	7
오방전/저방전	○	○	×	×	×	×	×	×

또한, Δt 기간에서의 오방전이 어드레스 기간(Pa)에서의 오방전과 동일한 조건을 형성하지 않도록 하기 위해서 Δt 기간에서는 많은 양의 벽 전하가 형성되지 않도록 할 필요가 있다. 즉, Δt 의 기간을 일정 기간보다 짧게 할 필요가 있다. 즉, 표 2에서 알 수 있듯이 Δt 의 기간을 $10\mu s$ 이하로 설정하면 어드레스 기간 및 유지 기간에서의 오방전이나 저방전을 제거할 수 있다.

[표 2]

$\Delta t [\mu s]$	4	5	6	7	8	9	10	11	12
오방전/저방전	×	×	×	×	×	×	×	○	○

그리고 표 1 및 표 2에서 알 수 있듯이 Δt 의 기간을 $2\mu s$ 이상 $10\mu s$ 이하로 설정하면 어드레스 기간 및 유지 기간에서의 오방전이나 저방전을 제거할 수 있다.

이와 같이, 본 발명의 제2 실시예에 의하면, Y 전극의 낮은 전압(V_{scl})에 의해 어드레스 기간(Pa)에서 형성될 수 있는 오방전을 제거하기 위해 하강 기간(Pr2)의 최종 단계에서 이 오방전이 형성될 수 있는 조건과 비슷한 조건을 형성한다. 그러면 하강 기간(Pr2)의 최종 단계에서 방전이 발생하여 어드레스 기간(Pa)에서 형성될 수 있는 오방전을 제거할 수 있다.

그리고 본 발명의 제1 및 제2 실시예에서는 모든 리셋 기간에서 상승 파형을 인가한 후에 하강 파형을 인가하는 파형에 대하여 설명하였지만, 제1 실시예에는 이와는 달리 Kurata 등의 미국특허 6,294,875호에 기재된 주 리셋 기간에서만 상승 파형과 하강 파형을 인가하고 부 리셋 기간에서는 하강 파형만을 인가하는 형태의 구동 파형에도 적용할 수 있다.

또한, 본 발명의 제1 및 제2 실시예에서는 하강 기간(Pr2)에서 Y 전극의 전압을 램프 형태로 점진적으로 하강시켰지만, 이와는 달리 Y 전극의 전압을 로그 형태, RC 곡선 형태 등으로 점진적으로 하강시킬 수도 있다. 또한, 본 발명의 제1 및 제2 실시예에서는 A 전극과 X 전극의 전압을 바이어스한 상태에서 Y 전극의 전압을 점진적으로 변화시켰지만, 본 발명에서 설명한 전극 간의 상대적인 전압차를 만족한다면 Y 전극, X 전극 및 A 전극에 인가되는 전압을 다른 형태로 변경할 수도 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명에 의하면, 어드레스 방전을 용이하게 일으킬 수 있으며, 어드레스 전압을 낮출 수 있다. 또한 어드레스 기간에서 발생할 수 있는 오방전을 리셋 기간에서 미리 제거할 수 있다.

(57) 청구의 범위

청구항 1.

복수의 제1 전극 및 상기 제1 전극과 교차하는 방향으로 형성되는 복수의 제2 전극을 포함하며 상기 제1 전극과 상기 제2 전극에 의해 방전 셀이 정의되는 플라즈마 표시 패널을 구동하는 방법에 있어서,

리셋 기간의 제1 기간 동안 상기 제1 전극의 전압을 제1 전압에서 제2 전압까지 점진적으로 하강시키는 단계,

상기 제1 기간 이후의 상기 리셋 기간의 제2 기간 중 제3 기간을 제외한 기간 동안 상기 제1 전극의 전압을 실질적으로 상기 제2 전압으로 유지시키는 단계, 그리고

어드레스 기간 동안 상기 방전 셀 중 선택하고자 하는 방전 셀의 상기 제1 전극에 제3 전압을 인가하고 상기 제2 전극에 제4 전압을 인가하는 단계를 포함하며,

상기 제3 기간 동안 상기 제1 전극에는 상기 제2 전압보다 낮은 제5 전압이 인가되며, 상기 제3 기간은 $2\mu\text{s}$ 이상인 플라즈마 표시 패널의 구동 방법.

청구항 2.

제1항에 있어서,

상기 제3 기간은 $10\mu\text{s}$ 이하인 플라즈마 표시 패널의 구동 방법.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제5 전압은 상기 제3 전압과 동일한 레벨의 전압인 플라즈마 표시 패널의 구동 방법.

청구항 4.

제1항 또는 제2항에 있어서,

상기 제1 기간 및 제2 기간 동안 제2 전극은 일정 전압으로 유지되는 플라즈마 표시 패널의 구동 방법.

청구항 5.

복수의 제1 전극 및 상기 제1 전극에 교차하는 방향으로 형성되는 복수의 제2 전극을 포함하며 상기 제1 전극과 상기 제2 전극에 의해 방전 셀이 정의되는 플라즈마 표시 패널, 그리고

상기 제1 전극 및 제2 전극에 구동 신호를 인가하는 구동 회로를 포함하며,

상기 구동 회로는, 제1 기간 동안 상기 제1 전극의 전압에서 상기 제2 전극의 전압을 뺀 전압을 제1 전압에서 제2 전압까지 점진적으로 감소시킨 후, 제2 기간 중 제3 기간을 제외한 기간 동안 상기 제2 전압으로 실질적으로 유지시키며, 상기 제3 기간 동안 상기 제1 전극의 전압에서 상기 제2 전극의 전압을 뺀 전압을 상기 제2 전압보다 낮은 제3 전압으로 설정하며,

상기 제3 기간은 $10\mu s$ 이하인 플라즈마 표시 장치.

청구항 6.

제5항에 있어서,

상기 제3 기간은 $2\mu s$ 이상인 플라즈마 표시 장치.

청구항 7.

제5항 또는 제6항에 있어서,

상기 구동 회로는, 어드레스 기간에서 상기 복수의 제1 전극에 선택적으로 주사 전압을 인가하고 상기 주사 전압이 인가된 상기 제1 전극에 의해 형성되는 방전 셀 중 켜질 방전 셀의 상기 제2 전극에 어드레스 전압을 인가하며,

상기 제3 전압은, 상기 주사 전압에서 상기 주사 전압이 인가된 상기 제1 전극에 의해 형성되는 방전 셀 중 켜질 방전 셀 이외의 방전 셀의 제2 전극에 인가되는 전압을 뺀 전압과 동일한 레벨의 전압인 플라즈마 표시 장치.

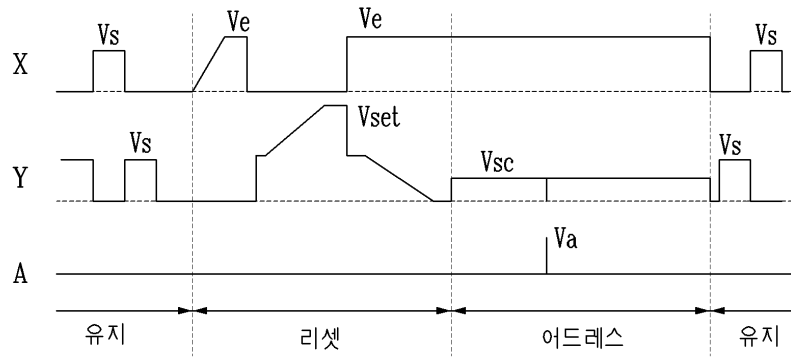
청구항 8.

제5항 또는 제6항에 있어서,

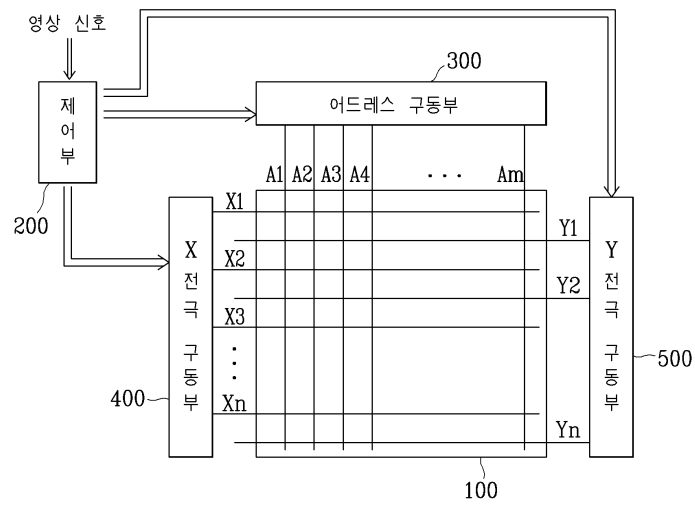
상기 플라즈마 표시 패널은 상기 복수의 제1 전극과 각각 쌍을 이루는 복수의 제3 전극을 더 포함하는 플라즈마 표시 장치.

도면

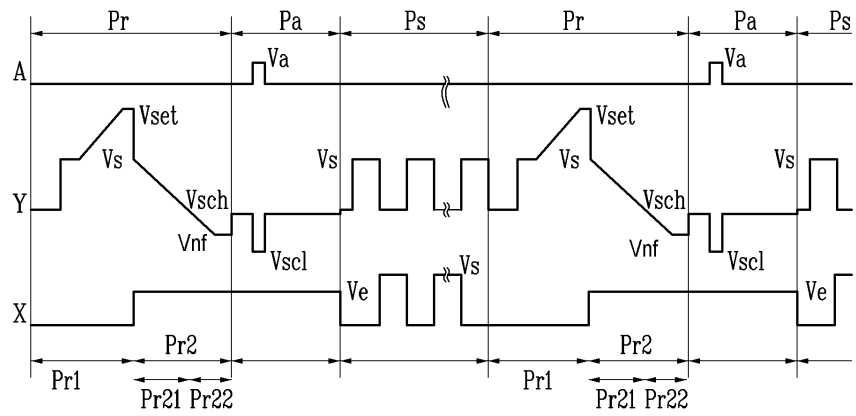
도면1



도면2



도면3



도면4

