

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶ H01L 23/02	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월21일 10-0522223 2005년10월10일
--	-------------------------------------	--

(21) 출원번호	10-1998-0707403	(65) 공개번호	10-2000-0064686
(22) 출원일자	1998년09월15일	(43) 공개일자	2000년11월06일
번역문 제출일자	1998년09월15일		
(86) 국제출원번호	PCT/JP1998/000281	(87) 국제공개번호	WO 1998/33217
국제출원일자	1998년01월22일	국제공개일자	1998년07월30일

(81) 지정국

 국내특허 : 대한민국,

 EP 유럽특허 : 독일, 프랑스,

(30) 우선권주장	9-11639	1997년01월24일	일본(JP)
	9-20217	1997년02월03일	일본(JP)
	9-43683	1997년02월27일	일본(JP)
	9-57368	1997년03월12일	일본(JP)
	9-58906	1997년03월13일	일본(JP)
	9-68539	1997년03월21일	일본(JP)
	9-145095	1997년06월03일	일본(JP)
	9-159912	1997년06월17일	일본(JP)
	9-195560	1997년07월22일	일본(JP)
	9-331597	1997년12월02일	일본(JP)
	9-331598	1997년12월02일	일본(JP)
	9-331599	1997년12월02일	일본(JP)
	9-331601	1997년12월02일	일본(JP)

(73) 특허권자

 로무 가부시킴가이샤
 일본 교토시 우쿄구 사이인 미조사키초 21

(72) 발명자

 히키타 주니치
 일본 교토후 교토시 우쿄구 사이인 미조사키초 21반치롬 가부시킴가이샤 내

 시바타 가즈타카
 일본 교토후 교토시 우쿄구 사이인 미조사키초 21반치롬 가부시킴가이샤 내

 야마구치 츠네펠리
 일본 교토후 교토시 우쿄구 사이인 미조사키초 21반치롬 가부시킴가이샤 내

 모리후지 다다히로
 일본 교토후 교토시 우쿄구 사이인 미조사키초 21반치롬 가부시킴가이샤 내

미야타 오사무
일본 교토후 교토시 우쿄쿠 사이인 미조사키초 21반치롬 가부시키가이
샤 내

(74) 대리인 김명신
 김원오

심사관 : 나광표

(54) 반도체장치 및 그 제조방법

요약

본 발명은 반도체장치 및 그 제조방법에 관한 것으로서, 반도체장치는 제 1 및 제 2 반도체 칩(14, 16)을 포함하고, 제 1 반도체 칩(14)의 표면에는 복수의 제 1 전극이 형성되고, 제 2 반도체 칩(16)의 표면에도 또 복수의 제 2 전극이 형성되며, 각각의 표면이 대향하고, 이것에 의해 복수의 제 1 전극과 복수의 제 2 전극이 각각 접촉되고, 각각의 표면에는 또한 회로 소자가 형성되고, 이 회로소자는 제 1 반도체 칩 및 제 2 반도체 칩에 의해 덮여 감추어지며, 제 1 반도체 칩(14) 및 제 2 반도체 칩(16)의 접촉부분은 방습성이 우수한 합성수지로 패키징(26)되며, 제 1 반도체 칩(14) 및 제 2 반도체 칩(16)의 전체가 밀착성이 우수한 제 2 합성수지로 패키징(22)된 것을 특징으로 한다.

대표도

도 10

명세서

기술분야

본 발명은 반도체장치 및 그 제조방법에 관한 것이다. 보다 구체적으로는 복수개의 반도체 칩이 마운트된 반도체장치 및 그와 같은 반도체장치의 제조방법에 관한 것이다.

배경기술

종래의 이 종류의 반도체장치의 한 예가 1994년 4월 22일자로 출원공개된 일본 특개평 6-112402호에 개시되어 있다. 이 종래기술은 두 개의 IC칩의 표면을 범프를 통해 접속하고 양쪽의 IC칩을 수지에 의해 트랜스퍼 성형하는 것이다. 그러나, 이 종래기술에서는 트랜스퍼 성형시에 수지가 양IC칩 사이에 진입하게 되어 IC칩이 파손되어 버릴 우려가 있었다.

한편, 1994년 7월 26일자로 출원공개된 일본 특개평 6-209071호에는 트랜스퍼 성형에 앞서서 두 개의 IC칩 사이에 수지를 충전하는 기술이 개시되어 있고, 이것에 의해 상기한 IC칩의 파손의 문제는 해소된다.

그러나, 어떤 종래기술에 의해서도 각각의 IC칩을 전기적으로 확실하게 접속할 수는 없었다.

또, 한쪽의 IC칩을 다른 쪽의 IC칩에 마운트할 때, 각각의 전극 위치를 정확하게 파악할 필요가 있고, 종래는 각 IC칩의 전극을 개별적으로 활상하고 있었다. 즉, 전극의 활상에 두 개의 카메라를 이용하여 비용이 든다고 하는 문제가 있었다.

발명의 상세한 설명

그래서, 본 발명의 주된 목적은 표면이 대향하도록 배치된 두 개의 IC칩을 전기적으로 확실하게 접속할 수 있는 반도체장치를 제공하는 것이다.

본 발명의 다른 목적은 제조비용을 억제할 수 있는 반도체장치의 제조방법을 제공하는 것이다.

본 발명에 따른 반도체장치는 제 1 전극이 형성된 제 1 표면을 갖는 제 1 반도체 칩, 제 1 전극에 접속된 제 2 전극이 형성되고, 또한 제 1 표면에 대향하는 제 2 표면을 갖는 제 2 반도체 칩, 제 1 전극 및 제 2 전극의 적어도 한쪽에 설치된 범프, 및 제 1 표면 및 제 2 표면의 사이에 삽입된 이방성 도전부재를 구비한다.

본 발명에 의하면 제 1 반도체 칩 및 제 2 반도체 칩이 각각의 표면이 대향하도록 배치된다. 범프는 제 1 전극 또는 제 2 전극에 형성되고, 제 1 반도체 칩 및 제 2 반도체 칩 사이에 이방성 도전부재가 삽입된다. 이방성 도전부재는 압력이 걸린 부분만 두께방향에 도전성이 생긴다. 따라서, 범프가 이방성 도전부재를 눌러서 제 1 전극 및 제 2 전극만 도통하고, 이 이외의 부분은 절연상태를 유지한다. 이것으로 제 1 반도체 칩 및 제 2 반도체 칩을 전기적으로 확실하게 접속할 수 있다.

본 발명의 한 국면에서는 제 1 반도체 칩 및 제 2 반도체 칩의 접속부분이 방습성이 우수한 제 1 합성수지로 패키징되고, 제 1 반도체 칩 및 제 2 반도체 칩과 제 1 합성수지가 밀착성이 우수한 제 2 합성수지로 패키징된다. 이것에 의해 습기에 약한 회로소자를 보호할 수 있는 동시에 반도체 칩의 내구성을 향상시킬 수 있다.

본 발명의 다른 국면에서는 예를 들면 제 1 전극에 범프가 형성되고, 제 2 전극에 오목부가 형성된다. 범프가 이방성 도전부재를 누를 때에 도전입자가 가로방향으로 빠지는 것이 오목부에 의해 저지된다. 이 때문에 도전입자의 양을 늘리는 일 없이 보다 확실하게 제 1 반도체 칩 및 제 2 반도체 칩을 전기적으로 접속할 수 있다.

본 발명에 따른 반도체장치의 제조방법은 (a) 제 1 표면에 제 1 전극이 형성된 제 1 반도체 칩을 제 1 표면이 위를 향하도록 배치하고, (b) 제 1 표면을 윗쪽부터 촬상하여 제 1 전극의 위치를 판별하고, (c) 제 2 표면에 제 2 전극이 형성된 제 2 반도체 칩을 제 2 표면이 아래를 향하도록 제 1 반도체 칩의 윗쪽에 배치하고, (d) 제 2 반도체 칩의 제 1 표면 및 이면(裏面)의 한쪽을 촬상하여 제 2 전극의 위치를 판별하고, 그리고 (e) 제 1 전극 및 제 2 전극이 서로 접속되도록 제 2 반도체 칩을 제 1 반도체 칩 위에 마운트하는 스텝을 포함한다.

본 발명에 의하면 위를 향해 배치된 제 1 반도체 칩의 표면이 촬상된 후, 이 제 1 반도체 칩의 윗쪽에 아래를 향하여 배치된 제 2 반도체 칩이 촬상된다. 이것에 의해 제 1 반도체 칩에 형성된 제 1 전극 및 제 2 반도체 칩에 형성된 제 2 전극의 양쪽이 인식되고, 제 1 전극 및 제 2 전극이 서로 접속된다. 즉, 제 1 반도체 칩 및 제 2 반도체 칩을 1대의 카메라에 의해 촬상할 수 있어서 제조비용을 삭감할 수 있다.

본 발명의 어느 국면에서는 제 2 반도체 칩에 대해서는 이면(裏面)이 촬상되고, 그 촬상결과로부터 제 2 전극의 위치가 판별된다.

본 발명의 바람직한 실시예에서는 촬상에 의해 제 2 반도체 칩의 이면(裏面)에 형성된 마크가 인식되고, 이 마크에 기초하여 제 2 전극의 위치가 판별된다. 이 때문에 카메라의 방향을 바꾸지 않고 제 2 반도체 칩을 제 1 반도체 칩 위에 마운트할 수 있다.

본 발명의 다른 국면에서는 거울을 통해 제 2 반도체 칩의 표면이 촬상되고, 그 촬상결과에 기초하여 제 2 전극의 위치가 판별된다. 따라서, 제 2 전극의 위치를 보다 정확하게 판별할 수 있다.

본 발명의 목적, 그 외의 목적, 특징 및 이점은 도면을 참조하여 실시하는 이하의 실시예의 상세한 설명에서 한층 명확해질 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예를 나타낸 도해도,

도 2는 도 1 실시예의 구성의 일부를 나타낸 도해도,

도 3은 도 1 실시예의 구성의 다른 일부를 나타낸 도해도,

도 4는 도 1 실시예의 구성의 그 외의 일부를 나타낸 도해도,

- 도 5는 도 1 실시예의 구성의 또 다른 일부를 나타낸 도해도,
- 도 6은 도 1 실시예의 구성의 다른 일부를 나타낸 도해도,
- 도 7은 본 발명의 다른 실시예의 구성의 일부를 나타낸 도해도,
- 도 8은 도 7 실시예의 구성의 다른 일부를 나타낸 도해도,
- 도 9는 본 발명의 다른 실시예의 구성의 일부를 나타낸 도해도,
- 도 10은 본 발명의 다른 실시예의 구성의 다른 일부를 나타낸 도해도,
- 도 11은 본 발명의 다른 실시예의 구성의 일부를 나타낸 도해도,
- 도 12는 도 11 실시예의 일부를 나타낸 확대도,
- 도 13은 도 11 실시예의 일부를 나타낸 다른 확대도,
- 도 14는 본 발명의 다른 실시예의 구성의 일부를 나타낸 도해도,
- 도 15는 도 14 실시예의 일부를 나타낸 확대도,
- 도 16은 도 14 실시예의 일부를 나타낸 다른 확대도,
- 도 17은 본 발명의 다른 실시예의 구성의 일부를 나타낸 도해도,
- 도 18은 도 17 실시예의 구성의 다른 일부를 나타낸 도해도,
- 도 19는 본 발명의 다른 실시예의 구성의 일부를 나타낸 도해도,
- 도 20은 도 19 실시예의 일부를 나타낸 확대도,
- 도 21은 도 19 실시예의 제조공정의 일부를 나타낸 도해도,
- 도 22는 도 19 실시예의 제조공정의 다른 일부를 나타낸 도해도,
- 도 23은 도 19 실시예의 구성의 일부를 나타낸 도해도,
- 도 24는 본 발명의 다른 실시예를 나타낸 도해도,
- 도 25는 도 24 실시예의 일부를 나타낸 도해도,
- 도 26은 도 25 실시예의 일부를 나타낸 확대도,
- 도 27은 도 24 실시예의 제조공정의 일부를 나타낸 도해도,
- 도 28은 도 24 실시예의 제조공정의 다른 일부를 나타낸 도해도,
- 도 29는 도 24 실시예의 제조공정의 그 외의 일부를 나타낸 도해도,
- 도 30은 도 24 실시예의 제조공정의 또 다른 일부를 나타낸 도해도,
- 도 31은 본 발명의 다른 실시예를 나타낸 도해도,

도 32는 도 31 실시예의 구성의 일부를 나타낸 도해도,
도 33은 본 발명의 다른 실시예를 나타낸 도해도,
도 34는 도 33 실시예의 구성의 일부를 나타낸 도해도,
도 35는 도 33 실시예의 구성의 다른 일부를 나타낸 도해도,
도 36은 본 발명의 다른 실시예를 나타낸 도해도,
도 37은 도 36 실시예의 구성의 일부를 나타낸 도해도,
도 38은 도 36 실시예의 구성의 다른 일부를 나타낸 도해도,
도 39는 본 발명의 다른 실시예의 구성의 일부를 나타낸 도해도,
도 40은 본 발명의 다른 실시예를 나타낸 도해도,
도 41은 도 40 실시예의 구성의 일부를 나타낸 도해도,
도 42는 도 41 실시예의 구성의 다른 일부를 나타낸 도해도,
도 43은 본 발명의 다른 실시예를 나타낸 도해도,
도 44는 도 43 실시예의 구성의 일부를 나타낸 도해도,
도 45는 도 43 실시예의 구성의 다른 일부를 나타낸 도해도,
도 46은 도 43 실시예의 구성의 그 외의 일부를 나타낸 도해도,
도 47은 도 43 실시예의 구성의 또 다른 일부를 나타낸 도해도,
도 48은 본 발명의 다른 실시예를 나타낸 도해도,
도 49는 도 48 실시예의 구성의 일부를 나타낸 도해도,
도 50은 본 발명의 다른 실시예의 일부를 나타낸 도해도,
도 51은 도 50 실시예의 다른 일부를 나타낸 도해도,
도 52는 도 50 실시예의 그 외의 일부를 나타낸 도해도,
도 53은 도 50 실시예의 일부를 나타낸 확대도,
도 54는 도 50 실시예의 구성의 일부를 나타낸 도해도,
도 55는 본 발명의 다른 실시예의 일부를 나타낸 도해도,
도 56은 본 발명의 다른 실시예의 일부를 나타낸 도해도 및
도 57은 본 발명의 다른 실시예의 일부를 나타낸 도해도이다.

실시예

도 1에 나타난 실시예의 반도체장치(10)는 리드 프레임(12)을 포함한다. 리드 프레임(12)의 중앙에는 장방형상의 기관(12a)이 설치되고, 이 기관(12a)에 있어서 네 개의 각 변에서 바깥을 향하여 뻗는 복수의 리드단자(12b)가 바깥을 향해 뻗어 있다. 기관(12a)의 표면에는 메인 IC칩(14)이 마운트된다. 이 메인 IC칩(14)의 표면중앙에는 능동소자 또는 수동소자와 같은 복수의 회로소자(제 1 회로소자)(14j)가 형성된다. 또, 회로소자(14j)의 주위에 서브 IC칩(16)과 접속하기 위한 복수의 전극패드(제 1 전극)(14a)가 형성되고, 또 전극패드(14a)의 주위에 리드단자(12b)와 와이어 본딩하기 위한 복수의 전극패드(제 3 전극)(14b)가 접속된다. 메인 IC칩(14)의 표면에는 서로 표면이 대향하도록 서브 IC칩(16)이 마운트된다. 이 서브 IC칩(16)의 표면에도 메인 IC칩(14)과 마찬가지로 능동소자 또는 수동소자 등의 복수의 회로소자(제 2 회로소자)(16j)가 형성되고, 회로소자(16j)의 주위에 메인 IC칩(14)에 설치된 전극패드(14a)와 접속하기 위한 복수의 전극패드(제 2 전극)(16a)가 형성된다.

도 2에 나타난 바와 같이 메인 IC칩(14)에 형성된 전극패드(14a) 및 서브 IC칩(16)에 형성된 전극패드(16a)의 각각에는 금 또는 땀납에 의한 범프(14c, 16b)가 설치된다. 도 3에 나타난 바와 같이 서브 IC칩(16)은 표면, 즉 회로소자(16j) 및 전극패드(16a)가 형성된 면이 아래를 향하도록 배치된다. 그리고, 서브 IC칩(16)에 형성된 범프(16b)의 각각이 메인 IC칩(14)에 형성된 범프(14c)의 각각에 맞닿도록 서브 IC칩(16)이 마운트된다. 서브 IC칩(16)을 메인 IC칩(14)에 대해 누르면서 전체를 가열하면 서브 IC칩(16)이 메인 IC칩(14)에 고착된다. 또, 누름과 동시에 초음파진동을 부여해도 좋다. 가열시에 서로 맞닿는 범프(14c, 16b)에 누르는 힘이 집중하기 때문에 범프(14c, 16b)가 전기적으로 확실하게 접속된다.

이어서 메인 IC칩(14)과 서브 IC칩(16) 사이에 에폭시수지 등의 합성수지의 접착제(18) 또는 탄성 중합체(elastomer)가 충전되고, 그 후 도 4에 나타난 바와 같이 메인 IC칩(14)의 이면(裏面)이 접착제에 의해 기관(12a)에 고착된다.

또, 메인 IC칩(14)이 형성된 전극패드(14b)와 리드 프레임(12)의 리드단자(12b)가 가는 금속 와이어(W)에 의해 와이어 본딩되어 전기적으로 접속된다.

그리고, 도 5에 나타난 바와 같이 전체를 밀봉하는 합성수지제의 패키지(22)가 트랜스퍼 성형된다. 도 6에 나타난 바와 같이 각 리드단자(12b)를 리드 프레임(12)에서 잘라내고, 패키지(22)의 하면과 대략 동일평면 형상이 되도록 각 리드단자(12b)를 꺾어 구부리는 것에 의해 반도체장치(10)가 완성된다.

본 실시예에 의하면 반도체장치(10)의 높이가 메인 IC칩(14)에 마운트된 서브 IC칩(16)의 분량만큼 높아지지만, 이 반도체장치(10)를 프린트기관 등에 장착할 때의 점유면적을 대폭 축소할 수 있기 때문에 프린트기관 등의 소형화, 더 나아가서는 전기기기의 소형화를 꾀할 수 있다.

또, 메인 IC칩(14)에 형성된 회로소자(14j)와, 서브 IC칩(16)에 형성된 회로소자(16j)가 서로 대향하고, 메인 IC칩(14) 및 서브 IC칩(16)에 의해 덮여서 감추어지기 때문에 각 회로소자(14j, 16j)를 확실하게 보호할 수 있다.

또, 메인 IC칩(14)과 서브 IC칩(16)과의 사이에 합성수지를 충전하는 것에 의해 메인 IC칩(14)과 서브(IC)칩(16)을 단단하게 일체화할 수 있는 동시에 회로소자(14j, 16j)를 합성수지에 의해 보호할 수 있다.

도 7 및 도 8의 다른 실시예에서는 메인 IC칩(14)에 서브 IC칩(16)을 마운트하기 위해 이방성 도전필름(24)이 사용되는 점을 제외하고, 도 1 내지 도 6 실시예와 마찬가지로 하기 때문에 중복되는 설명을 생략한다.

이방성 도전필름(24)은 메인 IC칩(14)과 서브 IC칩(16) 사이에 삽입되고, 서브 IC칩(16)은 이방성 도전필름(24)을 압축변형하도록 메인 IC칩(14)을 향하여 눌러진다. 이 누름을 유지한 상태에서 가열 등으로 도전필름(24)을 건조·경화하는 것에 의해 서브 IC칩(16)이 메인 IC칩(14)에 대해 마운트된다. 서브 IC칩(16)이 메인 IC칩(14)에 대해 누르는 힘에 의해 범프(14c, 16b)의 양쪽이 도전필름(24)에 파고든다. 이 때문에 도전필름(24)에 혼입된 도전입자가 범프(14c, 16b)에 끼여져서, 이 도전입자를 통해 범프(14c, 16b)가 서로 전기적으로 접속된다.

이 실시예에 의하면 서브 IC칩(16)과 메인 IC칩(14) 사이에 도전필름(24)을 삽입하고, 가열처리를 실시하는 것만으로 전기적인 접속과 마운트가 동시에 완료되기 때문에 도 1 내지 도 6 실시예에 비해 제조비용을 저감할 수 있다.

또, 본 발명은 메인 IC칩(14)에 대해 하나의 서브 IC칩(16)을 마운트하는 경우만이 아니라 메인 IC칩(14)에 대해 복수의 서브 IC칩(16)을 마운트하는 경우에도 적용할 수 있는 것은 물론이다.

도 9에 나타난 다른 실시예의 반도체장치(10)는 메인 IC칩(14)과 서브 IC칩(16)의 주위에 내부 패키지(26)가 형성되고, 내부 패키지(26) 상에 외부 패키지(22)가 형성되는 점을 제외하고, 도 1 내지 도 6 실시예와 마찬가지로 하기 때문에 중복된 설명을 생략한다.

방습성을 높인 필러(filler)가 에폭시수지와 같은 합성수지에 혼합되고, 내부 패키지(26)는 이와 같은 합성수지를 액체 상태로 도포하고, 건조·경화하는 것에 의해 형성된다. 그 후, 전체를 밀봉하는 합성수지체의 외부 패키지(22)가 트랜스퍼 성형된다. 외부 패키지(22)로서 이용하는 합성수지는 양쪽 IC칩(14, 16) 및 리드 프레임(12)에 대한 밀착성을 높이는 필러를 에폭시수지에 혼합한 것이다.

이어서 도 10에 나타난 바와 같이 리드단자(12b)를 리드 프레임(12)에서 잘라내어 패키지(22)의 하면과 대략 동일평면 형상이 되도록 리드단자(12b)를 꺾어 구부리는 것에 의해 완성품을 얻을 수 있다.

이와 같이 전체를 밀봉하는 외부 패키지(22) 및 IC칩(14, 16)의 접속부분만을 밀봉하는 내부 패키지(26)의 각각에 별개의 합성수지를 이용하는 것에 의해, 즉 외부 패키지(22)로서 IC칩(14, 16)에 대한 밀착성이 우수한 합성수지를 이용하고, 내부 패키지(26)로서 회로소자에 대한 방습성이 우수한 합성수지를 이용하는 것에 의해 반도체장치(10)의 내구성 및 신뢰성을 향상시킬 수 있다. 즉, 회로소자(14j, 16j)를 습기에서 보호할 수 있는 동시에 메인 IC칩(14) 및 서브 IC칩(16)을 외력에서 보호할 수 있다.

또, 이 실시예에서는 접착제(18)에 의해 IC칩(14, 16)을 접착한 반도체장치를 이용하여 설명했는데, 내부 패키지(26)는 이 방성 도전필름에 의해 접착된 IC칩(14, 16)의 주위에 형성해도 좋다. 또, 이 실시예에서는 서브 IC칩(16)의 전극패드(16a)에만 범프를 형성했지만, 범프는 메인 IC칩(14)의 전극패드(14a)에만 설치하거나, 또는 전극패드(14a, 16b)의 양쪽에 설치해도 좋은 것은 물론이다.

도 11 실시예의 반도체장치(10)는 메인 IC칩(14)에 설치된 전극패드(14a)가 오목형상으로 형성된 점을 제외하고, 도 7 내지 도 8 실시예와 같기 때문에 중복된 설명을 생략한다.

도 12 및 도 13에 나타난 바와 같이 범프(16b)가 전극패드(14a)에 끼워맞추어져 이방성 도전필름(24)이 범프(16b)에 의해 압축변형된다. 이 때 도전필름(24)에 혼입된 도전입자가 범프(16b)와 전극패드(14a) 사이에서 가로방향으로 빠지는 것이 전극패드(14a)에 형성된 오목부에 의해 방지된다. 환언하면 전극패드(14a)의 오목부에 많은 도전입자가 확보되고, 도전필름(24)으로의 도전입자의 혼입량을 늘리지 않고 전기적 접속의 확실성을 향상할 수 있다.

즉, 범프(16b)와 전극패드(14a)와의 전기적 접속을 보다 확실하게 하기 위해 도전입자의 혼입량을 많게 하면, IC칩(14, 16)은 범프(16b) 및 전극패드(14a) 이외의 부분에 있어서도 전기적으로 접속되어 버린다. 한편, 이 부분에서의 전기적 절연성을 향상시키기 위해 도전입자의 혼입량을 적게 하면, 범프(16b) 및 전극패드(14a)의 사이에 끼워진 도전입자의 양이 적어지고, 전기적 접속불량이 발생되어 버린다.

이에 대해 이 실시예에서는 전극패드(14a)에 오목부를 형성하는 것에 의해 도전입자가 범프(16b)와 전극패드(14a)와의 사이에서 빠지는 것을 저지할 수 있다. 또 범프(16b)가 오목부에 끼워지도록 구성했기 때문에, 도전입자의 입자지름에 관계없이 도전입자를 오목부에 확보할 수 있고 전기적 접속의 확실성을 향상할 수 있다.

또, 이 실시예에서는 서브 IC칩(16)에 범프(16b)를 설치하고 메인 IC칩(14)의 전극패드(14a)를 오목형상으로 형성하도록 했지만, 메인 IC칩(14)에 범프를 설치하고 서브 IC칩(16)의 전극패드(16a)를 오목형상으로 형성해도 좋은 것은 물론이다.

도 14 및 도 15 실시예의 반도체장치(10)는 서브 IC칩(16)만이 범프(16b)를 갖고, 메인 IC칩(14) 및 서브 IC칩(16)의 표면에 패시베이션막(14d, 16c)이 형성되고, 전극패드(14a)의 표면에 배리어 메탈(14e)이 형성되고, 그리고 전극패드(16a) 및 범프(16b) 사이에 배리어 메탈(16d)이 삽입되는 점을 제외하고, 도 7 내지 도 8 실시예와 마찬가지로 하기 때문에 중복된 설명을 생략한다.

메인 IC칩(14) 및 서브 IC칩(16)의 표면에는 도 15에 나타난 바와 같이 패시베이션막(14d, 16c)이 형성되고, 이것에 의해 회로소자가 덮여진다. 단, 전극패드(14a, 16a)는 패시베이션막(14d, 16c)에 의해 부분적으로 덮여지고, 배리어 메탈(14e, 16d)이 전극패드(14a, 16a)를 완전하게 덮는다. 즉, 패시베이션막(14d, 16c)이 전극패드(14a, 16a)의 테두리 부분을 덮

고, 배리어 메탈(14e, 16d)이 전극패드(14a, 16a) 및 패시베이션막(14d, 16c)을 덮는다. 그리고, 배리어 메탈(16d)의 표면에 범프(16b)가 형성된다. 또, 이 배리어 메탈(14e, 16d)은 예를 들면 티탄을 하층으로 하고 텅스텐을 상층으로 하거나, 또는 크롬을 하층으로 하고 은을 상층으로 하는 2층 구조로 구성되어 있다.

도 16에 나타난 바와 같이 범프(16d)가 이방성 도전필름(24)을 압축변형하는 것에 의해 전극패드(14a, 16a)가 전기적으로 접속된다. 전극패드(14a, 16a)의 표면에 배리어 메탈(14e, 16d)이 형성되기 때문에 압축변형시에 범프(16b)가 전극패드(14a, 16a)에 미치는 손상을 확실하게 경감할 수 있다.

또, 도 15 및 도 16에서 알 수 있는 바와 같이 배리어 메탈(14c)의 표면 중앙에 범프(16b)가 끼워진 오목부가 형성된다. 이 때문에 도전필름(24)이 범프(16b)에 의해 압축변형할 때에 도전입자가 범프(16b)와 배리어 메탈(14e) 사이에서 가로방향으로 빠지는 것을 이 오목부에 의해 저지할 수 있다. 즉, 전기적 접속의 확실성을 향상할 수 있다.

도 17 및 도 18 실시예의 반도체장치(10)는 전극패드(14b)를 제외한 메인 IC칩(14)의 표면에 패시베이션막(14d)이 형성되고, 전극패드(14b)의 표면에 배리어 메탈(14f)이 형성되고, 그리고 배리어 메탈(14f)의 표면에 금속층의 얇은 금속막(14g)이 형성되는 점을 제외하고, 도 1 내지 도 6 실시예와 마찬가지로 하기 때문에 중복된 설명을 생략한다.

자세하게 설명하면 패시베이션막(14d)이 전극패드(14b)의 둘레부분을 덮고, 배리어 메탈(14f)이 전극패드(14b)를 완전하게 덮는다. 이 때문에, 패시베이션막(14d)이 부분적으로 전극패드(14b)에 의해 덮인다. 그리고 배리어 메탈(14f)의 표면에 플래시 도금에 의해 금속층의 금속층(14g)이 형성된다. 또, 이 배리어 메탈(14f)도 또한 예를 들면 티탄을 하층으로 하고 텅스텐을 상층으로 하거나, 또는 크롬을 하층으로 하고, 은을 상층으로 하는 2층 구조로 구성되어 있다.

이와 같이 배리어 메탈(14f) 및 박막의 금속층(14g)이 형성된 전극패드(14b)에 도 18에 나타난 바와 같이 금속 와이어(W)가 본딩된다. 즉, 금속 와이어(W)의 한 단에 형성된 금볼(90a)이 전극패드(14b)에 눌러서, 양자가 접합된다. 이 때, 금속막(14g)이 배리어 메탈(14f) 및 금속 와이어(W)의 양쪽에 합금화된다. 이 때문에 배리어 메탈(14f)에 대한 금속 와이어(W)의 접합성이 향상한다.

도 19 내지 도 24에 나타난 다른 실시예의 반도체장치(10)는 본 발명을 도 17 및 도 18 실시예와 다른 국면에서 설명하는 것이다.

도 19는 반도체 칩의 실시구조를 갖는 적층칩(A)의 한 실시예를 나타낸 요부 단면도이고, 도 20은 적층칩(A)에 있어서 와이어 본딩용 단자의 일부 확대단면도이다.

도 19에 나타난 바와 같이 적층칩(A)은 제 1 반도체 칩(메인 IC칩)(14)과 제 2 반도체 칩(서브 IC칩)(16)이 이방성 도전필름(24)을 통해 적층된 것이다. 제 1 반도체 칩(14)의 표면에는 제 2 반도체 칩(16)과의 접합단자인 전극패드(14a) 및 와이어 본딩용의 전극패드(14b)가 형성되어 있다. 제 2 반도체 칩(16)의 표면에는 제 1 반도체 칩(14)과의 접합단자가 되는 전극패드(16a)가 형성되어 있다. 양칩(14, 16)의 표면에는 전극패드(14a, 14b, 16a)가 형성되어 있지 않은 영역에 절연막(패시베이션막)(14d, 16c)이 형성되어 있다. 전극패드(14a, 14b, 16a)는 알루미늄 패드이고, 그 표면에는 각각 도전보호층(15a, 15b, 17)이 형성되어 있다.

이방성 도전필름(24)은 절연성 수지인 에폭시수지로 이루어진 필름이고, 도전입자(24b)를 분산시킨 구조를 취하고 있다. 도전보호층(15a, 17)에 끼워진 도전성 입자(80)는 양 보호층(15a, 17)에 의해 압축된다. 양 보호층(15a, 17)으로 끼워져 있지 않은 도전입자(80)는 여전히 도전필름(24)에서 분산된 상태이다. 따라서 반도체 칩(14, 16)의 양 표면에 있어서 양 보호층(15a, 17)사이 만의 전기적 접합이 피해지고, 양 보호층(15a, 17)사이 이외의 절연성이 유지된다. 도전입자(80)로서는 금속구 이외에 수지성 볼의 표면에 니켈 도금을 실시한 것, 그 니켈 도금의 위에 추가로 금도금을 실시한 것 등이 사용된다.

제 1 칩(14)의 표면에 형성되어 있는 와이어 본딩용 단자의 구조는 도 20에 의해 상세하게 설명된다. 전극패드(14b)의 테두리에는 절연막(14d)이 형성되어 있고, 또 패드(14b)의 표면에는 도전보호층(15b)이 형성되어 있다. 도전보호층(15b)은 배리어 메탈층(14f)에 금속층(범프)(14g)이 적층된 것이다. 이 실시예의 금속층(14g)은 도 17 및 도 18 실시예의 금속층(14g)보다도 두껍게 형성되고, 범프로써 기능한다. 배리어 메탈층(14f)은 티탄층에 백금층이 적층되어 구성된다(도시하지 않음). 금속층(14g)은 전기도금 등에 의해 형성된 금이다. 와이어(W)는 금속층(14g)에 본딩되어 있다. 또, 도시는 하지 않지만, 제 1 칩(14)과 제 2 칩(16)과의 접합단자인 전극패드(14a, 16a) 표면에도 동일한 구조를 갖는 도전보호층(15a, 17)이 형성되어 있다.

전극패드(14a, 14b, 16a)는 각각 도전보호층(15a, 15b, 17)에 의해 보호되어 있기 때문에 에폭시수지인 도전필름(24)에 의해 부식되는 일은 없다.

도전보호층의 형성방법에 대해 도 21을 참조하면서 간단하게 설명한다. 제 1 칩(14)에 회로소자(도시하지 않음)를 일체적으로 만들고, 도 21의 (a)에 나타난 바와 같이 이 회로소자와 도통하는 전극패드(14a, 14b)를 소정의 배선패턴과 함께 형성한다. 이 전극패드(14a, 14b)는 예를 들면 스퍼터법 또는 진공증착 등의 수단에 의해 알루미늄의 금속피막층을 제 1 칩(14)에 형성한 후, 이 금속피막층에 에칭 처리 등을 실시함으로써 형성된다.

도 21의 (b)에 나타난 바와 같이 회로소자나 배선패턴을 보호해야 하고, 도전패드(14a, 14b)의 주변을 덮도록 하여 예를 들면 CVD법 등에 의해 절연막(14d)을 형성한다.

또, 도 21의 (c)에 나타난 바와 같이 전극패드(14a, 14b) 및 절연막(14d)을 덮도록 하여 배리어 메탈층(14f)을 형성한다. 배리어 메탈층(14f)은 티탄층에 백금층이 적층된 것이고, 티탄층은 2000Å 정도로, 백금층은 1000Å 정도로 형성된다. 또, 이 배리어 메탈층(14f)도 예를 들면 스퍼터법 또는 진공증착의 수단에 의해 형성된다.

이어서, 도 21의 (d)에 나타난 바와 같이 전극패드(14a, 14b) 상의 도전보호층(15a, 15b)을 형성해야 하는 영역을 제외하고, 포토레지스트층(14h)을 형성한다. 이 포토레지스트층(14h)은 배리어 메탈층(14f)상에 감광성 수지층을 적층한 후에 소정의 마스크를 이용하여 노광하고, 감광성 수지층을 현상처리하는 것에 의해 형성된다.

이어서, 도 21의 (e)에 나타난 바와 같이 포토레지스트층(14h)이 형성되어 있지 않은 영역, 즉 도전보호층(15a, 15b)을 형성해야 하는 영역에 금 등의 금속층(14g)을 형성한다. 이 금속층(14g)은 예를 들면 전기도금 등에 의해 형성되어 있다. 즉, 전기도금에 의해 금의 금속층(14g)을 형성하는 경우에는 포토레지스트층(14h)이 형성된 제 1 칩(14)을 금이온이 포함되어 있는 용액 내에 담그고, 배리어 메탈층(14f)을 마이너스 전극으로 하여 통전하는 것에 의해 실행된다. 이 경우, 포토레지스트층(14h)이 형성되어 있지 않은 영역의 배리어메탈층(14f)상에 금이 성장하고, 금속층(14g)이 형성된다.

또 도 21의 (f)에 나타난 바와 같이 포토레지스트층(14h)을 박리처리하여 배리어 메탈층(14f)을 노출시키고, 절연막(14d)을 노출시킨다. 이와 같이 하여 금속층(14g)이 전극범프로서 형성된다.

이와 같이 도전보호층(15a, 15b)은 배리어 메탈층(14f) 및 금속층(14g)으로 이루어지고, 전극패드(14a, 14b)상에 동시에 형성된다. 또, 도전성 보호층(17)도 마찬가지로 방법으로 전극패드(16a) 상에 형성된다.

도전보호층(15a, 15b)을 전극패드(14a, 14b)상에 갖고 있는 반도체 칩의 실장공정을 도 22에 의해 설명한다.

도 22에 나타난 바와 같이 제 1 칩(14)에 설치된 전극패드(14a), 및 전극패드(14a)상에 형성되어 있는 도전보호층(15a)을 도전필름(24)에 의해 덮는다. 그 후, 제 2 칩(16)에 설치된 전극패드(16a)상에 성형된 도전보호층(17)과 도전보호층(15a)을 눈대중으로 대면시킨 상태로 한다. 도전보호층(15a, 17)을 구성하는 금속층(14g)(도 20 참조)이 금인 경우는 유백색의 도전필름(24)으로 덮어도 금을 확실하게 확인할 수 있다. 이 때문에 양 칩(14, 16)을 접촉시킨 경우에 정확한 위치결정을 실행할 수 있다. 또, 도전필름(24)으로서는 절연성 및 접착성이 우수한 에폭시수지를 주성분으로 하는 필름이 바람직하다.

도전보호층(17)과 도전보호층(15a)을 대면시킨 후, 제 2 칩(16)을 억압장치(13)로 제 1 칩(14)에 접근시킨다. 양 칩(14, 16)의 접촉 직전의 위치는 반송테이블(C) 및 억압장치(13)의 미세조절에 의해 결정된다.

제 2 칩(16)을 제 1 칩(14)에 억압했다면, 반송테이블(C) 내부에 넣어진 히터(도시하지 않음)를 작동시키고, 도전필름(24)을 용융시켜 전극패드(14a, 16a) 및 도전보호층(15a, 17)을 덮는다. 도전필름(24)이 박막 형상으로 끼워진 상태에서 양 칩(14, 16)을 접촉하고, 칩 온 칩(COC) 실장형태의 적층칩을 얻을 수 있다.

실장공정 종료후, 와이어 본딩용의 전극패드(14b)에 형성된 도전보호층(15b)에 와이어(W)를 본딩한다. 와이어(W)의 본딩은 열압착 본딩이나 초음파 본딩으로 실행한다. 와이어(W)를 본딩한 후, 와이어(W)를 리드기판 등에 접속하여 반도체장치 중간품으로 하고, 이 반도체 장치 중간품을 몰드수지(22)로 패키징하여 반도체장치(10)로 한다.

도 23은 본 발명에 따른 반도체장치(10)의 한 실시예를 나타낸 요부 단면도이다. 상기 도면에 나타난 바와 같이 제 1 칩(14)과 제 2 칩(16)은 도전필름(24)을 통해 접촉되어 있다. 도전필름(24)내에는 도전입자(80)가 분산되어 있고, 도전보호층(15a, 17)에 끼워진 도전입자(80)는 압축되고, 도전보호층(15a, 17)에 끼워져 있지 않은 도전입자(80)는 도전필름(24)

내에서 분산된다. 따라서, 압축된 도전입자(80)에 의해 양 보호층(15a, 17) 사이가 전기적으로 접합되고, 양 보호층(15a, 17)사이 이외는 전기적으로 절연된다. 전극패드(14b)상에는 도전보호층(15b)이 형성되어 있고, 도전보호층(15b)은 와이어(W)를 통해 리드단자(12b)상의 도전배선부(12c)에 접속된다. 양 칩(14, 16)과 와이어(W)는 몰드수지(22)에 의해 수지 패키징되어 있다.

몰드수지(22)로 양 칩(14, 16)을 패키징할 때에는 열이 발생하고, 이 열에 의해 도전필름(24)이 용융하여 전극패드(14b) 쪽으로 흐른다. 전극패드(14b)는 도전보호층(15b)에 의해 보호되기 때문에 도전필름(24)에 의해 부식되는 일은 없다.

이 실시예에서는 전극패드(14b) 상에 금을 도금하여 도전보호층(15b)으로 하고 있는데, 도전보호층(15b)으로서 폴리아세틸렌 등의 도전성 고분자를 사용해도 지장은 없다. 폴리아세틸렌에 첨가하는 도펀트(요오드 등)의 양을 조절하여 폴리아세틸렌의 전도도를 제어할 수도 있다. 도전보호층(15b)은 폴리티아질, 폴리디아세틸렌, 폴리피롤, 폴리파라페닐렌, 폴리파라페닐렌설피드, 폴리파라페닐렌비닐렌 및 폴리티오펜에서 선택된 적어도 1종의 도전성 고분자로 이루어진다.

폴리티아질은 극저온에서 초전도를 나타낸 금속적 도전성 고분자이다. 그 외의 폴리아세틸렌 등은 공역2중결합에 의한 π 전자의 비국재화(非局在化)에 의해 반도체적인 성질을 나타내는 고분자 반도체이다. 이러한 고분자 반도체는 여러 가지 도너나 억셉터가 첨가되는 것에 의해 분자내의 π 전자가 이동하고, 도전성이 증대된 전하이동 착체가 된다.

또, 이 실시예에서는 제 1 칩(14)과 제 2 칩(16)을 접착하는 경우의 위치결정을 눈으로 보면서 실행했지만, CCD촬상장치나 마이크로컴퓨터에 의해 도전보호층(15a, 17)의 위치를 정확하게 조절할 수도 있다.

또, 이 실시예에서 사용하고 있는 이방성 도전막은 에폭시수지로 이루어진 이방성 도전필름이지만, 접착제 및 절연성이 우수하면 그 형태는 문제가 아니다. 이방성 도전막으로서 이방성 도전수지(ACR)를 이용할 수도 있다.

도 24 실시예의 반도체장치(10)는 폴리이미드수지재 등의 필름기판(50)과, 이 필름기판(50)상에 실장된 제 1 반도체 칩(메인 IC칩)(14)과 이 제 1 반도체 칩(14)과 전기적인 도통이 폐해진 제 2 반도체 칩(서브 IC칩)(16)을 구비하여 대략 구성되어 있다.

도 24 및 도 25에 잘 나타나 있는 바와 같이 필름기판(50)의 양단부에는 각각 4개의 관통구멍(56a)이 형성되어 있고, 이러한 관통구멍(56a)의 형성부위에 대응하여 단자(56)가 모두 8개 형성되어 있다. 이러한 각 단자(56)는 필름기판(50)의 상면에 형성된 박막단자부(58)와 필름기판(50)의 하면에 형성된 볼형상 단자부(60)를 갖고 있고, 물론 박막단자부(58)와 볼형상 단자부(60)는 관통구멍(56a)을 통해 전기적으로 도통하고 있다.

또 박막단자부(58)는 예를 들면 동 등에 의해 형성되어 있고, 볼형상 단자부(60)는 예를 들면 뿔납 등에 의해 형성되어 있다. 또 관통구멍(56a) 및 단자(56)의 형성부위 및 개수는 적절하게 설계할 사항이다.

도 26에 잘 나타나 있는 바와 같이 제 1 반도체 칩(14)에는 이 반도체 칩(14)에 일체적으로 조립된 회로소자(도시하지 않음)와 도통하는 전극패드(14a, 14b)가 각각 복수개씩 형성되어 있다. 또, 회로소자가 형성된 부분을 덮도록 하여 패시베이션막(제 1 보호막)(14d)이 형성되어 있는데, 이 패시베이션막(14d)은 전극패드(14a, 14b)가 외부에 면하도록 하여 형성된다. 또, 패시베이션막(14d)상에는 합성수지막(제 2 보호막)(68)이 형성되어 있고, 이 합성수지막(68)도 전극패드(14a, 14b)가 외부에 면하도록 하여 형성된다. 그리고, 외부에 면하도록 이루어진 전극패드(14a, 14b)상에는 금속제 등의 범프(14c, 14i)가 형성되어 있다. 또, 제 2 반도체 칩(16)에 있어서도 일체적으로 조립된 회로소자(도시 생략)와 도통하는 전극패드(16a)가 복수개 형성되고, 회로소자를 덮도록 하여 패시베이션막(16c)이 형성되고, 이 위에 합성수지막(74)이 형성된다. 물론, 전극패드(16a)상에는 금속제 등의 범프(16b)가 형성되어 있다.

패시베이션막(14d(16c))은 웨이퍼 상태의 반도체 칩(14(16))상에 예를 들면 CVD법 등에 의해 실리콘의 산화막을 성장시키는 것에 의해 형성된다. 또, 이 산화막상에 질화실리콘(Si_3N_4) 등의 막을 추가로 성장시키고, 산화막 및 질화실리콘막을 패시베이션막(14d(16c))으로 해도 좋다. 물론, 전극패드(14a, 14b(16a)) 부분은 외부에 면하도록 패시베이션막(14d(16c))을 에칭처리할 필요가 있다.

합성수지막(68(74))은 웨이퍼 상태의 반도체 칩(14(16))상에 예를 들면 폴리이미드수지 등의 필름을 접착하는 것에 의해 형성되어 있다. 물론, 합성수지막(68(74))도 에칭처리에 의해 전극패드(14a, 14b(16a)) 부분이 외부에 면하도록 이루어진다.

범프(14c, 14i(16b))는 웨이퍼 상태의 반도체 칩(14(16))상에 예를 들면 금도금 등을 실시함으로써 형성된다. 보다 구체적으로는 전극패드(14a, 14b(16a)) 부분이 외부에 면하도록 하여 레지스트층을 형성하고, 전기도금의 수법에 의해 레지스트층이 형성되어 있지 않은 부분에 금층을 성장시킨 후에 레지스트층을 박리처리 등을 하여 실행된다.

도 24 및 도 25에 잘 나타나 있는 바와 같이, 필름기판(50)의 단자(56)와 제 1 반도체 칩(14)의 범프(14i)는 금선 와이어(W)에 의해 접속되어 전기적인 도통이 꺾히고 있다. 단자(56)와 금선 와이어(W)의 일단(一端)과의 접속, 및 범프(14i)와 금선 와이어(W)의 타단(他端)과의 접속은 예를 들면 주지의 열초음파 본딩 등에 의해 실행된다(상세한 설명에 대해서는 후술한다).

도 25 및 도 26에 잘 나타나 있는 바와 같이, 제 1 반도체 칩(14)과 제 2 반도체 칩(16)은 이방성 도전막(24)을 이용하여 접합되어 있다. 즉, 제 1 반도체 칩(14)의 범프(14c)와 제 2 반도체 칩(16)의 범프(16b)가 이방성 도전막(24)의 수지막(24a) 내에 분산된 도전입자(80)에 의해 전기적으로 접속되어 있고, 각 표면간은 수지막(24a)에 의해 기계적으로 접합되어 있다. 또, 각 반도체 칩(14, 16)은 에폭시 등의 수지를 이용한 금형 성형에 의해 수지패키지(22)에 의해 보호되고 있다.

다음에 도 24 내지 도 26에 나타난 반도체장치(10)의 제조방법의 한 예를 도 27 내지 도 30을 참조하면서 간단하게 설명한다.

우선, 예를 들면 스퍼터링, 증착 또는 CVD 등의 수단에 의해 동 등의 피막을 형성한 후에, 에칭처리를 실시하는 것에 의해 박막단자부(58)가 되어야 하는 부위가 형성된 긴 막대형상의 수지필름(50A)에 제 1 반도체 칩(14)을 실장한다. 이 공정은 예를 들면 액상 또는 고체형상의 수지제 접착제(84)를 수지필름(50A), 또는 제 1 반도체 칩(14)의 표면에 도포한 상태에서 제 1 반도체 칩(14)을 수지필름(50A)상에 얹어놓는 것에 의해 실행된다. 수지제 접착제(84)로서는 상온에서 경화하는 수지나 후술하는 와이어 본딩시의 가열온도 정도에서 경화하는 에폭시수지나 페놀수지 등이 적합하게 채용된다.

이어서, 도 27 및 도 28에 나타난 바와 같이 박막단자부(58)와 제 1 반도체 칩(14)의 범프(14i)와의 사이를 금선 와이어(W)에 의해 접속한다. 이 공정은 소위 열초음파 본딩에 의해 실행된다. 이 열초음파 본딩은 예를 들면 지지대(86)상에 수지필름(50A)을 얹어놓고 지지대(86)에서 수지필름(50A) 및 제 1 반도체 칩(14)을 200℃ 정도로 가열한 상태에서 실행되는데, 이 열초음파 본딩은 도 27에 나타난 퍼스트 본딩과 도 28에 나타난 세컨드 본딩으로 이루어진다.

도 27에 잘 나타나 있는 바와 같이, 퍼스트 본딩은 캐필러리(capillary)(88)라 불리는 지그 내에 삽입통과된 금선 와이어(W)의 선단부를 캐필러리(88)의 선단부(92)에서 돌출시켜 두고, 금선 와이어(W)의 선단부를 수소불꽃이나 방전 등에 의해 가열용융시켜 금볼(90a)을 형성하고, 캐필러리(88)를 이동시켜 범프단자(14i)상에 금볼(90a)을 눌러서 고착하는 것에 의해 실행된다. 물론, 금볼(90a)을 누를 때에 고착해야 하는 부위에 초음파 진동을 공급해도 좋다. 도 28에 잘 나타나 있는 바와 같이, 세컨드 본딩은 금선 와이어(W)의 선단부를 고착한 상태에서 금선 와이어(W)를 이끌어내면서 수지필름(50A)에 박막단자부(58)의 부위까지 이동시키고, 캐필러리(88)의 선단부(92)에 의해 박막단자부(58)의 상면에 금선 와이어(W)를 누르면서 초음파진동을 공급하는 것에 의해 실행된다. 그리고, 금선 와이어(W)가 압착된 경우에는 캐필러리(88)를 슬라이드 이동시켜 금선 와이어(W)를 완전히 눌러 와이어 본딩공정이 종료된다.

이어서, 도 29에 나타난 바와 같이 지지대(86)상에 수지필름(50A)과 함께 얹어놓아 예열된 제 1 반도체 칩(14)의 표면에 단편상으로 이루어진 이방성 도전필름(24)을 얹어놓는다. 이 이방성 도전필름(24)은 에폭시 등의 열경화성 수지막(24a) 내에 도전입자(80)가 분산된 구성으로 되어 있다. 즉, 제 1 반도체 칩(14)상에 얹어놓기까지는 막형상으로 되어 있지만, 제 1 반도체 칩(14)상에 얹어놓은 상태에서는 예열된 제 1 반도체 칩(14)에서의 열에 의해 수지막(24a)이 연화·용융되어 간다. 또, 이방성 도전필름(24) 대신에 상온에 있어서 액상으로 이루어진 수지내에 도전입자가 분산된 것을 이용해도 좋다.

이어서, 도 30에 나타난 바와 같이 흡착 콜릿(collet)(94)에 의해 제 2 반도체 칩(16)을 위치결정하면서 제 2 반도체 칩(16)의 범프(16b)를 제 1 반도체 칩(14)의 범프(14c)와 대치시키고, 제 2 반도체 칩(16)을 제 1 반도체 칩(14)에 대해 누른다. 이 때, 수지막(24a)은 연화·용융하기 때문에 각 범프단자(14c, 16b) 사이가 선택적으로 눌러 무너진다. 그 결과, 도 26에 나타난 바와 같이 각 범프단자(14c, 16d) 사이에 도전입자(80)가 끼워져서 각 범프단자(14c, 16b) 사이가 전기적으로 접속된다. 한편, 수지막(24a)에는 여전히 제 1 반도체 칩(14)에서 열이 가해지기 때문에 곧 수지막(24a)이 경화된다. 이 때, 수지막(24a)이 경화수축하기 때문에 각 반도체 칩(14, 16) 끼리 기계적으로 접합된다. 또, 제 2 반도체 칩(16)을 제 1 반도체 칩(14)에 대해 누를 때에 제 2 반도체 칩(16)에 초음파진동을 부여해도 좋다. 이 경우, 각 범프단자(14c, 16b)와 도전입자(80)가 부여된 초음파진동에 기인한 진동마찰에 의해 보다 확실하게 도통접속된다.

이어서, 도시하지 않지만, 제 1 및 제 2 반도체 칩(14, 16) 및 금선 와이어(W)를 덮도록 하여 수지패키지(22)를 형성한다. 이 수지패키지(22)는 예를 들면 에폭시수지 등을 이용한 금형 성형에 의해 형성된다. 그리고, 수지필름(50A)의 관통구멍(56a)이 형성된 부위의 하면측에 땀납 등에 의해 불형상 단자부(60)를 형성하여 수지필름(50A)에서 잘라내는 것에 의해 도 24 및 도 25에 나타난 바와 같은 반도체장치(10)를 얻을 수 있다.

상기 구성의 반도체 칩(14, 16)에 있어서는 패시베이션막(14d, 16c)이 합성수지막(68, 74)에 의해 덮여지기 때문에 반도체 칩(14, 16)끼리의 접합시에 가해지는 억압력에 의한 영향이 경감된다. 즉, 억압력에 기인한 패시베이션막(14d, 16c)의 부분적인 박리나 갈라짐 등이 생길 가능성이 저감되고 있다.

또, 열에 강하고 비교적 외력에 강한 폴리이미드수지 등에 의해 합성수지막(68, 74)을 형성한 경우에는 억압력 등에 기인하여 패시베이션막(14d, 16c)이 손상되어도 합성수지막(68, 74)은 패시베이션막(14d, 16c)을 소망하는 상태로 덮은 상태를 유지할 수 있다. 즉, 패시베이션막(14d, 16c)이 손상된 경우에는 합성수지막(68, 74)에 의해 회로소자가 보호된 형태가 되고, 합성수지막(68, 74)이 파괴되지 않는 한, 회로소자가 산화되어 버림으로써 반도체 칩(14, 16)의 특성이 손상되어 버리는 일은 없다.

따라서, 반도체 칩(14, 16)끼리 접합된 반도체장치(10)에 있어서도 각 반도체 칩(14, 16)의 특성이 양호하게 유지되고 있다. 또, 반도체장치(10)에 어떤 외력이 더해진 경우에 있어서도 합성수지막(68, 74)에 의해 패시베이션막(14d, 16c)에 주어지는 영향이 경감되고, 설령 패시베이션막(14d, 16c)이 손상되어도 합성수지막(68, 74)에 의해 각 반도체 칩(14, 16)의 회로소자가 보호된 상태가 유지된다.

도 31 실시예의 반도체장치(10)는 메인 IC칩(14)의 표면에 형성된 전극패드(14a)의 안쪽에 실리콘수지 등의 연결 필름(28)이 점착되어 있는 점을 제외하고, 도 7 내지 도 8 실시예와 같기 때문에 중복된 설명을 생략한다.

메인 IC칩(14)과 서브 IC칩(16)과의 사이에 이방성 도전필름(24)을 삽입하고, 서브 IC칩(16)을 메인 IC칩(14)에 대해 누르는 것에 의해 도 32에 나타난 바와 같이 도전필름(24)이 양 IC칩(14, 16)에 대해 점착된다. 그 결과, 도전필름(24)의 압축 변형된 부분이 두께방향에 대해 도전성을 나타내게 되어 전극패드(14a)와 전극패드(16a)가 도전필름(24)을 통해 전기적으로 접속된다.

여기에서 전극패드(16a)는 IC칩(16) 주위에 형성되고, 범프(16b)도 또한 IC칩(16)의 주위에 형성되지만, 전극패드(16a)보다도 안쪽에 연결 필름(28)이 점착되기 때문에 범프(16b)보다 안쪽에 외력을 받아도 IC칩(14 또는 16)이 휘어지는 일은 없다. 따라서, 양IC칩(14, 16)을 크게 하는 것에 의해 이러한 IC칩(14, 16)이 나뉘어지거나, 회로소자에 손상을 미치는 일을 확실하게 저감할 수 있다.

또, 이 실시예에서는 범프(16b)를 전극패드(16a)쪽에 설치하고, 연결필름(28)을 IC칩(14)쪽에 점착하도록 했는데, 범프(16b)는 전극패드(14a)에 설치해도 좋고, 또 전극패드(14a, 16a)의 양쪽에 설치하도록 해도 좋다. 또, 연결필름(28)은 IC칩(16)에 점착하거나, 또는 IC칩(14, 16)의 양쪽에 점착하도록 구성해도 좋다.

도 33은 또한 다른 실시예의 수지패키지형 반도체장치(10)를 나타낸 단면도이다. 도 34는 도 33에 나타난 수지패키지형 반도체장치(10)의 제조과정을 나타낸 요부단면도이다. 도 35는 도 33에 나타난 수지패키지형 반도체장치(10)의 제조과정을 나타낸 요부평면도이다.

도 33에 있어서, 이 수지패키지형 반도체장치(10)는 제 1 반도체 칩(14), 제 2 반도체 칩(16), 이러한 두 개의 반도체 칩(14, 16)의 실장대상부위가 되는 기관(다이패드)(12a), 방열판(30), 복수개의 리드단자(12b), 복수개의 와이어(W) 및 패키징수지(22)를 구비하여 구성되어 있다.

수지패키지형 반도체장치(10)는 리드 프레임(12)을 이용하여 제조된 것이고, 다이패드(12a)나 복수개의 리드단자(12b)는 그 리드 프레임(12)에 구비되어 있는 것이다. 이 수지패키지형 반도체장치(10)의 제조방법에 대해서는 후술하는데, 다이패드(12a)는 예를 들면 평면으로 보아 장방형상의 동 등의 얇은 금속판에 의해 형성된 것이다. 복수의 리드단자(12b)는 다이패드(12a)와 마찬가지로 동 등의 얇은 금속판에 의해 형성된 것이고, 패키징수지(22)의 내부에 매몰된 내부 리드부(12g)와 패키징수지(22)의 외부에 돌출한 외부 리드부(12h)를 갖고 있다. 각 리드단자(12b)는 이 수지패키지형 반도체장치(10)를 소망하는 장소에 실장하기 위한 것이다. 구체적으로는 크림땀납이 도포된 영역에 각 리드단자(12b)를 접촉시키도록 이 수지패키지형 반도체장치(10)를 얹어놓은 후에 크림땀납을 가열하여 그 땀납리플로우(reflow) 처리를 실행하면 이 수지패키지형 반도체장치(10)를 상기 영역에 면실장(面實裝)하는 것이 가능하다.

제 1 반도체 칩(14) 및 제 2 반도체 칩(16)은 예를 들면 LSI칩이나 그 외의 IC칩으로서 구성된 것이고, 실리콘 칩의 한쪽 면 위에 소망하는 전자회로(회로소자)를 집적시켜 일체적으로 조립한 것이다. 따라서, 상기 제 1 반도체 칩(14) 및 제 2 반도체 칩(16)의 각각의 표면은 전자회로가 조립되어 있는 액티브면으로 이루어져 있고, 또 그 이면(裏面), 즉 전자회로가 조립되어 있지 않은 실리콘 칩의 이면(裏面)은 패시브면이 된다. 제 1 반도체 칩(14)의 액티브면에는 복수의 범프(14a)와, 복수의 전극패드(14b)가 설치되어 있다. 복수의 전극패드(14b)는 금선 등의 와이어(W)를 통해 복수개의 리드단자(12b)에 결선접속된다. 한편, 제 2 반도체 칩(16)의 액티브면에는 복수의 범프(14a)와 대응하는 복수의 범프(16b)가 설치되어 있다.

제 1 반도체 칩(14)은 그 액티브면이 위를 향한 자세가 되어 그 패시브면이 다이패드(12a)의 표면에 접촉제 등을 통해 접촉되어 있다. 제 2 반도체 칩(16)은 제 1 반도체 칩(14)보다도 작은 사이즈이고, 그 패시브면이 위를 향한 자세에서 제 1 반도체 칩(14) 상에 겹쳐지고, 제 2 반도체 칩(16)의 액티브면이 제 1 반도체 칩(14)의 액티브면과 이방성 도전접착제(19) 또는 이방성 도전필름을 통해 접촉되어 있다. 이방성 도전접착제(19) 또는 이방성 도전필름은 절연재료의 내부에 도전성을 갖는 입자를 확산시킨 접촉제 또는 필름으로서, 범프 등에 의해 압력이 가해진 부분 사이에만 도전성을 갖게 할 수 있도록 구성된 것이다. 따라서, 제 1 반도체 칩(14)의 범프(14a)와 제 2 반도체 칩(16)의 범프(16b)는 이방성 도전접착제(19) 또는 이방성 도전필름을 통해 서로 도통접속되고, 두 개의 반도체 칩(14, 16)은 서로 전기적으로 접속된 상태로 조합되어 있다.

방열판(30)은 예를 들면 평면으로 보아 장방형상의 금속제의 플레이트 부재에 의해 형성되고, 방열면적을 크게 취하기 위해 다이패드(12a)보다도 큰 사이즈가 된다. 이 방열판(30)은 다이패드(12a)의 하면에 대해 초음파접합, 스폿용접 또는 그 외의 수단에 의해 접합되어 있다.

패키징 수지(22)는 예를 들면 열경화성의 에폭시수지이고, 방열판(30) 윗쪽의 두 개의 반도체 칩(14, 16)의 주변부나 와이어(W)의 본딩위치 등을 덮도록 성형되어 있다. 단, 이 패키징수지(22)의 상면(22a)은 제 2 반도체 칩(16)의 위를 향한 패시브면과 대략 면일치(面一致)하는 높이가 되어 이 패시브면의 대략 전체가 외부로 노출되도록 형성되어 있다. 또, 마찬가지로 이 패키징수지(22)의 하면(22b)은 방열판(30)의 하면과 대략 면일치하는 높이가 되어 방열판(30)의 하면의 대략 전체가 외부로 노출하도록 형성되어 있다.

수지패키지형 반도체장치(10)는 다음과 같은 공정으로 제조된다. 즉, 수지패키지형 반도체장치(10)의 제조공정에서는 예를 들면 도 34 및 도 35에 나타낸 바와 같은 리드 프레임(12)이 이용된다. 이 리드 프레임(12)은 예를 들면 동제의 금속판에 타발(打抜)프레스가공 등을 실시함으로써 형성된 것으로서, 일정방향으로 뻗은 긴 막대형상이다. 이 리드 프레임(12)의 기본적인 구성은 후술하는 점을 제외하고 반도체장치의 제조용도에 종래부터 이용된 일반적인 리드 프레임의 구성과 공통하고 있다. 구체적으로는 도 35에 잘 나타나 있는 바와 같이, 이 리드 프레임(12)은 다수의 통과 구멍(12d)이 일정간격으로 뚫어 설치된 2조의 측둘레부(12e, 12e) 사이에 반도체 칩을 설치하기 위한 다이패드(12a)를 그 길이방향으로 일정간격으로 복수군데 형성한 것이고, 이 다이패드(12a)를 지지하는 서포트리드(12f), 다이패드(12a)에서 반대 위치에 설치된 복수조의 내부 리드부(12g) 및 이러한 복수조의 내부 리드부(12g)와 다이바(12i)를 통해 이어진 복수조의 외부 리드부(12h)를 구비하고 있다.

단, 도 33 및 도 34에 잘 나타나 있는 바와 같이 다이패드(12a)의 상면의 높이는 리드단자(12b)의 상면보다도 적당한 길이(H)만큼 낮아진다. 이와 같이 다이패드(12a)의 높이를 리드단자(12b)보다도 낮게 하면 다이패드(12a)의 높이를 낮게 할수록 다이패드(12a)상에 두 개의 반도체 칩(14, 16)을 상하로 겹쳐서 설치한 경우의 이러한 반도체 칩(14, 16)의 설치장소의 전체 높이를 낮게 억제하는 것이 가능해지고, 수지패키지형 반도체장치(10)의 전체의 박형화를 꾀하는데 바람직한 것이다.

도 35에 나타낸 바와 같이, 리드 프레임(12)의 다이패드(12a)상에는 제 1 반도체 칩(14)과 제 2 반도체 칩(16)을 투입하고 접촉하는데, 이 경우에는 미리 이러한 반도체 칩(14, 16)끼리를 서로 붙여 두기 때문에 칩폰더 등을 이용하여 다이패드(12a)상에 투입하는 것이 바람직하다. 이와 같이 하면 다이패드(12a)상으로의 반도체 칩의 투입작업 공정수를 작게 할 수 있다. 또, 다이패드(12a)에 반도체 칩을 투입하기 이전의 단계에 있어서 두 개의 반도체 칩(14, 16)의 전기적인 접속이 적절한지를 체크할 수도 있고, 접속불량의 반도체 칩(14, 16)을 다이패드(12a)상에 투입하는 것을 미연에 회피할 수 있는 이 점도 얻을 수 있다.

제 1 반도체 칩(14)과 제 2 반도체 칩(16)을 다이패드(12a)상에 설치한 후에는 도 35에 나타낸 바와 같이 제 1 반도체 칩(14)의 패드전극(14b)과 리드단자(12b)의 내부 리드부(12g)를 와이어(W)를 통해 결선접속한다. 이어서 예를 들면 트랜스퍼 성형법을 이용하여 패키징수지(22)의 성형을 실행하고, 두 개의 반도체 칩(14, 16)과 그 주변부분을 수지밀봉하는 수지

패키지 작업을 실행한다. 이 수재패키지 작업이 종료된 후에는 리드 프레임(12)의 불필요한 부분의 제거와 리드단자(12b)의 꺾어 구부리는 것 등의 포밍공을 실행한다. 이와 같은 일련의 작업공정에 의해 수재패키지형 반도체장치(10)를 얻을 수 있게 된다.

다음에 수재패키지형 반도체장치(10)의 작용에 대해 설명한다.

우선, 수재패키지형 반도체장치(10)는 두 개의 반도체 칩(14, 16)이 원 패키지화되기 때문에 하나의 반도체 칩만을 수재패키지한 경우보다도 그러한 반도체 칩(14, 16)의 전체 발열량이 커지는 경향이 강하다. 그런데, 제 2 반도체 칩(16)의 패시브면은 패키징수지(22)의 외부에 노출되고, 이 제 2 반도체 칩(16)에서 발생한 열은 이 패시브면에서 외부로 효율적으로 빠져나갈 수 있다. 또, 제 1 반도체 칩(14)과 다이패드(12a)를 통해 이어진 방열판(30)의 하면도 패키징수지(22)의 외부에 노출되어 있기 때문에 이 제 1 반도체 칩(14)에서 발생한 열에 대해서도 방열판(30)에서 외부로 빠져나갈 수 있다. 따라서, 수재패키지형 반도체장치(10)의 방열성은 양호하고, 반도체 칩(14, 16)이 구동할 때의 온도상승을 억제하여 반도체 칩(14, 16)에 조립되어 있는 전자회로의 동작을 안정시킬 수 있다.

한편, 패키징수지(22)의 외부에 노출되어 있는 것은 방열판(30)과 제 2 반도체 칩(16)의 패시브면에 지나지 않고, 이러한 부분이 외부에 노출되어 있어도 이것에 의해 반도체 칩(14, 16)에 큰 손상은 좀처럼 없다. 두 개의 반도체 칩(14, 16)의 정교한 전자회로가 구성되어 있는 액티브면은 서로 마주보는 상태에서 패키징수지(22)에 의해 적절하게 보호되어 있기 때문에 이러한 부분에 좀처럼 손상을 받지 않게 할 수 있다. 또, 수재패키지형 반도체장치(10)에서는 두 개의 반도체 칩(14, 16)에 대해서는 범프(14a, 16b)를 통해 서로 전기적으로 접속되어 있고, 이러한 두 개의 반도체 칩(14, 16)을 각각 리드단자(12b)에 대해 개별적으로 결선접속할 필요도 없다. 따라서, 그 제조과정에서는 제 1 반도체 칩(14)의 전극패드(14a)를 리드단자(12b)와 결선접속하는 것만으로 두 개의 반도체 칩(14, 16)의 어느 것이나 리드단자(12b)에 접속할 수 있고, 와이어 본딩작업 공정수를 적게 하고, 그 제조작업효율을 높이는 것도 가능해진다.

도 36은 다른 실시예의 수재패키지형 반도체장치(10)를 나타낸 단면도이다. 도 37 및 도 38은 도 36에 나타낸 수재패키지형 반도체장치(10)의 제조공정을 각각 나타낸 요부단면도이다.

도 36에 나타낸 수재패키지형 반도체장치(10)는 제 1 반도체 칩(14), 제 2 반도체 칩(16), 필름형의 큰 기관(32), 패키징수지(22) 및 외부단자(34)를 구비하여 구성되어 있다. 제 1 반도체 칩(14) 및 제 2 반도체 칩(16)은 도 33 실시예의 제 1 반도체 칩(14)이나 제 2 반도체 칩(16)과 그 기본적인 구성이 공통하는 것이고, 그 상세한 설명은 생략한다.

기관(32)은 예를 들면 폴리이미드 등의 가소성을 갖는 얇은 합성수지제 필름을 기재로 하는 기관이고, 그 상면에는 동박을 에칭 처리하여 형성된 도전배선부(32a)가 설치되어 있다. 이 기관(32)에는 이 기관(32)의 두께방향으로 관통하는 두 개의 개구구멍(32b, 32b)이 설치되어 있고, 이 개구구멍(32b, 32b)에는 각각 도전배선부(32a)에 관통하는 한쪽 들보 형상의 단자(32c, 32c)가 배치되어 있다.

제 1 반도체 칩(14)은 그 액티브면이 위로 향한 자세가 되고, 그 액티브면이 기관(32)의 두 개의 개구구멍(32b, 32b)의 중간영역(32d)의 하면에 접촉체층(36a)을 통해 접촉되어 있다. 제 1 반도체 칩(14)의 복수의 범프(14a)와 전극패드(14b)는 각 개구구멍(32b)의 내부 또는 그 아래쪽에 배치되어 그 윗쪽이 기관(32)에 의해 덮여지지 않도록 이루어져 있다. 전극패드(14b)는 각 단자(32c)와 도통접속되어 있다. 제 2 반도체 칩(16)은 그 액티브면이 아래로 향한 자세가 되어 기관(32)의 중간영역(32d)의 상면에 접촉체층(36b)을 통해 접촉되어 있다. 제 1 반도체 칩(14)과 제 2 반도체 칩(16)은 그러한 액티브면끼리 서로 마주보는 자세가 되고, 제 1 반도체 칩(14)의 범프(14a)와 제 2 반도체 칩(16)의 범프(16b)는 서로 대향접속하고, 도통접속되어 있다.

패키징수지(22)는 제 1 반도체 칩(14)이나 제 2 반도체 칩(16)의 주변부를 덮도록 성형되어 있는데, 그 상하 양면은 제 2 반도체 칩(16)의 위로 향한 패시브면이나 제 1 반도체 칩(14)의 아래로 향한 패시브면과 대략 면일치되어 있다. 이것에 의해 두 개의 반도체 칩(14, 16)의 각각의 패시브면은 모두 패키징수지(22)의 외부에 노출된다.

외부단자(34)는 뿔납제의 볼형상의 단자이고, 기관(32)에 뚫어설치된 구멍부(32e)를 통해 그 상단부가 도통배선부(32a)에 도통하고 있다. 이 외부단자(34)를 가열하여 용융시키는 것에 의해 수재패키지형 반도체장치(10)를 소망하는 위치에 면실장시키는 것이 가능하다.

수재패키지형 반도체장치(10)는 다음과 같은 제조공정을 거쳐 제조된다. 즉, 우선 도 37에 나타낸 바와 같이 긴 막대형상으로 형성되어 있는 기관(32)의 중간영역(32d)의 상하 양면에 제 1 반도체 칩(14)과 제 2 반도체 칩(16)을 각각 접촉시키고 그러한 전극패드(14b) 및 범프(14a, 16b)에 대한 소정의 도전접속을 꾀한다. 이어서, 도 38에 나타낸 바와 같이 패키징

수지(22)를 이용하여 소정 부분을 밀봉하는 수지패키지 작업을 실행한다. 그 후는 뿔납볼(34)을 기관(32)의 구멍부(32e)의 하면 개구부에 접촉하고, 이 뿔납볼(34)을 용융가열시키고나서 다시 경화시킨다. 뿔납볼(34)이 용융되면 그 일부가 구멍부(32e)내에 유입하여 도전배선부(32a)에 도통하게 된다. 그리고, 뿔납볼(34)이 경화할 때에는 그 표면장력에 의해 다시 불형상으로 굳는다. 따라서 뿔납볼(34)에 의해 외부단자가 적절하게 형성된다. 이와 같이 하여 외부단자(34)를 형성한 후에는 장치형상의 기관(32)을 절단하면 좋다.

도 38에 나타난 수지패키지형 반도체장치(10)는 제 1 반도체 칩(14)과 제 2 반도체 칩(16)의 각각의 패시브면이 패키징수지(22)의 외부에 노출되어 있다. 따라서, 그러한 두 개의 반도체 칩(14, 16)에서 발생한 열을 외부에 효율적으로 빠져나가게 할 수 있어서 역시 그 방열성을 높일 수 있다. 또, 방열관을 이용하지 않기 때문에 부품수가 적고, 경량화 및 전체 두께의 박형화를 피하는데 적합하다. 또, 이 수지패키지형 반도체장치(10)는 두 개의 반도체 칩(14, 16)의 전기접속에 와이어를 이용하지 않기 때문에 그러한 전기접속작업도 한층 용이한 것으로 할 수 있다. 또한, 비교적 고가인 리드 프레임을 채용하지 않고, 그것보다도 저렴하게 제조가능한 필름형상의 기관(32)에 반도체 칩(14, 16)을 실장한 구조를 갖고 있기 때문에 전체의 제조비용의 저감화를 피하는데도 유리하다.

이와 같이 이 실시예의 수지패키지형 반도체장치(10)는 반드시 리드 프레임을 이용하여 구성될 필요는 없고, 리드 프레임을 대신하여 필름형상의 기관, 또는 그것과는 다른 형태의 기관 등을 이용하여 구성되어도 좋다. 또, 상기 각 실시예에서는 제 1 반도체 칩(14, 16)에 대해 방열관(30)을 이용하는 것에 의해, 또는 그 패시브면을 외부에 노출시키는 것에 의해 그러한 것에 방열기능을 구비시키는데, 본 발명은 역시 이것에 한정되지 않는다. 즉, 제 2 반도체 칩(16)의 패시브면을 외부에 노출시켜 방열기능을 구비시키는 경우에 제 1 반도체 칩(14)의 전체를 예를 들면 패키징수지에 의해 덮도록 해도 좋다. 또, 이 실시예에서는 제 1 반도체 칩(14)과 제 2 반도체 칩(16)과의 액티브면끼리를 서로 마주보게 하는 것에 의해 그러한 두 개의 반도체 칩(14, 16)의 각각의 패시브면에 방열기능을 갖게 하는 것이 가능하지만, 제 1 반도체 칩(14)과 제 2 반도체 칩(16)의 양쪽에 방열기능을 갖게 하는지의 여부는 적절히 선택할 수 있는 사항이다. 본 발명에서는 결국 그러한 제 1 반도체 칩(14)과 제 2 반도체 칩(16)의 적어도 한쪽 패시브면이 패키징수지의 외부에 노출되면 좋다.

도 39는 다른 실시예의 수지패키지형 반도체장치(10)를 나타낸 요부단면도이다. 상기 도면에서는 도 33에 나타난 수지패키지형 반도체장치(10)와 동일부위는 동일부호로 나타내고, 그 설명은 생략한다.

이 수지패키지형 반도체장치(10)는 제 1 반도체 칩(14)과 제 2 반도체 칩(16)의 패시브면이 다이패드(12a)의 상면에 접촉되어 있다. 제 1 반도체 칩(14)과 제 2 반도체 칩(16)은 그러한 액티브면끼리 서로 마주보는 자세가 되어 서로 접촉되어 있고, 제 1 반도체 칩(14)의 아래로 향한 패시브면이 제 3 반도체 칩(17)의 액티브면에 접촉되어 있다. 제 3 반도체 칩(17)의 전극패드(17a)와 제 1 반도체 칩(14)의 패드전극(14b)은 와이어(W)를 통해 리드단자(12b)에 결선접속되어 있다. 패키징수지(22)의 상면은 제 2 반도체 칩(16)의 위를 향한 패시브면과 대략 면일치하고, 이 패시브면은 패키징수지(22)의 외부에 노출되어 있다. 또, 패키징수지(22)의 하면은 다이패드(12a)의 하면과 대략 면일치하고, 이 다이패드(12a)의 하면은 패키징수지(22)의 외부에 노출되어 있다.

이 수지패키지형 반도체장치(10)의 구성에서 이해되는 바와 같이 이 실시예에서는 두 개의 반도체 칩(14, 16)이 서로 겹쳐지는 것뿐만 아니라, 이러한 두 개의 반도체 칩(14, 16)을 대신하여 이것과는 별도의 반도체 칩(17)을 또 겹쳐서 설치한 구성으로 해도 좋다. 다른 반도체 칩(17)을 추가하는 경우의 한 태양으로서는 이 수지패키지형 반도체장치(10)와 같이 제 1 반도체 칩(14)의 패시브면과 대면하는 위치에 별도의 반도체 칩(17)을 배치시키면 좋고, 이 경우에는 제 2 반도체 칩(16)의 패시브면을 패키징수지(22)의 외부에 노출시키는 것이 가능해진다. 또, 이것과는 다른 태양으로서는 서로 패시브면끼리 마주보는 자세가 된 제 1 반도체 칩(14)과 제 2 반도체 칩(16)의 사이에 이러한 것과는 별도의 반도체 칩을 끼워 설치한 것을 적용할 수도 있다. 이것은 도 39에 나타난 구성이 반도체 칩(16, 17)의 각각을 패시브면끼리 마주보는 자세가 된 제 1 반도체 칩과 제 2 반도체 칩으로서 고려한 경우에 그러한 두 개의 반도체 칩(16, 17) 사이에 제 3 반도체 칩으로서의 반도체 칩(14)을 배치시킨 구성이라고 생각할 수 있는 점에서도 용이하게 이해할 수 있을 것이다. 또, 이 발명에서는 두께방향으로 겹쳐진 반도체 칩의 수가 세 개 또는 네 개 이상의 수가 되도록 제 1 반도체 칩(14) 및 제 2 반도체 칩(16)에 대해 다른 반도체 칩을 복수 추가하여 설치해도 상관없다.

그 외에, 이 발명에 관련된 수지패키지형 반도체장치의 각 부분의 구체적인 구성은 상기한 실시예에 한정되지 않고, 여러 가지로 설계변경이 자유롭다. 물론, 이 발명은 반도체 칩의 구체적인 종류도 불문하고, 예를 들면 강유전체 메모리(ferroelectrics-RAM) 등의 각종 메모리소자를 선두로 하여, 그 외의 여러 가지 IC칩과 LSI칩 등의 반도체 칩을 적용할 수 있다.

도 40 실시예의 반도체장치(10)는 도 1 내지 도 6 실시예와 달리 메인 IC칩(14)의 전극패드(14b)에 패시브(14i)가 형성되고, 메인 IC칩(14)의 표면과 같은 크기의 이방성 도전필름(24)이 그 표면에 접촉되고, 그리고 범프(14i)가 도전필름(24)을 통해 리드단자(12b)에 접속된다. 리드 프레임(12)에서는 기판(12a)이 생략된다. 서브 IC칩(16)이 메인 IC칩(14)에 마운트되는 점은 도 1 내지 도 6 실시예와 같다.

이와 같이 각 리드단자(12b)를 메인 IC칩(14)에 대해 직접 접속하도록 했기 때문에, 메인 IC칩(14)의 둘레와 각 리드단자와의 사이에 와이어 본딩을 위한 마진을 설치할 필요가 없어진다. 이것에 의해 양 IC칩(12, 14)을 밀봉하는 패키지체의 가로폭 및 길이, 더 나아가서는 반도체장치(10)의 가로폭 및 길이를 더 축소할 수 있다.

또, 도 41 및 도 42에서 알 수 있는 바와 같이 메인 IC칩(14)에 대한 서브 IC칩(16)의 장착 및 각 리드단자(12b)에 대한 메인 IC칩(14)의 장착을 동시에 실행할 수 있고, 또한 종래에 있어서 필요했던 와이어 본딩 공정을 생략할 수 있기 때문에 제조공정이 간단해지는 동시에 불량품의 발생률 및 제조비용을 대폭 저감할 수 있다.

또, 이 실시예에서는 메인 IC칩(14)에 범프(14c, 14i)를 설치하도록 했는데, 범프(14c)를 서브 IC칩(16)에 설치하고, 범프(14i)를 각 리드단자(12a)에 설치하도록 해도 좋다. 또, 범프(14i)를 생략하고, 각 리드단자(12a)에 의해 도전필름(24)을 부분적으로 압축변형하도록 해도 좋다. 또, 도 11 내지 도 13 실시예와 같이 서브 IC칩(16) 및 각 리드단자(12a)에 오목형상의 범프를 설치하도록 해도 좋다. 또 메인 IC칩(14)에 대해 복수의 서브 IC칩(16)을 설치하도록 해도 좋다.

도 43 실시예의 반도체장치(10)는 도 1 실시예와 달리, 메인 IC칩(14)은 서브 IC칩(16)과 같은 크기이고, 표면에는 전극패드(14a)만이 형성된다. 메인 IC칩(14)은 리드 프레임(12)의 아래쪽에 배치되고, 서브 IC칩(16)은 리드 프레임(12)의 윗쪽에 배치된다. 리드 프레임(12)에는 복수의 리드단자(12b)가 안으로 향해 돌출하도록 설치되고, 각 리드단자(12b)의 선단은 메인 IC칩(14) 및 서브 IC칩(16)에 설치된 전극패드(14a, 16a)에 대향한다. 또, 리드 프레임(12)의 하면 및 상면의 각각에 이방성 도전필름(24a, 24b)이 배치된다.

도 44에 나타난 바와 같이 전극패드(14a)의 각각에는 범프(14c)가 설치되고, 전극패드(16a)의 각각에는 범프(16b)가 설치되어 있다. 따라서, 메인 IC칩(14)을 리드 프레임(12)의 하면에 대해 억압하는 한편, 서브 IC칩(16)을 리드 프레임(12)의 상면에 대해 억압하면 범프(14c, 16b)가 도전필름(24a, 24b)을 통해 각 리드단자(12b)에 전기적으로 접속하게 된다.

이와 같이 하여 양 IC칩(14, 16)이 리드 프레임(12)에 대해 고착되면 다음에 도 46에 나타난 바와 같이 IC칩(14, 16)의 전체를 밀봉하는 합성수지체의 패키지(22)가 트랜스퍼 성형된다. 그리고, 도 47에 나타난 바와 같이 각 리드단자(12b)를 리드 프레임(12)에서 떼어내고, 패키지(22)의 측면에서 돌출하는 부분을 패키지(22)의 하면과 대략 동일평면이 되도록 깎아 구부리면 반도체장치(10)가 완성된다.

이 실시예에 의하면 두 개의 IC칩(14, 16) 사이에 리드단자(12b)를 끼우도록 했기 때문에 IC칩(14, 16)의 둘레와 각 리드단자(12b)와의 사이에 와이어 본딩을 위한 마진을 설치할 필요가 없어지고 또 와이어 본딩공정이 불필요해진다.

또, 이 실시예에서는 IC칩(14, 16)의 양쪽에 범프(14c, 16b)를 설치하도록 했는데, 범프는 각 리드단자(12b)에 설치하도록 해도 좋다. 또, 범프(14c, 16b)를 생략하고, 각 리드단자(12b)에 의해서만 도전필름(24a, 24b)을 부분적으로 압축변형하도록 해도 좋다.

도 48 실시예의 반도체장치(10)는 리드 프레임(12)을 포함한다. 이 리드 프레임(12)에 형성된 기판(12a)에 메인 IC칩(14)이 마운트되고, 또 메인 IC칩(14) 위에 각각의 표면이 대향하도록 서브 IC칩(16)이 마운트된다. 메인 IC칩(14) 및 서브 IC칩(16) 모두 평면으로 보아 대략 정방형으로 형성되고, 그 크기는 서로 같다.

메인 IC칩(14) 표면의 네 모퉁이에는 리드단자(12b)와 접속되는 전극패드(14b)가 형성되고, 서브 IC칩(16) 표면의 네 모퉁이에도 또한 리드단자(12b)와 접속되는 전극패드(제 4 전극)(16c)가 형성된다. 서브 IC칩(16)을 메인 IC칩(14)에 마운트할 때, 서브 IC칩(16)이 메인 IC칩(14)에 대해 45°회전하고, 이것에 의해 전극패드(제 3 전극)(14b) 및 전극패드(제 4 전극)(16c)가 외부에 노출된다. 그리고 전극패드(14b, 16c)가 와이어(W)에 의해 리드단자(12b)에 본딩된다. 또, 메인 IC칩(14)에 형성된 전극패드(14a)(도시하지 않음)와 서브 IC칩(16)에 형성된 전극패드(16a)는 범프(16b)를 통해 서로 접속된다.

그 후, 도 49에 이점쇄선으로 나타난 바와 같이 합성수지체의 패키지(22)로 밀봉하고, 각 리드단자(12b)를 리드 프레임(12)에서 떼어내어 깎아 구부리는 것에 의해 반도체장치(10)가 완성된다.

이 실시예에 의하면 메인 IC칩(14)의 네 모퉁이와 서브 IC칩(16)의 네 모퉁이가 서로 어긋나도록 서브 IC칩(16)이 마운트 되기 때문에, 서브 IC칩(16)의 크기를 메인 IC칩(14)과 같게 할 수 있고, 서브 IC칩(16)의 집적도를 높일 수 있다.

또, 이 실시예에서는 전극패드(제 3 전극)(14b) 및 전극패드(제 4 전극)(16c)를 와이어 본딩에 의해 리드단자(12b)에 접속하도록 했는데, 합성수지의 플렉시블 필름의 표면에 금속박재의 리드단자를 형성하고, 이 리드단자를 범프가 설치된 전극패드(14b, 16c)에 직접 접속하도록 해도 좋다. 또, 메인 IC칩(14)과 서브 IC칩(16)과의 사이에 이방성 도전필름을 삽입해도 좋다. 그러면 범프(16b)에 의해 이 도전필름이 눌리고, 전극패드(14a, 16c)가 전기적으로 확실하게 접속된다.

도 50 내지 도 57을 이용하여 제 1 반도체 칩(메인 IC칩)(14)에 제 2 반도체 칩(서브 IC칩)(16)을 마운트할 때의 제조공정을 상세하게 설명한다. 제 1 반도체 칩(14)이나 제 2 반도체 칩(16)은 예를 들면 LSI칩이나 그 외의 IC칩으로서 구성된 것이고, 모두 실리콘 칩상에 소망하는 전자회로(회로소자)를 집적시켜 일체적으로 조립한 것이다. 제 1 반도체 칩(14)의 표면에는 돌기형상으로 형성된 범프(14c)와 그것보다도 평탄한 형상으로 형성된 전극패드(14b)가 각각 복수개 설치되어 있다. 한편, 제 2 반도체 칩(16)의 표면에는 제 1 반도체 칩(14)의 복수의 범프(14c)와 대응하는 복수의 돌기형상의 범프(16b)가 설치되어 있다. 또, 도 50에서는 제 2 반도체 칩(16)을 칩본딩 장치의 흡착 콜릿(40)에 의해 흡착유지한 상태를 묘사하고 있다.

복수의 범프(14c, 16b)는 그러한 도전접속성을 양호하게 하기 위해 금속재의 범프로서 형성되는 것이 바람직하다. 마찬가지로 복수의 전극패드(14b)도 금선 등의 와이어와의 도전접속성을 양호하게 하기 위해 적어도 그 표면이 금속재의 전극이 되는 것이 바람직하다. 이것은 예를 들면 제 1 반도체 칩(14)의 표면에 형성된 알루미늄계의 평탄한 전극 본체의 표면에 금도금을 실시하는 것에 의해 제작할 수 있다.

제 1 반도체 칩(14)은 그 표면이 위로 향한 자세에서 이면(裏面)이 캐리어 테이프(42)에 접촉되는 것에 의해 이 캐리어 테이프(42)상에 유지되어 있다. 이 캐리어 테이프(42)는 긴 막대형상으로 형성된 것이고, 그 표면에는 제 1 반도체 칩(14)이 일정 피치간격으로 다수 나열되어 접촉되어 있고, 이 캐리어 테이프(42)를 이송하는 것에 의해 제 1 반도체 칩(14)을 하나씩 소정의 위치로 공급배치할 수 있도록 되어 있다.

이 실시예에 있어서 소망하는 적층칩을 제조하려면 우선 도 50에 나타낸 바와 같이 제 1 반도체 칩(14)의 표면에 이방성 도전접착제(44)를 도포한다. 이 이방성 도전접착제(44)는 예를 들면 열경화성의 에폭시수지 내에 금속입자 등의 도전성 입자를 분산시켜 함유시킨 것이고, 제 1 반도체 칩(14)의 표면에 도포된 것만으로는 그 두께 방향으로 도전성을 갖는 것은 아니고, 두께 방향으로 정치(定値) 이상의 압력이 가해지면 그 압력이 가해진 부분만이 그 두께 방향으로 도전성을 갖게 되는 특성을 갖고 있다. 이 이방성 도전접착제(44)는 제 1 반도체 칩(14)의 표면 전체면에 도포하는 것이 아니라, 복수의 범프(14c)의 배치영역의 안쪽에 도포하고, 이것에 의해 복수의 범프(14c)상에 이방성 도전접착제(44)가 덮여지지 않도록 해 둔다. 또, 이방성 도전접착제(44)의 두께는 각 범프(14c)의 높이보다도 다소 높아지는 두께로 해 둔다.

이어서 제 1 반도체 칩(14)의 표면을 그 윗쪽에 배치시킨 CCD카메라 등의 촬상카메라(46)를 이용하여 촬상한다. 이 촬상카메라(46)에는 이 촬상카메라(46)의 촬상으로 얻을 수 있는 화상데이터 중에서 복수의 범프(14c)의 화상데이터를 인식하고, 그러한 위치를 판단하는 판단회로(도시 생략)가 접속되어 있고, 이 판단회로에 의해 각 범프(14c)의 위치가 판단된다. 이미 서술한 바와 같이 각 범프(14c)는 이방성 도전접착제(44)에 의해 덮여 감추여지지 않은 상태이기 때문에, 촬상카메라(46)에 의한 촬상으로 각 범프(14c)를 명료하게 촬상할 수 있고, 그 위치를 정확하게 판단할 수 있다.

제 1 반도체 칩(14)의 촬상작업을 실행한 후에는 도 51에 나타낸 바와 같이 흡착 콜릿(40)에 유지시킨 제 2 반도체 칩(16)을 제 1 반도체 칩(14)의 윗쪽에 배치한다. 이어서 촬상카메라(46)에 의해 제 2 반도체 칩(16)의 이면(裏面)을 촬상한다. 이 이면(裏面)에는 흡착 콜릿(40)의 선단부가 접촉되고, 이면(裏面)의 전체면을 촬상하는 것은 곤란하지만, 이면(裏面)의 윤곽선이 되는 둘레부분을 촬상하는 것은 가능하다. 흡착 콜릿(40)으로서는 될 수 있는 한 윗쪽으로 크게 팽창하지 않는 구조인 것을 이용하는 것이 바람직하고, 이것에 의해 촬상카메라(46)를 제 2 반도체 칩(16)의 상면에 접근시키는 것이 가능해진다. 이와 같이 하여 촬상카메라(46)를 이용하여 제 2 반도체 칩(16)의 이면(裏面)을 촬상한 후에는 이 촬상카메라(46)의 판단회로에 있어서, 이면(裏面)의 외형의 네 모퉁이의 코너부를 인식시키고 나서, 이 데이터에 기초하여 복수의 범프(16b)의 각각의 위치를 판별시킨다. 즉, 제 2 반도체 칩(16)의 외형의 네 모퉁이의 코너부와 복수의 범프(16b)는 미리 일정한 위치관계가 되도록 제조되어 있기 때문에, 네 모퉁이의 코너부의 위치가 판명되면 그것에 기초하여 복수의 범프(16b)의 각각의 위치가 연산처리에 의해 구해질 수 있다.

이와 같이 반도체 칩의 이면(裏面)을 촬상하도록 했기 때문에, 촬상카메라(46)의 방향을 바꾸지 않고 양 반도체 칩을 촬상할 수 있다.

복수의 범프(16b)의 위치를 구한 후에는 그러한 복수의 범프(16b)와 제 1 반도체 칩(14)의 복수의 범프(14c)와의 위치맞춤을 실행하도록 흡착 콜릿(40)의 위치를 수평방향으로 미세조정한다. 또는 이 대신에 제 1 반도체 칩(14)의 수평방향의 위치를 미세조정한다. 그 후는 도 52에 나타난 바와 같이 흡착 콜릿(40)을 하강시켜 제 2 반도체 칩(16)을 제 1 반도체 칩(14)상에 설치하고, 이 제 2 반도체 칩(16)을 아래쪽으로 누른다. 이러한 제 1 반도체 칩(14)의 범프(14c)와 제 2 반도체 칩(16)의 범프(16b)는 상기한 활상작업에 의해 얻을 수 있는 데이터에 기초하여 그러한 위치맞춤이 미리 실행되기 때문에, 그러한 범프(14c, 16b)끼리를 정확하게 대향시키는 것이 가능해진다.

또, 제 2 반도체 칩(16)이 아래쪽으로 눌러지면 이방성 도전접착제(44)는 두 개의 반도체 칩(14, 16) 사이에서 압축되어 수평방향으로 넓어진다. 이 때문에 이방성 도전접착제(44)는 범프(14c, 16b) 사이에 진입하는 것과 동시에 그러한 범프(14c, 16b)의 형성 장소보다도 바깥쪽 영역에까지 넓혀진다. 이 때문에 제 2 반도체 칩(16)의 표면의 대략 전체면을 이방성 도전접착제(44)에 의해 덮을 수 있고, 제 1 반도체 칩(14)과 제 2 반도체 칩(16)의 각각의 표면을 이방성 도전접착제(44)에 의해 넓은 면적으로 수지밀봉시킨 상태에서 그러한 두 개의 반도체 칩(14, 16)을 접착할 수 있다.

이방성 도전접착제(44)는 서로 대향하는 범프(14c, 16b) 사이에 있어서는 큰 압축력을 받는다. 이 때문에 도 53에 나타난 바와 같이 그러한 범프(14c, 16b)간에는 이방성 도전접착제(44)내에 분산하여 함유되어 있는 도전입자가 고밀도로 존재하는 동시에 이러한 도전입자가 범프(14c, 16b)의 표면에 밀착하게 되어 범프(14c, 16b) 사이만이 적절하게 도통하게 된다.

작업종료후에는 이방성 도전접착제(44)를 가열하여 경화시킨다. 이것에 의해 제 1 반도체 칩(14)과 제 2 반도체 칩(16)과의 접착고정상태를 보다 확실한 것으로 할 수 있다. 또, 열경화한 이방성 도전접착제(44)를 두 개의 반도체 칩(14, 16)의 각각의 표면을 보호하는 밀봉수지로서도 적절하게 역할을 하게 할 수 있다.

도 54에 나타난 바와 같이 상기 일련의 작업공정에 의해 제조된 적층칩(A)은 예를 들면 수지패키지형의 반도체장치(10)를 제조하는데 이용된다. 이 반도체장치(10)는 리드 프레임(12)의 다이패드(기판)(12a)상에 적층칩(A)을 설치한 상태에서 제 1 반도체 칩(14)의 복수의 전극패드(14b)를 리드 프레임(12)의 리드단자(12b)에 와이어(W)를 통해 결선접속한 것이고, 적층칩(A)이나 그 주변부분은 예폭수지 등의 패키징수지(22)에 의해 덮여져 있다. 또, 이 패키징수지(22)의 외부에는 리드단자(12b)가 돌출되어 있다.

반도체장치(10)는 복수개의 리드단자(12b)를 이용하는 것에 의해 회로기판의 표면 등의 소망하는 장소에 대해 면실장 가능한 것이다. 물론, 반도체장치(10)는 두 개의 반도체 칩(14, 16)을 상하 두께방향에 걸쳐 쌓는 것이기 때문에 반도체 칩의 고밀도 실장을 실행하는데 적합한 것이다. 또, 상기한 바와 같이 두 개의 반도체 칩(14, 16)의 각각의 범프(14c, 16b)는 정확하게 위치결정되고 나서 도통접속되기 때문에 그러한 전극간에 도통불량 등도 좀처럼 생기지 않는 고품질의 반도체장치가 된다. 또한 두 개의 반도체 칩(14, 16)끼리는 복수의 범프(14c, 16b)를 통해 서로 전기적으로 접속되고, 반도체장치(10)를 제조할 때에는 제 1 반도체 칩(14)만을 리드단자(12b)와 전기적으로 접속하면 좋고, 제 2 반도체 칩(16)에 대해서는 리드단자(12b)와 접속할 필요는 없기 때문에 반도체장치(10)의 제조작업공정이 간략화된다고 하는 이점도 얻을 수 있다.

또, 이 실시예에서는 도 51에 나타난 작업공정에 있어서 제 2 반도체 칩(16)의 이면(裏面)을 활상할 때에 이 제 2 반도체 칩(16)의 외형의 코너부 위치를 인식하고 나서 그 데이터에 기초하여 범프(16b)의 위치를 구하도록 했는데, 이 발명은 이것에 한정되지 않는다. 이 발명에서는 반도체 칩(16)의 이면(裏面)에 광학적으로 판독가능한 적당한 마크를 미리 설치해 두고, 이 마크를 판독하는 것에 의해 그 마크의 위치에서 그 반도체 칩(16)의 표면의 전극 위치를 판별해도 좋다. 마크로서는 예를 들면 도 55의 (a)에 나타난 바와 같이 반도체 칩(16)의 이면(裏面)에 그 코너부끼리를 연결하는 대각선형상으로 설치된 마크(Ma) 또는 상기 도 55의 (b)에 나타난 바와 같이 반도체 칩(16)의 이면(裏面)에 그 각 코너부 또는 그 근방에 설치된 평면으로 보아 대략 장방형상 등의 마크(Mb)를 적용할 수 있다.

또, 본 발명에서는 예를 들면 도 56에 나타난 바와 같이 두 개의 반도체 칩(14, 16)의 각각의 범프(14c, 16b)를 모두 일정한 높이를 갖는 돌기 형상의 전극으로서 형성한 경우에 있어서 한쪽 범프(14c)의 선단부에는 오목부(15)를 형성하고, 이 오목부(15)내에 다른 쪽의 범프(16b)의 앞이 가는 형상으로 형성된 선단부를 끼워넣도록 해도 좋다. 이 오목부(15)는 예를 들면 절구 형상의 오목부로서 형성되어 있고, 그 내벽면(15a)은 범프(16b)의 선단부를 범프(14)의 중심위치로 가이드가 가능한 테이퍼면으로서 형성되어 있다. 이와 같은 수단을 채용하면 두 개의 범프(14c, 16b)를 서로 접촉시킬 때에 그러한 범프(14c, 16b)끼리 미리 다소의 위치어긋남을 일으켜도 오목부(15)의 내벽면(15a)에 한쪽 범프(14c)의 선단부가 접촉하는 것에 의해 범프(14c)가 범프(16b)의 중심에 안내되어 범프(14c, 16b)끼리의 위치맞춤을 보다 확실하게 실행하는 것이 가능해진다.

또, 이 실시예에서는 도 57에 나타난 바와 같이 제 1 반도체 칩(14)의 윗쪽에 제 2 반도체 칩(16)을 배치할 때에 촬상카메라(46)를 흡착 콜릿(40)의 옆쪽에 배치시키는 동시에 제 2 반도체 칩(16)과 촬상카메라(46)의 아래쪽에 각각 거울(48a, 48b)을 배치시키는 것에 의해 제 2 반도체 칩(16)의 표면을 촬상카메라(46)에 의해 촬상시키도록 해도 좋다. 거울(48a, 48b)은 제 2 반도체 칩(16)의 표면을 촬상할 때에만 그 표면의 아래쪽으로 배치되도록 이동가능하게 설치해 두면 좋다. 이와 같은 수단을 채용하면 제 2 반도체 칩(14)의 복수의 범프(16b)를 촬상카메라(46)에 의해 촬상할 수 있고, 그러한 위치를 보다 정확하게 파악할 수 있게 된다.

이러한 실시예에 의하면 제 1 반도체 칩과 제 2 반도체 칩과의 각각의 전극의 위치를 판단하는 수단으로서 두 개의 촬상카메라를 이용할 필요는 없고, 촬상카메라는 하나로 좋다. 따라서, 그 만큼 적층칩의 제조설비의 비용을 내릴 수 있고, 또 이에 따라서 적층칩의 제조비용의 저감화도 꾀할 수 있다.

도 50 내지 도 52는 본 발명에 관련된 적층칩의 제조방법의 일련의 작업공정의 한 예를 나타낸 측면도이다. 도 53은 도 52의 일부 확대 요부단면도이다. 그 외에 이 발명에 관련된 적층칩의 제조방법의 각 작업공정의 구체적인 구성은 상기한 실시예에 한정되지 않고, 여러 가지로 변경이 자유롭다. 예를 들면 제 1 반도체 칩(14) 및 제 2 반도체 칩(16)에 부가하여 이러한 것과는 별도의 반도체 칩을 제 1 반도체 칩(14)이나 제 2 반도체 칩(16)에 대해 또 추가하여 접촉하는 작업공정을 실행해도 좋다. 또, 제 1 반도체 칩(14)과 제 2 반도체 칩(16)을 서로 접촉하는 수단으로서 이방성 도전접착제를 이용하는 수단을 대신하여 다른 접촉제나 접촉용의 시트재 또는 필름재를 이용해도 좋다. 또, 본 발명에 관련된 적층칩의 구체적인 구성도 여러 가지로 설계변경이 자유롭고, 본 발명에서 말하는 반도체 칩의 구체적인 종류도 특정되는 것은 아니다.

본 발명이 상세하게 설명되고 도시되었지만, 그것은 단지 도해 및 한 예로서 이용된 것이고, 한정이라고 해석되는 것이 아닌 것은 명백하며, 본 발명의 취지 및 범위는 첨부된 청구항의 문언에 의해서만 한정된다.

(57) 청구의 범위

청구항 1.

제 1 전극이 형성된 제 1 표면을 갖는 제 1 반도체 칩,

상기 제 1 전극에 접속된 제 2 전극이 형성되며, 또한 상기 제 1 표면에 대향하는 제 2 표면을 갖는 제 2 반도체 칩,

상기 제 1 전극 및 상기 제 2 전극의 적어도 한쪽에 설치된 범프 및

상기 제 1 표면 및 상기 제 2 표면의 사이에 삽입되며, 압력이 걸린 방향으로 도전성이 생기는 이방성 도전부재를 구비하는 것을 특징으로 하는 반도체장치.

청구항 2.

제 1 항에 있어서,

상기 범프는 상기 제 1 전극 및 상기 제 2 전극의 양쪽에 설치되고, 상기 이방성 도전부재는 도전입자를 포함하는 필름인 것을 특징으로 하는 반도체장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 반도체 칩 및 상기 제 2 반도체 칩의 접속부분을 덮는 내부 패키지와, 상기 제 1 반도체 칩, 상기 제 2 반도체 칩 및 상기 내부 패키지를 덮는 외부 패키지를 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 4.

제 3 항에 있어서,

상기 내부 패키지는 방습성이 우수한 제 1 합성수지를 포함하고, 상기 외부 패키지는 밀착성이 우수한 제 2 합성수지를 포함하는 것을 특징으로 하는 반도체장치.

청구항 5.

제 1 항에 있어서,

상기 범프는 상기 제 1 전극 및 상기 제 2 전극의 한쪽에 설치되고, 상기 제 1 전극 및 상기 제 2 전극의 다른 쪽은 상기 범프와 끼워맞추는 오목부를 갖는 것을 특징으로 하는 반도체장치.

청구항 6.

제 1 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극의 표면에 형성된 배리어 메탈을 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 반도체 칩은 리드단자와 접속된 제 3 전극, 상기 제 3 전극의 표면에 형성된 배리어 메탈 및 상기 배리어 메탈의 표면에 형성된 금속층을 갖는 것을 특징으로 하는 반도체장치.

청구항 8.

제 7 항에 있어서,

상기 금속층은 금으로 이루어진 박막인 것을 특징으로 하는 반도체장치.

청구항 9.

제 7 항에 있어서,

상기 금속층의 표면에 본딩된 와이어를 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 10.

제 1 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극의 표면에 형성된 도전보호층을 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 11.

제 10 항에 있어서,

상기 도전보호층은 배리어 메탈층 및 금속층을 포함하는 것을 특징으로 하는 반도체장치.

청구항 12.

제 11 항에 있어서,

상기 배리어 메탈층은 티탄층 및 백금층을 포함하고, 상기 금속층은 금으로 이루어진 범프인 것을 특징으로 하는 반도체장치.

청구항 13.

제 10 항에 있어서,

상기 도전보호층은 폴리티아질, 폴리아세틸렌, 폴리디아세틸렌, 폴리피롤, 폴리파라페닐렌, 폴리파라페닐렌설피드, 폴리파라페닐렌비닐렌 및 폴리티오펜에서 선택된 적어도 1종의 도전성 고분자로 이루어진 것을 특징으로 하는 반도체장치.

청구항 14.

제 10 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극은 알루미늄을 포함하고, 상기 이방성 도전부재는 에폭시수지를 주성분으로 하는 필름인 것을 특징으로 하는 반도체장치.

청구항 15.

제 10 항에 있어서,

상기 제 1 반도체 칩은 리드단자와 접속된 제 3 전극을 갖고, 상기 도전보호층은 상기 제 3 전극의 표면에도 형성되는 것을 특징으로 하는 반도체장치.

청구항 16.

제 1 항에 있어서,

상기 제 1 표면 및 상기 제 2 표면의 적어도 한쪽을 덮는 제 1 보호막과, 상기 제 1 보호막을 덮는 제 2 보호막을 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 17.

제 16 항에 있어서,

상기 제 1 보호막은 패시베이션막이고, 상기 제 2 보호막은 합성수지막인 것을 특징으로 하는 반도체장치.

청구항 18.

제 1 항에 있어서,

상기 제 1 반도체 칩 및 상기 제 2 반도체 칩 사이의 상기 범프를 제외한 부분에 삽입된 연결필름을 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 19.

제 18 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극은 상기 제 1 반도체 칩 및 상기 제 2 반도체 칩의 주위에 각각 형성되고, 상기 연결 필름은 상기 제 1 전극 및 상기 제 2 전극보다도 안쪽에 배치되는 것을 특징으로 하는 반도체장치.

청구항 20.

제 1 항에 있어서,

상기 제 1 반도체 칩의 제 1 이면(裏面) 및 상기 제 2 반도체 칩의 제 2 이면(裏面)의 적어도 한쪽이 노출되도록 상기 제 1 반도체 칩 및 상기 제 2 반도체 칩을 밀봉하는 패키지를 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 21.

제 20 항에 있어서,

상기 제 1 이면(裏面) 및 상기 제 2 이면(裏面)의 한쪽에 제 3 표면이 대향하는 제 3 반도체 칩을 추가로 구비하고, 상기 패키지는 상기 제 1 이면(裏面) 및 상기 제 2 이면(裏面)의 다른 쪽이 노출되도록 상기 제 1 반도체 칩, 상기 제 2 반도체 칩 및 상기 제 3 반도체 칩을 밀봉하는 것을 특징으로 하는 반도체장치.

청구항 22.

제 20 항에 있어서,

상기 제 1 반도체 칩 및 상기 제 2 반도체 칩 사이에 삽입된 제 3 반도체 칩을 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 23.

제 20 항에 있어서,

상기 제 1 이면(裏面) 및 상기 제 2 이면(裏面)의 한쪽에 설치된 방열판을 추가로 구비하고, 상기 제 1 이면(裏面) 및 상기 제 2 이면(裏面)의 다른 쪽, 및 상기 방열판이 상기 패키지의 외부에 노출되는 것을 특징으로 하는 반도체장치.

청구항 24.

제 1 항에 있어서,

상기 제 1 표면에 형성되고 또한 상기 이방성 도전부재에 의해 덮여진 제 3 전극, 및 상기 이방성 도전부재를 통해 상기 제 3 전극에 맞는 리드단자를 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 25.

제 1 항에 있어서,

상기 이방성 도전부재는 상기 제 1 전극을 덮는 제 1 이방성 도전막과, 상기 제 2 전극을 덮는 제 2 이방성 도전막을 포함하고,

상기 제 1 이방성 도전막 및 상기 제 2 이방성 도전막의 사이에 삽입되고 또한 상기 제 1 전극 및 상기 제 2 전극의 적어도 한쪽과 맞는 리드단자를 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 26.

제 1 항에 있어서,

상기 제 1 표면의 제 1 소정위치에 형성되고 또한 리드단자와 접속된 제 3 전극(14b), 및 상기 제 2 표면의 제 2 소정위치에 형성되고 또한 상기 리드단자와 접속된 제 4 전극(16c)을 추가로 구비하고, 상기 제 1 표면의 상기 제 1 소정 위치를 제외한 부분과 상기 제 2 표면의 상기 제 2 소정 위치를 제외한 부분이 대향하는 것을 특징으로 하는 반도체장치.

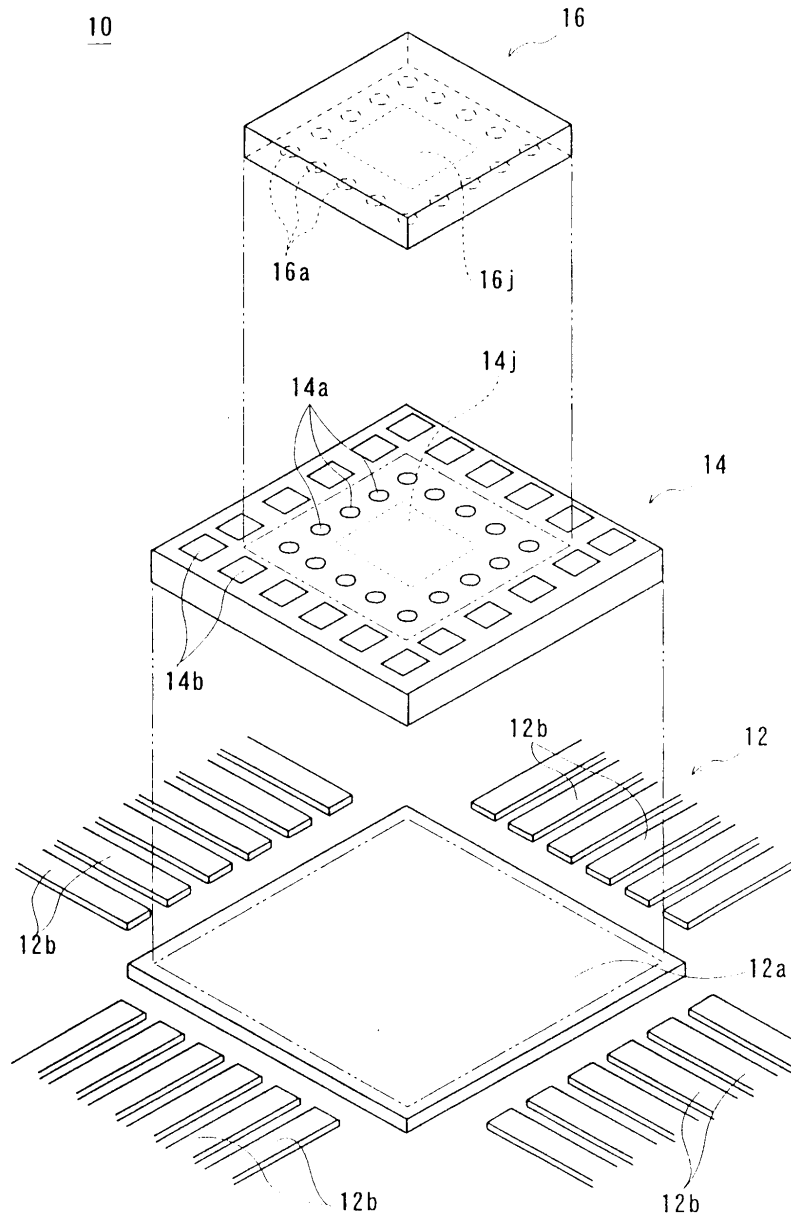
청구항 27.

제 26 항에 있어서,

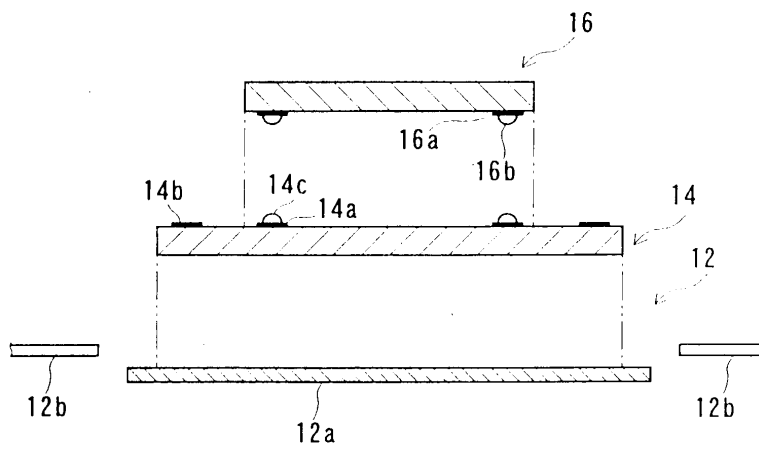
상기 제 1 반도체 칩 및 상기 제 2 반도체 칩은 평면으로 보아 동일면적을 갖는 장방형상으로 형성되고, 상기 제 3 전극(14b) 및 상기 제 4 전극(16c)은 상기 제 1 표면 및 상기 제 2 표면의 코너에 각각 설치되며, 상기 제 1 표면 및 상기 제 2 표면은 상기 코너가 어긋난 상태에서 대향하는 것을 특징으로 하는 반도체장치.

도면

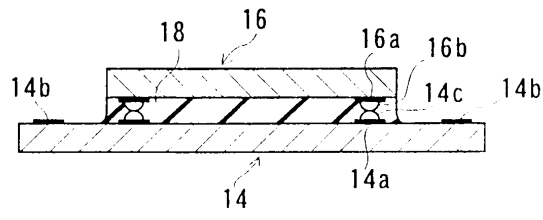
도면1



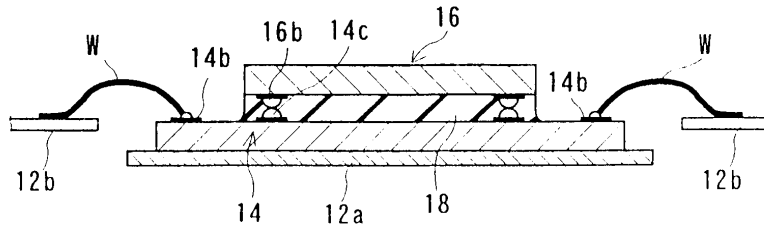
도면2



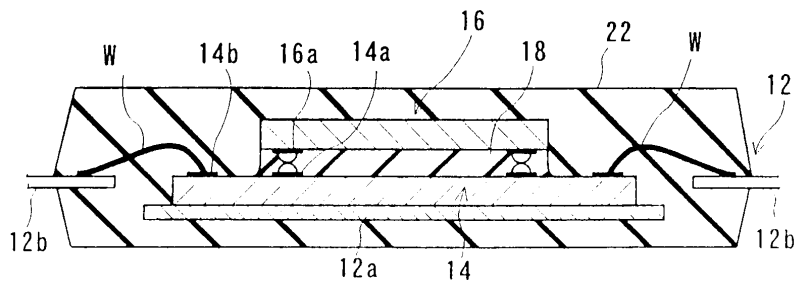
도면3



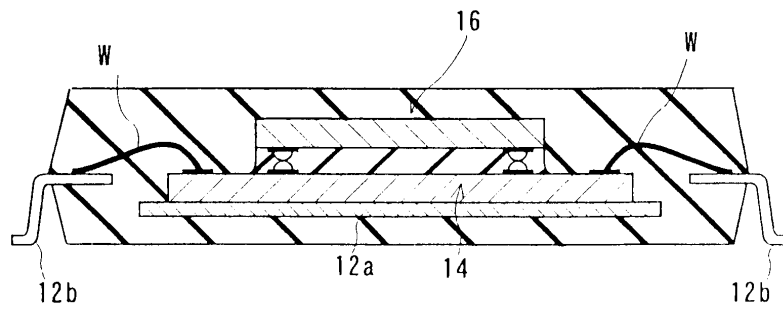
도면4



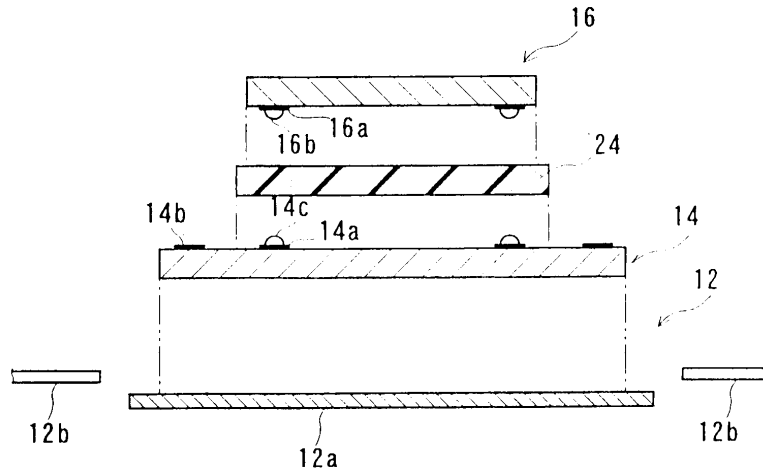
도면5



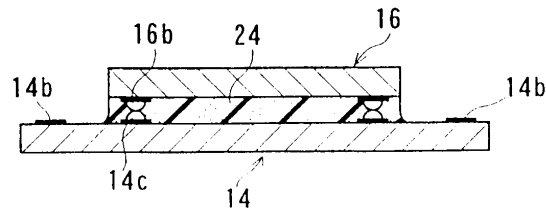
도면6



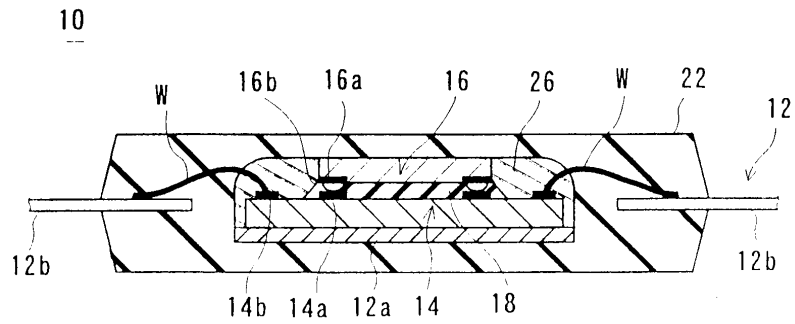
도면7



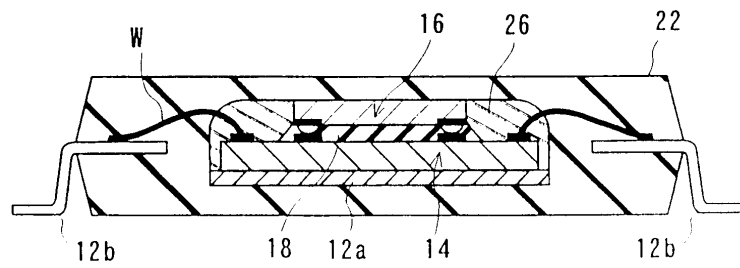
도면8



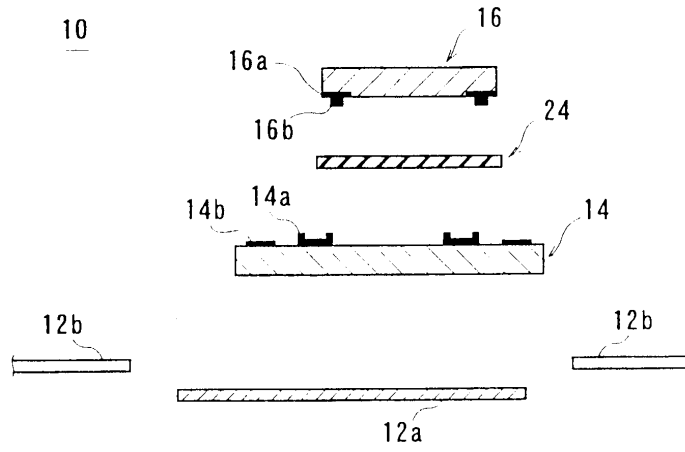
도면9



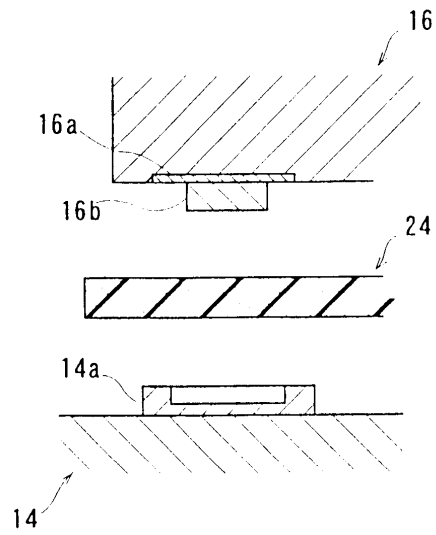
도면10



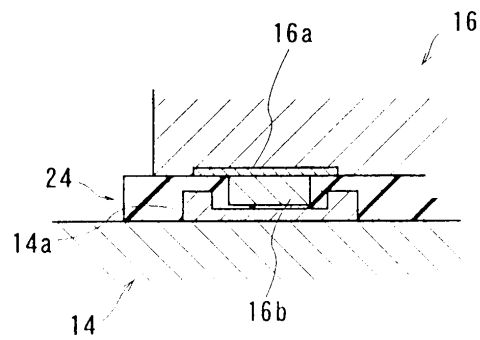
도면11



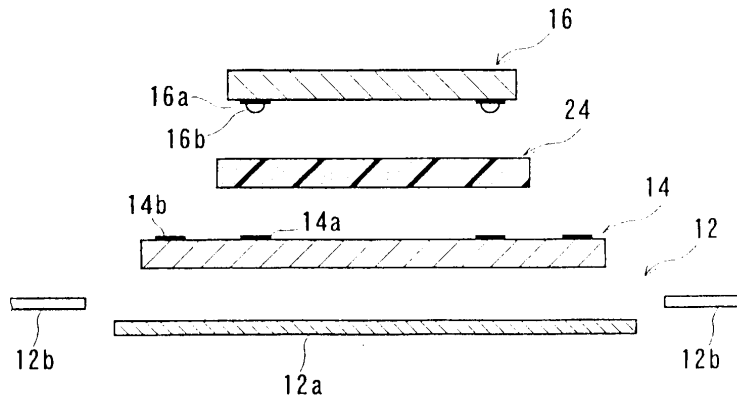
도면12



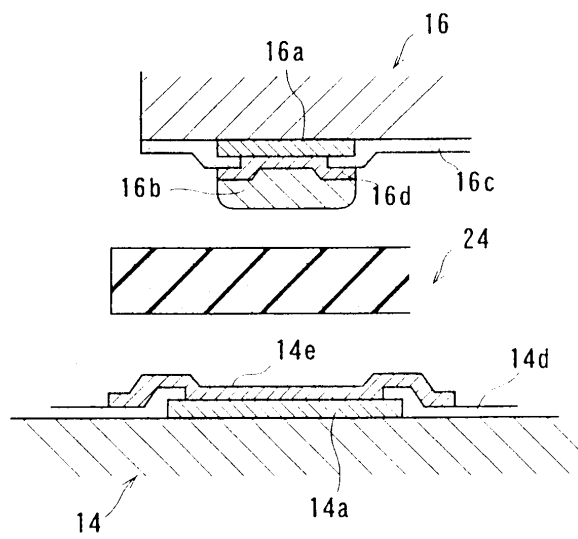
도면13



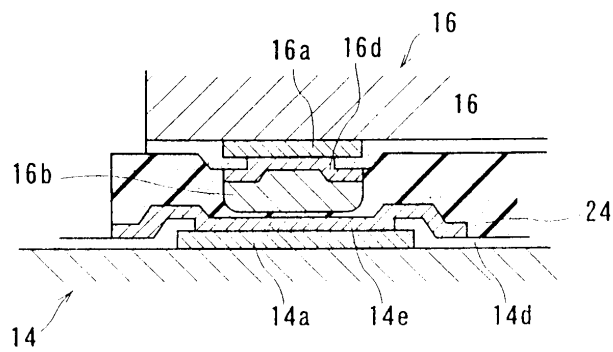
도면14



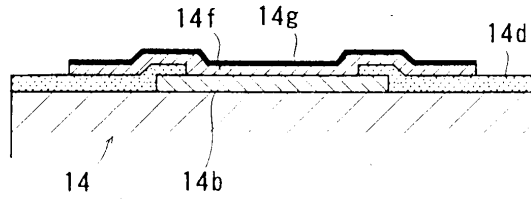
도면15



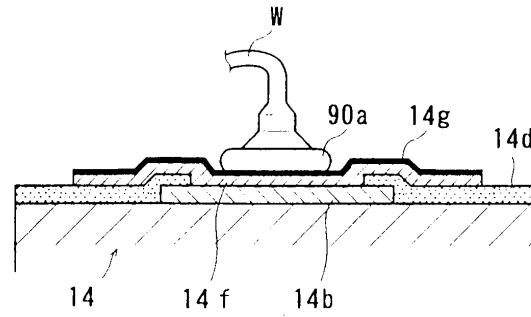
도면16



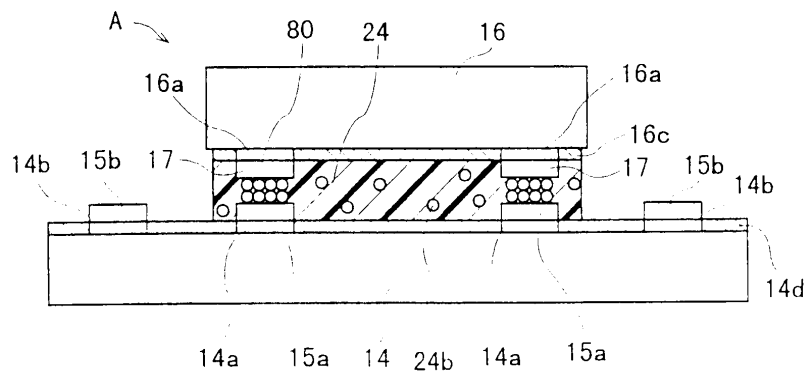
도면17



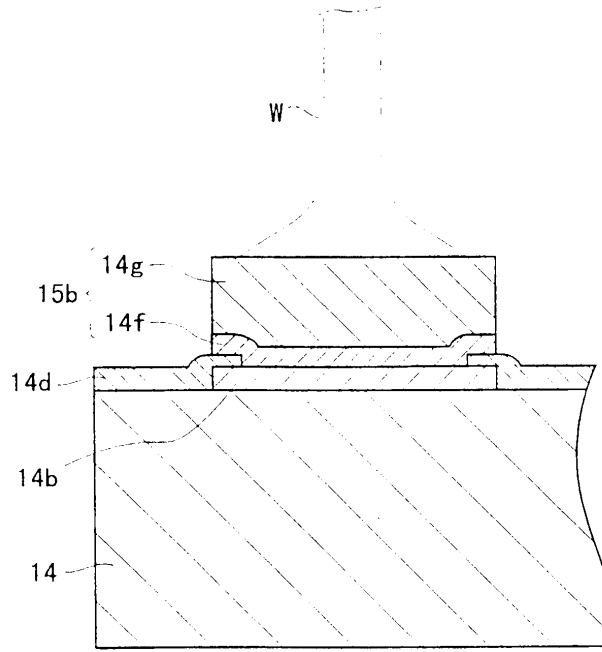
도면18



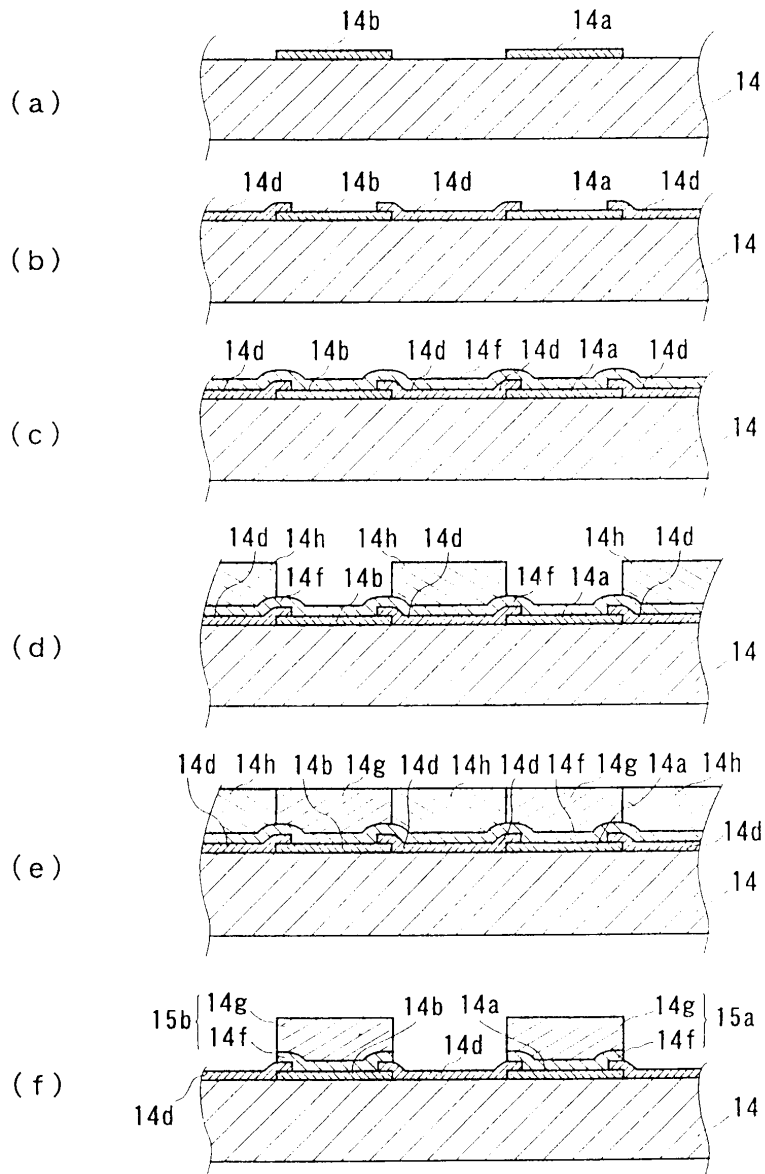
도면19



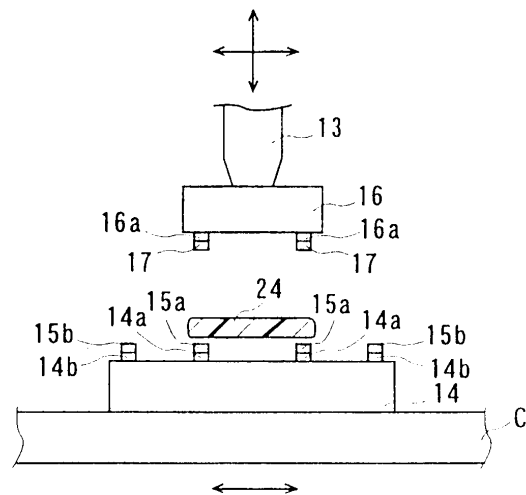
도면20



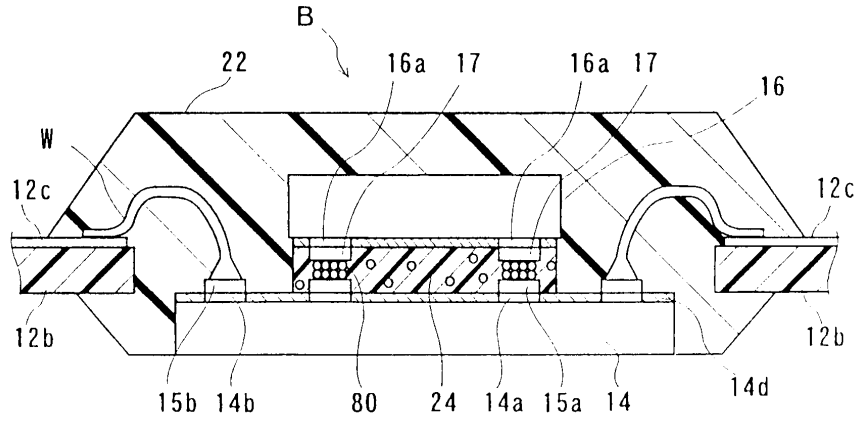
도면21



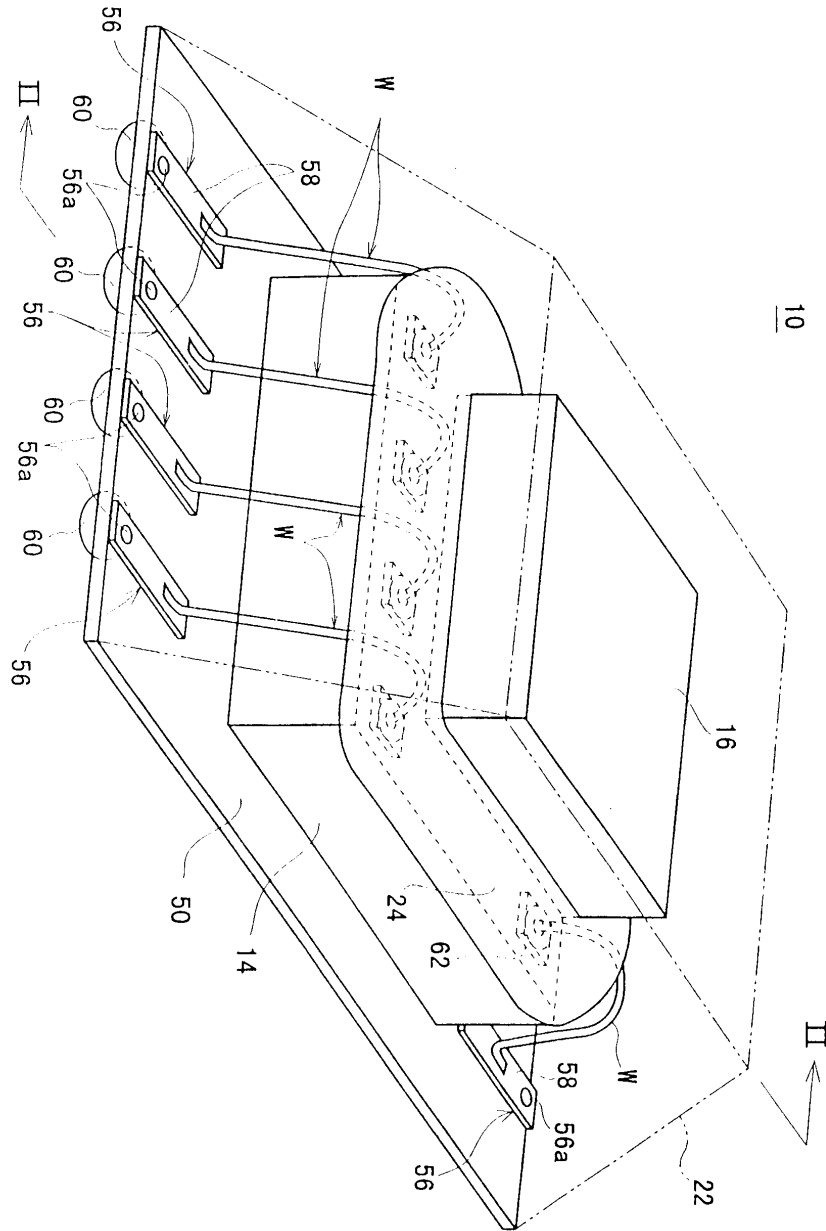
도면22



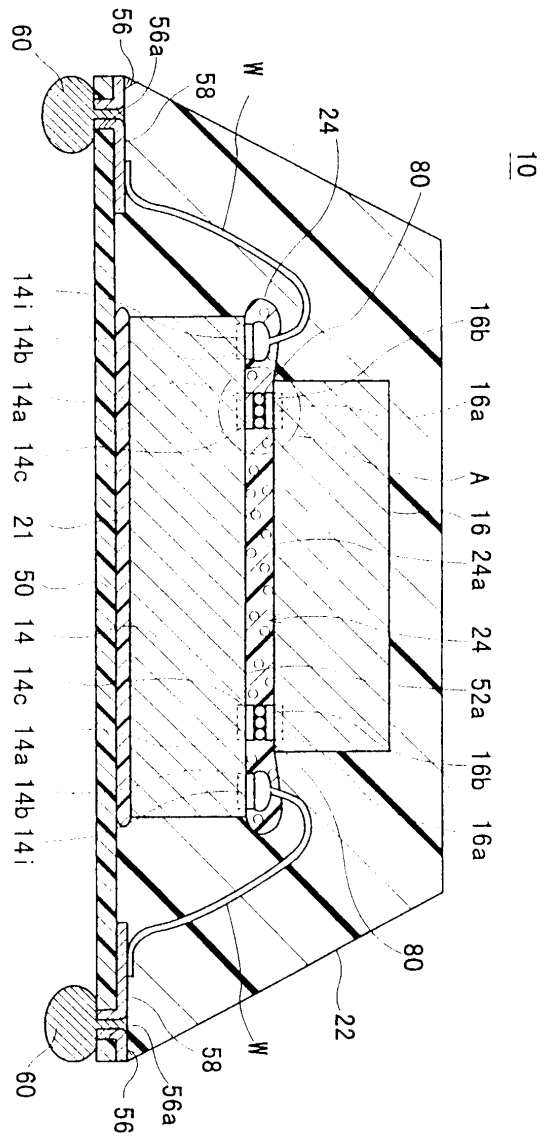
도면23



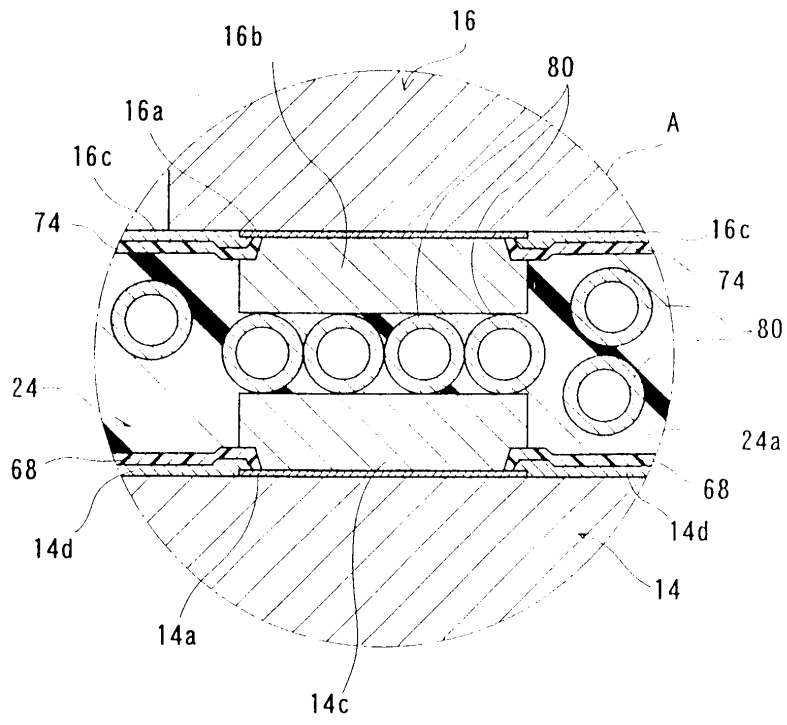
도면24



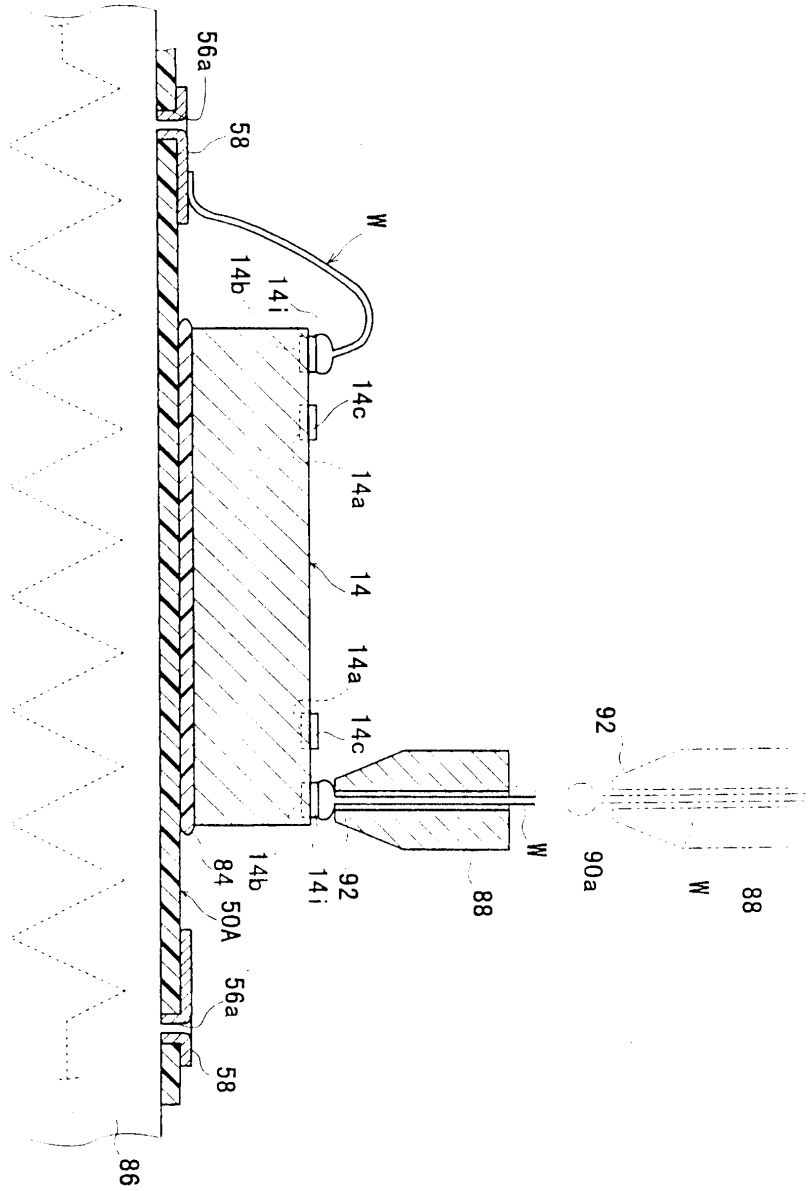
도면25



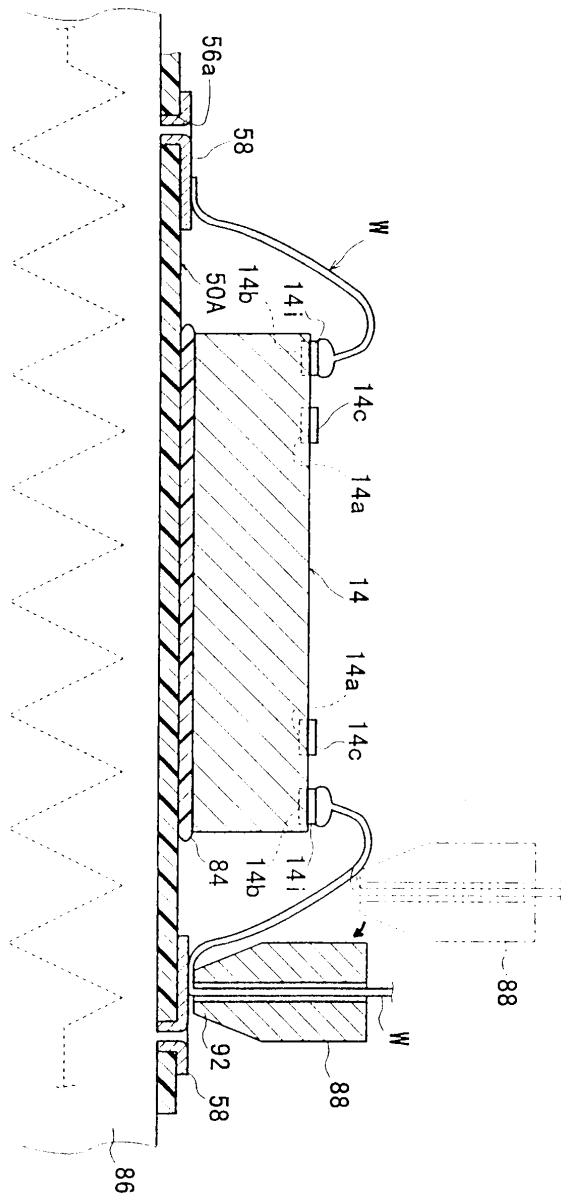
도면26



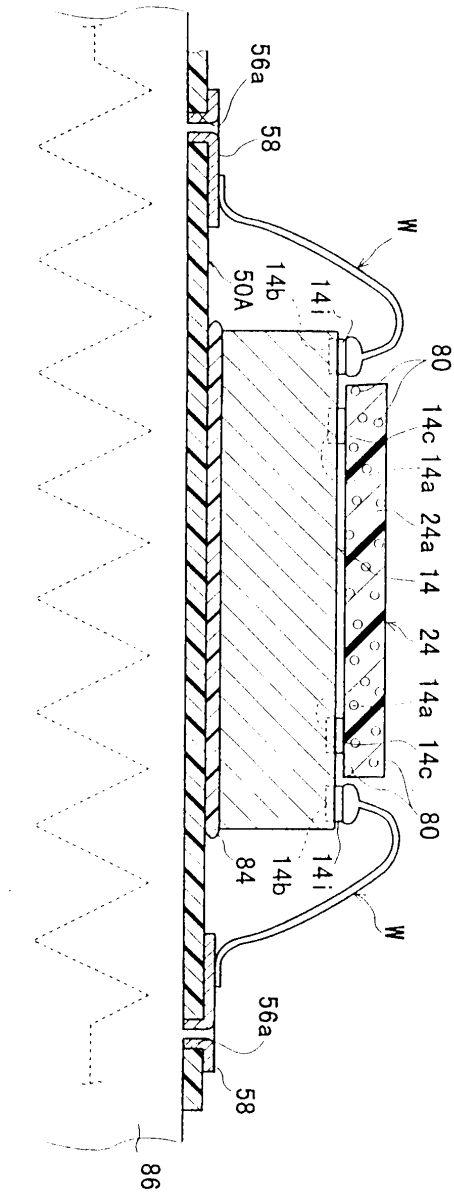
도면27



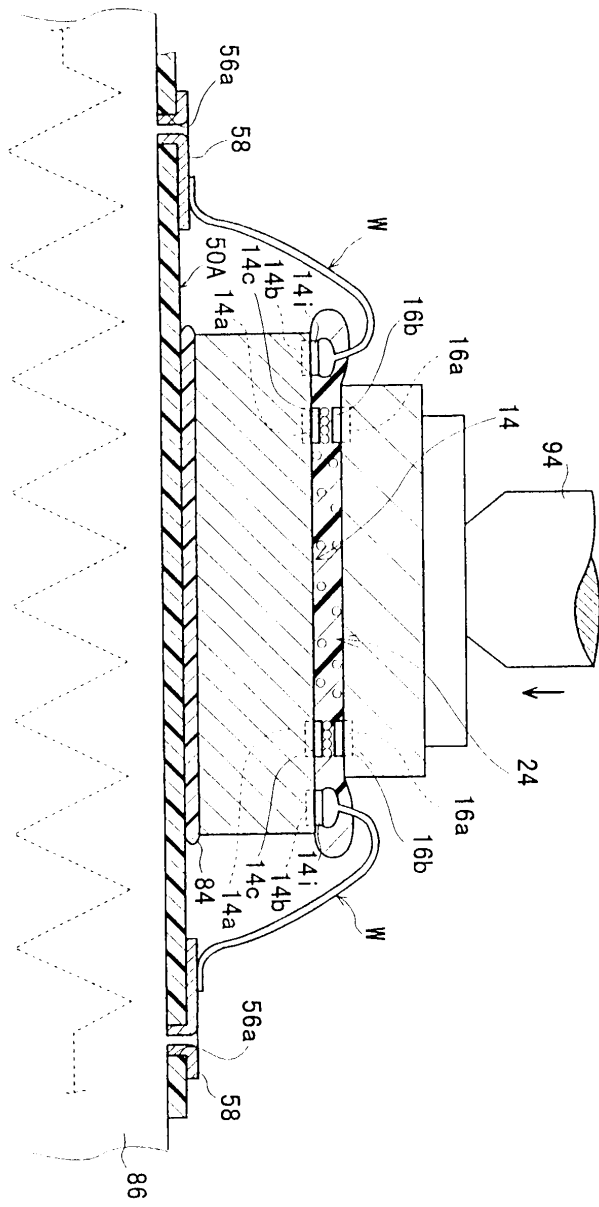
도면28



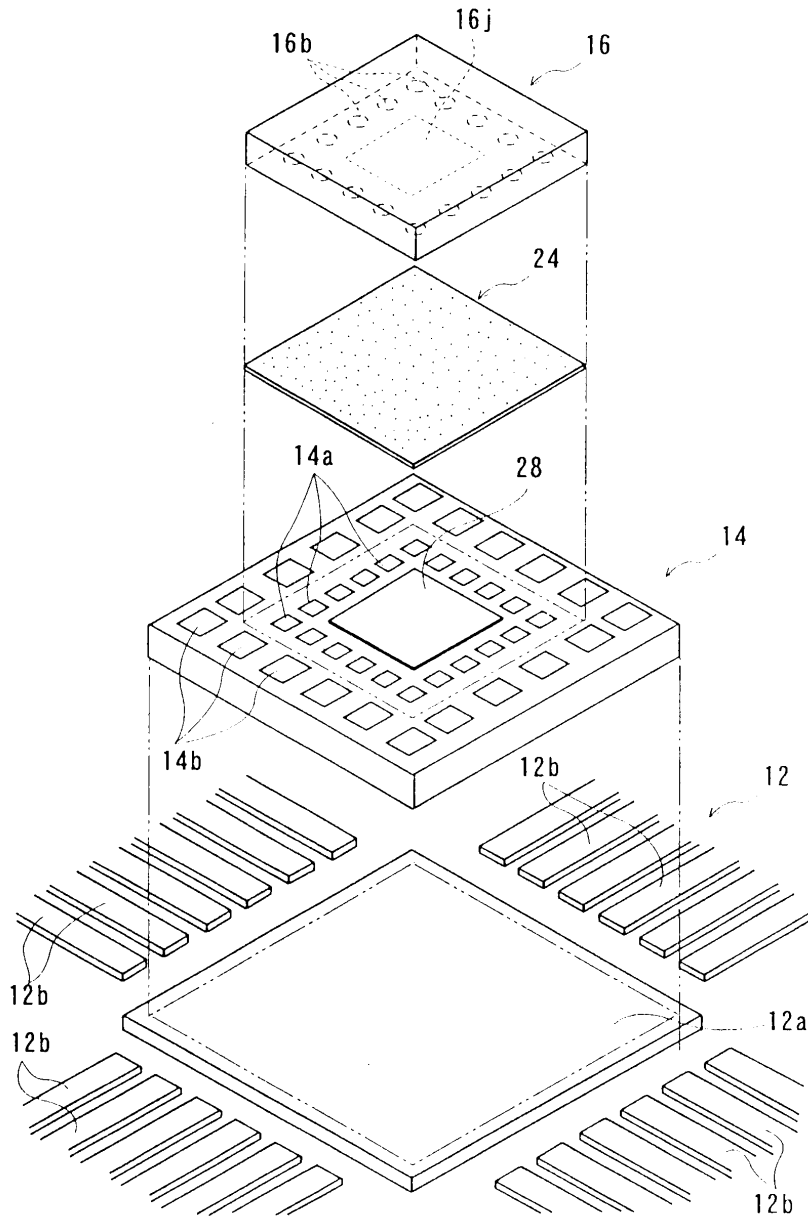
도면29



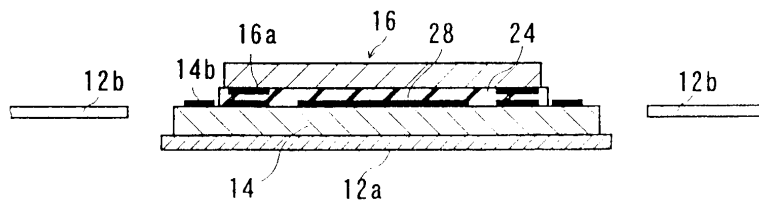
도면30



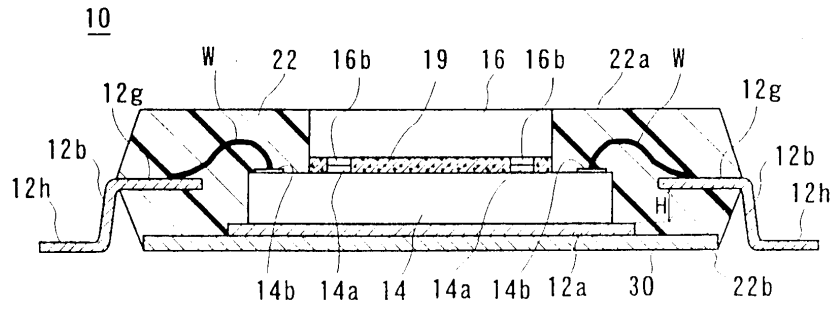
도면31



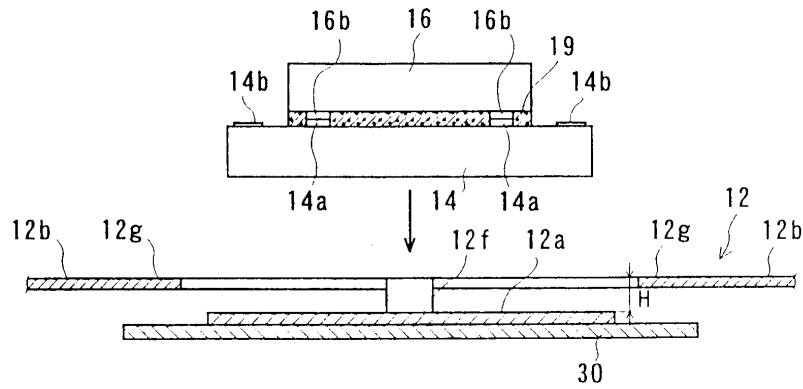
도면32



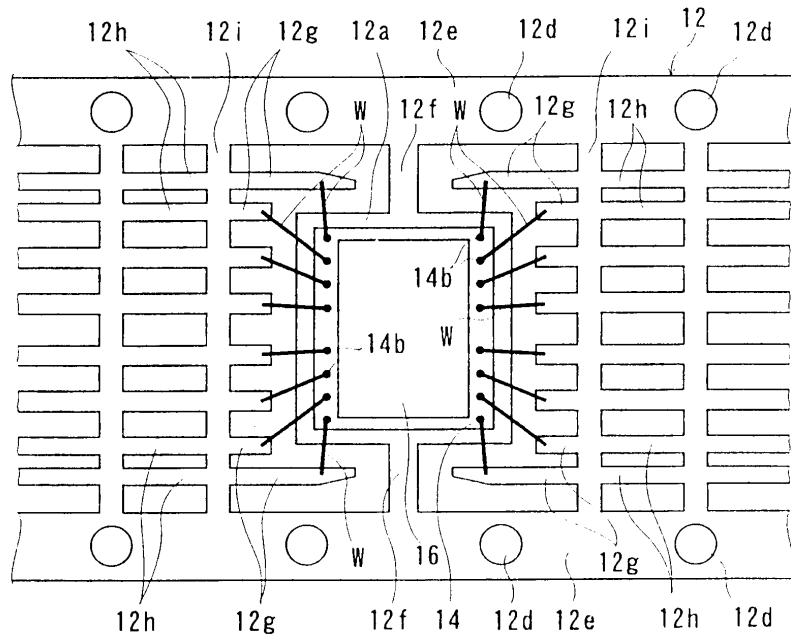
도면33



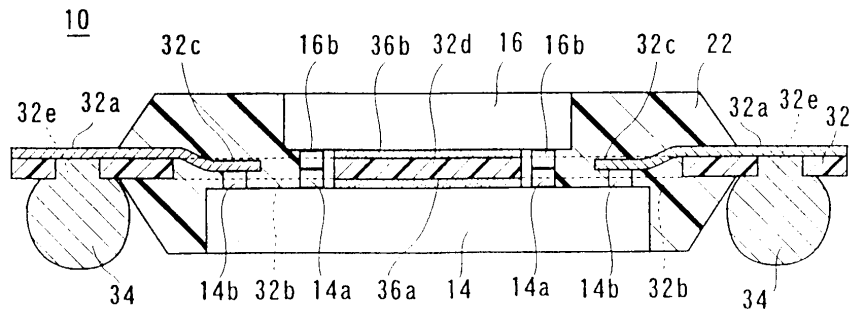
도면34



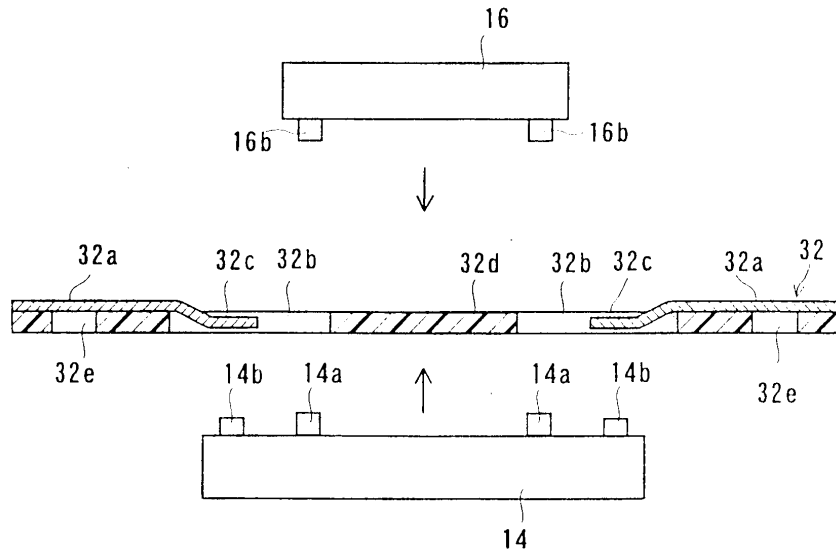
도면35



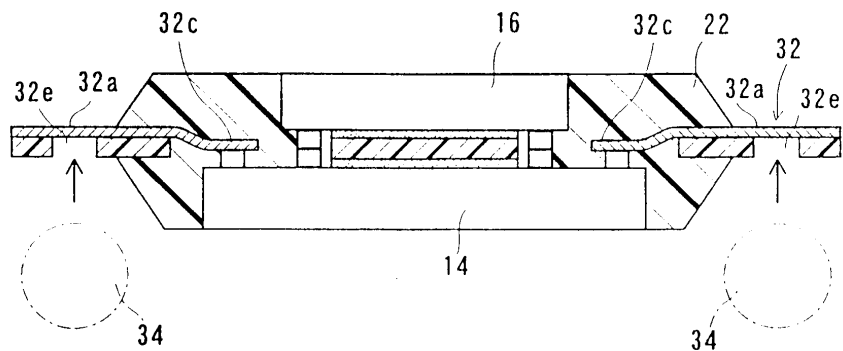
도면36



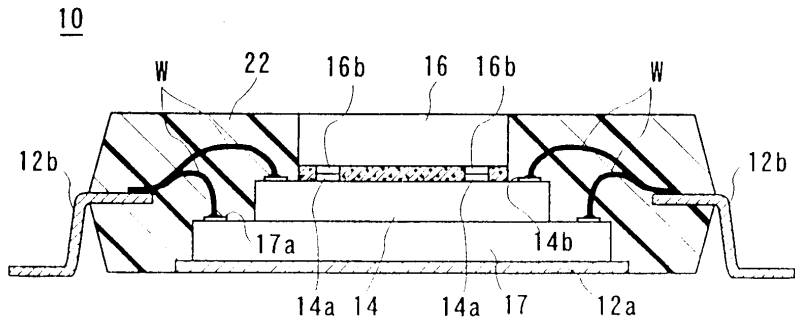
도면37



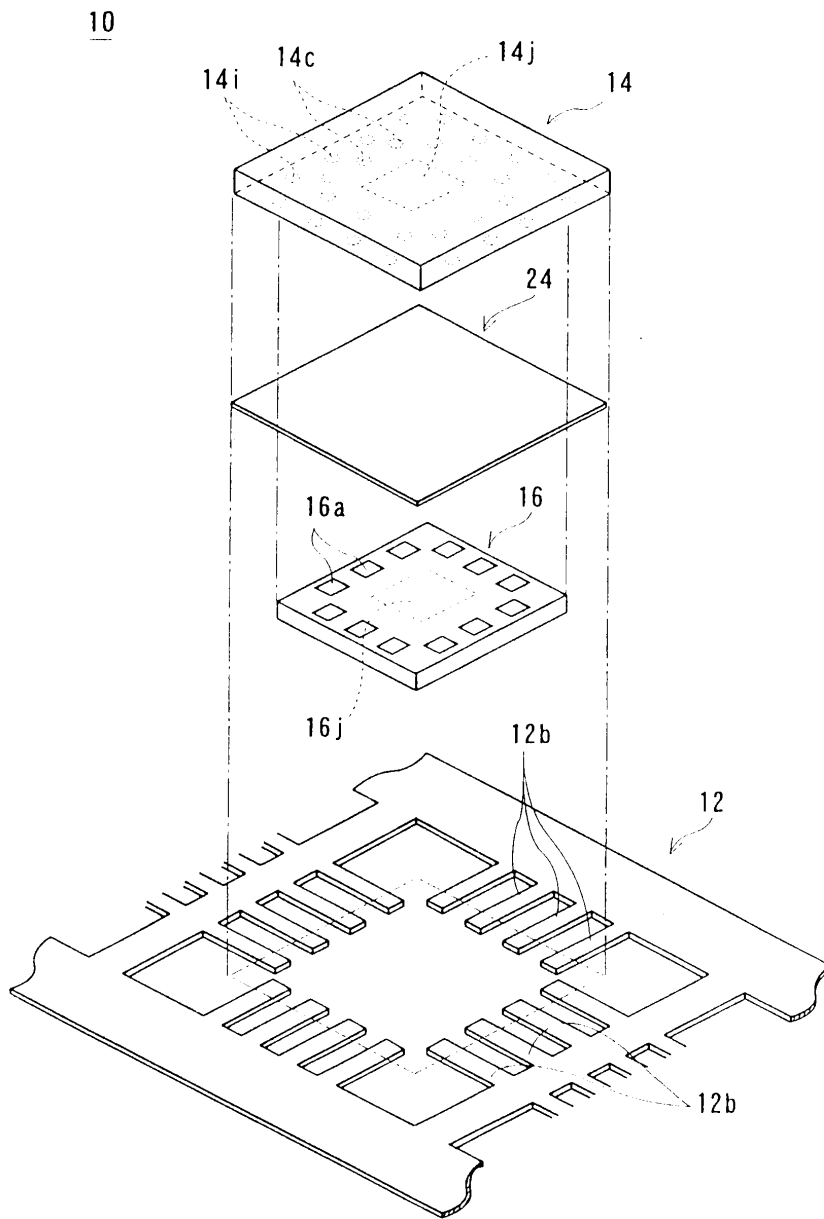
도면38



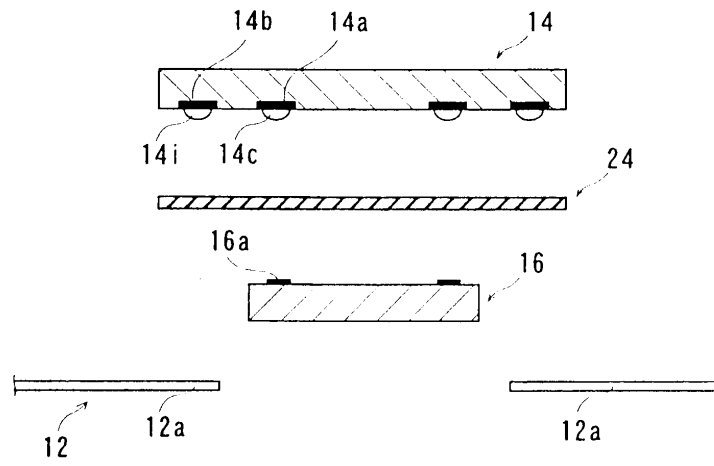
도면39



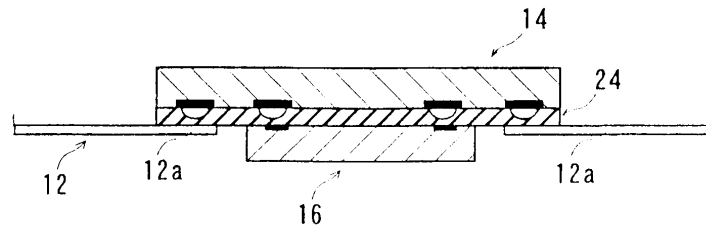
도면40



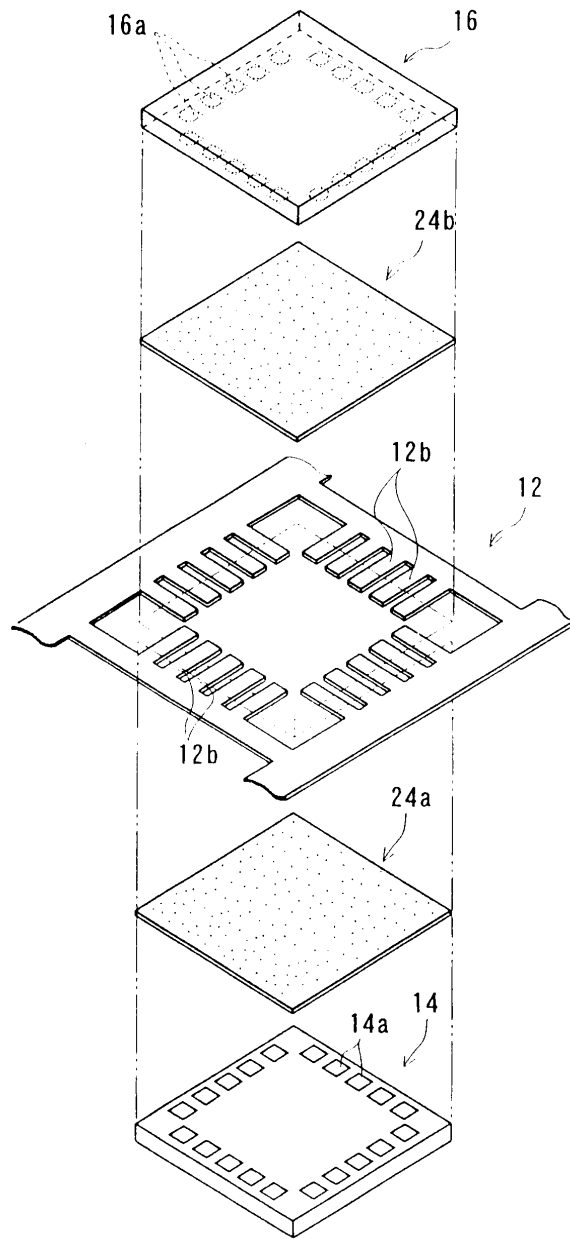
도면41



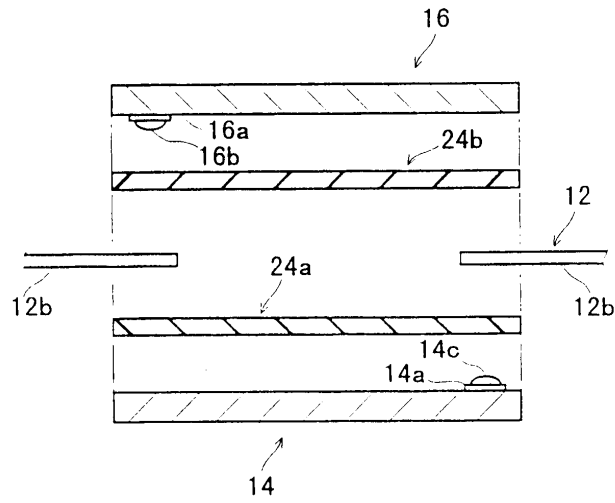
도면42



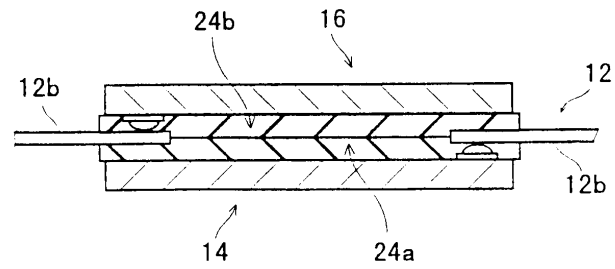
도면43



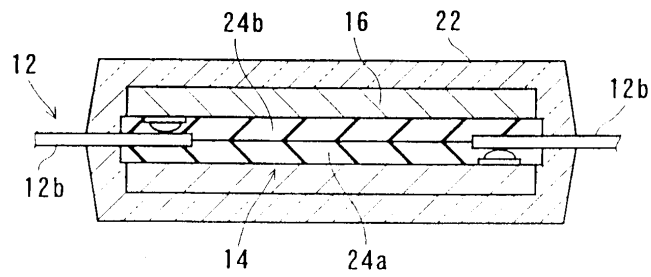
도면44



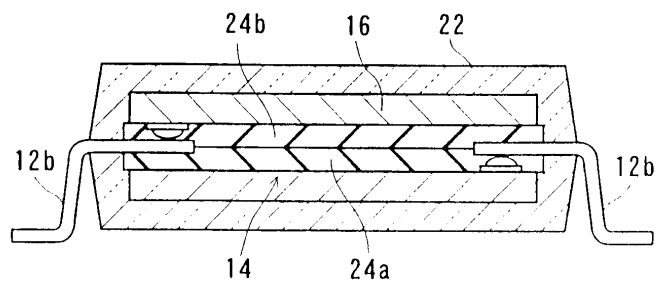
도면45



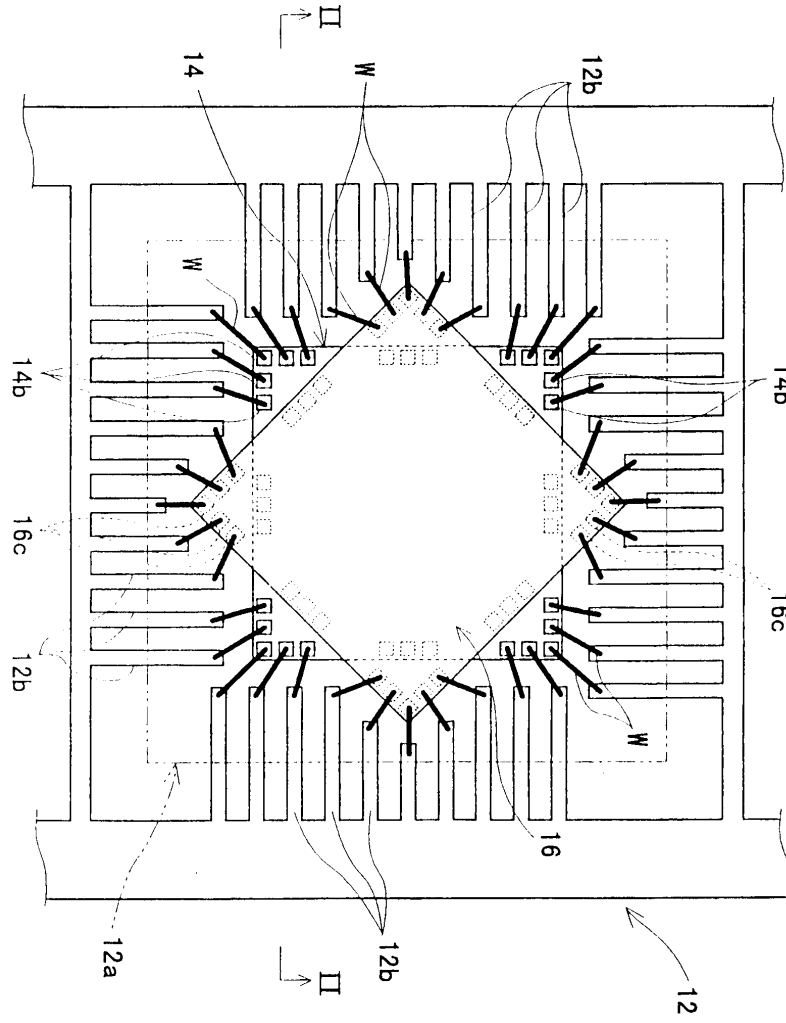
도면46



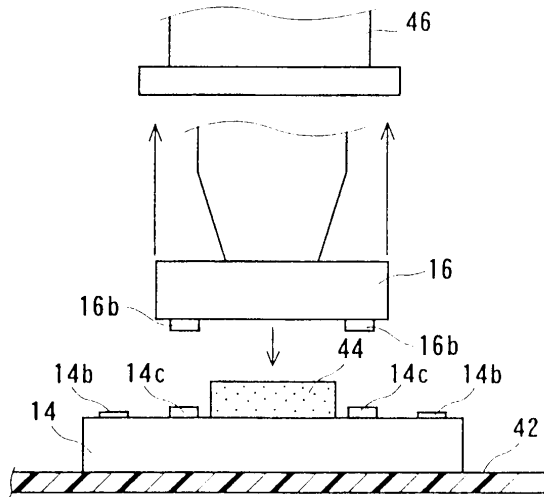
도면47



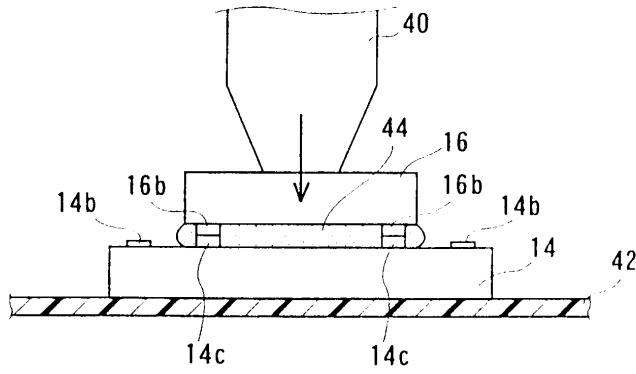
도면48



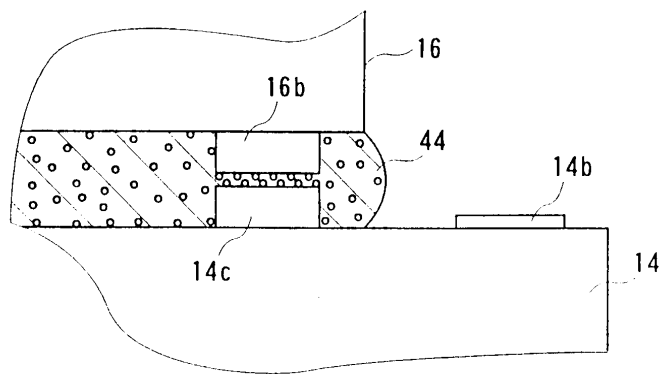
도면51



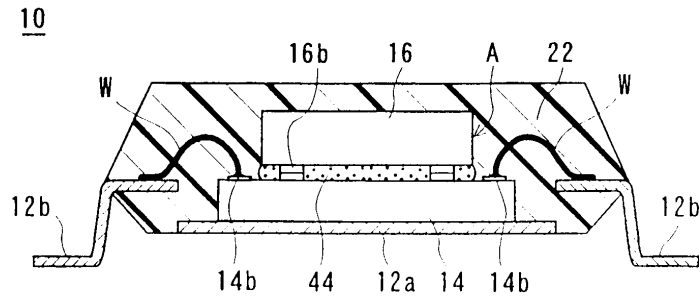
도면52



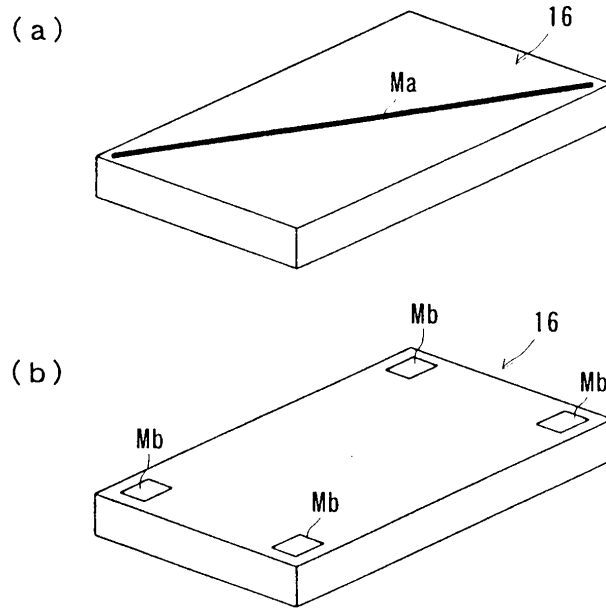
도면53



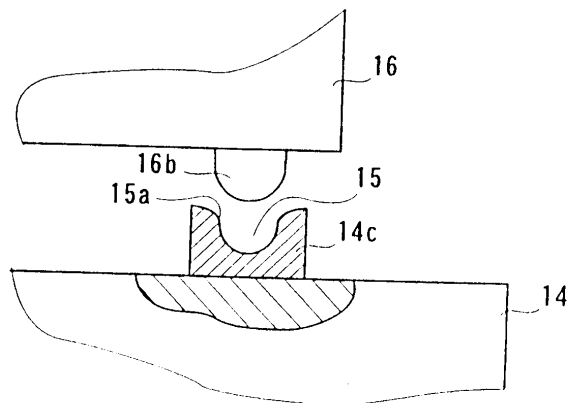
도면54



도면55



도면56



도면57

