



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I752146 B

(45)公告日：中華民國 111 (2022) 年 01 月 11 日

(21)申請案號：107100588

(22)申請日：中華民國 107 (2018) 年 01 月 08 日

(51)Int. Cl. : **H01L21/66 (2006.01)****G01B11/06 (2006.01)****G01B11/24 (2006.01)****G03F7/20 (2006.01)**

(30)優先權：2017/01/09 美國

62/443,815

2017/07/13 美國

15/649,259

(71)申請人：美商克萊譚克公司 (美國) KLA-TENCOR CORPORATION (US)

美國

(72)發明人：劉 海倫 LIU, HELEN (US)；曾安 ZENG, ANDREW (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200909845A

TW 200938501A

TW 201638153A

審查人員：邱迺軒

申請專利範圍項數：17 項 圖式數：11 共 30 頁

(54)名稱

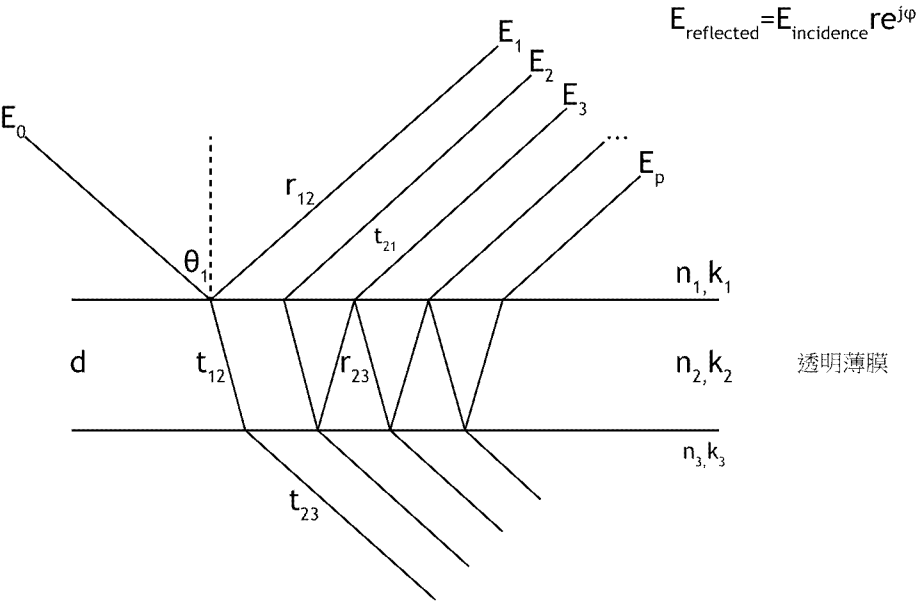
在晶圓幾何系統中透明薄膜誤差校正型態

(57)摘要

本發明係關於一種系統，其包含一或多個晶圓幾何量測工具，其等經組態以自一晶圓獲得幾何量測值。該系統亦包含一或多個處理器，其等與該一或多個晶圓幾何量測工具通訊。該一或多個處理器經組態以應用一校正模型來校正由該一或多個晶圓幾何量測工具獲得之該等幾何量測值。該校正模型經組態以校正由經定位於該晶圓上之一透明薄膜引起的量測誤差。

A system includes one or more wafer geometry measurement tools configured to obtain geometry measurements from a wafer. The system also includes one or more processors in communication with the one or more wafer geometry measurement tools. The one or more processors are configured to apply a correction model to correct the geometry measurements obtained by the one or more wafer geometry measurement tools. The correction model is configured to correct measurement errors caused by a transparent film positioned on the wafer.

指定代表圖：



【圖1】



I752146

【發明摘要】

【中文發明名稱】

在晶圓幾何系統中透明薄膜誤差校正型態

【英文發明名稱】

TRANSPARENT FILM ERROR CORRECTION PATTERN IN
WAFER GEOMETRY SYSTEM

【中文】

本發明係關於一種系統，其包含一或多個晶圓幾何量測工具，其等經組態以自一晶圓獲得幾何量測值。該系統亦包含一或多個處理器，其等與該一或多個晶圓幾何量測工具通訊。該一或多個處理器經組態以應用一校正模型來校正由該一或多個晶圓幾何量測工具獲得之該等幾何量測值。該校正模型經組態以校正由經定位於該晶圓上之一透明薄膜引起的量測誤差。

【英文】

A system includes one or more wafer geometry measurement tools configured to obtain geometry measurements from a wafer. The system also includes one or more processors in communication with the one or more wafer geometry measurement tools. The one or more processors are configured to apply a correction model to correct the geometry measurements obtained by the one or more wafer geometry measurement tools. The correction model is configured to correct measurement errors caused by a transparent film positioned on the wafer.

【指定代表圖】

圖 1

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】

在晶圓幾何系統中透明薄膜誤差校正型態

【英文發明名稱】

TRANSPARENT FILM ERROR CORRECTION PATTERN IN
WAFER GEOMETRY SYSTEM

【技術領域】

本發明大體上係關於檢測及度量學之領域，且特定言之係關於包含透明薄膜之半導體裝置之檢測及度量學之領域。

【先前技術】

薄拋光板(諸如矽晶圓及類似者)係現代技術之一非常重要部分。例如，一晶圓可意指用於製造積體電路及其他裝置中的半導體材料之一薄圓塊。薄拋光板之其他實例可包含磁碟基板、塊規及類似者。儘管本文所描述之技術主要意指晶圓，但應瞭解，本技術亦適用於其他類型之拋光板。術語晶圓及術語薄拋光板在本發明中可互換使用。

晶圓係缺陷檢測及度量學量測之標的，以確保合適的製造良率。預期利用工具以執行此等檢測及度量學程序係高效及有效的。自晶圓獲取之關鍵度量包含(但不限於)薄膜厚度及晶圓表面構形。儘管基於點對點橢偏儀之技術提供亞奈米薄膜厚度精確度，然若晶圓表面含有一透明薄膜，則會不良地執行基於整片晶圓光學干涉量測術之幾何工具。例如，一圖案晶圓幾何(PWG)系統包含雙側相移裴佐(Fizeau)干涉儀及剪切干涉儀。此一PWG系統可同時用於量測一晶圓之正表面及背表面。然而，當在晶圓表面上存在透明薄膜時，該等透明薄膜在晶圓之正面上尤其常見，自晶圓

獲得之PWG量測值可含有歸因於光滲透至薄膜中之誤差。

減小此誤差之一個解決方案係將保形/不透明薄膜沈積於透明薄膜上，以達成表面構形量測。此解決方案要求使用者修改程序流程，且可因此僅在一工程設計階段期間應用，而不能在大批量生產中應用。因而，期望提供一種用於透明薄膜誤差校正之方法及系統。

【發明內容】

根據本發明之一或多項實施例，揭示一種方法。在一些實施例中，該方法包含利用一晶圓幾何量測工具來獲得一晶圓之幾何量測值。在另一實施例中，該方法包含應用一校正模型來校正由該晶圓幾何量測工具獲得之該等幾何量測值，其中該校正模型經組態以校正由定位於該晶圓上之一透明薄膜引起之量測誤差。

根據本發明之一或多項替代實施例，揭示一種方法。在一項實施例中，該方法包含至少部分基於一晶圓之一設計及該晶圓之複數個層之已知物理及光學性質來產生一校正模型。在另一實施例中，該方法包含利用一晶圓幾何量測工具來獲得該晶圓之幾何量測值。在另一實施例中，該方法包含應用該校正模型來校正由該晶圓幾何量測工具獲得之該等幾何量測值，其中該校正模型經組態以校正由定位於該晶圓上之一透明薄膜引起之量測誤差。

根據本發明之一或多項替代實施例，揭示一種系統。在一項實施例中，該系統包含一或多個晶圓幾何量測工具，其等經組態以獲得一晶圓之幾何量測值。在另一實施例中，該系統包含一或多個處理器，其等與該一或多個晶圓幾何量測工具通訊。在另一實施例中，該一或多個處理器經組態以應用一校正模型來校正由該一或多個晶圓幾何量測工具獲得之該等幾

何量測值。在另一實施例中，該校正模型經組態以校正由定位於該晶圓上之一透明薄膜引起之量測誤差。

應瞭解，前述[發明內容]及以下[實施方式]兩者皆僅為例示性及闡釋性的且並不一定限制本發明。併入說明書中且構成說明書之一部分之附圖繪示本發明之標的。該等描述及圖式一起用以解釋本發明之原理。

【圖式簡單說明】

熟習此項技術者可藉由參考附圖而更佳地瞭解本發明之諸多優點，其中：

圖1係描繪根據本發明之一或多項實施例之由介電質光傳播引起之透明薄膜誤差之一圖解說明。

圖2係描繪根據本發明之一或多項實施例之具有沈積於一晶圓基本上之非均勻厚度之一薄膜之一圖解說明。

圖3係描繪根據本發明之一或多項實施例之使用一晶圓幾何系統獲得之一晶圓厚度量測值之一圖解說明。

圖4係描繪根據本發明之一或多項實施例之使用一基準量測工具獲得之一真實晶圓厚度量測值之一圖解說明。

圖5係描繪根據本發明之一或多項實施例組態之一校正模型之一圖解說明。

圖6係描繪根據本發明之一或多項實施例之使用一晶圓幾何系統獲得之另一晶圓厚度量測值之一圖解說明。

圖7係描繪根據本發明之一或多項實施例之利用一校正模型校正之一晶圓厚度量測值之一圖解說明。

圖8係描繪根據本發明之一或多項實施例作為用於利用一校正模型校

正之晶圓厚度量測之一基準之一真實晶圓厚度量測值之一圖解說明。

圖9A至圖9B繪示根據本發明之一或多項實施例之自一薄膜堆疊獲得之反射率資訊。

圖10係描繪根據本發明之一或多項實施例之一晶圓量測校正方法之一流程圖。

圖11係描繪根據本發明之一或多項實施例組態之一檢測系統之一方塊圖。

【實施方式】

[相關申請案之交叉參考]

本申請案根據35U.S.C.§119(e)規定主張2017年1月9日申請之美國臨時申請案第62/443,815號之權利。該美國臨時申請案第62/443,815號之全文係以引用的方式併入本文中。

現將詳細參考繪示於附圖中之所揭示標的。

本發明之實施例係關於提供用於基於光學干涉量測術之晶圓幾何量測系統之透明薄膜誤差校正之方法及系統。此等基於光學干涉量測術之晶圓幾何量測系統可包含圖案晶圓幾何(PWG)系統。為了本發明的目的，可互換地使用術語「圖案晶圓幾何」(PWG)及「基於光學干涉量測術之晶圓幾何量測系統」。可利用自透明薄膜堆疊上之反射收集之相位及反射率改變資訊來校正表面構形量測誤差。在一些實施例中，利用多層堆疊模型來估計一三維薄膜堆疊(例如，3D NAND薄膜堆疊)上之表面構形量測誤差。模型可經組態以組合各層之可能厚度變化及數個已知位置處之厚度規(例如，基準厚度工具(諸如橢偏儀))量測，以匹配一實際經量測整個晶圓厚度圖。

現在參考圖1，展示根據本發明之一或多項實施例之由介電質光傳播引起之透明薄膜誤差之一圖解說明。應注意，歸因於介電質光傳播，所得總體反射係所有底部層之界面之間來回彈回之多個反射之一疊加。亦應注意，歸因於反射之相位改變 ϕ 取決於晶圓之層結構。更特定言之，反射光束中之相位改變依據薄膜厚度、複折射率及基板的性質而變化。若薄膜係均勻的，則相位改變 ϕ 係恆定的，且不會引起表面構形量測誤差。若薄膜係非均勻的，如圖2上所示，相位改變 ϕ 將使表面構形變形，導致量測誤差。在另一實施例中，來自此薄膜堆疊之反射率亦可經模型化為依據薄膜 n 、 k 及厚度而變化。

圖3及圖4係描繪根據本發明之一或多項實施例之可稱為反轉誤差之一類型之量測誤差之圖解說明。例如，圖4展示具有厚於邊緣區域之薄膜之中心區域之一薄膜之一晶圓之一真實薄膜厚度。可預期，可利用各種類型之量測工具來輔助量測真實薄膜厚度。例如，在不脫離本發明之精神及範疇之情況下，可利用寬帶橢偏量測術薄膜工具、工具型(on-tool)寬帶反射計厚度探針、電容式量規、光學厚度量規或類似者。另一方面，圖3展示使用干涉量測術資料量測(例如，使用一PWG量測工具量測)而無透明薄膜誤差校正之晶圓厚度。應注意，使用光學干涉量測術資料量測之晶圓厚度歸因於透明薄膜之反轉誤差而與真實厚度相反。圖5中繪示此關係。

可預期，可透過薄膜的光學特性來模型化真實厚度與PWG量測厚度之間的數量關係。在一些實施例中，校正模型可包含一校正曲線，如圖5中所繪示。例如，可自模擬產生校正曲線504。在圖5中，x軸指示以奈米(nm)為單位所量測的真實厚度，該真實厚度係經由一點對點厚度量測基準來判定。y軸顯示經量測或表觀之厚度，該厚度包含由透明薄膜引入之誤

差，並經由一光學干涉儀來量測。可收集表示真實厚度及PWG量測厚度兩者之實驗資料502以驗證校正曲線504。一旦獲得校正曲線504，則可使用校正曲線504來校正隨後PWG量測厚度，以產生接近地類似於真實厚度的厚度量測值。

圖6至圖8中進一步繪示此校正程序。圖6係在校正之前獲得之PWG量測值之一描繪。接著，可藉由應用一校正曲線來校正PWG量測值。所得量測值可稱為經校正PWG量測值，如圖7中所示。應注意，經校正PWG量測值可準確地反映真實厚度資料，在圖8中表示該真實厚度資料。採用此一校正方法，一經校正PWG厚度量測值與一基準工具(例如，橢偏儀)厚度量測值之間的相關性可接近97%。

可預期，可利用直接用於厚度量測的反射率資訊(r)及相位資料(ϕ)進一步輔助上文所描述的校正程序，如關係式中提及： $\vec{E}_{reflected} = \vec{E}_{incidence} r e^{j\phi}$ ，該關係式源自如以上使用之相同干涉儀強度資料。在一些實施例中，可使用一單一波長干涉儀來收集來自多個晶圓表面位置的空間資訊。接著，可處理所收集之資訊，以產生具有反射率資訊之一晶圓圖，該晶圓圖可用來進一步改良經校正PWG量測值的準確度。圖9A及圖9B繪示自一薄膜堆疊獲得之反射率資訊。圖9A繪示使用一PWG系統跨一樣品量測之反射率。圖9B繪示相對於薄膜厚度改變之經量測反射率與經模型化反射率之間的相似性。應注意，因為僅將干涉儀資訊膜後沈積用於反射率量測，所以可在一單一處理步驟中完成此程序，其更有效於使用兩個步驟以在膜沈積/蝕刻之前/之後量測表面構形來導出薄膜厚度。

亦可預期，在不脫離本發明之精神及範疇之情況下，上文所描述之校正程序可經組態以適應更大厚度範圍。例如，可將相位展開技術應用於

上文所描述之曲線，以擴展其厚度覆蓋來匹配一特定需求。可藉由(但不限於)以下演算法之一或多者來執行上文所描述之校正程序：一擬合之干涉儀強度資料、反射率、相位誤差對模型結果、一組去除雜訊/濾波技術、一預測演算法、一統計最佳化演算法及一自干涉儀輸入之神經網路演算法。

圖10係描繪根據本發明組態之一校正程序1000之一實施例之一流程圖。如圖10中所示，在步驟1002中，利用一晶圓幾何系統來獲得一晶圓之幾何量測值。所獲得之幾何量測值可包含由定位於晶圓上之透明薄膜引起之誤差，諸如表面構形量測誤差及類似者。接著，在步驟1004中，可利用一校正模型來幫助減小幾何量測中獲得之誤差。如前所述，校正模型可幫助校正由定位於晶圓上之透明薄膜引起之量測誤差。在一些實施例中，可基於真實厚度與經量測晶圓厚度資料之間之相關性而先驗地獲得校正模型。在一些實施例中，校正模型可涉及使用如前所述之一校正曲線。在其他實施例中，校正模型可涉及使用上文所描述之一先驗方法及校正曲線方法兩者。

可預期，在一些實施例中，可動態更新校正模型。例如，可比對一些參考資料來檢查步驟1004之輸出，以判定校正模型之有效性。在一些實施例中，可提供一回饋迴路來調整校正模型，若如此做可進一步減小量測誤差。在一些實施例中，可基於晶圓之設計及晶圓之各個層之已知物理(及光學)性質來產生校正模型。可預期，在不脫離本發明之精神及範疇之情況下，可利用各種其他類型之技術幫助產生/更新校正模型。

現在參考圖11，展示描繪根據本發明之一或多項實施例組態之一檢測系統1100之一方塊圖。在一項實施例中，檢測系統1100包含一或多個

晶圓幾何工具1102。晶圓幾何工具1102可經組態以獲得來自晶圓1106之晶圓幾何量測值。例如，晶圓幾何工具1102可包含(但不限於)一雙腔裴佐干涉儀。2005年1月25日發佈之美國專利案第6,847,458號中提供適合於本發明之一或多項實施例中之實施方案之一雙干涉儀之一描述，該案之全文以引用方式併入本文中。2011年11月29日發佈之美國專利案第8,068,234號中提供適合於本發明之一或多項實施例中之實施方案之一雙干涉儀之一描述，該案之全文以引用方式併入本文中。2014年10月2日發表之美國專利申請案2014/0293291中提供適合於本發明之一或多項實施例中之實施方案之一雙干涉儀之一描述，該案之全文以引用方式併入本文中。

在另一實施例中，檢測系統1100包含一或多個處理器1104 (例如，一或多個電腦處理器)。一或多個處理器1104可經通訊地耦合至晶圓幾何工具1102並經組態以接收來自晶圓幾何工具1102之一或多個量測值。在一項實施例中，可在一控制器中體現一或多個處理器1104。處理器1104可經組態以將一校正模型應用於所獲得之晶圓幾何量測值。可先驗地獲得校正模型。校正模型亦可為動態可調整的，如上所述。

將自上文理解，上文所描述之校正系統及程序能夠精確量測沈積於透明薄膜堆疊上之厚不透明薄膜，該量測係3D NAND生產中之一關鍵潛在應用。上文所描述之校正系統及程序將顯著減小透明薄膜引入的表面構形量測誤差，而不在製造程序中添加不透明薄膜。基於經校正表面構形量測值，系統1100可用於提供回饋及/或前饋控制，以便調整半導體製造設備(例如，3D NAND設備)中之上游或下游處理工具。

一或多個處理器1104可包含此項技術中已知之任一或多個處理元件。應瞭解，本文中描述之(若干)處理器之各者可採取各種形式，包含一

個人電腦系統、影像電腦、主機電腦系統、工作站、網路器具、網際網路器具或其他裝置。一般言之，術語「電腦系統」可經廣義定義以涵蓋具有執行來自一記憶體媒體之指令之一或多個處理器之任何裝置。該等(若干)電腦子系統或(若干)系統亦可包含技術中已知之任何適合處理器(諸如一平行處理器)。此外，該等(若干)電腦子系統或(若干)系統可包含具有高速處理及軟體之一電腦平台，作為一單機(standalone)或一網路工具。

若一電腦系統包含超過一個電腦子系統，則接著不同電腦子系統可彼此耦合使得可在如本文中進一步描述之電腦子系統之間發送影像、資料、資訊、指令等。例如，一個電腦子系統可藉由任何適合傳輸媒體(可包含此項技術中已知之任何適合有線及/或無線傳輸媒體)耦合至(若干)額外電腦子系統。亦可藉由一共用電腦可讀儲存媒體有效地耦合兩個或更多個此等電腦子系統。一般而言，術語「處理器」可經廣義定義以涵蓋具有一或多個處理元件之任何裝置，其執行來自一非暫時性記憶體媒體(即，記憶體)之程式指令。此外，系統1100之不同子系統(例如，晶圓幾何工具1102、使用者介面及類似者)可包含適合於執行貫穿本發明所描述之步驟之至少一部分之處理器或邏輯元件。

可預期，本發明之一額外實施例係關於非暫時性電腦可讀媒體，其儲存可在一電腦系統上執行之程式指令，用於執行用於如上所述之目標放置之一電腦實施方法。該電腦可讀媒體可係一儲存媒體(諸如一磁碟或一光碟、一磁帶或技術中已知之任何其他適合非暫時性電腦可讀媒體)。可以各種方式之任一者實施程式指令，包含基於程序之技術、基於組件之技術及/或物件導向技術，等等。例如，可視需要使用ActiveX控制項、C++物件、JavaBeans、微軟基礎類別(Microsoft Foundation Classes,

「MFC」)、SSE (串流SIMD延伸)或其他技術或方法論來實施程式指令。

亦可瞭解，儘管上文所描述之實例已參考晶圓，然在不脫離本發明之精神及範疇之情況下，根據本發明之系統及方法亦可適用於其他類型之拋光板。用於本發明中的術語晶圓可包含用於製造積體電路及其他裝置以及其他薄拋光板(諸如，磁碟基板、塊規及類似者)之一薄片半導體材料。

可預期，本發明中描述之方法及系統可經實現為獨立產品或各種晶圓量測、檢測及/或熱點發現工具之組件。應瞭解，所揭示方法中之步驟之特定順序及階層係例示性方法之實例。基於設計偏好，應瞭解該方法中之步驟之特定順序及階層可經重新配置同時保持在本發明之精神及範疇內。亦應瞭解，為了圖解說明的目的，在附圖中描繪之各種區塊經單獨地提出。可預期，儘管附圖中描繪之各種區塊可經實現為單獨(及通訊地耦合)裝置及/或處理單元，然其等亦可在不脫離本發明之精神及範疇之情況下一體地整合。

本文中描述之全部方法可包含將方法實施例之一或多個步驟之結果儲存於一記憶體媒體中。該等結果可包含本文中描述之結果之任一者且可依此項技術中已知之任何方式儲存。該記憶體媒體可包含本文中描述之任何記憶體媒體或技術中已知之任何其他適合記憶體媒體。在已儲存結果之後，結果可在記憶體媒體中存取且由本文中描述之任何方法或系統實施例使用，經格式化以對使用者顯示，由另一軟體模組、方法或系統等等使用。此外，可「永久地」、「半永久地」、「暫時」或在一段時間內儲存結果。例如，該記憶體媒體可為隨機存取記憶體(RAM)，且該等結果未必無限期地保存於該記憶體媒體中。

進一步預期，上文所描述之方法之實施例中之各者可包含本文中描

述之任何(若干)其他方法之任何(若干)其他步驟。此外，可藉由本文所描述之系統之任一者執行上文所描述中之方法之實施例之各者。

熟習此項技術者將認知的是，以本文所闡釋之方式描述裝置及/或程序，及隨後使用工程設計實踐以將此等所描述之裝置及/或程序整合至資料處理系統中在技術中係常見的。即，本文中描述之裝置及/或處理程序的至少一部分可經由一合理量之實驗被整合至一資料處理系統中。此等熟悉此項技術者將認知的是，一典型資料處理系統大體上包含以下之一或多者：一系統單元外殼、一視訊顯示裝置、一記憶體(諸如揮發性或非揮發性記憶體)、處理器(諸如微處理器及數位信號處理器)、運算實體(諸如作業系統、驅動程式、圖形使用者介面、應用程式)、一或多個互動裝置(諸如一觸控墊或螢幕，及/或包含回饋迴路及控制馬達(例如用於感測位置及/或速度之回饋；及用於移動及/或調整組件及/或數量之控制馬達)之控制系統)。可利用任何適合商業上可購得之組件(諸如通常在資料運算/通訊及/或網路運算/通訊系統中發現之此等)來實施一典型資料處理系統。

本文所描述之標的有時繪示不同其他組件內所含之或與不同其他組件連接的不同組件。應瞭解，此等所描繪之架構僅為例示性的，及事實上，可實施達成相同功能性之許多其他架構。就一概念意義而言，達成相同功能性之組件的任何配置係有效「相關聯」，使得達成所要功能性。因此，在本文經組合以達成一特定功能性之任何兩個組件可被視為彼此「相關聯」，使得達成所要功能性，而無關於架構或中間組件。類似地，如此相關聯之任何兩個組件亦可視為彼此「經可操作連接」或「經可操作耦合」以達成所要功能性，及能如此相關聯之任何兩個組件亦可被視為彼此「係可操作可耦合」以達成所要功能性。可操作可耦合之特定實例包含

(但不限於)可實體相配及/或實體互動組件及/或可無線互動及/或無線互動組件及/或邏輯互動及/或可邏輯互動組件。

熟習此項技術者應瞭解的是，一般而言，在本文中且尤其在隨附申請專利範圍(例如，隨附申請專利範圍之主體)中所使用之術語通常意為「開放式」術語(例如，應將術語「包含」解譯為「包含但不限於」，應將術語「具有」解譯為「至少具有」，應將術語「包括」解譯為「包括但不限於」等等)。熟習此項技術者將進一步瞭解，若預期一特定編號之一引導申請專利範圍敘述，則將在申請專利範圍中明確敘述此一意圖，且在缺乏此敘述之情況下不存在此意圖。舉例而言，作為理解之一輔助，以下隨附申請專利範圍可含有引導性片語「至少一」及「一或多個」之使用以引導申請專利範圍敘述。然而，不應認為此等片語之使用暗示藉由不定冠詞「一」導入一請求項敘述將含有如此導入之請求項敘述的任何特定請求項限於僅含有一個此種敘述之發明，即使在相同請求項包含導入性片語「一或多」或「至少一」及諸如「一」之不定冠詞(例如，通常應將「一」解譯為意指「至少一」或「一或多」)時亦如此；用於導入請求項敘述之定冠詞的使用亦為此理。另外，即使明確地敘述特定數目之經導入請求項敘述，熟習此項技術者亦將認知的是，通常應將此種敘述解譯為意指至少該所敘述之數目(例如，無其他修飾語情況下裸露敘述「兩個敘述」通常意指至少兩個敘述，或兩個或更多個敘述)。此外，在其中使用類似於「A、B與C等等之至少一者」的一慣例的該等例項中，一般以熟習此項技術者將瞭解該慣例之意義預期此一構造(例如，「具有A、B與C之至少一者的一系統」將包含但不限於單獨具有A、單獨具有B、單獨具有C、同時具有A與B、同時具有A與C、同時具有B與C及/或同時具有A、B

及C等等之系統)。在其中使用類似於「A、B或C等等之至少一者」之一慣例的該等例項中，一般以熟習此項技術者將瞭解該慣例之意義預期此一構造(例如，「具有A、B或C之至少一者的一系統」將包含但不限於單獨具有A、單獨具有B、單獨具有C、同時具有A與B、同時具有A與C、同時具有B與C及/或同時具有A、B及C等等之系統)。熟習此項技術者將進一步瞭解，無論在描述、申請專利範圍或圖式中呈現兩個或兩個以上替代術語之實際上任何反意字詞及/或片語應瞭解為涵蓋包含術語之一者、術語之任一者或兩個術語之可能性。例如，片語「A或B」將被瞭解為包含「A」或「B」或「A及B」之可能性。

儘管已展示及描述本文中描述之本發明標的之特定態樣，然熟習此項技術者將明白，基於本文中之教示，可在不脫離本文中描述之標的及其更廣態樣情況下作出改變及修改且因此，隨附申請專利範圍旨在將如落於本文中描述之標的之真實精神及範疇內之全部此等改變及修改涵蓋於其等範疇內。此外，應瞭解，本發明係藉由隨附申請專利範圍而界定。

【符號說明】

502	實驗資料
504	校正曲線
1000	校正程序
1002	步驟
1004	步驟
1100	檢測系統
1102	晶圓幾何工具
1104	處理器
1106	晶圓

【發明申請專利範圍】

【第1項】

一種晶圓幾何量測方法，其包括：

利用一晶圓幾何量測工具來獲得一三維NAND結構之幾何量測值；

及

以一或多個處理器應用一多層堆疊校正模型來校正由該晶圓幾何量測工具自該三維NAND結構獲得之該等幾何量測值，其中該多層堆疊校正模型包含表示介於一真實厚度與一量測厚度之間的一相關性之一模擬校正曲線，其中該多層堆疊校正模型經組態以校正拓樸資料中之一或多個量測誤差，其由經定位於該三維NAND結構上之一透明薄膜而基於自該透明薄膜所測量之反射率及相位改變資訊所引起；及

基於該經校正之幾何量測值提供一或多個控制信號至一半導體製造設備中之一或多個處理工具。

【第2項】

如請求項1之方法，其中至少部分基於真實晶圓厚度資料與使用該晶圓幾何量測工具量測之晶圓厚度資料之間的相關性來獲得該校正模型。

【第3項】

如請求項1之方法，其中至少部分基於該晶圓之一設計及該晶圓之複數個層之已知物理及光學性質來獲得該校正模型。

【第4項】

如請求項1之方法，其中該校正模型進一步考慮具有反射率資訊之一晶圓圖。

【第5項】

如請求項4之方法，其中利用自多個晶圓表面位置收集空間資訊之一單一波長干涉儀來獲得具有反射率資訊之該晶圓圖。

【第6項】

如請求項1之方法，其中該校正曲線支援包繞及展開。

【第7項】

一種晶圓幾何量測方法，其包括：

至少部分基於一晶圓之一設計及該晶圓之一三維NAND結構之已知物理及光學性質來產生一多層堆疊校正模型，其中該多層堆疊校正模型包含表示介於一真實厚度與一量測厚度之間的之一相關性之一模擬校正曲線；

利用一晶圓幾何量測工具來獲得該晶圓之幾何量測值；

應用該校正模型來校正由該晶圓幾何量測工具獲得之該等幾何量測值，其中該校正模型經組態以校正拓樸資料中之量測誤差，其由經定位於該晶圓之該三維NAND結構上之一透明薄膜所引起；及

基於該經校正之幾何量測值提供一或多個控制信號至一半導體製造設備中之一或多個處理工具。

【第8項】

如請求項7之方法，其中至少部分基於真實晶圓厚度資料與使用該晶圓幾何量測工具量測之晶圓厚度資料之間的相關性來產生該校正模型。

【第9項】

如請求項7之方法，其中該校正模型進一步考慮具有反射率資訊之一晶圓圖。

【第10項】

如請求項9之方法，其中利用自多個晶圓表面位置收集空間資訊之一單一波長干涉儀來獲得具有反射率資訊之該晶圓圖。

【第11項】

如請求項7之方法，其中該校正曲線支援包繞及展開。

【第12項】

一種在晶圓幾何量測中透明薄膜誤差校正的系統，其包括：

一或多個晶圓幾何量測工具，其等經組態以獲得一晶圓之一三維NAND結構之幾何量測值；及

一或多個處理器，其等與該一或多個晶圓幾何量測工具通訊，該一或多個處理器經組態以：

應用一多層堆疊校正模型來校正由該晶圓幾何量測工具自該三維NAND結構所獲得之該等幾何量測值，其中該多層堆疊校正模型包含表示介於一真實厚度與一量測厚度之間的之一相關性之一模擬校正曲線，其中該多層堆疊校正模型經組態以校正拓樸資料中之一或多個量測誤差，其由經定位於該三維NAND結構上之一透明薄膜而基於自該透明薄膜所測量之反射率及相位改變資訊所引起；及

基於該經校正之幾何量測值提供一或多個控制信號至一半導體製造設備中之一或多個處理工具。

【第13項】

如請求項12之系統，其中至少部分基於真實晶圓厚度資料與使用該晶圓幾何量測工具量測之晶圓厚度資料之間的相關性來獲得該校正模型。

【第14項】

如請求項12之系統，其中至少部分基於該晶圓之一設計及該晶圓之

複數個層之已知物理及光學性質來獲得該校正模型。

【第15項】

如請求項12之系統，其中該校正模型進一步考慮具有反射率資訊之一晶圓圖。

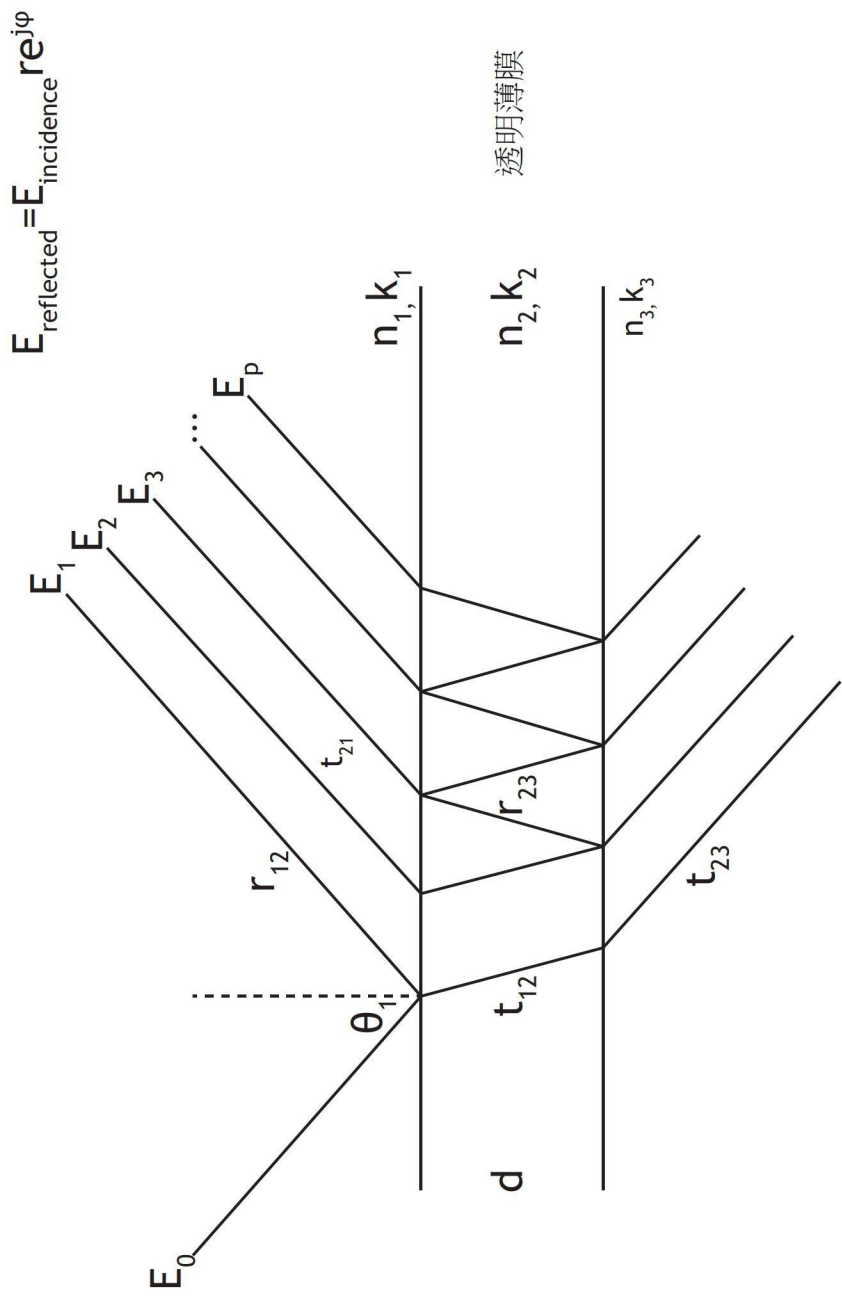
【第16項】

如請求項15之系統，其中利用自多個晶圓表面位置收集空間資訊之一單一波長干涉儀來獲得具有反射率資訊之該晶圓圖。

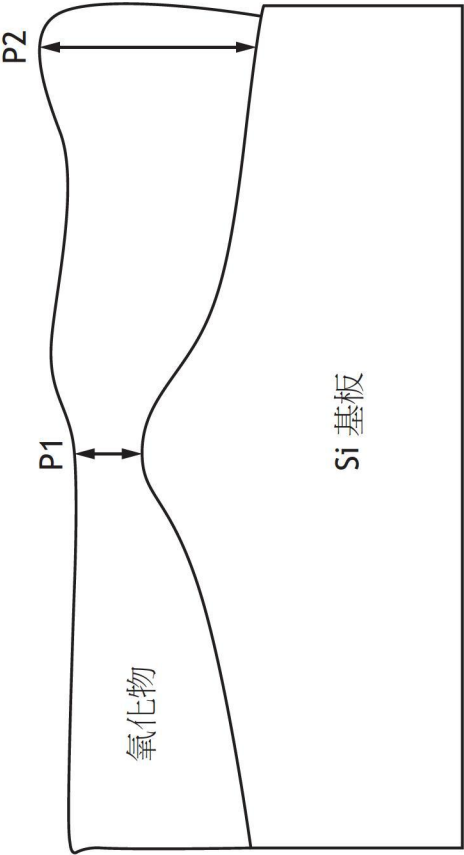
【第17項】

如請求項12之系統，其中該校正曲線支援包繞及展開。

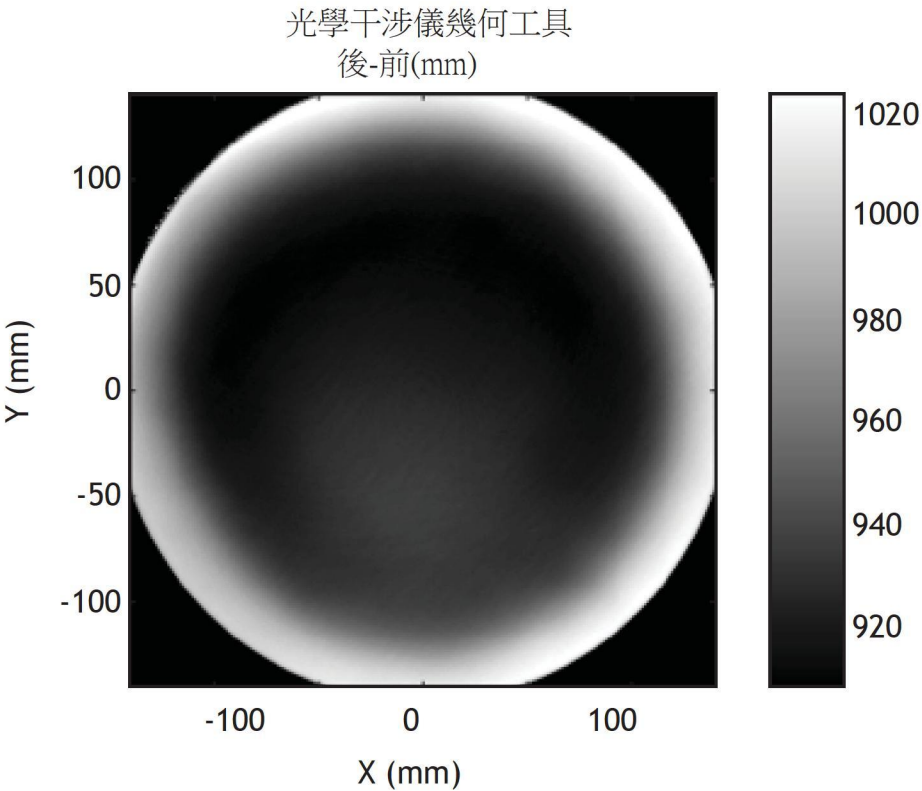
【發明圖式】



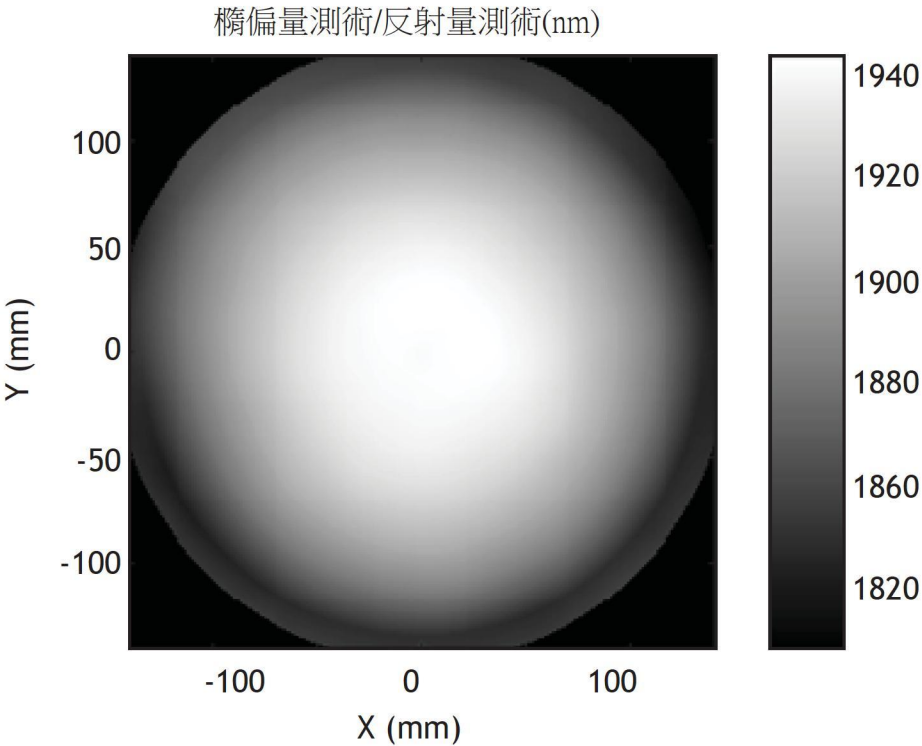
【圖1】



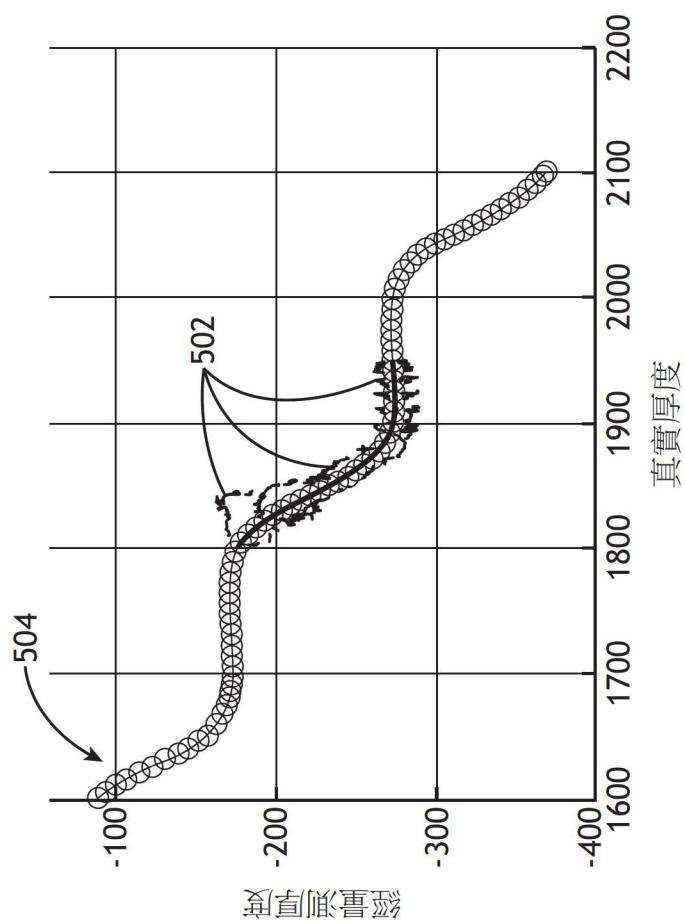
【圖2】



【圖3】



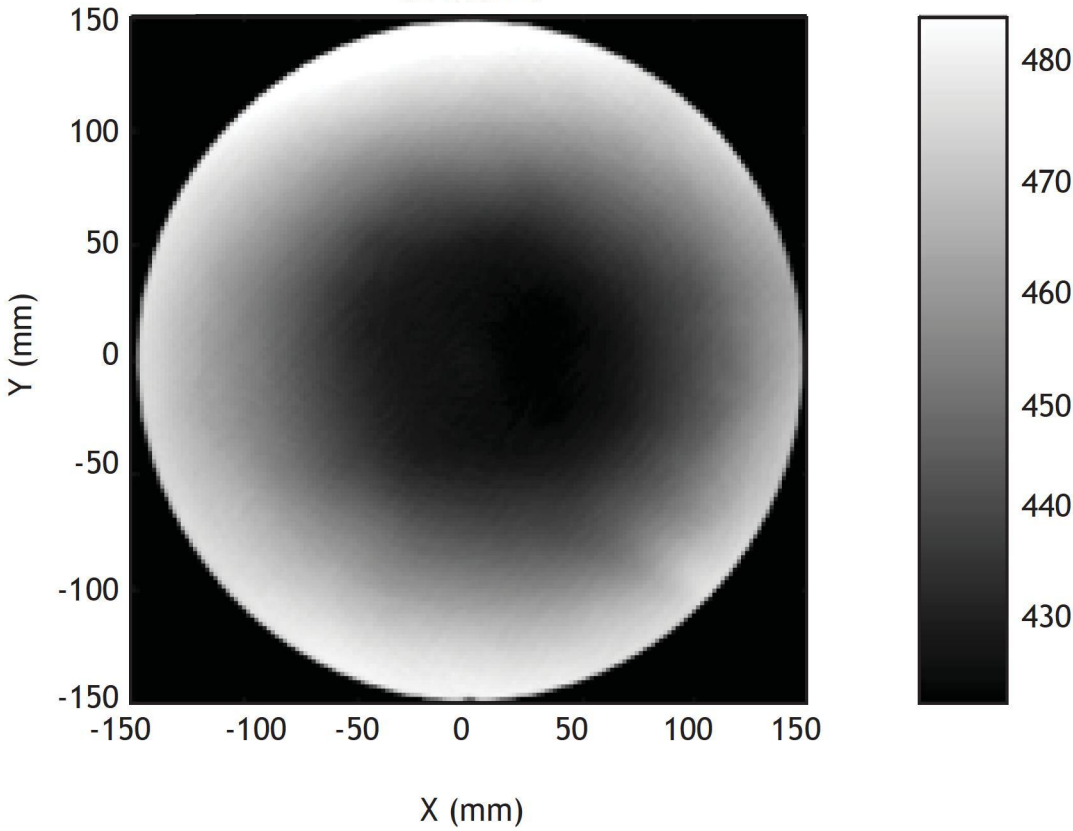
【圖4】



【圖5】

具有反轉誤差之光學干涉儀幾何工具
(在校正之前)

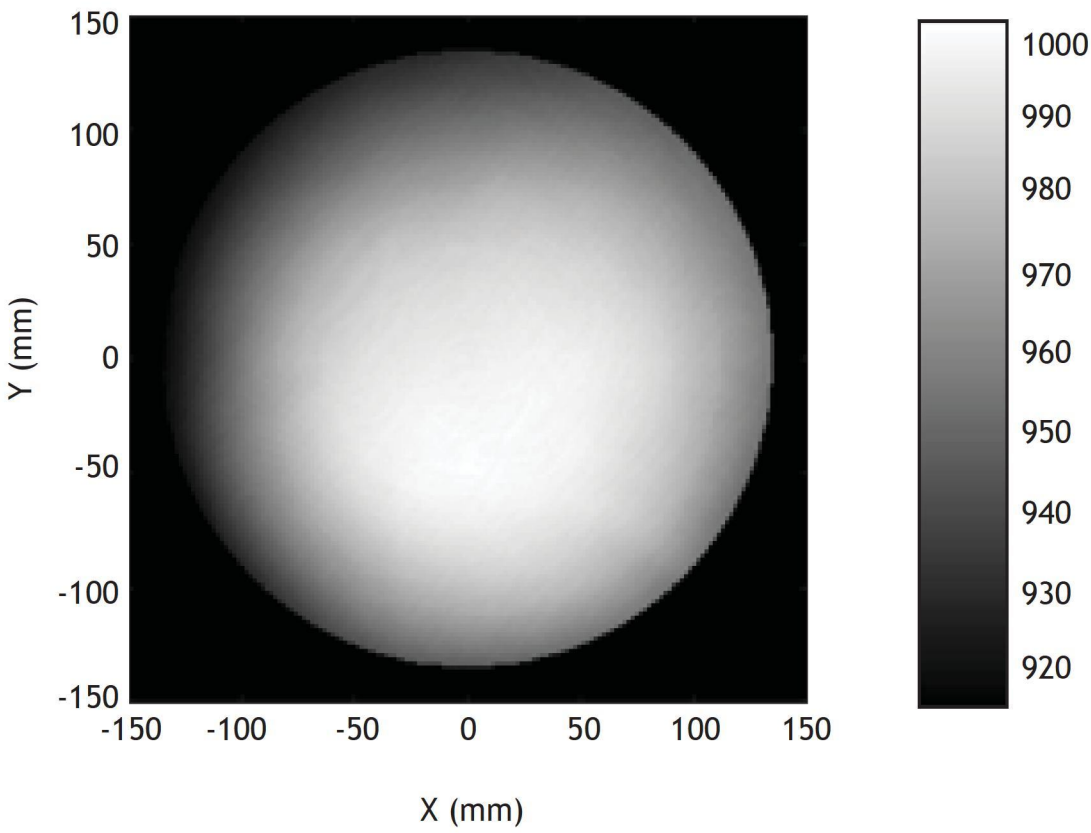
光學干涉儀幾何工具
後-前(mm)



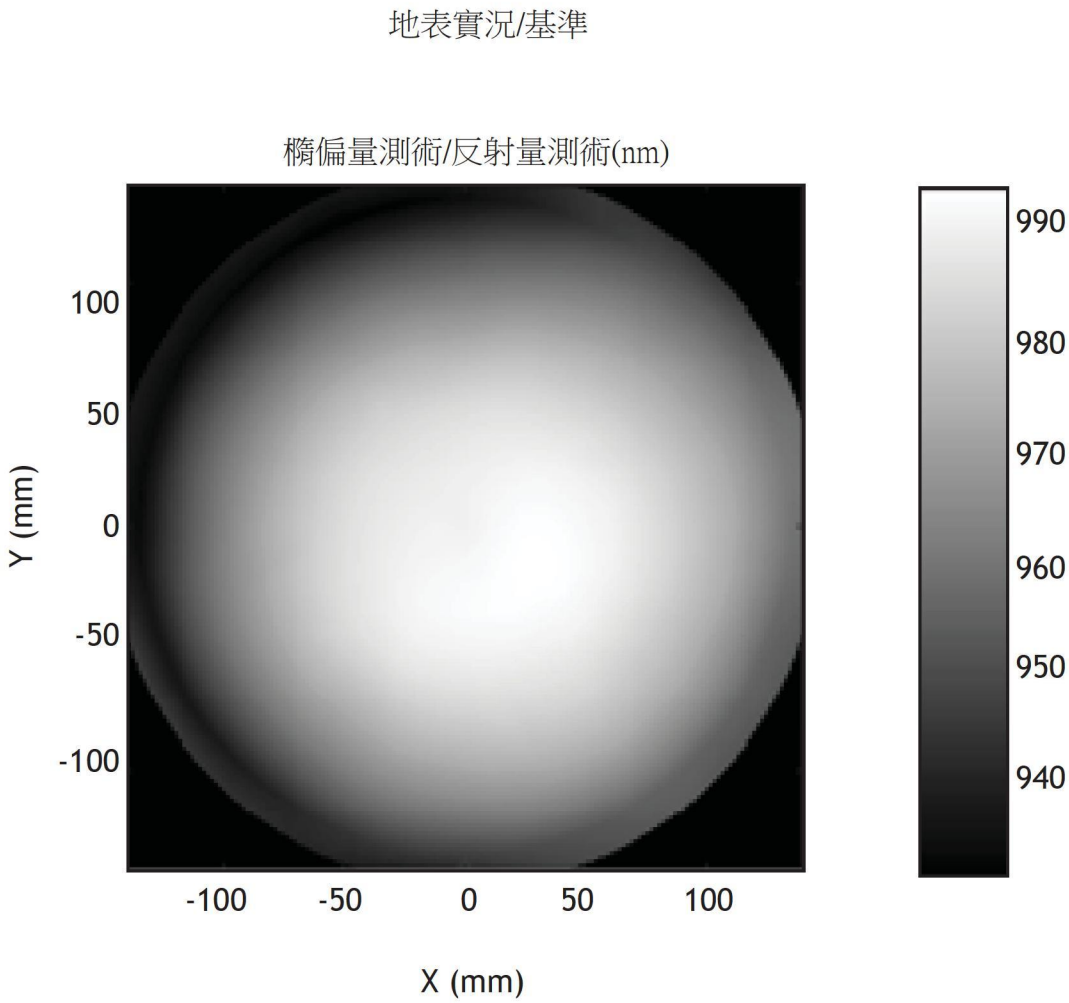
【圖6】

具有反轉誤差之光學干涉儀幾何工具
(在校正之後)

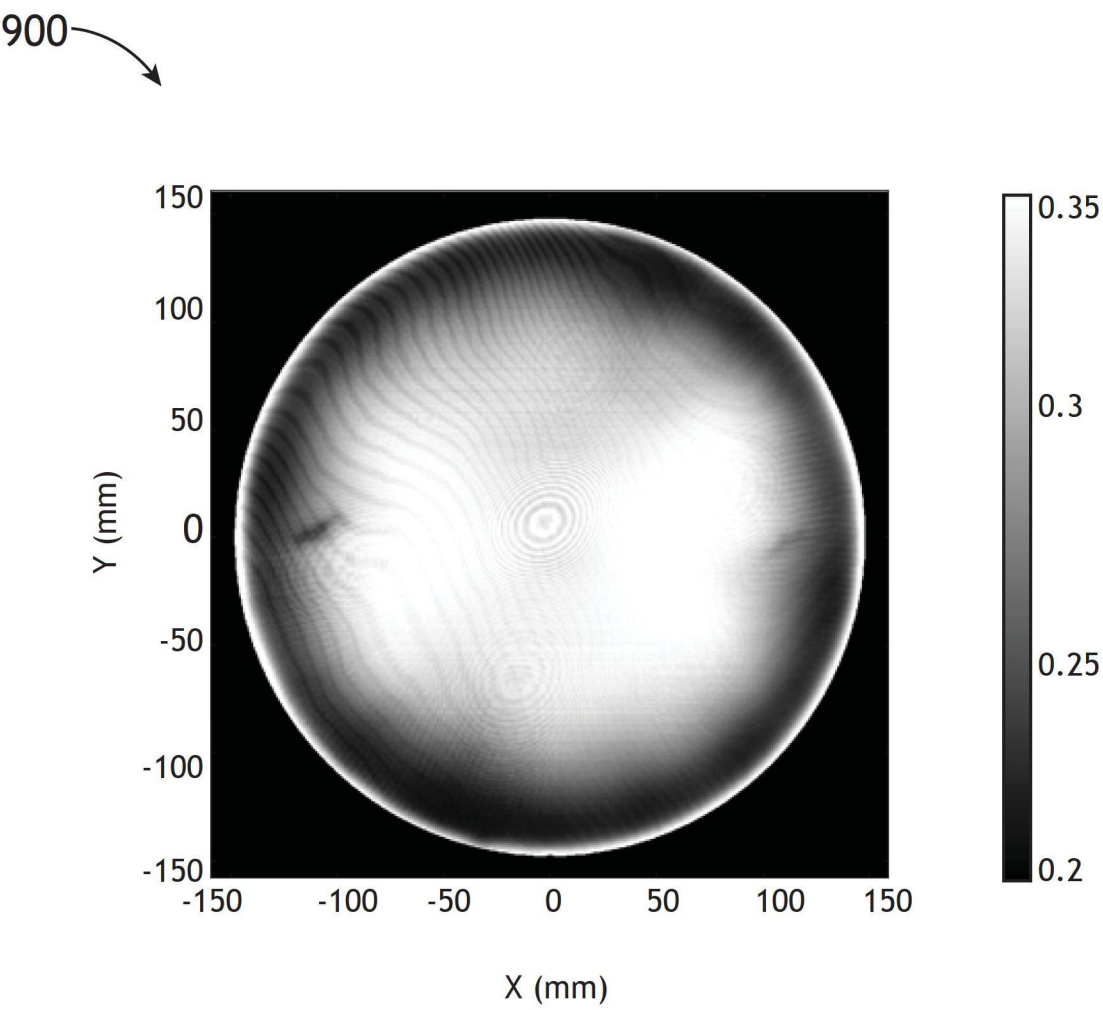
光學干涉儀幾何工具ASD校正厚度(nm)



【圖7】

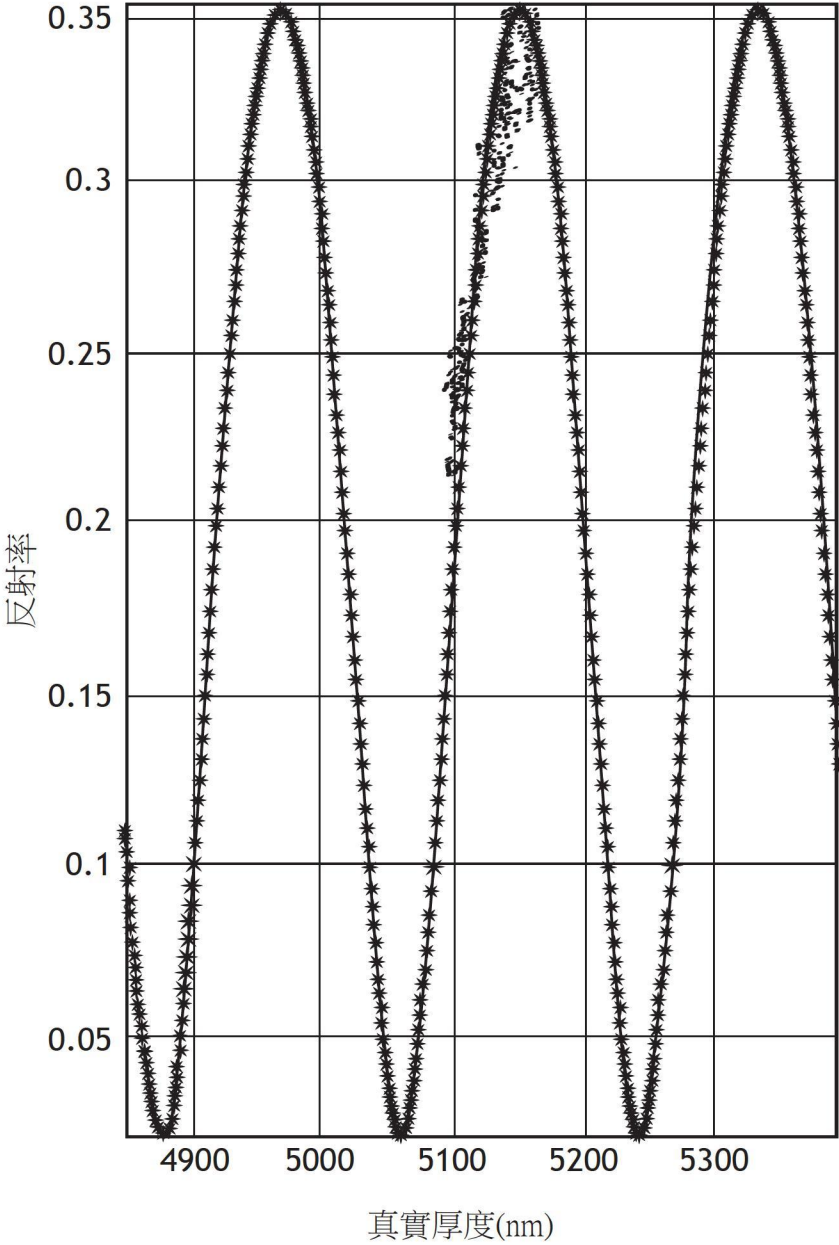


【圖8】

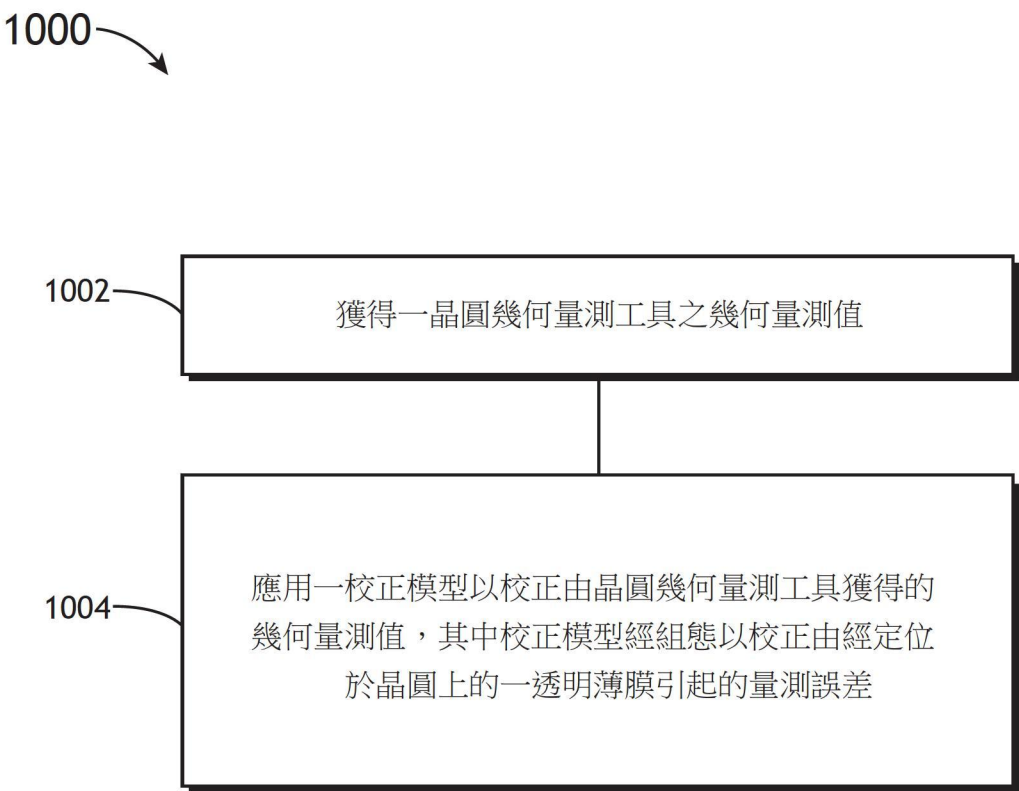


【圖9A】

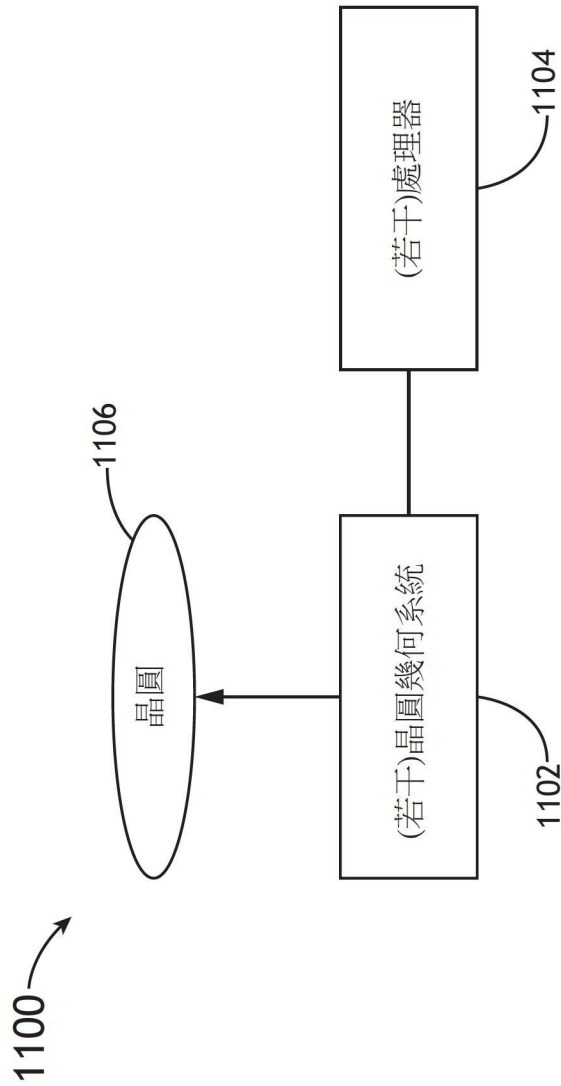
902



【圖9B】



【圖10】



【圖11】