



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I594581 B

(45)公告日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：101117084

(22)申請日：中華民國 101 (2012) 年 05 月 14 日

(51)Int. Cl. : H03M1/50 (2006.01) H03L7/08 (2006.01)

G01K1/00 (2006.01) G04F10/10 (2006.01)

(30)優先權：2011/05/30 南韓 10-2011-0051105

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：金晟禎 KIM, SUNG-JIN (KR)；金志炫 KIM, JI-HYUN (KR)

(74)代理人：詹銘文

(56)參考文獻：

TW 517458

TW 201010291A

US 4564918

審查人員：蘇齊賢

申請專利範圍項數：35 項 圖式數：42 共 167 頁

(54)名稱

時間差加法器、時間差累積器、 $\Sigma-\Delta$ 時間至數位轉換器、數位鎖相迴路以及溫度感測器

TIME DIFFERENCE ADDERS, TIME DIFFERENCE ACCUMULATORS, SIGMA-DELTA TIME-TO-DIGITAL CONVERTERS, DIGITAL PHASE LOCKED LOOPS AND TEMPERATURE SENSORS

(57)摘要

系統單晶片(SOC)中所包含之時間差加法器包含第一暫存器單元及第二暫存器單元。所述第一暫存器單元經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且所述第一暫存器單元經組態以回應於第一信號而產生第一輸出信號。所述第二暫存器單元經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，且所述第二暫存器單元經組態以回應於所述第一信號而產生相對於所述第一輸出信號具有第三時間差之第二輸出信號。所述第三時間差對應於所述第一時間差與所述第二時間差之總和。

A time difference adder included in a system-on-chip (SOC) includes a first register unit and a second register unit. The first register unit is configured to receive first and second input signals having a first time difference, and generate a first output signal in response to a first signal. The second register unit is configured to receive third and fourth input signals having a second time difference, and generate a second output signal having a third time difference with respect to the first output signal in response to the first signal. The third time difference corresponds to a sum of the first time difference and the second time difference.

指定代表圖：

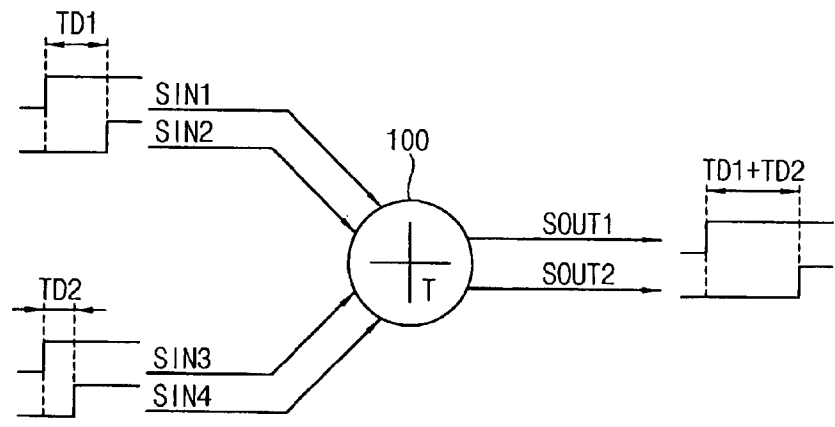


圖 1

符號簡單說明：

100 . . . 時間差加法器

SIN1 . . . 第一輸入信號

SIN2 . . . 第二輸入信號

SIN3 . . . 第三輸入信號

SIN4 . . . 第四輸入信號

SOUT1 . . . 第一輸出信號

SOUT2 . . . 第二輸出信號

TD1 . . . 第一時間差

TD2 . . . 第二時間差

42283pif

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101117084

※ 申請日：101/05/14

※IPC 分類：

H03M 1/50 (2006.01)

H03L 7/08 (2006.01)

G01K 1/00 (2006.01)

G04F 10/10 (2006.01)

一、發明名稱：

時間差加法器、時間差累積器、 Σ - Δ 時間至數位轉換器、數位鎖相迴路以及溫度感測器

TIME DIFFERENCE ADDERS, TIME DIFFERENCE ACCUMULATORS, SIGMA-DELTA TIME-TO-DIGITAL CONVERTERS, DIGITAL PHASE LOCKED LOOPS AND TEMPERATURE SENSORS

二、中文發明摘要：

系統單晶片 (SOC) 中所包含之時間差加法器包含第一暫存器單元及第二暫存器單元。所述第一暫存器單元經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且所述第一暫存器單元經組態以回應於第一信號而產生第一輸出信號。所述第二暫存器單元經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，且所述第二暫存器單元經組態以回應於所述第一信號而產生相對於所述第一輸出信號具有第三時間差之第二輸出信號。所述第三時間差對應於所述第一時間差與所述第二時間差之總和。

42283pif

三、英文發明摘要：

A time difference adder included in a system-on-chip (SOC) includes a first register unit and a second register unit. The first register unit is configured to receive first and second input signals having a first time difference, and generate a first output signal in response to a first signal. The second register unit is configured to receive third and fourth input signals having a second time difference, and generate a second output signal having a third time difference with respect to the first output signal in response to the first signal. The third time difference corresponds to a sum of the first time difference and the second time difference.

42283.tif

四、指定代表圖：

(一) 本案之指定代表圖：圖 1。

(二) 本代表圖之元件符號簡單說明：

100：時間差加法器

SIN1：第一輸入信號

SIN2：第二輸入信號

SIN3：第三輸入信號

SIN4：第四輸入信號

SOUT1：第一輸出信號

SOUT2：第二輸出信號

TD1：第一時間差

TD2：第二時間差

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

42283pif

六、發明說明：

相關申請案的交叉參考

此美國非臨時申請案依據 35 U.S.C. §119 主張 2011 年 5 月 30 日在韓國智慧財產局 (KIPO) 提出申請之韓國專利申請案第 2011-0051105 號之優先權，韓國專利申請案第 2011-0051105 號之全部內容以引用方式併入本文中。

【發明所屬之技術領域】

範例實施例是關於信號處理。更明確而言，例如，範例實施例是關於包含時間差加法器之系統單晶片 (system-on-chip; SOC)、包含時間差累積器之 SOC、 Σ - Δ 時間至數位轉換器、數位鎖相迴路及/或溫度感測器。

【先前技術】

時間至數位轉換器 (time-to-digital converter; TDC) 是將輸入信號之間的時間差轉換成數位信號的裝置。隨著設計規則 (design rule; DR) 及電源電壓減小，電壓信號之信號雜訊比 (signal-to-noise ratio; SNR) 減小，且將電壓信號轉換成數位信號之類比至數位轉換器 (analog-to-digital converter; ADC) 之效能可能惡化。因此，將電壓信號轉換成數位信號之 ADC 可由將時間差轉換成數位信號之 TDC 替代。

【發明內容】

至少一些範例實施例提供一種包含時間差加法器之系統單晶片 (SOC)，所述時間差加法器經組態以將輸入信號之間的時間差相加。

42283pif

至少一些範例實施例提供包含時間差累積器之 SOC，所述時間差累積器經組態以累積輸入信號之間的時間差。

至少一些範例實施例提供一種 Σ - Δ 時間至數位轉換器，所述 Σ - Δ 時間至數位轉換器經組態以按 Σ - Δ 方式將輸入信號之間的時間差轉換成數位信號。

至少一些範例實施例提供一種包含 Σ - Δ 時間至數位轉換器之數位鎖相迴路（digital phase locked loop；DPLL）。

至少一些範例實施例提供一種包含 Σ - Δ 時間至數位轉換器之溫度感測器。

根據一或多個範例實施例，系統單晶片（SOC）中所包含之時間差加法器包含第一暫存器單元（first register unit）及第二暫存器單元。第一暫存器單元接收具有第一時間差之第一輸入信號及第二輸入信號，且第一暫存器單元回應於第一信號而產生第一輸出信號。第二暫存器單元接收具有第二時間差之第三輸入信號及第四輸入信號，且第二暫存器單元回應於第一信號而產生相對於第一輸出信號具有第三時間差之第二輸出信號。第三時間差對應於第一時間差與第二時間差之總和。

根據一或多個範例實施例，系統單晶片（SOC）中所包含之時間差加法器包含第一暫存器單元及第二暫存器單元。第一暫存器單元經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且第一暫存器單元經組態以回應於第一信號而產生第一輸出信號。第二暫存器單元經組

42283pif

態以接收具有第二時間差之第三輸入信號及第四輸入信號，且第二暫存器單元經組態以回應於第一信號而產生相對於第一輸出信號具有第三時間差之第二輸出信號。第三時間差對應於第一時間差與第二時間差之總和。

在一些範例實施例中，第一暫存器單元可包含：第一偏移延遲單元，其經組態以藉由使第二輸入信號延遲了一段偏移時間而產生第一保持信號；以及第一時間暫存器，其包含經組態以接收第一輸入信號之第一輸入端子、經組態以接收第一保持信號之第一保持端子、經組態以接收第一信號之第一喚醒端子，及經組態以輸出第一輸出信號之第一輸出端子。第二暫存器單元可包含：第二偏移延遲單元，其經組態以藉由使第三輸入信號延遲了所述偏移時間而產生第二保持信號；以及第二時間暫存器，其包含經組態以接收第四輸入信號之第二輸入端子、經組態以接收第二保持信號之第二保持端子、經組態以接收第一信號之第二喚醒端子，及經組態以輸出第二輸出信號之第二輸出端子。

在一些範例實施例中，第一時間暫存器可輸出第一輸出信號，所述第一輸出信號在第一信號之上升邊緣後的第一給定、所要或預定之時間段之後具有上升邊緣。第一時間間隔可等於或實質上等於放電時間減去偏移時間減去第一時間差。第二時間暫存器可輸出第二輸出信號，所述第二輸出信號在第一信號之上升邊緣後的第二給定、所要或預定之時間段之後具有上升邊緣。第二時間段可等於或實

42283pif

質上等於放電時間減去偏移時間加上第二時間差。

在一些範例實施例中，第一時間暫存器可包含第一電容器，且第二時間暫存器可包含第二電容器。第一電容器及第二電容器可具有相同或實質上相同之容量。放電時間可根據所述容量來確定。

在一些範例實施例中，第一時間暫存器可包含：第一反相器，其經組態以使第一輸入信號反相；反相器控制單元，其經組態以回應於第一保持信號而停用第一反相器，且經組態以回應於第一信號而啟動第一反相器；電容器，其經組態以回應於第一反相器之輸出信號而被充電或放電；以及第二反相器，其經組態以基於電容器之電壓來產生第一輸出信號。

在一些範例實施例中，電容器可在第一輸入信號與第一保持信號之間的時間差期間被放電以儲存關於第一輸入信號與第一保持信號之間的時間差的資訊。

在一些範例實施例中，電容器之放電可回應於第一輸入信號之上升邊緣而開始，電容器之放電可回應於第一保持信號之上升邊緣而停止，且電容器之放電可回應於第一信號之上升邊緣而重新開始。

在一些範例實施例中，第一反相器可包含：第一（例如，PMOS）電晶體，其包含經組態以接收第一輸入信號之閘極、經由反相器控制單元而耦接至電源電壓之源極，及耦接至中間節點之汲極；以及第二（例如，NMOS）電晶體，其包含經組態以接收第一輸入信號之閘極、經由反

42283pif

相器控制單元而耦接至接地電壓之源極，及耦接至中間節點之汲極。反相器控制單元可包含：第三（例如，PMOS）電晶體，其耦接於電源電壓與第一電晶體之間；第四（例如，NMOS）電晶體，其耦接於接地電壓與第二電晶體之間；D 型正反器，其包含耦接至第三電晶體之閘極的輸出端子、耦接至第四電晶體之閘極的反相輸出端子、耦接至反相輸出端子之資料端子，及時脈端子；以及選擇器，其經組態以回應於自 D 型正反器之反相輸出端子輸出的反相輸出信號而將第一保持信號或第一信號選擇性地輸出至 D 型正反器之時脈端子。電容器可耦接於中間節點與接地電壓之間。第二反相器可包含：第五（例如，PMOS）電晶體，其包含耦接至中間節點之閘極、耦接至電源電壓之源極，及經組態以輸出第一輸出信號之汲極；以及第六（例如，NMOS）電晶體，其包含耦接至中間節點之閘極、耦接至接地電壓之源極，及經組態以輸出第一輸出信號之汲極。

在一些範例實施例中，第一時間暫存器可包含：第一反相器，其經組態以使第一輸入信號反相；反相器控制單元，其經組態以回應於第一保持信號而停用第一反相器，且經組態以回應於第一信號而啟動第一反相器；電容器，其經組態以回應於第一反相器之輸出信號而被充電或放電；以及比較器，其經組態以藉由將電容器之電壓與參考電壓進行比較來產生第一輸出信號。

在一些範例實施例中，第一信號可為藉由使第一輸入

42283pif

信號、第二輸入信號、第三輸入信號及第四輸入信號中之一者延遲或反相而產生的喚醒信號。

根據範例實施例，系統單晶片（SOC）中所包含之時間差加法器包含第一暫存器單元及第二暫存器單元。第一暫存器單元經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且第一暫存器單元經組態以回應於第一信號而產生第一輸出信號。第二暫存器單元經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，且第二暫存器單元經組態以回應於第一信號而產生相對於第一輸出信號具有第三時間差之第二輸出信號。第三時間差對應於第一時間差與第二時間差之總和。第一暫存器單元包含：第一偏移延遲單元，其經組態以藉由使第二輸入信號延遲了一段偏移時間而產生第一保持信號；以及第一時間暫存器，其包含經組態以接收第一輸入信號之第一輸入端子、經組態以接收第一保持信號之第一保持端子、經組態以接收第一信號之第一喚醒端子，及經組態以輸出第一輸出信號之第一輸出端子。第二暫存器單元包含：第二偏移延遲單元，其經組態以藉由使第三輸入信號延遲了所述偏移時間而產生第二保持信號；以及第二時間暫存器，其包含經組態以接收第四輸入信號之第二輸入端子、經組態以接收第二保持信號之第二保持端子、經組態以接收第一信號之第二喚醒端子，及經組態以輸出第二輸出信號之第二輸出端子。

根據範例實施例，系統單晶片（SOC）中所包含之時

42283pif

間差加法器包含第一暫存器單元及第二暫存器單元。第一暫存器單元經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且第一暫存器單元經組態以回應於第一信號而產生第一輸出信號。第二暫存器單元經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，且第二暫存器單元經組態以回應於第一信號而產生相對於第一輸出信號具有第三時間差之第二輸出信號。第三時間差對應於第一時間差與第二時間差之總和。第一暫存器單元包含第一時間暫存器，第一時間暫存器包含經組態以接收第一輸入信號之第一輸入端子、經組態以接收第二輸入信號之第一保持端子、經組態以接收第一信號之第一喚醒端子，及經組態以輸出第一輸出信號之第一輸出端子。第二暫存器單元包含第二時間暫存器，第二時間暫存器包含經組態以接收第四輸入信號之第二輸入端子、經組態以接收第三輸入信號之第二保持端子、經組態以接收第一信號之第二喚醒端子，及經組態以輸出第二輸出信號之第二輸出端子。

在一些範例實施例中，第一時間暫存器可輸出第一輸出信號，所述第一輸出信號在第一信號之上升邊緣後的第一給定、所要或預定之時間段之後具有上升邊緣。第一時間段可等於或實質上等於放電時間減去第一時間差。第二時間暫存器可輸出第二輸出信號，所述第二輸出信號在第一信號之上升邊緣後的第二給定、所要或預定之時間段之後具有上升邊緣。第二時間段可等於或實質上等於放電時間加上第二時間差。

根據範例實施例，系統單晶片（SOC）中所包含之時間差加法器包含第一暫存器單元及第二暫存器單元。第一暫存器單元經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且第一暫存器單元經組態以回應於第一信號而產生第一輸出信號。第二暫存器單元經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，且第二暫存器單元經組態以回應於第一信號而產生相對於第一輸出信號具有第三時間差之第二輸出信號。第三時間差對應於第一時間差與第二時間差之總和。第一暫存器單元包含：第一偏移延遲單元，其經組態以藉由使第二輸入信號延遲了一段偏移時間而產生第一保持信號；以及第一時間暫存器，其包含接收第一輸入信號之第一輸入端子、經組態以接收第一保持信號之第一保持端子、經組態以接收第二信號之第一預充電端子、經組態以接收第一信號之第一喚醒端子，及經組態以輸出第一輸出信號之第一輸出端子。第二暫存器單元包含：第二偏移延遲單元，其經組態以藉由使第三輸入信號延遲了所述偏移時間而產生第二保持信號；以及第二時間暫存器，其包含經組態以接收第四輸入信號之第二輸入端子、經組態以接收第二保持信號之第二保持端子、經組態以接收第二信號之第二預充電端子、經組態以接收第一信號之第二喚醒端子，及經組態以輸出第二輸出信號之第二輸出端子。

在一些範例實施例中，第一時間暫存器可包含：電容器，其耦接於中間節點與接地電壓之間；上拉電晶體，其

42283pif

耦接於中間節點與電源電壓之間，且經組態以回應於第二信號而對電容器充電；下拉電晶體，其耦接於中間節點與接地電壓之間；下拉電晶體控制單元，其經組態以回應於第一輸入信號而導通下拉電晶體、回應於第一保持信號而關閉下拉電晶體，且回應於第一信號而導通下拉電晶體；以及輸出單元，其經組態以基於電容器之電壓來產生第一輸出信號。

在一些範例實施例中，下拉電晶體控制單元可包含：設定-重設門鎖器 (set-reset latch)，其包含接收第一輸入信號之設定端子、接收第一保持信號之重設端子，及輸出端子；以及 OR 閘，其經組態以對第一信號及自設定-重設門鎖器之輸出端子輸出的輸出信號執行 OR 運算。OR 閘可包含耦接至下拉電晶體之閘極的輸出端子。

在一些範例實施例中，時間差加法器可更包含控制單元，所述控制單元經組態以產生第一信號及第二信號。所述控制單元可包含：第一反相器，其經組態以藉由使第一輸入信號反相來產生第一輸入信號之反相信號；喚醒延遲單元，其經組態以使第一輸入信號之反相信號延遲；第一設定-重設門鎖器，其包含經組態以接收第一輸入信號之反相信號的設定端子、經組態以接收喚醒延遲單元之輸出信號的重設端子，及經組態以輸出第一信號之輸出端子；預充電延遲單元，其經組態以使喚醒延遲單元之輸出信號延遲；第二設定-重設門鎖器，其包含經組態以接收喚醒延遲單元之輸出信號的設定端子、經組態以接收預充電延遲單

42283pif

元之輸出信號的重設端子，及輸出端子；以及第二反相器，其經組態以藉由使第二設定-重設閘鎖器之輸出信號反相來產生第二信號。

根據範例實施例，系統單晶片（SOC）中所包含之時間差加法器包含第一暫存器單元及第二暫存器單元。第一暫存器單元經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且第一暫存器單元經組態以回應於第一信號而產生第一輸出信號。第二暫存器單元經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，且第二暫存器單元經組態以回應於第一信號而產生相對於第一輸出信號具有第三時間差之第二輸出信號。第三時間差對應於第一時間差與第二時間差之總和。第一暫存器單元包含第一時間暫存器，第一時間暫存器包含經組態以接收第一輸入信號之第一輸入端子、經組態以接收第二輸入信號之第一保持端子、經組態以接收第二信號之第一預充電端子、經組態以接收第一信號之第一喚醒端子，及經組態以輸出第一輸出信號之第一輸出端子。第二暫存器單元包含第二時間暫存器，第二時間暫存器包含經組態以接收第四輸入信號之第二輸入端子、經組態以接收第三輸入信號之第二保持端子、經組態以接收第二信號之第二預充電端子、經組態以接收第一信號之第二喚醒端子，及經組態以輸出第二輸出信號之第二輸出端子。

根據範例實施例，系統單晶片（SOC）中所包含之時間差累積器包含第一時間差加法器及第二時間差加法器。

42283pif

第一時間差加法器經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且第一時間差加法器經組態以將第一時間差與第一先前輸出信號與第二先前輸出信號之間的第二時間差相加以產生具有第三時間差之第一輸出信號及第二輸出信號，所述第三時間差對應於第一時間差與第二時間差之總和。第二時間差加法器經組態以接收具有第三時間差之第一輸出信號及第二輸出信號，且第二時間差加法器經組態以將第三時間差與相同之兩個信號之間的時間差相加以產生具有第三時間差之第一先前輸出信號及第二先前輸出信號。

在一些範例實施例中，相同之兩個信號可為第一輸出信號、第二輸出信號、第一輸出信號之反相信號，及第二輸出信號之反相信號中之一者。

根據範例實施例，系統單晶片（SOC）中所包含之時間差累積器包含時間差加法器、第一延遲電路及第二延遲電路。時間差加法器經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且時間差加法器經組態以將第一時間差與第一先前輸出信號與第二先前輸出信號之間的第二時間差相加以產生具有第三時間差之第一輸出信號及第二輸出信號，所述第三時間差對應於第一時間差與第二時間差之總和。第一延遲電路經組態以藉由使第一輸出信號延遲了給定、所要或預定之時間來產生第一先前輸出信號。第二延遲電路經組態以藉由使第二輸出信號延遲了給定、所要或預定之時間來產生第二先前輸出信號。

42283pif

根據範例實施例， Σ - Δ 時間至數位轉換器包含時間差加法器、時間差累積器、時域量化器及數位至時間轉換器。時間差加法器經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且時間差加法器經組態以自第一時間差減去第一回授信號與第二回授信號之間的第二時間差以產生具有第三時間差之第一加法信號及第二加法信號，所述第三時間差對應於第一時間差減去第二時間差。時間差累積器經組態以累積第一加法信號與第二加法信號之間的第三時間差以產生第一累積信號及第二累積信號。時域量化器經組態以將第一累積信號與第二累積信號之間的時間差轉換成數位輸出信號。數位至時間轉換器經組態以將數位輸出信號轉換成第一回授信號及第二回授信號。

根據範例實施例， Σ - Δ 時間至數位轉換器包含時間差調整單元、時間差累積器及時域量化器。時間差調整單元經組態以接收第一輸入信號、第二輸入信號及數位輸出信號，且時間差調整單元經組態以使第一輸入信號及第二輸入信號中之至少一者延遲了根據數位輸出信號確定之延遲時間，以產生第一加法信號及第二加法信號。時間差累積器經組態以累積第一加法信號與第二加法信號之間的時間差以產生第一累積信號及第二累積信號。時域量化器經組態以將第一累積信號與第二累積信號之間的時間差轉換成數位輸出信號。

在一些範例實施例中，時間差調整單元可包含：至少一第一延遲單元，其經組態以使第一輸入信號延遲；第一

42283pif

選擇器，其經組態以回應於數位輸出信號選擇性地輸出第一輸入信號或第一延遲單元之輸出信號作為第一加法信號；至少一第二延遲單元，其經組態以使第二輸入信號延遲；以及第二選擇器，其經組態以回應於數位輸出信號選擇性地輸出第二輸入信號或第二延遲單元之輸出信號作為第二加法信號。

根據範例實施例，一種數位鎖相迴路包含相位偵測器、數位迴路濾波器、數位控制之振盪器及除法器。相位偵測器經組態以產生對應於參考輸入信號與回授信號之間的第一時間差的數位時間差信號。數位迴路濾波器經組態以藉由過濾所述數位時間差信號來產生數位控制信號。數位控制之振盪器經組態以回應於數位控制信號來產生輸出信號。除法器經組態以藉由對輸出信號進行除法運算而產生回授信號。相位偵測器包含：時間差加法器，其經組態以接收具有第一時間差之參考輸入信號及回授信號，且經組態以自第一時間差減去第一內部回授信號與第二內部回授信號之間的第二時間差以產生具有第三時間差之第一加法信號及第二加法信號，所述第三時間差對應於第一時間差減去第二時間差；時間差累積器，其經組態以累積第一加法信號與第二加法信號之間的第三時間差以產生第一累積信號及第二累積信號；時域量化器，其經組態以將第一累積信號與第二累積信號之間的時間差轉換成數位時間差信號；以及數位至時間轉換器，其經組態以將數位時間差信號轉換成第一內部回授信號及第二內部回授信號。

根據範例實施例，一種數位鎖相迴路包含相位偵測器、數位迴路濾波器、數位控制之振盪器及除法器。相位偵測器經組態以產生對應於參考輸入信號與回授信號之間的時間差的數位時間差信號。數位迴路濾波器經組態以藉由過濾所述數位時間差信號來產生數位控制信號。數位控制之振盪器經組態以回應於數位控制信號來產生輸出信號。除法器經組態以藉由對輸出信號進行除法運算而產生回授信號。相位偵測器包含：時間差調整單元，其經組態以接收參考輸入信號、回授信號及數位時間差信號，且經組態以使參考輸入信號及回授信號中之至少一者延遲了根據數位時間差信號確定之延遲時間，以產生第一加法信號及第二加法信號；時間差累積器，其經組態以累積第一加法信號與第二加法信號之間的時間差以產生第一累積信號及第二累積信號；以及時域量化器，其經組態以將第一累積信號與第二累積信號之間的時間差轉換成數位時間差信號。

根據範例實施例，溫度感測器包含感測單元及 Σ - Δ 時間至數位轉換器。感測單元經組態以感測溫度以產生具有第一時間差之第一輸入信號及第二輸入信號，所述第一時間差對應於所感測的溫度。 Σ - Δ 時間至數位轉換器經組態以產生對應於第一輸入信號與第二輸入信號之間的第一時間差的數位輸出信號。 Σ - Δ 時間至數位轉換器包含：時間差加法器，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，且經組態以自第一時間差減去第一回

42283pif

授信號與第二回授信號之間的第二時間差以產生具有第三時間差之第一加法信號及第二加法信號，所述第三時間差對應於第一時間差減去第二時間差；時間差累積器，其經組態以累積第一加法信號與第二加法信號之間的第三時間差以產生第一累積信號及第二累積信號；時域量化器，其經組態以將第一累積信號與第二累積信號之間的時間差轉換成數位輸出信號；以及數位至時間轉換器，其經組態以將數位輸出信號轉換成第一回授信號及第二回授信號。

在一些範例實施例中，感測單元可包含：脈衝產生器，其經組態以產生脈衝；溫度不敏感延遲線，其經組態以使脈衝延遲了第一延遲時間以輸出第一延遲脈衝作為第一輸入信號，所述第一延遲時間不管溫度如何均為恆定或實質上恆定的；以及溫度敏感延遲線，其經組態以使脈衝延遲了第二延遲時間以輸出第二延遲脈衝作為第二輸入信號，所述第二延遲時間是根據所述溫度來調整的。

根據範例實施例，溫度感測器包含感測單元及 Σ - Δ 時間至數位轉換器。感測單元經組態以感測溫度以產生具有時間差之第一輸入信號及第二輸入信號，所述時間差對應於所感測的溫度。 Σ - Δ 時間至數位轉換器經組態以產生對應於第一輸入信號與第二輸入信號之間的時間差的數位輸出信號。 Σ - Δ 時間至數位轉換器包含：時間差調整單元，其經組態以接收第一輸入信號、第二輸入信號及數位輸出信號，且經組態以使第一輸入信號及第二輸入信號中之至少一者延遲了根據數位輸出信號確定之延遲時間，以產生

42283pif

第一加法信號及第二加法信號；時間差累積器，其經組態以累積第一加法信號與第二加法信號之間的時間差以產生第一累積信號及第二累積信號；以及時域量化器，其經組態以將第一累積信號與第二累積信號之間的時間差轉換成數位輸出信號。

至少一個其他範例實施例提供一種包含時間差加法器之系統單晶片。時間差加法器經組態以基於多個輸入信號來至少產生第一輸出信號及第二輸出信號，第一輸出信號在第一轉變時間時自第一位準轉變至第二位準，且第二輸出信號在第二轉變時間時自第一位準轉變至第二位準，第一轉變時間與第二轉變時間是不同的。第一輸出信號是基於多個輸入信號中之第一對輸入信號且回應於觸發信號而產生，多個信號中之第一對輸入信號具有第一時間差；第二輸出信號是基於多個輸入信號中之第二對輸入信號且回應於觸發信號而產生，多個信號中之第二對輸入信號具有第二時間差；且第一轉變時間與第二轉變時間之間的差是基於第一時間差及第二時間差來確定。

根據至少一些範例實施例，時間差加法器可包含：第一暫存器單元，其經組態以基於多個輸入信號中之第一對輸入信號且回應於觸發信號而產生第一輸出信號；以及第二暫存器單元，其經組態以基於多個輸入信號中之第二對輸入信號且回應於觸發信號而產生第二輸出信號。

多個輸入信號中之第一對輸入信號可包含第一輸入信號及第二輸入信號。第一暫存器單元可包含：第一偏移

42283pif

延遲單元，其經組態以藉由使第二輸入信號延遲了一段偏移時間而產生第一保持信號；以及第一時間暫存器，其包含經組態以接收第一輸入信號之第一輸入端子、經組態以接收第一保持信號之第一保持端子、經組態以接收觸發信號之第一喚醒端子，及經組態以輸出第一輸出信號之第一輸出端子。

多個輸入信號中之第二對輸入信號可包含第三輸入信號及第四輸入信號。第二暫存器單元可包含：第二偏移延遲單元，其經組態以藉由使第三輸入信號延遲了所述偏移時間而產生第二保持信號；以及第二時間暫存器，其包含經組態以接收第四輸入信號之第二輸入端子、經組態以接收第二保持信號之第二保持端子、經組態以接收觸發信號之第二喚醒端子，及經組態以輸出第二輸出信號之第二輸出端子。

多個輸入信號中之第一對輸入信號可包含第一輸入信號及第二輸入信號。第一暫存器單元可包含：第一時間暫存器，其包含經組態以接收第一輸入信號之第一輸入端子、經組態以接收第二輸入信號之第一保持端子、經組態以接收觸發信號之第一喚醒端子，及經組態以輸出第一輸出信號之第一輸出端子。

多個輸入信號中之第二對輸入信號可包含第三輸入信號及第四輸入信號。第二暫存器單元可包含：第二時間暫存器，其包含接收第四輸入信號之第二輸入端子、接收第三輸入信號之第二保持端子、接收第一信號之第二喚醒

42283pif

端子，及輸出第二輸出信號之第二輸出端子。

自結合附圖進行之以上詳細描述將更清楚地理解說明性之非限制性範例實施例。

【實施方式】

在下文參看附圖來更充分地描述各種範例實施例，一些範例實施例展示於附圖中。然而，本發明之概念可以許多不同形式來體現且不應被理解為限於本文所陳述的範例實施例。在諸圖中，為清楚起見，可誇示層及區之大小及相對大小。

應理解，當一元件或層被提及為“在”另一元件或層“上”、“連接至”或“耦接至”另一元件或層時，其可直接在所述另一元件或層上、直接連接或直接耦接至所述另一元件或層，或可存在介入元件或層。相反，當一元件被提及為“直接在”另一元件或層上、“直接連接至”或“直接耦接至”另一元件或層時，不存在介入元件或層。相似元件符號在全文中指代相似元件。如本文所使用，術語“及/或”包含相關聯之所列出項中之一或多者的任一組合及所有組合。

應理解，雖然本文中可使用術語第一、第二、第三等等來描述各種元件、組件、區、層及/或區段，但此等元件、組件、區、層及/或區段不應受此等術語限制。此等術語僅用以區別一個元件、組件、區、層或區段與另一區、層或區段。因此，在不偏離本發明概念之教示的情況下，下文所論述之第一元件、組件、區、層或區段可被稱為第二元

42283pif

件、組件、區、層或區段。

為易於描述，在本文中可使用諸如“下”、“下方”、“下部”、“上方”、“上部”及其類似者之空間相關術語來描述諸圖中所示之一元件或特徵與另一（些）元件或特徵的關係。應理解，空間相關術語意欲包含除了諸圖中所示之定向外裝置在使用中或操作中的不同定向。舉例而言，若諸圖中之裝置為翻轉的，則描述為在其他元件或特徵“下方”或“下”之元件將因此定向為在其他元件或特徵“上方”。因此，例示性術語“下方”可包含上方及下方之定向。所述裝置可以其他方式定向（旋轉 90 度或處於其他定向），且相應地解釋本文所使用之空間相關描述詞。

本文所用之術語是僅為達成描述特定範例實施例之目的且不意欲限制本發明之概念。除非上下文另外清楚地指示，否則如本文中所使用，單數形式“一”及“所述”意欲亦包含複數形式。進一步理解，術語“包括”及/或其變體在本說明書中使用時指定所述特徵、整體、步驟、操作、元件及/或組件之存在，但不排除一或多個其他特徵、整體、步驟、操作、元件、組件及/或其群組的存在或添加。

本文中參看橫截面圖來描述範例實施例，所述橫截面圖為理想化範例實施例（及中間結構）之簡圖。因而，應預期由於（例如）製造技術及/或容差而引起的相對於諸圖之形狀的變化。因此，範例實施例不應被理解為限於本文中所圖示之區之特定形狀，而應包含由（例如）製造導致

42283pif

之形狀偏差。舉例而言，圖示為矩形之經植入區將通常具有修圓或彎曲特徵及/或在其邊緣處之植入濃度的梯度，而非自經植入區至非植入區之二元改變。同樣地，藉由植入形成之埋入區可在介於埋入區與發生植入之表面之間的區中導致某植入。因此，諸圖中所示之區本質上為示意性的，且其形狀不意欲圖示裝置之區之實際形狀且不意欲限制本發明概念之範疇。

除非另有定義，否則本文所使用之所有術語（包含科技術語）具有與一般熟習本發明概念所屬技術者所通常理解之涵義相同的涵義。應進一步理解，術語（諸如，在常用辭典中所定義之術語）應被解釋為具有與其在相關技術之情形中的涵義一致的涵義，且除非本文中明確定義否則將不以理想化或過度正式之意義來加以解釋術語。

圖 1 是圖示根據範例實施例之時間差加法器之圖，且圖 2A 及圖 2B 是圖示由圖 1 之時間差加法器執行之時間差加法的單位元素及逆元素的圖。

參看圖 1，時間差加法器 100 回應於第一輸入信號 SIN1、第二輸入信號 SIN2、第三輸入信號 SIN3 及第四輸入信號 SIN4 產生第一輸出信號 SOUT1 及第二輸出信號 SOUT2。時間差加法器 100 可將第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 TD1 與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 TD2 相加，使得時間差加法器 100 可輸出具有時間差 TD1+TD2 之第一輸出信號 SOUT1 及第二輸出信號 SOUT2，時間差

42283pif

TD1+TD2 對應於第一時間差 TD1 與第二時間差 TD2 之總和。

如圖 2A 及圖 2B 中所示，可相對於任意時間差 TD 來定義由時間差加法器 100 執行之時間差加法（對於所述加法，可使用算子“+”）的單位元素及逆元素。亦即，例如，時間差加法之單位元素“0”相對於任意時間差 TD 滿足以下方程式 1。

[方程式 1]

$$TD + 0 = 0 + TD = TD$$

另外，相對於時間差加法，任意時間差 TD 之逆元素 -TD 滿足以下方程式 2。

[方程式 2]

$$TD + (-TD) = (-TD) + TD = 0$$

因此，根據至少一些範例實施例之時間差加法器 100 可對任意時間差 TD 執行時間差加法，所述任意時間差 TD 相對於時間差加法封閉。

隨著半導體裝置之設計規則（DR）減小，半導體裝置之電源電壓及/或操作電壓減小。因此，在電壓域中，信號雜訊比（SNR）減小。然而，隨著電源電壓及/或操作電壓減小，電壓信號自低位準至高位準或自高位準至低位準之

42283pif

轉變時間可減少。因此，在時域中，SNR 可增加。因此，在相對較低之電源電壓環境下，電子電路及裝置可藉由在時域中處理信號而改良效能。亦即，例如，在相對較低之電源電壓環境下，因為根據範例實施例之時間差加法器 100 及/或時間差累積器可在時域中處理信號，因此包含時間差加法器 100 及/或時間差累積器之各種電子電路及裝置的效能可得到改良。根據範例實施例之時間差加法器 100 及/或時間差累積器可包含在系統單晶片（SOC）中。

圖 3 是圖示根據範例實施例之時間差加法器之方塊圖。

參看圖 3，時間差加法器 200a 包含第一暫存器單元 210a 及第二暫存器單元 250a。

第一暫存器單元 210a 可接收第一輸入信號 SIN1 及第二輸入信號 SIN2，且第一暫存器單元 210a 可回應於喚醒信號 SAWK 而產生第一輸出信號 SOUT1。第一暫存器單元 210a 可包含第一偏移延遲單元 220 及第一時間暫存器 230。第一偏移延遲單元 220 可藉由使第二輸入信號 SIN2 延遲一段偏移時間來產生第一保持信號 SHLD1。第一時間暫存器 230 可包含接收第一輸入信號 SIN1 之第一輸入端子 IN1、接收第一保持信號 SHLD1 之第一保持端子 HLD1、接收喚醒信號 SAWK 之第一喚醒端子 AWK1，及輸出第一輸出信號 SOUT1 之第一輸出端子 OUT1。

第二暫存器單元 250a 可接收第三輸入信號 SIN3 及第四輸入信號 SIN4，且第二暫存器單元 250a 可回應於喚醒

42283pif

信號 SAWK 而產生第二輸出信號 SOUT2。第二暫存器單元 250a 可包含第二偏移延遲單元 260 及第二時間暫存器 270。第二偏移延遲單元 260 可藉由使第三輸入信號 SIN3 延遲所述偏移時間來產生第二保持信號 SHLD2。第二時間暫存器 270 可包含接收第四輸入信號 SIN4 之第二輸入端子 IN2、接收第二保持信號 SHLD2 之第二保持端子 HLD2、接收喚醒信號 SAWK 之第二喚醒端子 AWK2，及輸出第二輸出信號 SOUT2 之第二輸出端子 OUT2。

在一些範例實施例中，可自外部電路或外部裝置接收喚醒信號 SAWK。在其他範例實施例中，時間差加法器 200a 可更包含產生喚醒信號 SAWK 之電路。舉例而言，時間差加法器 200a 中所包含之電路可藉由使第一輸入信號 SIN1、第二輸入信號 SIN2、第三輸入信號 SIN3 及第四輸入信號 SIN4 中之一者延遲或反相來產生喚醒信號 SAWK。

回應於喚醒信號 SAWK，第一時間暫存器 230 可輸出第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段之後具有上升邊緣。第一時間段 (time period) 可等於放電時間減去偏移時間減去第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差。亦即，例如，喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差，或第一時間段可藉由自放電時間減去偏移時間且藉由自所述減法之結果進一步減去第一時間差來獲得。

回應於喚醒信號 SAWK，第二時間暫存器 270 可輸出

42283pif

第二輸出信號 SOUT2，第二輸出信號 SOUT2 在與喚醒信號 SAWK 之上升邊緣相隔第二給定、所要或預定之時間段之後具有上升邊緣。第二時間段可等於放電時間減去偏移時間加上第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差。亦即，喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差，或第二預定時間可藉由自放電時間減去偏移時間且藉由將第二時間差加上所述減法之結果來獲得。

第一偏移延遲單元 220 之偏移時間可與第二偏移延遲單元 260 之偏移時間相同或實質上相同。偏移時間可對應於輸入至時間差加法器 200a 之時間差之範圍來設定。舉例而言，偏移時間可設定為比輸入至時間差加法器 200a 之負時間差的最大絕對值長。

第一時間暫存器 230 之放電時間可與第二時間暫存器 270 之放電時間相同或實質上相同。放電時間可根據每一時間暫存器 230 及 270 中所包含之電容器的容量來確定，且第一時間暫存器 230 中所包含之電容器的電容可與第二時間暫存器 270 中所包含之電容器的電容相同或實質上相同。放電時間可對應於偏移時間及輸入至時間差加法器 200a 之時間差的範圍來設定。舉例而言，放電時間可設定為比以下兩者之總和長：偏移時間及輸入至時間差加法器 200a 之正時間差的最大絕對值。另外，放電時間可設定為比第一至第四輸入信號 SIN1、SIN2、SIN3 及 SIN4 中之一者的脈寬短。

第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可等於或實質上等於喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差減去喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差，其中第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可為第一輸出信號 SOUT1 具有上升邊緣時至第二輸出信號 SOUT2 具有上升邊緣時的時間間隔。由於第一偏移延遲單元 220 及第二偏移延遲單元 260 具有相同或實質上相同之偏移時間，且第一時間暫存器 230 及第二時間暫存器 270 具有相同或實質上相同之放電時間，因此第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可對應於第一輸入信號 SIN1 與第二輸出信號 SIN2 之間的第一時間差與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差的總和。

如上所述，根據範例實施例之時間差加法器 200a 可輸出具有時間差之第一輸出信號 SOUT1 及第二輸出信號 SOUT2，所述時間差對應於第一時間差與第二時間差之總和。

在一些範例實施例中，第一暫存器單元 210a 中所包含之元件（例如，電晶體）的至少一部分與第二暫存器單元 250a 中所包含之元件（例如，電晶體）的至少一部分可交替地配置。因此，由製程、電壓及溫度（PVT）變化導致的第一暫存器單元 210a 與第二暫存器單元 250a 之間的失配（mismatch）可減少。

圖 4 是圖示圖 3 之時間差加法器中所包含之時間暫存

42283pif

器的實例之電路圖。

參看圖 4，時間暫存器 300a 包含第一反相器 310、反相器控制單元 320a、電容器 330 及輸出單元 340。圖 3 中所示之第一時間暫存器 230 及第二時間暫存器 270 中的每一者可實施為圖 4 之時間暫存器 300a。舉例而言，若時間暫存器 300a 為圖 3 之第一時間暫存器 230，則圖 4 之輸入信號 SIN 可對應於圖 3 之第一輸入信號 SIN1，圖 4 之保持信號 SHLD 可對應於圖 3 之第一保持信號 SHLD1，且圖 4 之輸出信號 SOUT 可對應於圖 3 之第一輸出信號 SOUT1。另外，若時間暫存器 300a 為圖 3 之第二時間暫存器 270，則圖 4 之輸入信號 SIN 可對應於圖 3 之第二輸入信號 SIN2，圖 4 之保持信號 SHLD 可對應於圖 3 之第二保持信號 SHLD2，且圖 4 之輸出信號 SOUT 可對應於圖 3 之第二輸出信號 SOUT2。

第一反相器 310 可使輸入信號 SIN 反相。第一反相器 310 可包含第一 PMOS 電晶體 P1 及第一 NMOS 電晶體 N1。第一 PMOS 電晶體 P1 可包含接收輸入信號 SIN 之閘極、經由反相器控制單元 320a 耦接至電源電壓之源極，及耦接至中間節點 NMID 之汲極。第一 NMOS 電晶體 N1 可包含接收輸入信號 SIN 之閘極、經由反相器控制單元 320a 耦接至接地電壓之源極，及耦接至中間節點 NMID 之汲極。

反相器控制單元 320a 可回應於保持信號 SHLD 而停用 (deactivate) 第一反相器 310，且反相器控制單元 320a 可回應於喚醒信號 SAWK 而啟動 (activate) 第一反相器

42283pif

310。反相器控制單元 320a 可包含第二 PMOS 電晶體 P2、第二 NMOS 電晶體 N2、D 型正反器 323 及選擇器 321。

第二 PMOS 電晶體 P2 可耦接於電源電壓與第一 PMOS 電晶體 P1 之間。舉例而言，第二 PMOS 電晶體 P2 可包含耦接至 D 型正反器 323 之輸出端子 Q 的閘極、耦接至電源電壓之源極，及耦接至第一 PMOS 電晶體 P1 之源極的汲極。第二 NMOS 電晶體 N2 可耦接於接地電壓與第一 NMOS 電晶體 N1 之間。舉例而言，第二 NMOS 電晶體 N2 可包含耦接至 D 型正反器 323 之反相輸出端子/Q 的閘極、耦接至接地電壓之源極，及耦接至第一 NMOS 電晶體 N1 之源極的汲極。第二 PMOS 電晶體 P2 及第二 NMOS 電晶體 N2 可將第一反相器 310 選擇性地耦接至電源電壓及接地電壓。舉例而言，在第二 PMOS 電晶體 P2 及第二 NMOS 電晶體 N2 被導通時，第一反相器 310 可電性耦接至電源電壓及接地電壓。在第二 PMOS 電晶體 P2 及第二 NMOS 電晶體 N2 關閉時，第一反相器 310 可與電源電壓及接地電壓電去耦 (decouple)。

D 型正反器 323 可包含耦接至第二 PMOS 電晶體 P2 之閘極的輸出端子 Q、耦接至第二 NMOS 電晶體 N2 之閘極的反相輸出端子/Q、耦接至反相輸出端子/Q 之資料端子 D，及接收選擇器 321 之輸出信號的時脈端子。由於資料端子 D 耦接至反相輸出端子/Q，因此每當施加至時脈端子的選擇器 321 之輸出信號具有上升邊緣時，自輸出端子 Q 輸出之輸出信號及自反相輸出端子/Q 輸出之反相輸出信

42283pif

號可自高切換至低（toggle from high to low）或自低切換至高（toggle from low to high）。

選擇器 321 可回應於自反相輸出端子/Q 輸出之反相輸出信號將保持信號 SHLD 或喚醒信號 SAWK 選擇性地輸出至時脈端子。舉例而言，選擇器 321 可藉由多工器 321 來實施。多工器 321 可包含接收保持信號 SHLD 之第一輸入端子、接收喚醒信號 SAWK 之第二輸入端子、接收作為選擇信號之反相輸出信號的選擇端子，及回應於選擇信號選擇性地輸出保持信號 SHLD 或喚醒信號 SAWK 的輸出端子。

電容器 330 可回應於第一反相器 310 之輸出信號而被充電或放電。電容器 330 可包含耦接至中間節點之第一電極及耦接至接地電壓之第二電極。舉例而言，當第一反相器 310 之輸出信號具有邏輯高位準時，或當第一 PMOS 電晶體 P1 及第二 PMOS 電晶體 P2 被導通時，電容器 330 之第一電極可經由第一 PMOS 電晶體 P1 及第二 PMOS 電晶體 P2 電性耦接至電源電壓，且因此電容器 330 可被充電。當第一反相器 310 之輸出信號具有邏輯低位準時，或當第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 被導通時，電容器 330 之第一電極可經由第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 電性耦接至接地電壓，且因此電容器 330 可被放電。

輸出單元 340 可基於電容器 330 之電壓（例如，中間節點 NMID 之電壓）來產生輸出信號 SOUT。舉例而言，

42283pif

輸出單元 340 可包含第二反相器 340。第二反相器 340 可包含第三 PMOS 電晶體 P3 及第三 NMOS 電晶體 N3。舉例而言，第三 PMOS 電晶體 P3 可包含耦接至中間節點 NMID 之閘極、耦接至電源電壓之源極，及輸出所述輸出信號 SOUT 之汲極。第三 NMOS 電晶體 N3 可包含耦接至中間節點 NMID 之閘極、耦接至接地電壓之源極，及輸出所述輸出信號 SOUT 之汲極。當電容器 330 之電壓低於預定臨限電壓時，第二反相器 340 可輸出具有邏輯高位準之輸出信號 SOUT。舉例而言，當電容器 330 之電壓低於第三 PMOS 電晶體 P3 之臨限電壓時，第三 PMOS 電晶體 P3 可被導通，且因此第二反相器 340 可輸出具有邏輯高位準之輸出信號 SOUT。

在輸入信號 SIN 與保持信號 SHLD 之間的時間差期間可對電容器 330 放電，以儲存關於輸入信號 SIN 與保持信號 SHLD 之間的時間差的資訊。舉例而言，可回應於輸入信號 SIN 之上升邊緣來開始電容器 330 之放電，且可回應於保持信號 SHLD 之上升邊緣來停止電容器 330 之放電，使得在輸入信號 SIN 與保持信號 SHLD 之間的時間差期間可對電容器 330 放電。另外，可回應於喚醒信號 SAWK 之上升邊緣來重新開始電容器 330 之放電。因此，在與喚醒信號 SAWK 之上升邊緣相隔給定、所要或預定時間段之後，電容器 330 之電壓可變得低於給定、所要或預定臨限電壓（例如，第三 PMOS 電晶體 P3 之臨限電壓），且所述時間段可根據輸入信號 SIN 與保持信號 SHLD 之間的時間

差來確定。舉例而言，若時間差增加，則時間段可減小，且，若時間差減小，則時間段可增加。當電容器 330 之電壓變得低於臨限電壓時，輸出單元 340 可輸出具有邏輯高位準之輸出信號 SOUT。因此，在根據相對於喚醒信號 SAWK 之上升邊緣的時間差確定的時間段之後，輸出信號 SOUT 可具有上升邊緣。因此，輸出信號 SOUT 具有上升邊緣之時間點可根據輸入信號 SIN 與保持信號 SHLD 之間的時間差來確定。

舉例而言，為了開始電容器 330 之放電，第一反相器 310 可回應於輸入信號 SIN 之上升邊緣而將電容器 330 電性耦接至接地電壓。為了停止電容器 330 之放電，反相器控制單元 320a 可回應於保持信號 SHLD 之上升邊緣而停用第一反相器 310。為了重新開始電容器 330 之放電，反相器控制單元 320a 可回應於喚醒信號 SAWK 之上升邊緣而啟動第一反相器 310。在重新開始電容器 330 之放電之後，在電容器 330 之電壓或中間節點 NMID 之電壓變成低於臨限電壓時，輸出單元 340 可輸出具有邏輯高位準之輸出信號 SOUT。

因此，回應於喚醒信號 SAWK，在根據輸入信號 SIN 與保持信號 SHLD 之間的時間差確定的時間點時，時間暫存器 300a 可輸出具有上升邊緣之輸出信號 SOUT。

圖 5 是用於描述圖 4 之時間暫存器之操作的時序圖。

參看圖 4 及圖 5，第一反相器 310 可回應於輸入信號 SIN 之上升邊緣而輸出具有邏輯低位準之輸出信號。當輸

42283pif

入信號 SIN 具有上升邊緣時，D 型正反器 323 可在輸出端子 Q 處輸出具有邏輯低位準之輸出信號，且 D 型正反器 323 可在反相輸出端子/Q 處輸出具有邏輯高位準之反相輸出信號。因此，可回應於輸入信號 SIN 之上升邊緣而導通第一 NMOS 電晶體 N1，且可回應於具有邏輯低位準之反相輸出信號而導通第二 NMOS 電晶體 N2，且可回應於具有邏輯高位準之反相輸出信號而導通第二 NMOS 電晶體 N2。若第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 被導通，則中間節點 NMID，或電容器 330 之第一電極可經由第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 而耦接至接地電壓，且因此電容器 330 可被放電。如上所述，可回應於輸入信號 SIN 之上升邊緣來對電容器 330 放電，且電容器 330 之電壓，或中間節點 NMID 之電壓 V_{NMID} 可減小。

反相器控制單元 320a 可回應於保持信號 SHLD 之上升邊緣而停用第一反相器 310。舉例而言，選擇器 321 可回應於反相輸出信號來將保持信號 SHLD 輸出至 D 型正反器 323 之時脈端子，所述反相輸出信號是自 D 型正反器 323 之反相輸出端子/Q 輸出並具有邏輯高位準。回應於來自選擇器 321 之保持信號 SHLD 之上升邊緣，D 型正反器 323 可在輸出端子 Q 處輸出具有邏輯高位準之輸出信號，且 D 型正反器 323 可在反相輸出端子/Q 處輸出具有邏輯低位準之反相輸出信號。因此，可回應於具有邏輯高位準之輸出信號來關閉第二 PMOS 電晶體 P2，且可回應於具有邏輯低

42283pif

位準之反相輸出信號來關閉第二 NMOS 電晶體 N2。若第二 NMOS 電晶體 N2 被關閉，則電容器 330 之放電可停止。如上所述，可回應於保持信號 SHLD 之上升邊緣來停止電容器 330 之放電，且可停止電容器 330 之電壓之減小，或中間節點 NMID 之電壓 V_{NMID} 之減小。

反相器控制單元 320a 可回應於喚醒信號 SAWK 之上升邊緣而啟動第一反相器 310。舉例而言，選擇器 321 可回應於反相輸出信號來將喚醒信號 SAWK 輸出至 D 型正反器 323 之時脈端子，所述反相輸出信號是自 D 型正反器 323 之反相輸出端子/Q 輸出並具有邏輯低位準。回應於來自選擇器 321 之喚醒信號 SAWK 之上升邊緣，D 型正反器 323 可在輸出端子 Q 處輸出具有邏輯低位準之輸出信號，且 D 型正反器 323 可在反相輸出端子/Q 處輸出具有邏輯高位準之反相輸出信號。因此，可回應於具有邏輯低位準之輸出信號來導通第二 PMOS 電晶體 P2，且可回應於具有邏輯高位準之反相輸出信號來導通第二 NMOS 電晶體 N2。另外，可回應於具有邏輯高位準之輸入信號 SIN 來導通第一 NMOS 電晶體 N1。若第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 被導通，則中間節點 NMID 可經由第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 而耦接至接地電壓，且因此電容器 330 之放電可重新開始。如上所述，可回應於喚醒信號 SAWK 之上升邊緣來重新開始電容器 330 之放電，且電容器 330 之電壓，或中間節點 NMID 之電壓 V_{NMID} 可再次減小。

42283pif

輸出單元 340 可基於電容器 330 之電壓或中間節點 NMID 之電壓 V_{NMID} 來輸出輸出信號 SOUT。當中間節點 NMID 之電壓 V_{NMID} 變成低於給定、所要或預定臨限電壓 V_{TH} 時，輸出單元 340 可輸出具有邏輯高位準之輸出信號 SOUT。舉例而言，給定、所要或預定臨限電壓 V_{TH} 可為第三 PMOS 電晶體 P3 之臨限電壓。因此，若中間節點 NMID 之電壓 V_{NMID} 變成低於第三 PMOS 電晶體 P3 之臨限電壓，則第三 PMOS 電晶體 P3 可被導通，且輸出信號 SOUT 可具有邏輯高位準。

在與喚醒信號 SAWK 之上升邊緣相隔給定、所要或預定時間 $T_{\text{dis}}-T_{\text{D}}-T_{\text{off}}$ 之後，輸出信號 SOUT 可具有上升邊緣。給定、所要或預定時間 $T_{\text{dis}}-T_{\text{D}}-T_{\text{off}}$ 可等於放電時間 T_{dis} 減去輸入信號 SIN 與保持信號 SHLD 之間的時間差 $T_{\text{D}}+T_{\text{off}}$ 。舉例而言，在輸入信號 SIN 為圖 3 之第一輸入信號 SIN1，且保持信號 SHLD 為自圖 3 之第一偏移延遲單元 220 輸出之第一保持信號 SHLD1 的情況下，輸入信號 SIN 與保持信號 SHLD 之間的時間差 $T_{\text{D}}+T_{\text{off}}$ 可對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差 T_{D} 與第一偏移延遲單元 220 之偏移時間 T_{off} 的總和。在此種情況下，在與喚醒信號 SAWK 之上升邊緣相隔給定、所要或預定時間 $T_{\text{dis}}-T_{\text{D}}-T_{\text{off}}$ 之後，輸出信號 SOUT 可具有上升邊緣，且給定、所要或預定時間 $T_{\text{dis}}-T_{\text{D}}-T_{\text{off}}$ 可藉由自放電時間 T_{dis} 減去第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差 T_{D} 與第一偏移延遲單元 220 之偏移時

42283pif

間 T_{off} 的總和而獲得。

放電時間 T_{dis} 可為在電容器 330 之第一電極電性耦接至接地電壓時電容器 330 之電壓自高位準減小至給定、所要或預定臨限電壓 V_{TH} 的時間段，且放電時間 T_{dis} 可根據第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 之電流驅動能力及電容器 330 之容量來確定。因此，若第一 NMOS 電晶體 N1 及第二 NMOS 電晶體 N2 之電流驅動能力為固定的，則放電時間 T_{dis} 可根據電容器 330 之容量來確定。圖 3 之第一時間暫存器 230 中所包含之電容器及圖 3 之第二時間暫存器 270 中所包含之電容器可具有相同或實質上相同之容量，且因此第一時間暫存器 230 及第二時間暫存器 270 可具有相同或實質上相同之放電時間 T_{dis} 。另外，圖 3 之第一偏移延遲單元 220 及第二偏移延遲單元 260 可具有相同或實質上相同之偏移時間 T_{off} 。

因此，圖 3 之第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差（例如，第一輸出信號 SOUT1 具有上升邊緣之時間點與第二輸出信號 SOUT2 具有上升邊緣之時間點之間的時間差）可根據第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差及第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差來確定，將在下文參看圖 9A 及圖 9B 來描述此情形。

在輸出單元 340 輸出具有邏輯高位準之輸出信號 SOUT 之後，第一反相器 310 可回應於輸入信號 SIN 之下降邊緣而輸出具有邏輯低位準之輸出信號。舉例而言，可

42283pif

回應於輸入信號 SIN 之下降邊緣而導通第一 PMOS 電晶體 P1，且可回應於具有邏輯低位準之反相輸出信號而導通第二 PMOS 電晶體 P2。若第一 PMOS 電晶體 P1 及第二 PMOS 電晶體 P2 被導通，則中間節點 NMID，或電容器 330 之第一電極可經由第一 PMOS 電晶體 P1 及第二 PMOS 電晶體 P2 而耦接至電源電壓，且電容器 330 可被充電。在其他範例實施例中，喚醒信號 SAWK 可為輸入信號 SIN 之反相信號，且邏輯閘可位於輸入信號 SIN 與第一反相器 310 之間以在給定、所要或預定時間段期間將具有邏輯高位準之信號施加至第一反相器 310，即使輸入信號 SIN 具有下降邊緣時仍如此。在此種情況下，第一反相器 310 可回應於邏輯閘之輸出信號而對電容器 330 充電。

圖 6 是圖示圖 3 之時間差加法器中所包含之時間暫存器的另一實例之電路圖。

參看圖 6，時間暫存器 300b 包含第一反相器 310、反相器控制單元 320b、電容器 330 及輸出單元 340。除了反相器控制單元 320b 中所包含之選擇器 325、327 及 329 之組態及操作之外，圖 6 之時間暫存器 300b 可具有與圖 4 之時間暫存器 300a 類似或實質上類似之組態且可執行與圖 4 之時間暫存器 300a 類似或實質上類似之操作。

反相器控制單元 320b 可回應於保持信號 SHLD 而停用第一反相器 310，且反相器控制單元 320b 可回應於喚醒信號 SAWK 而啟動第一反相器 310。反相器控制單元 320b 可包含第二 PMOS 電晶體 P2、第二 NMOS 電晶體 N2、D

42283pif

型正反器 323 及選擇器 325、327 及 329。

選擇器 325、327 及 329 可藉由邏輯閘 325、327 及 329 來實施。舉例而言，選擇器 325、327 及 329 可包含第一“及”（AND）閘 325、第二 AND 閘 327 及“或”（OR）閘 329。第一 AND 閘 325 可對保持信號 SHLD 及自 D 型正反器 323 之反相輸出端子/Q 輸出之反相輸出信號執行 AND 運算。第二 AND 閘 327 可對喚醒信號 SAWK 及自 D 型正反器 323 之輸出端子 Q 輸出之輸出信號執行 AND 運算。OR 閘 329 可對第一 AND 閘 325 之輸出信號及第二 AND 閘 327 之輸出信號執行 OR 運算。當自反相輸出端子/Q 輸出之反相輸出信號具有邏輯高位準，且自輸出端子 Q 輸出之輸出信號具有邏輯低位準時，邏輯閘 325、327 及 329 可輸出保持信號 SHLD。當自反相輸出端子/Q 輸出之反相輸出信號具有邏輯低位準，且自輸出端子 Q 輸出之輸出信號具有邏輯高位準時，邏輯閘 325、327 及 329 可輸出喚醒信號 SAWK。

圖 7 是圖示圖 3 之時間差加法器中所包含之時間暫存器的再一實例之電路圖。

參看圖 7，時間暫存器 300c 包含第一反相器 310、反相器控制單元 320c、電容器 330 及輸出單元 340。除了反相器控制單元 320c 中所包含之選擇器 P4、N4、P5 及 N5 之組態及操作之外，圖 7 之時間暫存器 300c 可具有與圖 4 之時間暫存器 300a 類似或實質上類似之組態且可執行與圖 4 之時間暫存器 300a 類似或實質上類似之操作。

反相器控制單元 320c 可回應於保持信號 SHLD 而停用第一反相器 310，且反相器控制單元 320c 可回應於喚醒信號 SAWK 而啟動第一反相器 310。反相器控制單元 320c 可包含第二 PMOS 電晶體 P2、第二 NMOS 電晶體 N2、D 型正反器 323 及選擇器 P4、N4、P5 及 N5。

選擇器 P4、N4、P5 及 N5 可藉由傳輸閘 P4、N4、P5 及 N5 來實施。舉例而言，選擇器 P4、N4、P5 及 N5 可包含第一傳輸閘 P4 及 N4 以及第二傳輸閘 P5 及 N5。當自 D 型正反器 323 之反相輸出端子/Q 輸出之反相輸出信號具有邏輯高位準且自 D 型正反器 323 之輸出端子 Q 輸出之輸出信號具有邏輯低位準時，第一傳輸閘 P4 及 N4 可輸出保持信號 SHLD。第一傳輸閘 P4 及 N4 可包含第四 PMOS 電晶體 P4 以及第四 NMOS 電晶體 N4，其中第四 PMOS 電晶體 P4 包含耦接至輸出端子 Q 之閘極，第四 NMOS 電晶體 N4 包含耦接至反相輸出端子/Q 之閘極。當自反相輸出端子/Q 輸出之反相輸出信號具有邏輯低位準且自輸出端子 Q 輸出之輸出信號具有邏輯高位準時，第二傳輸閘 P5 及 N5 可輸出喚醒信號 SAWK。第二傳輸閘 P5 及 N5 可包含第五 PMOS 電晶體 P5 以及第五 NMOS 電晶體 N5，其中第五 PMOS 電晶體 P5 包含耦接至反相輸出端子/Q 之閘極，第五 NMOS 電晶體 N5 包含耦接至輸出端子 Q 之閘極。

圖 8 是圖示圖 3 之時間差加法器中所包含之時間暫存器的又一實例之電路圖。

參看圖 8，時間暫存器 300d 包含第一反相器 310、反

42283pif

相器控制單元 320、電容器 330 及輸出單元 350。除了輸出單元 350 之組態及操作之外，圖 8 之時間暫存器 300d 可具有與圖 4 之時間暫存器 300a 類似或實質上類似之組態且可執行與圖 4 之時間暫存器 300a 類似或實質上類似之操作。根據範例實施例，反相器控制單元 320 可實施為圖 4 之反相器控制單元 320a、圖 6 之反相器控制單元 320b、圖 7 之反相器控制單元 320c，或其類似者。

輸出單元 350 可基於電容器 330 之電壓（亦即，中間節點 NMID 之電壓）來產生輸出信號 SOUT。舉例而言，輸出單元 350 可實施為比較器 350。比較器 350 可包含接收參考電壓 VREF 之非反相輸入端子、接收電容器 330 之電壓的反相輸入端子，及輸出輸出信號 SOUT 之輸出端子。當電容器 330 之電壓低於參考電壓 VREF 時，比較器 350 可產生具有邏輯高位準之輸出信號 SOUT。根據範例實施例，可自外部電路或裝置接收參考電壓 VREF，或者，時間暫存器 300d 可包含產生參考電壓 VREF 之電路。參考電壓 VREF 可低於電源電壓。舉例而言，參考電壓 VREF 可為電源電壓之約五分之一。

圖 9A 是用於描述圖 3 之時間差加法器之操作之實例的時序圖。圖 9A 圖示以下實例，其中第一輸入信號 SIN1 與第二輸入信號 SIN2 具有正的第一時間差 TD1，且第三輸入信號 SIN3 與第四輸入信號 SIN4 具有正的第二時間差 TD2。

參看圖 3 及圖 9A，可將第一輸入信號 SIN1 施加至第

42283pif

一時間暫存器 230 之第一輸入端子 IN1。可藉由第一偏移延遲單元 220 使第二輸入信號 SIN2 延遲了偏移時間 T_{off} ，且接著可將第二輸入信號 SIN2 作為第一保持信號 SHLD1 施加至第一時間暫存器 230 之第一保持端子 HLD1。因此，第一輸入信號 SIN1 及第一保持信號 SHLD1 可具有時間差 $TD1 + T_{off}$ ，時間差 $TD1 + T_{off}$ 等於或實質上等於偏移時間 T_{off} 加上第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $TD1$ 。

第四輸入信號 SIN4 可施加至第二時間暫存器 270 之第二輸入端子 IN2。可藉由第二偏移延遲單元 230 使第三輸入信號 SIN3 延遲了偏移時間 T_{off} ，且接著可將第三輸入信號 SIN3 作為第二保持信號 SHLD2 施加至第二時間暫存器 270 之第二保持端子 HLD2。因此，第四輸入信號 SIN4 及第二保持信號 SHLD2 可具有時間差 $-TD2 + T_{off}$ ，時間差 $-TD2 + T_{off}$ 等於偏移時間 T_{off} 減去第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 $TD2$ 。

回應於喚醒信號 SAWK，第一時間暫存器 230 可輸出第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段 $T_{dis} - TD1 - T_{off}$ 之後具有上升邊緣。第一時間段 $T_{dis} - TD1 - T_{off}$ 可等於或實質上等於放電時間 T_{dis} 減去第一輸入信號 SIN1 與第一保持信號 SHLD1 之間的時間差 $TD1 + T_{off}$ 。亦即，例如，喚醒信號 SAWK 及第一輸出信號 SOUT1 可具有時間差 $T_{dis} - TD1 - T_{off}$ ，時間差 $T_{dis} - TD1 - T_{off}$

42283pif

是藉由自放電時間 T_{dis} 減去第一輸入信號 SIN1 與第一保持信號 SHLD1 之間的時間差 $TD1+T_{off}$ 而獲得。

回應於喚醒信號 SAWK，第二時間暫存器 270 可輸出第二輸出信號 SOUT2，第二輸出信號 SOUT2 在與喚醒信號 SAWK 之上升邊緣相隔第二給定、所要或預定之時間段 $T_{dis}+TD2-T_{off}$ 之後具有上升邊緣。第二時間段 $T_{dis}+TD2-T_{off}$ 可等於或實質上等於放電時間 T_{dis} 減去第四輸入信號 SIN4 與第二保持信號 SHLD2 之間的時間差 $-TD2+T_{off}$ 。亦即，例如，喚醒信號 SAWK 及第二輸出信號 SOUT2 可具有時間差 $T_{dis}+TD2-T_{off}$ ，時間差 $T_{dis}+TD2-T_{off}$ 是藉由自放電時間 T_{dis} 減去第四輸入信號 SIN4 與第二保持信號 SHLD2 之間的時間差 $-TD2+T_{off}$ 而獲得。

第一偏移延遲單元 220 及第二偏移延遲單元 260 可具有相同或實質上相同之偏移時間 T_{off} ，且第一時間暫存器 230 及第二時間暫存器 270 可具有相同或實質上相同之放電時間 T_{dis} 。因此，第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $TD1$ 與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 $TD2$ 的總和 $TD1+TD2$ ，其中第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差等於或實質上等於喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差 $T_{dis}+TD2-T_{off}$ 減去喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差

42283pif

$T_{dis}-TD1-T_{off}$ (亦即, $(T_{dis}+TD2-T_{off}) - (T_{dis}-TD1-T_{off}) = TD2 + TD1$)。

如上所述, 根據範例實施例之時間差加法器 200a 可將輸入信號 SIN1、SIN2、SIN3 及 SIN4 之間的時間差 TD1 及 TD2 準確地相加。

圖 9B 是用於描述圖 3 之時間差加法器之操作之另一實例的時序圖。圖 9B 圖示以下實例, 其中第一輸入信號 SIN1 及第二輸入信號 SIN2 具有負的第一時間差 $-TD1$, 且第三輸入信號 SIN3 及第四輸入信號 SIN4 具有負的第二時間差 $-TD2$ 。

參看圖 3 及圖 9B, 可將第一輸入信號 SIN1 施加至第一時間暫存器 230 之第一輸入端子 IN1。可藉由第一偏移延遲單元 220 使第二輸入信號 SIN2 延遲了偏移時間 T_{off} , 且接著可將第二輸入信號 SIN2 作為第一保持信號 SHLD1 施加至第一時間暫存器 230 之第一保持端子 HLD1。因此, 第一輸入信號 SIN1 及第一保持信號 SHLD1 可具有時間差 $-TD1+T_{off}$, 時間差 $-TD1+T_{off}$ 等於或實質上等於偏移時間 T_{off} 加上第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $-TD1$ 。

第四輸入信號 SIN4 可施加至第二時間暫存器 270 之第二輸入端子 IN2。可藉由第二偏移延遲單元 230 使第三輸入信號 SIN3 延遲了偏移時間 T_{off} , 且接著可將第三輸入信號 SIN3 作為第二保持信號 SHLD2 施加至第二時間暫存器 270 之第二保持端子 HLD2。因此, 第四輸入信號 SIN4

42283pif

及第二保持信號 SHLD2 可具有時間差 $TD2+T_{off}$ ，時間差 $TD2+T_{off}$ 等於或實質上等於偏移時間 T_{off} 減去第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 $-TD2$ 。

回應於喚醒信號 SAWK，第一時間暫存器 230 可輸出第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段 $T_{dis}+TD1-T_{off}$ 之後具有上升邊緣。第一時間段 $T_{dis}+TD1-T_{off}$ 可等於或實質上等於放電時間 T_{dis} 減去第一輸入信號 SIN1 與第一保持信號 SHLD1 之間的時間差 $-TD1+T_{off}$ 。亦即，例如，喚醒信號 SAWK 及第一輸出信號 SOUT1 可具有時間差 $T_{dis}+TD1-T_{off}$ ，時間差 $T_{dis}+TD1-T_{off}$ 是藉由自放電時間 T_{dis} 減去第一輸入信號 SIN1 與第一保持信號 SHLD1 之間的時間差 $-TD1+T_{off}$ 而獲得。

回應於喚醒信號 SAWK，第二時間暫存器 270 可輸出第二輸出信號 SOUT2，第二輸出信號 SOUT2 在與喚醒信號 SAWK 之上升邊緣相隔第二給定、所要或預定之時間段 $T_{dis}-TD2-T_{off}$ 之後具有上升邊緣。第二時間段 $T_{dis}-TD2-T_{off}$ 可等於或實質上等於放電時間 T_{dis} 減去第四輸入信號 SIN4 與第二保持信號 SHLD2 之間的時間差 $TD2+T_{off}$ 。亦即，例如，喚醒信號 SAWK 及第二輸出信號 SOUT2 可具有時間差 $T_{dis}-TD2-T_{off}$ ，時間差 $T_{dis}-TD2-T_{off}$ 是藉由自放電時間 T_{dis} 減去第四輸入信號 SIN4 與第二保持信號 SHLD2 之間的時間差 $TD2+T_{off}$ 而獲得。

42283pif

第一偏移延遲單元 220 及第二偏移延遲單元 260 可具有相同或實質上相同之偏移時間 T_{off} ，且第一時間暫存器 230 及第二時間暫存器 270 可具有相同或實質上相同之放電時間 T_{dis} 。因此，第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $-TD1$ 與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 $-TD2$ 的總和 $-TD1-TD2$ ，其中第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差等於或實質上等於喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差 $T_{dis}-TD2-T_{off}$ 減去喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差 $T_{dis}+TD1-T_{off}$ (亦即， $(T_{dis}-TD2-T_{off}) - (T_{dis}+TD1-T_{off}) = (-TD2) + (-TD1)$)。

如上所述，根據範例實施例之時間差加法器 200a 可將輸入信號 SIN1、SIN2、SIN3 及 SIN4 之間的時間差 $-TD1$ 及 $-TD2$ 準確地相加。

儘管圖 9A 及圖 9B 圖示以下時間差加法之實例，即，將第一輸入信號 SIN1 之上升邊緣與第二輸入信號 SIN2 之上升邊緣之間的第一時間差與第三輸入信號 SIN3 之上升邊緣與第四輸入信號 SIN4 之上升邊緣之間的第二時間差相加，但在其他範例實施例中，時間差加法器可執行以下時間差加法，即，將第一輸入信號 SIN1 之下降邊緣與第二輸入信號 SIN2 之下降邊緣之間的第三時間差與第三輸入信號 SIN3 之下降邊緣與第四輸入信號 SIN4 之下降邊緣

42283pif

之間的第四時間差相加。在又一些範例實施例中，時間差加法器可執行針對上升邊緣之時間差加法及針對下降邊緣之時間差加法。

圖 10 是圖示根據範例實施例之時間差加法器之方塊圖。

參看圖 10，時間差加法器 200b 包含第一暫存器單元 210b 及第二暫存器單元 250b。時間差加法器 200b 可能不包含圖 3 中所示之第一偏移延遲單元 220 及第二偏移延遲單元 260。時間差加法器 200b 可接收具有正時間差之第一輸入信號 SIN1 及第二輸入信號 SIN2 以及具有負時間差之第三輸入信號 SIN3 及第四輸入信號 SIN4。

第一暫存器單元 210b 可接收第一輸入信號 SIN1 及第二輸入信號 SIN2，且第一暫存器單元 210b 可回應於喚醒信號 SAWK 而產生第一輸出信號 SOUT1。第一暫存器單元 210b 可包含第一時間暫存器 230。第一時間暫存器 230 可包含接收第一輸入信號 SIN1 之第一輸入端子 IN1、接收第二輸入信號 SIN2 之第一保持端子 HLD1、接收喚醒信號 SAWK 之第一喚醒端子 AWK1，及輸出第一輸出信號 SOUT1 之第一輸出端子 OUT1。

第二暫存器單元 250b 可接收第三輸入信號 SIN3 及第四輸入信號 SIN4，且第二暫存器單元 250b 可回應於喚醒信號 SAWK 而產生第二輸出信號 SOUT2。第二暫存器單元 250b 可包含第二時間暫存器 270。第二時間暫存器 270 可包含接收第四輸入信號 SIN4 之第二輸入端子 IN2、接收

42283pif

第三輸入信號 SIN3 之第二保持端子 HLD2、接收喚醒信號 SAWK 之第二喚醒端子 AWK2，及輸出第二輸出信號 SOUT2 之第二輸出端子 OUT2。

根據範例實施例，第一時間暫存器 230 及第二時間暫存器 270 中之一者可實施為圖 4 之時間暫存器 300a、圖 6 之時間暫存器 300b、圖 7 之時間暫存器 300c、圖 8 之時間暫存器 300d，或其類似者。

回應於喚醒信號 SAWK，第一時間暫存器 230 可輸出第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段之後具有上升邊緣。第一時間段可等於或實質上等於放電時間減去第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差。亦即，例如，喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差可藉由自放電時間減去第一時間差而獲得。

回應於喚醒信號 SAWK，第二時間暫存器 270 可輸出第二輸出信號 SOUT2，第二輸出信號 SOUT2 在與喚醒信號 SAWK 之上升邊緣相隔第二給定、所要或預定之時間段之後具有上升邊緣。第二時間段可等於或實質上等於放電時間加上第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差。亦即，例如，喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差可藉由將第二時間差與放電時間相加而獲得。

第一時間暫存器 230 之放電時間可與第二時間暫存器

42283pif

270 之放電時間相同或實質上相同。因此，第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差的總和，其中第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差等於或實質上等於喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差減去喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差。

如上所述，根據範例實施例之時間差加法器 200b 可輸出具有時間差之第一輸出信號 SOUT1 及第二輸出信號 SOUT2，所述時間差對應於第一時間差與第二時間差之總和。

圖 11 是用於描述圖 10 之時間差加法器之操作之實例的時序圖。圖 11 圖示以下實例，其中第一輸入信號 SIN1 與第二輸入信號 SIN2 具有正的第一時間差 TD1，且第三輸入信號 SIN3 與第四輸入信號 SIN4 具有負的第二時間差 -TD2。

參看圖 10 及圖 11，第一輸入信號 SIN1 可施加至第一時間暫存器 230 之第一輸入端子 IN1，且第二輸入信號 SIN2 可施加至第一時間暫存器 230 之第一保持端子 HLD1。第四輸入信號 SIN4 可施加至第二時間暫存器 270 之第二輸入端子 IN2，且第三輸入信號 SIN3 可施加至第二時間暫存器 270 之第二保持端子 HLD2。

回應於喚醒信號 SAWK，第一時間暫存器 230 可輸出

42283pif

第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段 $T_{dis}-TD1$ 之後具有上升邊緣。第一時間段 $T_{dis}-TD1$ 可等於或實質上等於放電時間 T_{dis} 減去第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $TD1$ 。亦即，例如，喚醒信號 SAWK 及第一輸出信號 SOUT1 可具有時間差 $T_{dis}-TD1$ ，時間差 $T_{dis}-TD1$ 是藉由自放電時間 T_{dis} 減去第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $TD1$ 而獲得。

回應於喚醒信號 SAWK，第二時間暫存器 270 可輸出第二輸出信號 SOUT2，第二輸出信號 SOUT2 在與喚醒信號 SAWK 之上升邊緣相隔第二給定、所要或預定之時間段 $T_{dis}-TD2$ 之後具有上升邊緣。第二時間間隔 $T_{dis}-TD2$ 可等於或實質上等於放電時間 T_{dis} 加上第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 $-TD2$ 。亦即，例如，喚醒信號 SAWK 及第二輸出信號 SOUT2 可具有時間差 $T_{dis}-TD2$ ，時間差 $T_{dis}-TD2$ 是藉由將第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 $-TD2$ 與放電時間 T_{dis} 相加而獲得。

第一時間暫存器 230 與第二時間暫存器 270 可具有相同或實質上相同之放電時間 T_{dis} 。因此，第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $TD1$ 與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第

42283pif

二時間差 $-TD2$ 的總和 $TD1-TD2$ ，其中第一輸出信號 $SOUT1$ 與第二輸出信號 $SOUT2$ 之間的時間差等於或實質上等於喚醒信號 $SAWK$ 與第二輸出信號 $SOUT2$ 之間的時間差 $Tdis-TD2$ 減去喚醒信號 $SAWK$ 與第一輸出信號 $SOUT1$ 之間的時間差 $Tdis-TD1$ （亦即， $(Tdis-TD2) - (Tdis-TD1) = -TD2 + TD1$ ）。

如上所述，根據範例實施例之時間差加法器 200b 可將輸入信號 $SIN1$ 、 $SIN2$ 、 $SIN3$ 及 $SIN4$ 之間的時間差 $TD1$ 及 $-TD2$ 準確地相加。

圖 12 是圖示根據範例實施例之時間差加法器之方塊圖。

參看圖 12，時間差加法器 200c 包含第一暫存器單元 210c、第二暫存器單元 250c 及控制單元 290。

第一暫存器單元 210c 可接收第一輸入信號 $SIN1$ 及第二輸入信號 $SIN2$ ，且第一暫存器單元 210c 可回應於喚醒信號 $SAWK$ 而產生第一輸出信號 $SOUT1$ 。第一暫存器單元 210c 可包含第一偏移延遲單元 220 及第一時間暫存器 240。第一偏移延遲單元 220 可藉由使第二輸入信號 $SIN2$ 延遲一段偏移時間來產生第一保持信號 $SHLD1$ 。第一時間暫存器 240 可包含接收第一輸入信號 $SIN1$ 之第一輸入端子 $IN1$ 、接收第一保持信號 $SHLD1$ 之第一保持端子 $HLD1$ 、接收預充電信號 $SPRCH$ 之第一預充電端子、接收喚醒信號 $SAWK$ 之第一喚醒端子 $AWK1$ ，及輸出第一輸出信號 $SOUT1$ 之第一輸出端子 $OUT1$ 。

第二暫存器單元 250c 可接收第三輸入信號 SIN3 及第四輸入信號 SIN4，且第二暫存器單元 250c 可回應於喚醒信號 SAWK 而產生第二輸出信號 SOUT2。第二暫存器單元 250c 可包含第二偏移延遲單元 260 及第二時間暫存器 280。第二偏移延遲單元 260 可藉由使第三輸入信號 SIN3 延遲所述偏移時間來產生第二保持信號 SHLD2。第二時間暫存器 280 可包含接收第四輸入信號 SIN4 之第二輸入端子 IN2、接收第二保持信號 SHLD2 之第二保持端子 HLD2、接收預充電信號 SPRCH 之第二預充電端子、接收喚醒信號 SAWK 之第二喚醒端子 AWK2，及輸出第二輸出信號 SOUT2 之第二輸出端子 OUT2。

控制單元 290 可產生預充電信號 SPRCH 及喚醒信號 SAWK。舉例而言，控制單元 290 可藉由使第一至第四輸入信號 SIN1、SIN2、SIN3 及 SIN4 中之至少一者延遲及/或反相來產生預充電信號 SPRCH 及喚醒信號 SAWK。在一些範例實施例中，控制單元 290 可產生預充電信號 SPRCH 及喚醒信號 SAWK，使得預充電信號 SPRCH 在喚醒信號 SAWK 具有上升邊緣之後具有上升邊緣。

回應於喚醒信號 SAWK，第一時間暫存器 240 可輸出第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段之後具有上升邊緣。第一時間段可等於或實質上等於放電時間減去偏移時間減去第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差。亦即，例如，喚醒信號 SAWK

42283pif

與第一輸出信號 SOUT1 之間的時間差可藉由自放電時間減去偏移時間且藉由自所述減法之結果進一步減去第一時間差來獲得。

回應於喚醒信號 SAWK，第二時間暫存器 280 可輸出第二輸出信號 SOUT2，第二輸出信號 SOUT2 在與喚醒信號 SAWK 之上升邊緣相隔第二給定、所要或預定之時間段之後具有上升邊緣。第二時間段可等於或實質上等於放電時間減去偏移時間加上第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差。亦即，例如，喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差可藉由自放電時間減去偏移時間且藉由將第二時間差與所述減法之結果相加來獲得。

第一偏移延遲單元 220 之偏移時間可與第二偏移延遲單元 260 之偏移時間相同或實質上相同。第一時間暫存器 240 之放電時間可與第二時間暫存器 280 之放電時間相同或實質上相同。因此，第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差的總和，其中第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差等於喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差減去喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差。

如上所述，根據範例實施例之時間差加法器 200c 可

42283pif

輸出具有時間差之第一輸出信號 SOUT1 及第二輸出信號 SOUT2，所述時間差對應於第一時間差與第二時間差之總和。

圖 13 是圖示圖 12 之時間差加法器中所包含之時間暫存器的實例之電路圖。

參看圖 13，時間暫存器 400a 包含下拉電晶體 410、上拉電晶體 460、下拉電晶體控制單元 420、電容器 430，及輸出單元 440。在一些範例實施例中，圖 12 中所示之第一時間暫存器 240 及第二時間暫存器 280 中的每一者可實施為圖 13 之時間暫存器 400a。

下拉電晶體 410 可耦接於中間節點 NMID 與接地電壓之間，且下拉電晶體 410 可藉由下拉電晶體控制單元 420 控制以對電容器 430 放電。舉例而言，下拉電晶體 410 可包含 NMOS 電晶體 N6，NMOS 電晶體 N6 包含接收下拉電晶體控制單元 420 之輸出信號的閘極、耦接至接地電壓之源極，及耦接至中間節點 NMID 之汲極。

上拉電晶體 460 可耦接於中間節點 NMID 與電源電壓之間，且上拉電晶體 460 可回應於預充電信號 SPRCH 而對電容器 430 充電。舉例而言，上拉電晶體 460 可包含 PMOS 電晶體 P6，PMOS 電晶體 P6 包含接收預充電信號 SPRCH 之閘極、耦接至電源電壓之源極，及耦接至中間節點 NMID 之汲極。

下拉電晶體控制單元 420 可回應於輸入信號 SIN 而導通下拉電晶體 410，可回應於保持信號 SHLD 而關閉下拉

42283pif

電晶體 410，且可回應於喚醒信號 SAWK 而再次導通下拉電晶體 410。下拉電晶體控制單元 420 可包含設定-重設閘鎖器 421 及 OR 閘 427。

設定-重設閘鎖器 421 包含接收輸入信號 SIN 之設定端子 S、接收保持信號 SHLD 之重設端子 R，及輸出輸出信號之輸出端子 Q。設定-重設閘鎖器 421 可包含第一“或非”（NOR）閘 423 及第二 NOR 閘 425。第一 NOR 閘 423 可對輸入信號 SIN 及第二 NOR 閘 425 之輸出信號執行 NOR 運算，且第二 NOR 閘 425 可對保持信號 SHLD 及第一 NOR 閘 423 之輸出信號執行 NOR 運算。

在輸入信號 SIN 具有邏輯高位準且保持信號 SHLD 具有邏輯低位準時，設定-重設閘鎖器 421 可輸出具有邏輯高位準之輸出信號。在保持信號 SHLD 具有邏輯高位準時，設定-重設閘鎖器 421 可輸出具有邏輯低位準之輸出信號，而不管輸入信號 SIN 之邏輯位準。另外，在輸入信號 SIN 及保持信號 SHLD 均具有邏輯低位準時，設定-重設閘鎖器 421 可輸出邏輯位準與先前輸出信號之邏輯位準相同的輸出信號。

OR 閘 427 可對自設定-重設閘鎖器 421 之輸出端子 Q 輸出之輸出信號及喚醒信號 SAWK 執行 OR 運算。OR 閘 427 之輸出端子可耦接至下拉電晶體 410 之閘極，且下拉電晶體 410 可藉由 OR 閘 427 之輸出信號控制。

電容器 430 可藉由上拉電晶體 460 被充電，且電容器 430 可藉由下拉電晶體 410 被放電。電容器 430 可包含耦

42283pif

接至中間節點 NMID 之第一電極及耦接至接地電壓之第二電極。舉例而言，在上拉電晶體 460 被導通時，電容器 430 之第一電極可經由上拉電晶體 460 而電性耦接至電源電壓，且因此電容器 430 可被充電。在下拉電晶體 410 被導通時，電容器 430 之第一電極可經由下拉電晶體 410 而電性耦接至接地電壓，且因此電容器 430 可被放電。

輸出單元 440 可基於電容器 430 之電壓（亦即，中間節點 NMID 之電壓）來產生輸出信號 SOUT。舉例而言，輸出單元 440 可包含反相器 440。反相器 440 可包含 PMOS 電晶體 P3 及 NMOS 電晶體 N3。當電容器 430 之電壓低於給定、所要或預定臨限電壓時，反相器 440 可輸出具有邏輯高位準之輸出信號 SOUT。舉例而言，當電容器 430 之電壓低於 PMOS 電晶體 P3 之臨限電壓時，PMOS 電晶體 P3 可被導通，且因此反相器 440 可輸出具有邏輯高位準之輸出信號 SOUT。

在輸入信號 SIN 與保持信號 SHLD 之間的時間差期間可對電容器 430 放電，以儲存關於輸入信號 SIN 與保持信號 SHLD 之間的時間差的資訊。舉例而言，可回應於輸入信號 SIN 之上升邊緣來開始電容器 430 之放電，且可回應於保持信號 SHLD 之上升邊緣來停止電容器 430 之放電，使得在輸入信號 SIN 與保持信號 SHLD 之間的時間差期間可對電容器 330 放電。另外，可回應於喚醒信號 SAWK 之上升邊緣來重新開始電容器 430 之放電。因此，在與喚醒信號 SAWK 之上升邊緣相隔給定、所要或預定時間段之

42283pif

後，電容器 430 之電壓可變得低於臨限電壓（例如，PMOS 電晶體 P3 之臨限電壓），且所述時間段可根據輸入信號 SIN 與保持信號 SHLD 之間的時間差來確定。當電容器 430 之電壓變得低於臨限電壓時，輸出單元 440 可輸出具有邏輯高位準之輸出信號 SOUT。因此，在根據相對於喚醒信號 SAWK 之上升邊緣的時間差確定的時間段之後，輸出信號 SOUT 可具有上升邊緣。因此，輸出信號 SOUT 具有上升邊緣之時間點可根據輸入信號 SIN 與保持信號 SHLD 之間的時間差來確定。

舉例而言，設定-重設閂鎖器 421 可回應於輸入信號 SIN 之上升邊緣而輸出具有邏輯高位準之輸出信號，且 OR 閂 427 可回應於設定-重設閂鎖器 421 之具有邏輯高位準的輸出信號而輸出具有邏輯高位準之輸出信號。可回應於 OR 閂 427 之具有邏輯高位準的輸出信號而導通下拉電晶體 410，且可藉由導通之下拉電晶體 410 來開始電容器 430 之放電。

設定-重設閂鎖器 421 可回應於保持信號 SHLD 之上升邊緣而輸出具有邏輯低位準之輸出信號，且 OR 閂 427 可回應於設定-重設閂鎖器 421 之具有邏輯低位準的輸出信號且具有邏輯低位準的喚醒信號 SAWK 而輸出具有邏輯低位準之輸出信號。可回應於 OR 閂 427 之具有邏輯低位準的輸出信號而關閉下拉電晶體 410，且可藉由關閉之下拉電晶體 410 來停止電容器 430 之放電。

OR 閂 427 可回應於喚醒信號 SAWK 之上升邊緣而輸

42283pif

出具有邏輯高位準之輸出信號。可回應於 OR 閘 427 之具有邏輯高位準的輸出信號而導通下拉電晶體 410，且可藉由導通之下拉電晶體 410 來重新開始電容器 430 之放電。在重新開始電容器 430 之放電之後，在電容器 430 之電壓或中間節點 NMID 之電壓變成低於臨限電壓時，輸出單元 440 可輸出具有邏輯高位準之輸出信號 SOUT。

因此，回應於喚醒信號 SAWK，在根據輸入信號 SIN 與保持信號 SHLD 之間的時間差確定的時間點時，時間暫存器 400a 可輸出具有上升邊緣之輸出信號 SOUT。

圖 14 是圖示圖 12 之時間差加法器中所包含之控制單元的實例之電路圖。

參看圖 14，控制單元 290 包含第一反相器 291、喚醒延遲單元 292、第一設定-重設閂鎖器 293、預充電延遲單元 296、第二設定-重設閂鎖器 297 及第二反相器 298。

第一反相器 291 可藉由使輸入信號 SIN 反相來產生輸入信號 SIN 之反相信號。根據範例實施例，輸入信號 SIN 可為圖 12 之第一輸入信號 SIN1、圖 12 之第二輸入信號 SIN2、圖 12 之第三輸入信號 SIN3、圖 12 之第四輸入信號 SIN4，或另一信號。第一反相器 291 可將輸入信號 SIN 之反相信號提供至喚醒延遲單元 292 及第一設定-重設閂鎖器 293。

喚醒延遲單元 292 及第一設定-重設閂鎖器 293 可形成喚醒脈衝產生器。喚醒延遲單元 292 可使輸入信號 SIN 之反相信號延遲了第一延遲時間。在一些範例實施例中，喚

42283pif

醒延遲單元 292 之第一延遲時間可設定為比時間暫存器之放電時間長。

第一設定-重設門鎖器 293 可包含接收輸入信號 SIN 之反相信號的設定端子 S、接收喚醒延遲單元 292 之輸出信號的重設端子 R，及輸出喚醒信號 SAWK 之輸出端子 Q。第一設定-重設門鎖器 293 可產生喚醒信號 SAWK，使得喚醒信號 SAWK 回應於輸入信號 SIN 之反相信號（例如，不被喚醒延遲單元 292 延遲之反相信號）的上升邊緣而具有上升邊緣，且喚醒信號 SAWK 回應於喚醒延遲單元 292 之輸出信號的上升邊緣而具有下降邊緣。因此，喚醒信號 SAWK 之脈寬，或喚醒信號 SAWK 之上升邊緣與喚醒信號 SAWK 之下降邊緣之間的時間間隔可對應於喚醒延遲單元 292 之第一延遲時間。

預充電延遲單元 296 及第二設定-重設門鎖器 297 可形成預充電脈衝產生器。預充電延遲單元 296 可使喚醒延遲單元 292 之輸出信號延遲第二延遲時間。在一些範例實施例中，預充電延遲單元 296 之第二延遲時間可設定為比對時間暫存器中所包含之電容器實質上完全充電所需的時間長。

第二設定-重設門鎖器 297 可包含接收喚醒延遲單元 292 之輸出信號的設定端子 S、接收預充電延遲單元 296 之輸出信號的重設端子 R，及輸出輸出信號之輸出端子 Q。第二反相器 298 可藉由使第二設定-重設門鎖器 297 之輸出信號反相來產生預充電信號 SPRCH。

第二設定-重設閂鎖器 297 及第二反相器 298 可產生預充電信號 SPRCH，使得預充電信號 SPRCH 回應於喚醒延遲單元 292 之輸出信號的上升邊緣而具有下降邊緣，且預充電信號 SPRCH 回應於預充電延遲單元 296 之輸出信號的上升邊緣而具有上升邊緣。因此，預充電信號 SPRCH 之下降邊緣與預充電信號 SPRCH 之上升邊緣之間的時間間隔可對應於預充電延遲單元 296 之第二延遲時間。

圖 15 是用於描述圖 13 之時間暫存器之操作的時序圖。

參看圖 13、圖 14 及圖 15，下拉電晶體控制單元 420 可回應於輸入信號 SIN 之上升邊緣而產生具有邏輯高位準之輸出信號。舉例而言，設定-重設閂鎖器 421 可回應於輸入信號 SIN 之上升邊緣而在輸出端子 Q 處輸出具有邏輯高位準之輸出信號，且 OR 閂 427 可回應於設定-重設閂鎖器 421 之具有邏輯高位準的輸出信號而輸出具有邏輯高位準之輸出信號。可回應於 OR 閂 427 之具有邏輯高位準的輸出信號而導通下拉電晶體 410 之 NMOS 電晶體 N6。若 NMOS 電晶體 N6 被導通，則中間節點 NMID，或電容器 430 之第一電極可經由 NMOS 電晶體 N6 而耦接至接地電壓，且因此電容器 430 可被放電。因此，可回應於輸入信號 SIN 之上升邊緣來對電容器 430 放電，且電容器 430 之電壓，或中間節點 NMID 之電壓 V_{NMID} 可減小。

下拉電晶體控制單元 420 可回應於保持信號 SHLD 之上升邊緣而產生具有邏輯低位準之輸出信號。舉例而言，

42283pif

設定-重設閂鎖器 421 可回應於保持信號 SHLD 之上升邊緣而在輸出端子 Q 處輸出具有邏輯低位準之輸出信號，且 OR 閂 427 可回應於設定-重設閂鎖器 421 之具有邏輯低位準的輸出信號且具有邏輯低位準的喚醒信號 SAWK 而輸出具有邏輯低位準之輸出信號。可回應於 OR 閂 427 之具有邏輯低位準的輸出信號而關閉下拉電晶體 410 之 NMOS 電晶體 N6。若 NMOS 電晶體 N6 被關閉，則電容器 430 之放電可停止。因此，可回應於保持信號 SHLD 之上升邊緣來停止電容器 430 之放電，且可停止電容器 430 之電壓之減小，或中間節點 NMID 之電壓 V_{NMID} 之減小。

控制單元 290 可回應於輸入信號 SIN 之下降邊緣而產生具有邏輯高位準之喚醒信號 SAWK。喚醒信號 SAWK 可具有比時間暫存器 400a 之放電時間 T_{dis} 長的邏輯高週期 T_{aw} 。喚醒信號 SAWK 之脈寬，或邏輯高週期 T_{aw} 可對應於喚醒延遲單元 292 之第一延遲時間。

下拉電晶體控制單元 420 可回應於喚醒信號 SAWK 之上升邊緣而產生具有邏輯高位準之輸出信號。舉例而言，OR 閂 427 可回應於喚醒信號 SAWK 之上升邊緣而輸出具有邏輯高位準之輸出信號。可回應於 OR 閂 427 之具有邏輯高位準的輸出信號而導通下拉電晶體 410 之 NMOS 電晶體 N6。若 NMOS 電晶體 N6 被導通，則電容器 430 之放電可重新開始。因此，可回應於喚醒信號 SAWK 之上升邊緣來重新開始電容器 430 之放電，且電容器 430 之電壓減小，或中間節點 NMID 之電壓 V_{NMID} 可再次減小。

42283pif

輸出單元 440 可基於電容器 430 之電壓或中間節點 NMID 之電壓 V_{NMID} 來輸出輸出信號 SOUT。當中間節點 NMID 之電壓 V_{NMID} 變成低於給定、所要或預定臨限電壓 V_{TH} 時，輸出單元 440 可輸出具有邏輯高位準之輸出信號 SOUT。舉例而言，臨限電壓 V_{TH} 可為 PMOS 電晶體 P3 之臨限電壓。因此，若中間節點 NMID 之電壓 V_{NMID} 變成低於 PMOS 電晶體 P3 之臨限電壓，則 PMOS 電晶體 P3 可被導通，且輸出信號 SOUT 可具有邏輯高位準。

在與喚醒信號 SAWK 之上升邊緣相隔給定、所要或預定時間段 $T_{dis-TD-Toff}$ 之後，輸出信號 SOUT 可具有上升邊緣。時間段 $T_{dis-TD-Toff}$ 可等於或實質上等於放電時間 T_{dis} 減去輸入信號 SIN 與保持信號 SHLD 之間的時間差 $TD+Toff$ 。因此，輸出信號 SOUT 具有上升邊緣之時間點可根據輸入信號 SIN 與保持信號 SHLD 之間的時間差 $TD+Toff$ 來確定。

控制單元 290 可回應於喚醒信號 SAWK 之下降邊緣而產生具有邏輯低位準之預充電信號 SPRCH。預充電信號 SPRCH 可具有比對電容器 430 完全或實質上完全充電所需之時間長的邏輯低週期 T_{prch} 。預充電信號 SPRCH 之邏輯低週期 T_{prch} 可對應於預充電延遲單元 296 之第二延遲時間。

可回應於預充電信號 SPRCH 之下降邊緣來導通上拉電晶體 460 之 PMOS 電晶體 P6。若 PMOS 電晶體 P6 被導

42283pif

通，則中間節點 NMID，或電容器 430 之第一電極可經由 PMOS 電晶體 P6 而耦接至電源電壓，且電容器 430 可被充電。

圖 16 是圖示圖 12 之時間差加法器中所包含之時間暫存器的另一實例之電路圖。

參看圖 16，時間暫存器 400b 包含下拉電晶體 410、上拉電晶體 460、下拉電晶體控制單元 420、電容器 430，及輸出單元 450。除了輸出單元 450 之組態及操作之外，圖 16 之時間暫存器 400b 可具有與圖 13 之時間暫存器 400a 類似或實質上類似之組態且可執行與圖 13 之時間暫存器 400a 類似或實質上類似之操作。

輸出單元 450 可基於電容器 430 之電壓（例如，中間節點 NMID 之電壓）來產生輸出信號 SOUT。舉例而言，輸出單元 450 可實施為比較器 450。比較器 450 可包含接收參考電壓 VREF 之非反相輸入端子、接收電容器 430 之電壓的反相輸入端子，及輸出輸出信號 SOUT 之輸出端子。根據範例實施例，可自外部電路或裝置接收參考電壓 VREF，或者，時間暫存器 400d 可包含產生參考電壓 VREF 之電路。

圖 17 是用於描述圖 12 之時間差加法器之操作之實例的時序圖。圖 17 圖示以下實例，其中第一輸入信號 SIN1 與第二輸入信號 SIN2 具有正的第一時間差 TD1，且第三輸入信號 SIN3 與第四輸入信號 SIN4 具有正的第二時間差 TD2。

參看圖 12 及圖 17，可將第一輸入信號 SIN1 施加至第一時間暫存器 240 之第一輸入端子 IN1。可藉由第一偏移延遲單元 220 使第二輸入信號 SIN2 延遲了偏移時間 T_{off} ，且接著可將第二輸入信號 SIN2 作為第一保持信號 SHLD1 施加至第一時間暫存器 240 之第一保持端子 HLD1。因此，第一輸入信號 SIN1 及第一保持信號 SHLD1 可具有時間差 $TD1+T_{off}$ ，時間差 $TD1+T_{off}$ 等於偏移時間 T_{off} 加上第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差 $TD1$ 。

第四輸入信號 SIN4 可施加至第二時間暫存器 280 之第二輸入端子 IN2。可藉由第二偏移延遲單元 260 使第三輸入信號 SIN3 延遲了偏移時間 T_{off} ，且接著可將第三輸入信號 SIN3 作為第二保持信號 SHLD2 施加至第二時間暫存器 280 之第二保持端子 HLD2。因此，第四輸入信號 SIN4 及第二保持信號 SHLD2 可具有時間差 $-TD2+T_{off}$ ，時間差 $-TD2+T_{off}$ 等於或實質上等於偏移時間 T_{off} 減去第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差 $TD2$ 。

回應於喚醒信號 SAWK，第一時間暫存器 240 可輸出第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段 $T_{dis}-TD1-T_{off}$ 之後具有上升邊緣。第一時間段 $T_{dis}-TD1-T_{off}$ 可等於放電時間 T_{dis} 減去第一輸入信號 SIN1 與第一保持信號 SHLD1 之間的時間差 $TD1+T_{off}$ 。亦即，例如，喚醒信號 SAWK 及第一輸出信號 SOUT1 可具

42283pif

有時間差 $T_{dis}-TD1-T_{off}$ ，時間差 $T_{dis}-TD1-T_{off}$ 是藉由自放電時間 T_{dis} 減去第一輸入信號 $SIN1$ 與第一保持信號 $SHLD1$ 之間的時間差 $TD1+T_{off}$ 而獲得。

回應於喚醒信號 $SAWK$ ，第二時間暫存器 280 可輸出第二輸出信號 $SOUT2$ ，第二輸出信號 $SOUT2$ 在與喚醒信號 $SAWK$ 之上升邊緣相隔第二給定、所要或預定之時間段 $T_{dis}+TD2-T_{off}$ 之後具有上升邊緣。第二時間段 $T_{dis}+TD2-T_{off}$ 可等於或實質上等於放電時間 T_{dis} 減去第四輸入信號 $SIN4$ 與第二保持信號 $SHLD2$ 之間的時間差 $-TD2+T_{off}$ 。亦即，例如，喚醒信號 $SAWK$ 及第二輸出信號 $SOUT2$ 可具有時間差 $T_{dis}+TD2-T_{off}$ ，時間差 $T_{dis}+TD2-T_{off}$ 是藉由自放電時間 T_{dis} 減去第四輸入信號 $SIN4$ 與第二保持信號 $SHLD2$ 之間的時間差 $-TD2+T_{off}$ 而獲得。

第一偏移延遲單元 220 及第二偏移延遲單元 260 可具有相同或實質上相同之偏移時間 T_{off} ，且第一時間暫存器 240 及第二時間暫存器 280 可具有相同或實質上相同之放電時間 T_{dis} 。因此，第一輸出信號 $SOUT1$ 與第二輸出信號 $SOUT2$ 之間的時間差可對應於第一輸入信號 $SIN1$ 與第二輸入信號 $SIN2$ 之間的第一時間差 $TD1$ 與第三輸入信號 $SIN3$ 與第四輸入信號 $SIN4$ 之間的第二時間差 $TD2$ 的總和 $TD1+TD2$ ，其中第一輸出信號 $SOUT1$ 與第二輸出信號 $SOUT2$ 之間的時間差等於或實質上等於喚醒信號 $SAWK$ 與第二輸出信號 $SOUT2$ 之間的時間差 $T_{dis}+TD2-T_{off}$ 減去

42283pif

喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差 $T_{dis}-T_{D1}-T_{off}$ (例如, $(T_{dis}+T_{D2}-T_{off}) - (T_{dis}-T_{D1}-T_{off}) = T_{D2} + T_{D1}$)。

如上所述，根據範例實施例之時間差加法器 200c 可將輸入信號 SIN1、SIN2、SIN3 及 SIN4 之間的時間差 TD1 及 TD2 準確地相加。

圖 18 是圖示根據範例實施例之時間差加法器之方塊圖。

參看圖 18，時間差加法器 200d 包含第一暫存器單元 210d 及第二暫存器單元 250d。時間差加法器 200d 可不包含圖 12 中所示之第一偏移延遲單元 220 及第二偏移延遲單元 260。時間差加法器 200d 可接收具有正時間差之第一輸入信號 SIN1 及第二輸入信號 SIN2 以及具有負時間差之第三輸入信號 SIN3 及第四輸入信號 SIN4。

第一暫存器單元 210d 可接收第一輸入信號 SIN1 及第二輸入信號 SIN2，且第一暫存器單元 210d 可回應於喚醒信號 SAWK 而產生第一輸出信號 SOUT1。第一暫存器單元 210d 可包含第一時間暫存器 240。第一時間暫存器 240 可包含接收第一輸入信號 SIN1 之第一輸入端子 IN1、接收第二輸入信號 SIN2 之第一保持端子 HLD1、接收預充電信號 SPRCH 之第一預充電端子 PRCH1、接收喚醒信號 SAWK 之第一喚醒端子 AWK1，及輸出第一輸出信號 SOUT1 之第一輸出端子 OUT1。

第二暫存器單元 250d 可接收第三輸入信號 SIN3 及第

42283pif

四輸入信號 SIN4，且第二暫存器單元 250d 可回應於喚醒信號 SAWK 而產生第二輸出信號 SOUT2。第二暫存器單元 250d 可包含第二時間暫存器 280。第二時間暫存器 280 可包含接收第四輸入信號 SIN4 之第二輸入端子 IN2、接收第三輸入信號 SIN3 之第二保持端子 HLD2、接收預充電信號 SPRCH 之第二預充電端子 PRCH2、接收喚醒信號 SAWK 之第二喚醒端子 AWK2，及輸出第二輸出信號 SOUT2 之第二輸出端子 OUT2。

根據範例實施例，第一時間暫存器 240 及第二時間暫存器 280 中之每一者可實施為圖 13 之時間暫存器 400a、圖 16 之時間暫存器 400b 或其類似者。

控制單元 290 可產生預充電信號 SPRCH 及喚醒信號 SAWK。舉例而言，控制單元 290 可藉由使第一至第四輸入信號 SIN1、SIN2、SIN3 及 SIN4 中之至少一者延遲及/或反相來產生預充電信號 SPRCH 及喚醒信號 SAWK。

回應於喚醒信號 SAWK，第一時間暫存器 240 可輸出第一輸出信號 SOUT1，第一輸出信號 SOUT1 在與喚醒信號 SAWK 之上升邊緣相隔第一給定、所要或預定之時間段之後具有上升邊緣。第一時間段可等於或實質上等於放電時間減去第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差。亦即，例如，喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差可藉由自放電時間減去第一時間差而獲得。

回應於喚醒信號 SAWK，第二時間暫存器 280 可輸出

42283pif

第二輸出信號 SOUT2，第二輸出信號 SOUT2 具有與喚醒信號 SAWK 之上升邊緣相隔第二給定、所要或預定之時間段之上升邊緣。第二時間段可等於或實質上等於放電時間加上第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差。亦即，例如，喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差可藉由將第二時間差與放電時間相加而獲得。

第一時間暫存器 240 之放電時間可與第二時間暫存器 280 之放電時間相同或實質上相同。因此，第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差可對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差與第三輸入信號 SIN3 與第四輸入信號 SIN4 之間的第二時間差的總和，其中第一輸出信號 SOUT1 與第二輸出信號 SOUT2 之間的時間差等於或實質上等於喚醒信號 SAWK 與第二輸出信號 SOUT2 之間的時間差減去喚醒信號 SAWK 與第一輸出信號 SOUT1 之間的時間差。

如上所述，根據範例實施例之時間差加法器 200d 可輸出具有時間差之第一輸出信號 SOUT1 及第二輸出信號 SOUT2，所述時間差對應於第一時間差與第二時間差之總和。

圖 19 是圖示根據範例實施例之時間差累積器之圖。

參看圖 19，時間差累積器 500 可回應於第一輸入信號 IN1 及第二輸入信號 IN2 而產生第一輸出信號 OUT1 及第二輸出信號 OUT2。時間差累積器 500 可累積第一輸入信

42283pif

號 IN1 與第二輸入信號 IN2 之間的時間差以產生具有累積時間差之第一輸出信號 OUT1 及第二輸出信號 OUT2。舉例而言，若最初輸入具有第一時間差 TD1 之第一輸入信號 IN1 及第二輸入信號 IN2，則時間差累積器 500 可產生具有第一時間差 TD1 之第一輸出信號 OUT1 及第二輸出信號 OUT2。隨後，若輸入具有第二時間差 TD2 之第一輸入信號 IN1 及第二輸入信號 IN2，則時間差累積器 500 可產生具有時間差 $TD1+TD2$ 之第一輸出信號 OUT1 及第二輸出信號 OUT2，時間差 $TD1+TD2$ 對應於第一時間差 TD1 與第二時間差 TD2 之總和。其後，若輸入具有第三時間差 TD3 之第一輸入信號 IN1 及第二輸入信號 IN2，則時間差累積器 500 可產生具有時間差 $TD1+TD2+TD3$ 之第一輸出信號 OUT1 及第二輸出信號 OUT2，時間差 $TD1+TD2+TD3$ 對應於第一至第三時間差 TD1、TD2 及 TD3 之總和。根據範例實施例之時間差累積器 500 可包含在系統單晶片 (SOC) 中。

圖 20 是圖示根據範例實施例之時間差累積器之方塊圖。

參看圖 20，時間差累積器 500a 包含第一時間差加法器 510 及延遲單元 520a。

第一時間差加法器 510 可回應於第一輸入信號 IN1、第二輸入信號 IN2、第一先前輸出信號 POUT1 及第二先前輸出信號 POUT2 而產生第一輸出信號 OUT1 及第二輸出信號 OUT2。第一時間差加法器 510 可將第一輸入信號 IN1

42283pif

與第二輸入信號 IN2 之間的第一時間差與第一先前輸出信號 POUT1 與第二先前輸出信號 POUT2 之間的第二時間差相加，以產生具有時間差之第一輸出信號 OUT1 及第二輸出信號 OUT2，所述時間差對應於第一時間差與第二時間差之總和。第一先前輸出信號 POUT1 及第二先前輸出信號 POUT2 可為藉由時間差加法器 510 執行之先前時間差加法所產生的第一輸出信號 OUT1 及第二輸出信號 OUT2。

根據範例實施例，第一時間差加法器 510 可實施為圖 3 之時間差加法器 200a、圖 10 之時間差加法器 200b、圖 12 之時間差加法器 200c、圖 18 之時間差加法器 200d，或其類似者。

延遲單元 520a 可藉由分別使第一輸出信號 OUT1 及第二輸出信號 OUT2 延遲來產生第一先前輸出信號 POUT1 及第二先前輸出信號 POUT2。延遲單元 520a 可包含第二時間差加法器 530。根據範例實施例，第二時間差加法器 530 可實施為圖 3 之時間差加法器 200a、圖 10 之時間差加法器 200b、圖 12 之時間差加法器 200c、圖 18 之時間差加法器 200d，或其類似者。

第二時間差加法器 530 可回應於第一輸出信號 OUT1 及第二輸出信號 OUT2 及實質上相同之兩個信號來產生第一先前輸出信號 POUT1 及第二先前輸出信號 POUT2。第二時間差加法器 530 可將第一輸出信號 OUT1 與第二輸出信號 OUT2 之間的第三時間差與所述相同之兩個信號之間的第四時間差相加以產生具有時間差之第一先前輸出信號

42283pif

POUT1 及第二先前輸出信號 POUT2，所述時間差對應於第三時間差與第四時間差之總和。所述相同之兩個信號在相同或實質上相同之時間點時可具有上升邊緣，且第四時間差可為時間差加法之單位元素“0”。因此，第一先前輸出信號 POUT1 與第二先前輸出信號 POUT2 之間的時間差可與第一輸出信號 OUT1 與第二輸出信號 OUT2 之間的第三時間差相同或實質上相同。因此，第二時間差加法器 530 可藉由分別使第一輸出信號 OUT1 及第二輸出信號 OUT2 延遲相同或實質上相同之延遲時間但未改變時間差來產生第一先前輸出信號 POUT1 及第二先前輸出信號 POUT2。

雖然圖 20 圖示第一輸出信號 OUT1 用作相同之兩個信號的實例，但根據其他範例實施例，相同之兩個信號可為第二輸出信號 OUT2、第一輸出信號 OUT1 之反相信號、第二輸出信號 OUT2 之反相信號，或另一信號。

圖 21 是圖示根據範例實施例之時間差累積器之方塊圖。

參看圖 21，時間差累積器 500b 包含第一時間差加法器 510 及延遲單元 520b。除了延遲單元 520b 之組態及操作之外，圖 21 之時間差累積器 500b 可具有與圖 20 之時間差累積器 500a 類似或實質上類似之組態且可執行與圖 20 之時間差累積器 500a 類似或實質上類似之操作。

延遲單元 520b 可藉由分別使第一輸出信號 OUT1 及第二輸出信號 OUT2 延遲來產生第一先前輸出信號 POUT1 及第二先前輸出信號 POUT2。延遲單元 520b 可包含第一

延遲電路 540 及第二延遲電路 550。

第一延遲電路 540 可藉由使第一輸出信號 OUT1 延遲來產生第一先前輸出信號 POUT1，且第二延遲電路 550 可藉由使第二輸出信號 OUT2 延遲來產生第二先前輸出信號 POUT2。第一延遲電路 540 之延遲時間可與第二延遲電路 550 之延遲時間相同或實質上相同。因此，第一延遲電路 540 及第二延遲電路 550 可藉由分別使第一輸出信號 OUT1 及第二輸出信號 OUT2 延遲相同或實質上相同之延遲時間來產生第一先前輸出信號 POUT1 及第二先前輸出信號 POUT2。

圖 22 是圖示圖 21 之時間差累積器中所包含之延遲單元的實例的電路圖，且圖 23 是用於描述圖 22 之延遲單元中所包含之電晶體的配置之實例的圖。

參看圖 22，延遲單元 520b 可包含第一延遲電路 540 及第二延遲電路 550。第一延遲電路 540 可包含具有多個 PMOS 電晶體 P11、P12、P13 及 P14 以及多個 NMOS 電晶體 N11、N12、N13 及 N14 之多個反相器。第二延遲電路 550 可包含具有多個 PMOS 電晶體 P21、P22、P23 及 P24 以及多個 NMOS 電晶體 N21、N22、N23 及 N24 之多個反相器。第一延遲電路 540 及第二延遲電路 550 可具有相同或實質上相同數目個反相器，且第一延遲電路 540 及第二延遲電路 550 可具有相同或實質上相同之延遲時間。

如圖 23 中所示，第一延遲電路 540 中所包含之多個電晶體 P11、P12、P13、P14、N11、N12、N13 及 N14 以

42283pif

及第二延遲電路 550 中所包含之多個電晶體 P21、P22、P23、P24、N21、N22、N23 及 N24 可交替地配置。舉例而言，第二延遲電路 550 之第一 PMOS 電晶體 P21 及第一 NMOS 電晶體 N21 可安置在第一延遲電路 540 之第一 PMOS 電晶體 P11 與第一 NMOS 電晶體 N11 之間，且第一延遲電路 540 之第二 PMOS 電晶體 P12 及第二 NMOS 電晶體 N12 可安置在第二延遲電路 550 之第二 PMOS 電晶體 P22 與第二 NMOS 電晶體 N22 之間。因為第一延遲電路 540 及第二延遲電路 550 之電晶體是交替地安置，所以由 PVT 變化導致的第一延遲電路 540 與第二延遲電路 550 之間的失配可減少。

圖 24 是圖示根據範例實施例之 Σ - Δ (sigma-delta) 時間至數位轉換器之方塊圖。

參看圖 24， Σ - Δ 時間至數位轉換器 600a 包含時間差加法器 610、時間差累積器 630、時域量化器 650 及數位至時間轉換器 670。

時間差加法器 610 可自第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差減去第一回授信號 SFEED1 與第二回授信號 SFEED2 之間的第二時間差以產生具有第三時間差之第一加法信號 SADD1 及第二加法信號 SADD2，所述第三時間差對應於第一時間差減去第二時間差。根據範例實施例，時間差加法器 610 可實施為圖 3 之時間差加法器 200a、圖 10 之時間差加法器 200b、圖 12 之時間差加法器 200c、圖 18 之時間差加法器 200d，或其

42283pif

類似者。舉例而言，在時間差加法器 610 實施為圖 3 之時間差加法器 200a 之情況下，可將第一輸入信號 SIN1 施加至圖 3 之第一時間暫存器 230 之第一輸入端子 IN1，可將第二輸入信號 SIN2 施加至圖 3 之第一偏移延遲單元 220，可將第一回授信號 SFEED1 施加至圖 3 之第二時間暫存器 270 之第二輸入端子 IN2，且可將第二回授信號 SFEED2 施加至圖 3 之第二偏移延遲單元 260。亦即，第一回授信號 SFEED1 可對應於圖 3 之第四輸入信號 SIN4，且第二回授信號 SFEED2 可對應於圖 3 之第三輸入信號 SIN3。因此，時間差加法器 610 可執行時間差減法，即，自第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差減去第一回授信號 SFEED1 與第二回授信號 SFEED2 之間的第二時間差。

時間差累積器 630 可累積第一加法信號 SADD1 與第二加法信號 SADD2 之間的第三時間差以產生第一累積信號 SACC1 及第二累積信號 SACC2。根據範例實施例，時間差累積器 630 可實施為圖 20 之時間差累積器 500a、圖 21 之時間差累積器 500b，或其類似者。

時域量化器 650 可將第一累積信號 SACC1 與第二累積信號 SACC2 之間的時間差轉換成數位輸出信號 DOUT。根據範例實施例，數位輸出信號 DOUT 可為具有兩個位準之一個位元的信號，或者數位輸出信號 DOUT 可為具有三個或三個以上位準之兩個或兩個以上位元的信號。

42283pif

數位至時間轉換器 670 可將數位輸出信號 DOUT 轉換成第一回授信號 SFEED1 及第二回授信號 SFEED2。舉例而言，隨著數位輸出信號 DOUT 之值增加，數位至時間轉換器 670 可增加第一回授信號 SFEED1 與第二回授信號 SFEED2 之間的第二時間差。

在根據範例實施例之 Σ - Δ 時間至數位轉換器 600a 中，時間差加法器 610 可輸出第一時間差與第二時間差之間的差（例如， Δ ），時間差累積器 630 可累積（例如， Σ ）此差，時域量化器 650 可將累積差轉換成數位值，且數位至時間轉換器 670 可將數位值轉換成第二時間差。亦即，例如， Σ - Δ 時間至數位轉換器 600a 可藉由使用時間差加法器 610、時間差累積器 630、時域量化器 650 及數位至時間轉換器 670 以 Σ - Δ 方式執行時間至數位轉換。因此，根據範例實施例之 Σ - Δ 時間至數位轉換器 600a 可具有相對較高之解析度。

圖 25 是用於描述藉由圖 24 之 Σ - Δ 時間至數位轉換器執行之雜訊整型之圖。

參看圖 25，根據範例實施例之 Σ - Δ 時間至數位轉換器可執行超取樣及雜訊整型。因為 Σ - Δ 時間至數位轉換器執行超取樣（oversampling），所以量化雜訊可在寬頻帶上擴展，此導致信號頻帶中之量化雜訊的減少。另外，因為 Σ - Δ 時間至數位轉換器執行雜訊整型，所以量化雜訊可移動至未用頻帶。亦即，例如， Σ - Δ 時間至數位轉換器可相對於量化雜訊操作為高通濾波器，藉此將量化雜訊移動至未用

42283pif

頻帶。

因此，根據範例實施例之 Σ - Δ 時間至數位轉換器可減少雜訊，且可具有相對較高之解析度。

圖 26 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之時域量化器之實例的方塊圖。

參看圖 26，時域量化器 650a 包含延遲線 651a、多個 D 型正反器 653a 及編碼器 655。

延遲線 651a 可包含隨後延遲第一累積信號 SACC1 之 N 個延遲元件 DELAY1、DELAY2 及 DELAYN，其中 N 為大於 0 之整數。可分別將自延遲元件 DELAY1、DELAY2 及 DELAYN 輸出之信號施加至 D 型正反器 653a。D 型正反器 653a 可回應於第二累積信號 SACC2 之上升邊緣而輸出 N 個輸出信號 d1、d2 及 dN。因此，具有值“1”之輸出信號 d1、d2 及 dN 的數目可根據第一累積信號 SACC1 與第二累積信號 SACC2 之間的時間差來確定。

編碼器 655 可基於 D 型正反器 653a 之輸出信號 d1、d2 及 dN 而產生數位輸出信號 DOUT。舉例而言，編碼器 655 可將為溫度計碼之輸出信號轉換成為二進位碼之數位輸出信號 DOUT。

因此，時域量化器 650a 可產生對應於第一累積信號 SACC1 與第二累積信號 SACC2 之間的時間差的數位輸出信號 DOUT。

圖 27 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之時域量化器之另一實例的方塊圖。

42283pif

參看圖 27，時域量化器 650b 包含第一延遲線 651b、第二延遲線 652b、多個 D 型正反器 653b 及編碼器 655。

第一延遲線 651b 可包含隨後延遲第一累積信號 SACC1 之 N 個延遲元件 DELAY11、DELAY12 及 DELAY1N，其中 N 為大於 0 之整數。第二延遲線 652b 可包含隨後延遲第二累積信號 SACC2 之 N 個延遲元件 DELAY21、DELAY22 及 DELAY2N。可分別將自第一延遲元件 DELAY11、DELAY12 及 DELAY1N 輸出之信號施加至 D 型正反器 653b 之資料端子，且可分別將自第二延遲元件 DELAY21、DELAY22 及 DELAY2N 輸出之信號施加至 D 型正反器 653b 之時脈端子。D 型正反器 653b 可回應於分別自第二延遲元件 DELAY21、DELAY22 及 DELAY2N 輸出之信號而輸出 N 個輸出信號 $d1$ 、 $d2$ 及 dN 。因此，具有值“1”之輸出信號 $d1$ 、 $d2$ 及 dN 的數目可根據第一累積信號 SACC1 與第二累積信號 SACC2 之間的時間差來確定。

在一些範例實施例中，第一延遲線 651b 中所包含之每一延遲元件（delay cell）DELAY11、DELAY12 及 DELAY1N 之第一延遲時間可比第二延遲線 652b 中所包含之每一延遲元件 DELAY21、DELAY22 及 DELAY2N 之第二延遲時間長。因為時間差可被轉換成以對應於第一延遲時間與第二延遲時間之間的差的時間為單位的數位值，所以時域量化器 650b 可具有相對較高之解析度。

編碼器 655 可基於 D 型正反器 653b 之輸出信號 $d1$ 、

42283pif

d2 及 dN 而產生數位輸出信號 DOUT。

因此，時域量化器 650b 可產生對應於第一累積信號 SACC1 與第二累積信號 SACC2 之間的時間差的數位輸出信號 DOUT。

雖然圖 26 及圖 27 圖示根據範例實施例之 Σ - Δ 時間至數位轉換器中所包含之時域量化器的實例，然而，根據範例實施例之 Σ - Δ 時間至數位轉換器中所包含之時域量化器可不限於此。

圖 28 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之數位至時間轉換器之實例的方塊圖。

參看圖 28，數位至時間轉換器 670a 包含脈衝產生器 671、延遲線 673 及多工器 675。

脈衝產生器 671 可產生脈衝，且脈衝產生器 671 可輸出脈衝作為第一回授信號 SFEED1。延遲線 673 可包含隨後延遲脈衝之 M 個延遲元件 DELAY1、DELAY2 及 DELAYM，其中 M 為大於 0 之整數。多工器 675 可回應於數位輸出信號 DOUT 而輸出自延遲元件 DELAY1、DELAY2 及 DELAYM 輸出之輸出信號 D1、D2 及 DM 中之一者作為第二回授信號 SFEED2。因此，數位至時間轉換器 670a 可產生具有時間差之第一回授信號 SFEED1 及第二回授信號 SFEED2，所述時間差對應於數位輸出信號 DOUT。

圖 29 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之數位至時間轉換器之另一實例的方塊圖。

參看圖 29，數位至時間轉換器 670b 包含脈衝產生器 671、第一延遲元件 672、第二延遲元件 674、M 個電容器 C1、C2 及 CM，及 M 個開關 SWS1、SWS2 及 SWSM。

脈衝產生器 671 可產生脈衝，且脈衝產生器 671 可輸出脈衝作為第一回授信號 SFEED1。第一延遲元件 672 及第二延遲元件 674 可延遲脈衝，且第一延遲元件 672 及第二延遲元件 674 可輸出延遲脈衝作為第二回授信號 SFEED2。M 個電容器 C1、C2 及 CM 可耦接至在第一延遲元件 672 與第二延遲元件 674 之間的節點，且 M 個電容器 C1、C2 及 CM 可經由 M 個開關 SWS1、SWS2 及 SWSM 而耦接至接地電壓，其中 M 為大於 0 之整數。可回應於數位輸出信號 DOUT 而選擇性地導通或關閉 M 個開關 SWS1、SWS2 及 SWSM，且可藉由 M 個開關 SWS1、SWS2 及 SWSM 而將 M 個電容器 C1、C2 及 CM 選擇性地電性耦接至第一延遲元件 672 及第二延遲元件 674。因此，可藉由基於數位輸出信號 DOUT 調整耦接至第一延遲元件 672 及第二延遲元件 674 之電容器 C1、C2 及 CM 的容量來調整第一延遲元件 672 及第二延遲元件 674 之延遲時間。因此，數位至時間轉換器 670b 可產生具有時間差之第一回授信號 SFEED1 及第二回授信號 SFEED2，所述時間差對應於數位輸出信號 DOUT。

雖然圖 28 及圖 29 圖示根據範例實施例之 Σ - Δ 時間至數位轉換器中所包含之數位至時間轉換器的實例，然而，根據範例實施例之 Σ - Δ 時間至數位轉換器中所包含之數位

42283.tif

至時間轉換器可不限於此。

圖 30 是圖示根據範例實施例之 Σ - Δ 時間至數位轉換器之方塊圖。

參看圖 30， Σ - Δ 時間至數位轉換器 600b 包含時間差加法器 610、第一時間差累積器 630、第二時間差累積器 640、時域量化器 650 及數位至時間轉換器 670。與圖 24 之 Σ - Δ 時間至數位轉換器 600a 相比， Σ - Δ 時間至數位轉換器 600b 可更包含第二時間差累積器 640。

第一時間差累積器 630 及第二時間差累積器 640 可形成二階累積器，且 Σ - Δ 時間至數位轉換器 600b 可為二階 Σ - Δ 時間至數位轉換器。雖然圖 30 圖示二階 Σ - Δ 時間至數位轉換器 600b 之實例，但在一些範例實施例中， Σ - Δ 時間至數位轉換器 600b 可為三(或更高)階時間至數位轉換器。

根據範例實施例之 Σ - Δ 時間至數位轉換器 600b 可藉由包含二(或更高)階累積器而進一步減少信號頻帶中之量化雜訊。

圖 31 是圖示根據範例實施例之 Σ - Δ 時間至數位轉換器之方塊圖。

參看圖 31， Σ - Δ 時間至數位轉換器 600c 包含時間差調整單元 620、時間差累積器 630 及時域量化器 650。與圖 24 之 Σ - Δ 時間至數位轉換器 600a 相比， Σ - Δ 時間至數位轉換器 600c 可包含時間差調整單元 620 來代替時間差加法器 610 及數位至時間轉換器 670。

時間差調整單元 620 可接收第一輸入信號 SIN1、第二

42283pif

輸入信號 SIN2 及數位輸出信號 DOUT，且時間差調整單元 620 可藉由使第一輸入信號 SIN1 及第二輸入信號 SIN2 中之一者延遲對應於數位輸出信號 DOUT 之延遲時間來產生第一加法信號 SADD1 及第二加法信號 SADD2。時間差調整單元 620 可產生具有時間差之第一加法信號 SADD1 及第二加法信號 SADD2，所述時間差對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的第一時間差減去由數位輸出信號 DOUT 表示之第二時間差。

時間差累積器 630 可累積第一加法信號 SADD1 與第二加法信號 SADD2 之間的時間差以產生第一累積信號 SACC1 及第二累積信號 SACC2。時域量化器 650 可將第一累積信號 SACC1 與第二累積信號 SACC2 之間的時間差轉換成數位輸出信號 DOUT。

在根據範例實施例之 Σ - Δ 時間至數位轉換器 600c 中，時間差調整單元 620 可輸出第一時間差與第二時間差之間的差（例如， Δ ），時間差累積器 630 可累積（例如， Σ ）此差，且時域量化器 650 可將累積差轉換成數位值。亦即， Σ - Δ 時間至數位轉換器 600c 可藉由使用時間差調整單元 620、時間差累積器 630 及時域量化器 650 以 Σ - Δ 方式執行時間至數位轉換。因此，根據範例實施例之 Σ - Δ 時間至數位轉換器 600c 可具有相對較高之解析度。

圖 32 是圖示圖 31 之 Σ - Δ 時間至數位轉換器之實例的方塊圖。

參看圖 32， Σ - Δ 時間至數位轉換器 700a 包含時間差

42283pif

調整單元 720a、時間差累積器 730 及時域量化器 750。 Σ - Δ 時間至數位轉換器 700a 可輸出具有一個位元之數位輸出信號 DOUT。

時間差調整單元 720a 可包含第一延遲單元 721a、第一選擇器 726a、第二延遲單元 722a 及第二選擇器 727a。第一延遲單元 721a 可延遲第一輸入信號 SIN1，且第一選擇器 726a 可回應於數位輸出信號 DOUT 而選擇性地輸出第一輸入信號 SIN1 或第一延遲單元 721a 之輸出信號作為第一加法信號 SADD1。第二延遲單元 722a 可延遲第二輸入信號 SIN2，且第二選擇器 727a 可回應於數位輸出信號 DOUT 而選擇性地輸出第二輸入信號 SIN2 或第二延遲單元 722a 之輸出信號作為第二加法信號 SADD2。

舉例而言，若數位輸出信號 DOUT 具有值“0”，則第一選擇器 726a 可輸出第一輸入信號 SIN1 作為第一加法信號 SADD1，且第二選擇器 727a 可輸出第二延遲單元 722a 之輸出信號作為第二加法信號 SADD2，所述輸出信號相對於第二輸入信號 SIN2 延遲了一段延遲時間。因此，時間差調整單元 720a 可回應於數位輸出信號 DOUT 具有值 0 而產生具有時間差之第一加法信號 SADD1 及第二加法信號 SADD2，所述時間差比第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差長。

若數位輸出信號 DOUT 具有值“1”，則第一選擇器 726a 可輸出第一延遲單元 721a 之輸出信號作為第一加法信號 SADD1，所述輸出信號相對於第一輸入信號 SIN1 延

42283pif

遲了所述延遲時間，且第二選擇器 727a 可輸出第二輸入信號 SIN2 作為第二加法信號 SADD2。因此，時間差調整單元 720a 可回應於數位輸出信號 DOUT 具有值 1 而產生具有時間差之第一加法信號 SADD1 及第二加法信號 SADD2，所述時間差比第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差短。

因此，時間差調整單元 720a 可基於數位輸出信號 DOUT 之值而調整第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差，且時間差調整單元 720a 可產生具有經調整時間差之第一加法信號 SADD1 及第二加法信號 SADD2。亦即，例如，時間差調整單元 720a 可產生具有經調整時間差之第一加法信號 SADD1 及第二加法信號 SADD2，所述經調整時間差對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差減去由數位輸出信號 DOUT 表示之時間差。

時間差累積器 730 可累積第一加法信號 SADD1 與第二加法信號 SADD2 之間的時間差以產生第一累積信號 SACC1 及第二累積信號 SACC2。時域量化器 750 可將第一累積信號 SACC1 與第二累積信號 SACC2 之間的時間差轉換成數位輸出信號 DOUT。

如上所述， Σ - Δ 時間至數位轉換器 700a 可藉由使用時間差調整單元 720a、時間差累積器 730 及時域量化器 750 以 Σ - Δ 方式執行時間至數位轉換。因此，根據範例實施例之 Σ - Δ 時間至數位轉換器 700a 可具有相對較高之解析度。

42283pif

雖然圖 32 圖示以下實例，即，時間差調整單元 720a 在第一輸入信號 SIN1 之路徑及第二輸入信號 SIN2 之路徑中均包含延遲單元 721a 及 722a 以及選擇器 726a 及 727a，但根據範例實施例，時間差調整單元 720a 可僅在第一輸入信號 SIN1 之路徑及第二輸入信號 SIN2 之路徑中之一者中包含延遲單元及選擇器。

圖 33 是圖示圖 31 之 Σ - Δ 時間至數位轉換器之另一實例的方塊圖。

參看圖 33， Σ - Δ 時間至數位轉換器 700b 包含時間差調整單元 720b、時間差累積器 730 及時域量化器 750。 Σ - Δ 時間至數位轉換器 700b 可輸出具有兩個位元之數位輸出信號 DOUT。

時間差調整單元 720b 可包含第一延遲單元 721b、第二延遲單元 722b、第一選擇器 726b、第三延遲單元 723b、第四延遲單元 724b 及第二選擇器 727b。第一延遲單元 721b 可使第一輸入信號 SIN1 延遲第一延遲時間，第二延遲單元 722b 可使第一輸入信號 SIN1 延遲第二延遲時間，且第一選擇器 726b 可回應於數位輸出信號 DOUT 而選擇性地輸出第一輸入信號 SIN1、第一延遲單元 721b 之輸出信號或第二延遲單元 722b 之輸出信號作為第一加法信號 SADD1。舉例而言，第二延遲時間可長達第一延遲時間之約三倍。第三延遲單元 723b 可使第二輸入信號 SIN2 延遲第二延遲時間，第四延遲單元 724b 可使第二輸入信號 SIN2 延遲第一延遲時間，且第二選擇器 727b 可回應於數位輸出

42283pif

信號 DOUT 而選擇性地輸出第二輸入信號 SIN2、第三延遲單元 723b 之輸出信號或第四延遲單元 724b 之輸出信號作為第二加法信號 SADD2。

舉例而言，若數位輸出信號 DOUT 具有值“0”，則第一選擇器 726b 可輸出第一輸入信號 SIN1 作為第一加法信號 SADD1，且第二選擇器 727b 可輸出第三延遲單元 723b 之輸出信號作為第二加法信號 SADD2，所述輸出信號相對於第二輸入信號 SIN2 延遲了第二延遲時間。若數位輸出信號 DOUT 具有值“1”，則第一選擇器 726b 可輸出第一輸入信號 SIN1 作為第一加法信號 SADD1，且第二選擇器 727b 可輸出第四延遲單元 724b 之輸出信號作為第二加法信號 SADD2，所述輸出信號相對於第二輸入信號 SIN2 延遲了第一延遲時間。若數位輸出信號 DOUT 具有值“2”，則第一選擇器 726b 可輸出第一延遲單元 721b 之輸出信號作為第一加法信號 SADD1，所述輸出信號相對於第一輸入信號 SIN1 延遲了第一延遲時間，且第二選擇器 727b 可輸出第二輸入信號 SIN2 作為第二加法信號 SADD2。若數位輸出信號 DOUT 具有值“3”，則第一選擇器 726b 可輸出第二延遲單元 722b 之輸出信號作為第一加法信號 SADD1，所述輸出信號相對於第一輸入信號 SIN1 延遲了第二延遲時間，且第二選擇器 727b 可輸出第二輸入信號 SIN2 作為第二加法信號 SADD2。

因此，時間差調整單元 720b 可基於數位輸出信號 DOUT 之值而調整第一輸入信號 SIN1 與第二輸入信號

42283pif

SIN2 之間的時間差，且時間差調整單元 720b 可產生具有經調整時間差之第一加法信號 SADD1 及第二加法信號 SADD2。亦即，例如，時間差調整單元 720b 可產生具有經調整時間差之第一加法信號 SADD1 及第二加法信號 SADD2，所述經調整時間差對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差減去由數位輸出信號 DOUT 表示之時間差。

如上所述， Σ - Δ 時間至數位轉換器 700b 可藉由使用時間差調整單元 720b、時間差累積器 730 及時域量化器 750 以 Σ - Δ 方式執行時間至數位轉換。因此，根據範例實施例之 Σ - Δ 時間至數位轉換器 700b 可具有相對較高之解析度。

雖然圖 33 圖示以下實例，即，時間差調整單元 720b 在第一輸入信號 SIN1 之路徑及第二輸入信號 SIN2 之路徑中均包含延遲單元 721b、722b、723b 及 724b 以及選擇器 726b 及 727b，但根據範例實施例，時間差調整單元 720b 可僅在第一輸入信號 SIN1 之路徑及第二輸入信號 SIN2 之路徑中之一者中包含延遲單元及選擇器。

圖 34 是圖示根據範例實施例之 Σ - Δ 時間至數位轉換器之方塊圖。

參看圖 34， Σ - Δ 時間至數位轉換器 600d 包含時間差調整單元 620、第一時間差累積器 630、第二時間差累積器 640 及時域量化器 650。與圖 31 之 Σ - Δ 時間至數位轉換器 600c 相比， Σ - Δ 時間至數位轉換器 600d 可更包含第二時間差累積器 640。

42283.tif

第一時間差累積器 630 及第二時間差累積器 640 可形成二階累積器，且 Σ - Δ 時間至數位轉換器 600d 可為二階 Σ - Δ 時間至數位轉換器。雖然圖 34 圖示二階 Σ - Δ 時間至數位轉換器 600d 之實例，但在一些範例實施例中， Σ - Δ 時間至數位轉換器 600d 可為三(或更高)階時間至數位轉換器。

根據範例實施例之 Σ - Δ 時間至數位轉換器 600d 可藉由包含二(或更高)階累積器而進一步減少量化雜訊。

圖 35 是圖示根據範例實施例之數位鎖相迴路之方塊圖。

參看圖 35，數位鎖相迴路 800 包含 Σ - Δ 時間至數位轉換器 600、數位迴路濾波器 810、數位控制之振盪器 820 及除法器 830。

Σ - Δ 時間至數位轉換器 600 可包含時間差加法器、時間差累積器、時域量化器及數位至時間轉換器。 Σ - Δ 時間至數位轉換器 600 可產生數位時間差信號 DOUT，數位時間差信號 DOUT 對應於參考輸入信號 FREF 與回授信號 FFEED 之間的時間差。 Σ - Δ 時間至數位轉換器 600 可藉由以 Σ - Δ 方式將時間差轉換成數位值而具有相對較高之解析度。根據範例實施例，參考輸入信號 FREF 可為自外部電路或裝置接收到之有線或無線信號，或參考輸入信號 FREF 可為藉由位於數位鎖相迴路 800 內部或外部之振盪器產生的振盪信號。舉例而言，參考輸入信號 FREF 可為藉由晶體振盪器產生之振盪信號。

根據範例實施例， Σ - Δ 時間至數位轉換器 600 可實施

42283pif

為圖 24 之 Σ - Δ 時間至數位轉換器 600a、圖 23 之 Σ - Δ 時間至數位轉換器 600b、圖 31 之 Σ - Δ 時間至數位轉換器 600c、圖 31 之 Σ - Δ 時間至數位轉換器 600d，或其類似者。

數位迴路濾波器 810 可藉由過濾數位時間差信號 DOUT 而產生數位控制信號 DCON。數位迴路濾波器 810 可實施為低通濾波器。舉例而言，數位迴路濾波器 810 具有以下轉移函數：

$$\alpha + \beta * z^{-1} / (1 - z^{-1})。$$

數位控制之振盪器 820 可回應於數位控制信號 DCON 而產生具有所要頻率之輸出信號 FOUT。舉例而言，數位控制之振盪器 820 可回應於數位控制信號 DCON 而增加或減小輸出信號 FOUT 之頻率。

除法器 830 可藉由對輸出信號 FOUT 進行除法運算而產生回授信號 FFEED。在一些範例實施例中，數位鎖相迴路 800 可不包含除法器 830。在此種情況下， Σ - Δ 時間至數位轉換器 600 可接收輸出信號 FOUT 作為回授信號 FFEED。

因為數位鎖相迴路 800 包含具有相對較高解析度之 Σ - Δ 時間至數位轉換器 600，所以數位鎖相迴路 800 可具有改良之抖動效能，且數位鎖相迴路 800 可更準確地產生具有所要頻率之輸出信號 FOUT，即使在相對較低之電源電壓環境中仍如此。根據範例實施例之數位鎖相迴路 800

42283pif

可用在頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等中。

圖 36 是圖示根據範例實施例之包含 Σ - Δ 時間至數位轉換器之類比至數位轉換器的方塊圖。

參看圖 36，類比至數位轉換器 900 包含類比至時間轉換單元 910 及 Σ - Δ 時間至數位轉換器 600。

類比至時間轉換單元 910 可將類比信號轉換成具有時間差之第一輸入信號 SIN1 及第二輸入信號 SIN2，所述時間差對應於類比信號之位準。

舉例而言，類比至時間轉換單元 910 可包含脈衝產生器 911、斜波產生器 913 及比較器 915。脈衝產生器 911 可產生脈衝、可給斜波產生器 913 提供脈衝以作為斜波開始信號，且可給 Σ - Δ 時間至數位轉換器 600 提供脈衝作為第一輸入信號 SIN1。斜波產生器 913 可回應於斜波開始信號將斜波信號輸出至比較器 915。比較器 915 可藉由將斜波信號與類比信號進行比較而產生第二輸入信號 SIN2，第二輸入信號 SIN2 在對應於類比信號之位準之時間點時具有上升邊緣。

Σ - Δ 時間至數位轉換器 600 可產生對應於第一輸入信號 SIN1 與第二輸入信號 SIN2 之間的時間差的數位信號。 Σ - Δ 時間至數位轉換器 600 可藉由以 Σ - Δ 方式將時間差轉換成數位值而具有相對較高之解析度。

由於類比至數位轉換器 900 包含具有相對較高之解析度的 Σ - Δ 時間至數位轉換器 600，因此根據範例實施例之

42283.tif

類比至數位轉換器 900 可將類比信號更準確地轉換成數位信號，即使在相對較低之電源電壓環境中仍如此。

圖 37 是圖示根據範例實施例之包含 Σ - Δ 時間至數位轉換器之感測器的方塊圖。

參看圖 37，感測器 1000 包含感測單元 1010 及 Σ - Δ 時間至數位轉換器 600。

感測單元 1010 可感測物理量，諸如溫度、速度、質量、光強度等，且感測單元 1010 可產生具有時間差之第一輸入信號 SIN1 及第二輸入信號 SIN2，所述時間差對應於所述物理量。

舉例而言，在感測器 1000 為溫度感測器之情況下，感測單元 1010 可包含脈衝產生器 1011、溫度不敏感延遲線 1013（或具有低的熱敏感性之延遲線）及溫度敏感延遲線 1015（或具有高的熱敏感性之延遲線）。脈衝產生器 1011 可產生脈衝，且脈衝產生器 1011 可將脈衝提供至溫度不敏感延遲線 1013 及溫度敏感延遲線 1015。溫度不敏感延遲線 1013 可使脈衝延遲了一段延遲時間，所述延遲時間不管溫度或獨立於溫度而恆定或實質上恆定，且溫度不敏感延遲線 1013 可輸出延遲脈衝作為第一輸入信號 SIN1。溫度敏感延遲線 1015 可使脈衝延遲了一段延遲時間，所述延遲時間是根據溫度來調整的，且溫度敏感延遲線 1015 可輸出延遲脈衝作為第二輸入信號 SIN2。因此，第一輸入信號 SIN1 與第二輸入信號 SIN2 之時間差可根據溫度來確定。

Σ - Δ 時間至數位轉換器 600 可產生對應於第一輸入信

42283pif

號 SIN1 與第二輸入信號 SIN2 之間的時間差的數位輸出信號 DOUT。 Σ - Δ 時間至數位轉換器 600 可藉由以 Σ - Δ 方式將時間差轉換成數位值而具有相對較高之解析度。舉例而言，在感測器 1000 為溫度感測器之情況下， Σ - Δ 時間至數位轉換器 600 可產生對應於所感測溫度之數位輸出信號 DOUT。

由於感測器 1000 包含具有相對較高解析度之 Σ - Δ 時間至數位轉換器 600，因此根據範例實施例之感測器 1000 可準確地產生對應於所感測物理量之數位輸出信號 DOUT，即使在相對較低之電源電壓環境中仍如此。

圖 38 是圖示根據範例實施例之包含數位鎖相迴路之積體電路的方塊圖。

參看圖 38，積體電路 1100 包含數位鎖相迴路 800 及內部電路 1110。根據範例實施例，積體電路 1100 可為應用處理器（application processor；AP）、微處理器、中央處理單元（central processing unit；CPU）、特殊應用積體電路（application-specific integrated circuit；ASIC）、行動系統單晶片（SOC）、多媒體 SOC、智慧卡，或其類似者。

數位鎖相迴路 800 可基於參考輸入信號 FREF 產生具有所要頻率或相位之輸出信號 FOUT。根據範例實施例，參考輸入信號 FREF 可為自外部電路或裝置接收到之有線或無線信號，或參考輸入信號 FREF 可為藉由位於數位鎖相迴路 800 內部或外部之振盪器產生的振盪信號。數位鎖相迴路 800 可包含 Σ - Δ 時間至數位轉換器，所述 Σ - Δ 時間

至數位轉換器以 $\Sigma\text{-}\Delta$ 方式執行時間至數位轉換。因此，數位鎖相迴路 800 可具有改良之抖動效能，且數位鎖相迴路 800 可準確地產生具有所要頻率之輸出信號 FOUT，即使在相對較低之電源電壓環境中仍如此。根據範例實施例之數位鎖相迴路 800 可用在頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等中。內部電路 1110 可基於輸出信號 FOUT 來操作。舉例而言，內部電路 1110 可使用輸出信號 FOUT 作為時脈信號以操作內部電路 1110。

圖 39 是圖示根據範例實施例之包含數位鎖相迴路之收發器的方塊圖。

參看圖 39，收發器 1200 包含天線 1210、射頻（radio frequency；RF）單元 1220 及基頻處理器 1230。

RF 單元 1220 可將經由天線 1210 接收之無線信號轉換成基頻信號以給基頻處理器 1230 提供基頻信號，且 RF 單元 1220 可將自基頻處理器 1230 提供之基頻信號轉換成無線信號以經由天線 1210 傳輸無線信號。在一些範例實施例中，RF 單元 1220 可直接地（或者間接地）將接收到之無線信號轉換成基頻信號。在其他範例實施例中，RF 單元 1220 可首先將接收到之無線信號轉換成中頻（intermediate frequency；IF）信號，且 RF 單元 1220 可接著將 IF 信號轉換成基頻信號。在一些範例實施例中，RF 單元 1220 可將接收到之無線信號轉換成同相基頻信號及正交基頻信號。

42283pif

舉例而言，RF 單元 1220 可包含開關 1221、低雜訊放大器（low noise amplifier；LNA）1222、接收混頻器（reception mixer）1223、傳輸混頻器 1224、功率放大器（power amplifier；PA）1225、本地振盪器（local oscillator；LO）1226，及第一數位鎖相迴路 1227。在一些範例實施例中，RF 單元 1220 可更包含用於移除雜訊或接收到之無線信號之頻帶外分量或用於移除待傳輸之無線信號之頻帶外混附分量（spurious component）的濾波器。根據範例實施例，RF 單元 1220 可更包含可變增益放大器、低通濾波器等。

開關 1221 可將天線 1210 選擇性地耦接至接收路徑或傳輸路徑。LNA 1222 可具有相對較低之雜訊指數以減少雜訊之影響，且 LNA 1222 可放大經由天線 1210 接收之無線信號。接收混頻器 1223 可藉由將由 LNA 1222 放大之無線信號與第一數位鎖相迴路 1227 之輸出信號混頻來將無線信號降頻轉換成基頻信號。傳輸混頻器 1224 可藉由將自基頻處理器 1230 提供之基頻信號與第一數位鎖相迴路 1227 之輸出信號混頻來將基頻信號增頻轉換成無線信號。PA 1225 可放大藉由傳輸混頻器 1224 增頻轉換之無線信號，使得經由天線 1210 傳輸之無線信號具有比給定、所要或預定功率大的功率。

LO 1226 可產生振盪信號。舉例而言，LO 1226 可包含晶體振盪器。第一數位鎖相迴路 1227 可基於自 LO 1226 提供之振盪信號而產生具有所要頻率之輸出信號。第一數

42283pif

位鎖相迴路 1227 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第一數位鎖相迴路 1227 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環境中仍如此。

基頻處理器 1230 可基於自 RF 單元 1220 接收到之基頻信號來執行資料處理，且基頻處理器 1230 可產生待傳輸之基頻信號以給 RF 單元 1220 提供待傳輸之基頻信號。舉例而言，基頻處理器 1230 可包含實體層處理器（physical layer processor；PHY），實體層處理器用於藉由解調變自 RF 單元 1220 接收到之基頻信號來產生資料串流且用於藉由調變資料串流來產生基頻信號以待提供至 RF 單元 1220。根據範例實施例，PHY 可包含快速傅立葉轉換器（fast Fourier transformer；FFT）、解映射單元（demapper）、解交錯器、頻道解碼器等以解調變基頻信號，且 PHY 可包含頻道編碼器、交錯器、映射單元（mapper）、反向快速傅立葉轉換器（inverse fast Fourier transformer；IFFT）等以調變資料串流。

基頻處理器 1230 可包含第二數位鎖相迴路 1231。舉例而言，基頻處理器 1230 可使用第二數位鎖相迴路 1231 之輸出信號作為用於操作基頻處理器 1230 之時脈信號。第二數位鎖相迴路 1231 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第二數位鎖相迴路 1231 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環境中仍如此。

42283pif

圖 40 是圖示根據範例實施例之包含數位鎖相迴路之記憶體裝置的方塊圖。

參看圖 40，記憶體裝置 1300 包含數位鎖相迴路 1310、記憶體核心 1320 及資料輸出緩衝器 1330。根據範例實施例，記憶體裝置 1300 可為動態隨機存取記憶體 (dynamic random access memory；DRAM)、行動 DRAM、靜態隨機存取記憶體 (static random access memory；SRAM)、可抹除可程式化唯讀記憶體 (erasable programmable read-only memory；EPROM)、電可抹除可程式化唯讀記憶體 (electrically erasable programmable read-only memory；EEPROM)、快閃記憶體、相變隨機存取記憶體 (phase change random access memory；PRAM)、電阻性隨機存取記憶體 (resistance random access memory；RRAM)、奈米浮閘記憶體 (nano floating gate memory；NFGM)、聚合物隨機存取記憶體 (polymer random access memory；PoRAM)、磁性隨機存取記憶體 (magnetic random access memory；MRAM)、鐵電隨機存取記憶體 (ferroelectric random access memory；FRAM) 等。舉例而言，記憶體裝置 1300 可為雙資料速率 (double data rate；DDR) 同步動態隨機存取記憶體 (synchronous dynamic random access memory；SDRAM) 或圖形雙資料速率 (graphic double data rate；GDDR) 同步動態隨機存取記憶體 (synchronous dynamic random access memory；SDRAM)。

42283pif

數位鎖相迴路 1310 可基於參考輸入信號 FREF 產生具有所要頻率之輸出信號 FOUT。數位鎖相迴路 1310 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，數位鎖相迴路 1310 可更準確地產生具有所要頻率之輸出信號 FOUT，即使在相對較低之電源電壓環境中仍如此。

記憶體核心 1320 可執行寫入操作，所述寫入操作儲存自資料輸入緩衝器（未圖示）提供之資料，且記憶體核心 1320 可執行讀取操作，所述讀取操作將所儲存之資料 DATA 提供至資料輸出緩衝器 1330。記憶體核心 1320 可基於數位鎖相迴路 1310 之輸出信號 FOUT 而執行寫入操作及/或讀取操作。記憶體核心 1320 可包含：記憶胞陣列，其具有用於儲存資料之多個記憶胞；列及行解碼器，其基於位址信號選擇記憶胞陣列之字線及位元線；及感測放大器，其感測選定記憶胞中所儲存之資料。

資料輸出緩衝器 1330 可回應於數位鎖相迴路 1310 之輸出信號 FOUT 而輸出自記憶體核心 1320 提供之資料 DATA 作為輸出資料 DOUT。可使輸出資料 DOUT 與數位鎖相迴路 1310 之輸出信號 FOUT 同步，且可將輸出資料 DOUT 提供至諸如記憶體控制器之外部裝置。

圖 41 是圖示根據範例實施例之行動系統之方塊圖。

參看圖 41，行動系統 1400 包含應用處理器 1410、數據機 1420、揮發性記憶體裝置 1430、非揮發性記憶體裝置 1440、使用者介面 1450 及電源供應器 1460。根據範例實

42283pif

施例，行動系統 1400 可為以下任何行動系統，諸如行動電話、智慧電話、平板電腦、膝上型電腦、個人數位助理 (personal digital assistant ; PDA)、攜帶型多媒體播放器 (portable multimedia player ; PMP)、數位攝影機、攜帶型遊戲控制台、音樂播放器、攝錄影機、視訊播放器、導航系統等。

應用處理器 1410 可執行多種應用，諸如網際網路瀏覽器、遊戲應用程式、視訊播放器應用程式等。應用處理器 1410 可包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第一數位鎖相迴路 1411。應用處理器 1410 可基於由第一數位鎖相迴路 1411 產生之時脈信號來操作。第一數位鎖相迴路 1411 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第一數位鎖相迴路 1411 可更準確地產生具有所要頻率之時脈信號，即使在相對較低之電源電壓環境中仍如此。根據範例實施例，應用處理器 1410 可包含單一處理器核心或多個處理器核心。舉例而言，應用處理器 1410 可為多核心處理器，諸如雙核心處理器、四核心處理器、六核心处理器等。在一些範例實施例中，應用處理器 1410 可更包含位於應用處理器 1410 內部及/或外部之快取記憶體。

數據機 1420 可執行與外部裝置之有線或無線通信。舉例而言，數據機 1420 可執行通用串列匯流排 (universal serial bus ; USB) 通信、乙太網通信、近場通信 (near field communication ; NFC)、射頻識別 (radio frequency

42283pif

identification ; RFID) 通信、行動電信、記憶卡通信、無線網際網路、無線保真 (wireless fidelity ; Wi-Fi)、全球定位系統 (global positioning system ; GPS)、藍芽 (Bluetooth ; BT)、全球行動通信系統 (global system for mobile communication ; GSM)、通用封包無線電系統 (general packet radio system ; GPRS)、寬頻分碼多重存取 (wideband code division multiple access ; WCDMA)、高速上行鏈路/下行鏈路封包存取 (HSxPA) 等。數據機 1420 可包含基頻晶片組。數據機 1420 可更包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第二數位鎖相迴路 1421。第二數位鎖相迴路 1421 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第二數位鎖相迴路 1421 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環境中仍如此。

揮發性記憶體裝置 1430 可儲存藉由應用處理器 1410 處理之指令/資料，或揮發性記憶體裝置 1430 可充當工作記憶體。舉例而言，揮發性記憶體裝置 1430 可藉由動態隨機存取記憶體 (dynamic random access memory ; DRAM)、靜態隨機存取記憶體 (static random access memory ; SRAM)、行動 DRAM 或其類似者實施。揮發性記憶體裝置 1430 可包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第三數位鎖相迴路 1431。第三數位鎖相迴路 1431 可包含以 Σ - Δ 方式執行

42283pif

時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第三數位鎖相迴路 1431 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環境中仍如此。

非揮發性記憶體裝置 1440 可儲存用於啟動行動系統 1400 之啟動映像 (boot image)。舉例而言，非揮發性記憶體裝置 1440 可藉由以下各記憶體實施：電可抹除可程式化唯讀記憶體 (EEPROM)、快閃記憶體、相變隨機存取記憶體 (PRAM)、電阻性隨機存取記憶體 (RRAM)、奈米浮閘記憶體 (NFGM)、聚合物隨機存取記憶體 (PoRAM)、磁性隨機存取記憶體 (MRAM)、鐵電隨機存取記憶體 (FRAM) 或其類似者。非揮發性記憶體裝置 1440 可包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第四數位鎖相迴路 1441。第四數位鎖相迴路 1441 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第四數位鎖相迴路 1441 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環境中仍如此。

使用者介面 1450 可包含諸如鍵盤、觸控式螢幕等之至少一輸入裝置及諸如顯示裝置、揚聲器等之至少一輸出裝置。電源供應器 1460 可給行動系統 1400 供應電力。在一些範例實施例中，行動系統 1400 可更包含攝影機影像處理器 (camera image processor; CIS)、儲存裝置，諸如記憶卡、固態硬碟 (solid state drive; SSD)、CD-ROM 等。

根據範例實施例，行動系統 1400 及/或行動系統 1400

42283pif

之元件可以各種形式來封裝，諸如層疊封裝（package on package；PoP）、球狀柵格陣列（ball grid array；BGA）、晶片尺度封裝（chip scale package；CSP）、塑膠引線晶片載體（plastic leaded chip carrier；PLCC）、塑膠雙排型封裝（plastic dual in-line package；PDIP）、疊片中晶粒包裝（die in waffle pack）、晶圓中晶粒形式、板上晶片（chip on board；COB）、陶瓷雙排型封裝（ceramic dual in-line package；CERDIP）、塑膠公制方形扁平封裝（plastic metric quad flat pack；MQFP）、薄方形扁平封裝（thin quad flat pack；TQFP）、小外形 IC（small outline IC；SOIC）、收縮型小外形封裝（shrink small outline package；SSOP）、薄小外形封裝（thin small outline package；TSOP）、系統級封裝（system in package；SIP）、多晶片封裝（multi chip package；MCP）、晶圓級製造封裝（wafer-level fabricated package；WFP），或晶圓級處理堆疊封裝（wafer-level processed stack package；WSP）。

圖 42 是圖示根據範例實施例之計算系統之方塊圖。

參看圖 42，計算系統 1500 包含處理器 1510、輸入/輸出集線器 1520、輸入/輸出控制器集線器 1530、至少一記憶體模組 1540 及圖形卡 1550。根據範例實施例，計算系統 1500 可為任何計算系統，諸如個人電腦（personal computer；PC）、伺服器電腦、工作站、平板電腦、膝上型電腦、行動電話、智慧電話、個人數位助理（PDA）、攜帶型多媒體播放器（PMP）、數位攝影機、數位電視、機上盒、

42283pif

音樂播放器、攜帶型遊戲控制台、導航裝置等。

處理器 1510 可執行特定計算及/或任務。舉例而言，處理器 1510 可為微處理器、中央處理單元 (CPU)、數位信號處理器或其類似者。處理器 1510 可包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第一數位鎖相迴路 1511。處理器 1510 可基於由第一數位鎖相迴路 1511 產生之時脈信號來操作。第一數位鎖相迴路 1511 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第一數位鎖相迴路 1511 可更準確地產生具有所要頻率之時脈信號，即使在相對較低之電源電壓環境中仍如此。根據範例實施例，處理器 1510 可包含單一處理器核心或多個處理器核心。舉例而言，處理器 1510 可為多核心處理器，諸如雙核心處理器、四核心處理器、六核心處理器等。雖然圖 42 圖示包含一個處理器 1510 之計算系統 1500 的實例，但根據範例實施例，計算系統 1500 可包含多個處理器。在一些範例實施例中，處理器 1510 可更包含位於處理器 1510 內部及/或外部之快取記憶體。

處理器 1510 可包含記憶體控制器 (未圖示)，所述記憶體控制器控制記憶體模組 1540 之操作。處理器 1510 中所包含之記憶體控制器可被稱作整合式記憶體控制器 (integrated memory controller; IMC)。記憶體控制器與記憶體模組 1540 之間的記憶體介面可藉由包含多個信號線之一個通道或藉由多個通道來實施。每一通道可耦接至至

42283pif

少一記憶體模組 1540。在一些範例實施例中，記憶體控制器可包含於輸入/輸出集線器 1520 中。包含記憶體控制器之輸入/輸出集線器 1520 可被稱作記憶體控制器集線器 (memory controller hub；MCH)。

記憶體模組 1540 可包含多個記憶體裝置，所述多個記憶體裝置儲存自記憶體控制器提供之資料。記憶體模組 1540 可包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第四數位鎖相迴路 1541。在一些範例實施例中，第四數位鎖相迴路 1541 可安置在記憶體模組 1540 上，且第四數位鎖相迴路 1541 可用以操作記憶體控制器與記憶體裝置之間的緩衝器。在其他範例實施例中，數位鎖相迴路 1541 可安置在每一記憶體裝置上，且數位鎖相迴路 1541 可用以操作每一記憶體裝置。第四數位鎖相迴路 1541 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第四數位鎖相迴路 1541 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環境中仍如此。

輸入/輸出集線器 1520 可管理處理器 1510 與諸如圖形卡 1550 之裝置之間的資料傳送。輸入/輸出集線器 1520 可包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第二數位鎖相迴路 1521。第二數位鎖相迴路 1521 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第二數位鎖相迴路 1521 可更準確地產生具有所要頻率之輸出信

42283pif

號，即使在相對較低之電源電壓環境中仍如此。

輸入/輸出集線器 1520 可經由各種介面中之至少一者而耦接至處理器 1510，介面諸如前端匯流排（front side bus；FSB）、系統匯流排、超傳輸（HyperTransport）、閃電資料傳輸（lightning data transport；LDT）、快速路徑互連（QuickPath interconnect；QPI）、共通系統介面（common system interface；CSI）等。雖然圖 42 圖示包含一個輸入/輸出集線器 1520 之計算系統 1500 的實例，但根據範例實施例，計算系統 1500 可包含多個輸入/輸出集線器。

輸入/輸出集線器 1520 可提供與裝置之各種介面。舉例而言，輸入/輸出集線器 1520 可提供加速圖形埠（accelerated graphics port；AGP）介面、快速周邊元件介面（peripheral component interface-express；PCIe）、通信串流傳輸架構（communications streaming architecture；CSA）介面等。

圖形卡 1550 可經由 AGP 或 PCIe 而耦接至輸入/輸出集線器 1520。圖形卡 1550 可控制用於顯示影像之顯示裝置（未圖示）。圖形卡 1550 可包含內部處理器及內部記憶體以處理影像。圖形卡 1550 可更包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第五數位鎖相迴路 1551。第五數位鎖相迴路 1551 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第五數位鎖相迴路 1551 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環

境中仍如此。在一些範例實施例中，輸入/輸出集線器 1520 可包含內部圖形裝置以及圖形卡 1550 或可包含內部圖形裝置代替圖形卡 1550。內部圖形裝置可被稱作整合式圖形裝置，且包含記憶體控制器及內部圖形裝置之輸入/輸出集線器可被稱作圖形裝置及記憶體控制器集線器（graphics and memory controller hub；GMCH）。

輸入/輸出控制器集線器 1530 可執行資料緩衝及介面仲裁以有效地操作各種系統介面。輸入/輸出控制器集線器 1530 可包含用於頻率合成、時脈恢復、時脈產生、展頻、時脈分配、去歪斜、抖動及雜訊減少等的第三數位鎖相迴路 1531。第三數位鎖相迴路 1531 可包含以 Σ - Δ 方式執行時間至數位轉換的 Σ - Δ 時間至數位轉換器，且因此，第三數位鎖相迴路 1531 可更準確地產生具有所要頻率之輸出信號，即使在相對較低之電源電壓環境中仍如此。

輸入/輸出控制器集線器 1530 可經由內部匯流排而耦接至輸入/輸出集線器 1520。舉例而言，輸入/輸出控制器集線器 1530 可經由各種介面中之至少一者而耦接至輸入/輸出集線器 1520，介面諸如直接媒體介面（direct media interface；DMI）、集線器介面、企業級南橋介面（enterprise Southbridge interface；ESI）、PCIe 等。

輸入/輸出控制器集線器 1530 可提供與周邊裝置之各種介面。舉例而言，輸入/輸出控制器集線器 1530 可提供通用串列匯流排（USB）埠、串列進階附接技術（serial advanced technology attachment；SATA）埠、通用輸入/輸出

42283pif

(general purpose input/output; GPIO)、低插腳計數(low pin count; LPC)匯流排、串列周邊介面(serial peripheral interface; SPI)、PCI、PCIe等。

在一些範例實施例中，處理器 1510、輸入/輸出集線器 1520 及輸入/輸出控制器集線器 1530 可實施為單獨之晶片組或單獨之積體電路。在其他實施例中，處理器 1510、輸入/輸出集線器 1520 及輸入/輸出控制器集線器 1530 中之至少兩者可實施為一個晶片組。

範例實施例可用在包含鎖相迴路之任何裝置或系統中，任何裝置或系統諸如行動電話、智慧電話、個人數位助理(PDA)、攜帶型多媒體播放器(PMP)、數位攝影機、數位電視、機上盒、音樂播放器、攜帶型遊戲控制台、導航裝置、個人電腦(PC)、伺服器電腦、工作站、平板電腦、膝上型電腦、智慧卡、印表機等。

前述內容說明了範例實施例且不被理解為其限制。雖然僅描述了少許範例實施例，但熟習此項技術者將容易瞭解，在本質上不脫離本發明概念之新穎教示及優點的情況下，範例實施例的許多修改為可能的。因此，所有此等修改意欲包含於如申請專利範圍中所界定的本發明概念之範疇內。因此，應理解，前述內容說明了各種範例實施例但不應被理解為限於所揭露之特定範例實施例，且所揭露範例實施例之修改以及其他範例實施例意欲包含於所附申請專利範圍之範疇內。

42283pif

【圖式簡單說明】

圖 1 是圖示根據範例實施例之時間差加法器之圖。

圖 2A 及圖 2B 是圖示由圖 1 之時間差加法器執行之時間差加法的單位元素及逆元素的圖。

圖 3 是圖示根據範例實施例之時間差加法器之方塊圖。

圖 4 是圖示圖 3 之時間差加法器中所包含之時間暫存器的實例之電路圖。

圖 5 是用於描述圖 4 之時間暫存器之實例操作的時序圖。

圖 6 是圖示圖 3 之時間差加法器中所包含之時間暫存器的另一範例實施例之電路圖。

圖 7 是圖示圖 3 之時間差加法器中所包含之時間暫存器的又一範例實施例之電路圖。

圖 8 是圖示圖 3 之時間差加法器中所包含之時間暫存器的再一範例實施例之電路圖。

圖 9A 是用於描述圖 3 之時間差加法器之實例操作的時序圖。

圖 9B 是用於描述圖 3 之時間差加法器之另一實例操作的時序圖。

圖 10 是圖示根據範例實施例之時間差加法器之方塊圖。

圖 11 是用於描述圖 10 之時間差加法器之實例操作的時序圖。

42283pif

圖 12 是圖示根據範例實施例之時間差加法器之方塊圖。

圖 13 是圖示圖 12 之時間差加法器中所包含之時間暫存器的範例實施例之電路圖。

圖 14 是圖示圖 12 之時間差加法器中所包含之控制單元的範例實施例之電路圖。

圖 15 是用於描述圖 13 之時間暫存器之實例操作的時序圖。

圖 16 是圖示圖 12 之時間差加法器中所包含之時間暫存器的另一範例實施例之電路圖。

圖 17 是用於描述圖 12 之時間差加法器之實例操作的時序圖。

圖 18 是圖示根據範例實施例之時間差加法器之方塊圖。

圖 19 是圖示根據範例實施例之時間差累積器之圖。

圖 20 是圖示根據範例實施例之時間差累積器之方塊圖。

圖 21 是圖示根據範例實施例之時間差累積器之方塊圖。

圖 22 是圖示圖 21 之時間差累積器中所包含之延遲單元的實例之電路圖。

圖 23 是用於描述圖 22 之延遲單元中所包含之電晶體之配置的實例的圖。

圖 24 是圖示根據範例實施例之 Σ - Δ 時間至數位轉換

42283pif

器之方塊圖。

圖 25 是用於描述藉由圖 24 之 Σ - Δ 時間至數位轉換器執行之雜訊整型 (noise shaping) 之圖。

圖 26 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之時域量化器之範例實施例的方塊圖。

圖 27 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之時域量化器之另一範例實施例的方塊圖。

圖 28 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之數位至時間轉換器之範例實施例的方塊圖。

圖 29 是圖示圖 24 之 Σ - Δ 時間至數位轉換器中所包含之數位至時間轉換器之另一範例實施例的方塊圖。

圖 30 是圖示根據範例實施例之 Σ - Δ 時間至數位轉換器之方塊圖。

圖 31 是圖示根據範例實施例之 Σ - Δ 時間至數位轉換器之方塊圖。

圖 32 是圖示圖 31 之 Σ - Δ 時間至數位轉換器之範例實施例的方塊圖。

圖 33 是圖示圖 31 之 Σ - Δ 時間至數位轉換器之另一範例實施例的方塊圖。

圖 34 是圖示根據範例實施例之 Σ - Δ 時間至數位轉換器之方塊圖。

圖 35 是圖示根據範例實施例之數位鎖相迴路之方塊圖。

圖 36 是圖示根據範例實施例之包含 Σ - Δ 時間至數位

42283pif

轉換器之類比至數位轉換器的方塊圖。

圖 37 是圖示根據範例實施例之包含 Σ - Δ 時間至數位轉換器之感測器的方塊圖。

圖 38 是圖示根據範例實施例之包含數位鎖相迴路之積體電路的方塊圖。

圖 39 是圖示根據範例實施例之包含數位鎖相迴路之收發器的方塊圖。

圖 40 是圖示根據範例實施例之包含數位鎖相迴路之記憶體裝置的方塊圖。

圖 41 是圖示根據範例實施例之行動系統之方塊圖。

圖 42 是圖示根據範例實施例之計算系統之方塊圖。

【主要元件符號說明】

100、200a、200b、200c、200d、610：時間差加法器

210a、210b、210c、210d：第一暫存器單元

220：第一偏移延遲單元

230、240：第一時間暫存器

250a、250b、250c、250d：第二暫存器單元

260：第二偏移延遲單元

270、280：第二時間暫存器

290：控制單元

291、310：第一反相器

292：喚醒延遲單元

293：第一設定-重設門鎖器

296：預充電延遲單元

42283pif

- 297：第二設定-重設門鎖器
- 298：第二反相器
- 300a、300b、300c、300d：時間暫存器
- 320、320a、320b：反相器控制單元
- 321：選擇器
- 323：D 型正反器
- 325、327、329、330：選擇器
- 340、350、440、450：輸出單元
- 400a、400b：時間暫存器
- 410：下拉電晶體
- 420：下拉電晶體控制單元
- 421：設定-重設門鎖器
- 423：第一 NOR 閘
- 425：第二 NOR 閘
- 427：OR 閘
- 430、C1、C2、CM：電容器
- 460：上拉電晶體
- 500、500a、500b、630、730：時間差累積器
- 510：第一時間差加法器
- 520a、520b：延遲單元
- 530：第二時間差加法器
- 540：第一延遲電路
- 550：第二延遲電路
- 600a、600b、600c、600d、700a、700b： Σ - Δ 時間至

42283pif

數位轉換器

- 640：第二時間差累積器
- 650：時域量化器
- 650a、650b、750：時域量化器
- 651a、673：延遲線
- 651b：第一延遲線
- 652b：第二延遲線
- 653a、653b：D 型正反器
- 655：編碼器
- 670、670a、670b：數位至時間轉換器
- 671：脈衝產生器
- 672：第一延遲元件
- 674：第二延遲元件
- 675：多工器
- 720a、720b：時間差調整單元
- 721a：第一延遲單元
- 721b：第一延遲單元
- 722a：第二延遲單元
- 722b：第二延遲單元
- 723b：第三延遲單元
- 724b：第四延遲單元
- 726a：第一選擇器
- 726b：第一選擇器
- 727a：第二選擇器

42283pif

- 727b：第二選擇器
- 800：數位鎖相迴路
- 810：數位迴路濾波器
- 820：數位控制之振盪器
- 830：除法器
- 900：類比至數位轉換器
- 910：類比至時間轉換單元
- 911：脈衝產生器
- 913：斜波產生器
- 915：比較器
- 1000：感測器
- 1010：感測單元
- 1011：脈衝產生器
- 1013：溫度不敏感延遲線
- 1015：溫度敏感延遲線
- 1100：積體電路
- 1200：收發器
- 1210：天線
- 1220：射頻單元
- 1221：開關
- 1222：低雜訊放大器
- 1223：接收混頻器
- 1224：傳輸混頻器
- 1225：功率放大器

42283pif

- 1226：本地振盪器
- 1227：第一數位鎖相迴路
- 1230：基頻處理器
- 1231：第二數位鎖相迴路
- 1300：記憶體裝置
- 1310：數位鎖相迴路
- 1320：記憶體核心
- 1330：資料輸出緩衝器
- 1400：行動系統
- 1410：應用處理器
- 1411：第一數位鎖相迴路
- 1420：數據機
- 1421：第二數位鎖相迴路
- 1430：揮發性記憶體裝置
- 1431：第三數位鎖相迴路
- 1440：非揮發性記憶體裝置
- 1441：第四數位鎖相迴路
- 1450：使用者介面
- 1460：電源供應器
- 1500：計算系統
- 1510：處理器
- 1511：第一數位鎖相迴路
- 1520：輸入/輸出集線器
- 1521：第二數位鎖相迴路

42283pif

- 1530：輸入/輸出控制器集線器
- 1531：第三數位鎖相迴路
- 1540：記憶體模組
- 1541：第四數位鎖相迴路
- 1550：圖形卡
- 1551：第五數位鎖相迴路
- AWK1：第一喚醒端子
- AWK2：第二喚醒端子
- D：資料端子
- d1、D1、d2、D2、dN、DM、FOUT：輸出信號
- DATA：資料
- DCON：數位控制信號
- DELAY1、DELAY2、DELAYM、DELAYN、DELAY11、
DELAY12、DELAY1N、DELAY21、DELAY22、DELAY2N：
延遲元件
- DOUT：數位輸出信號
- FREF：參考輸入信號
- HLD1：第一保持端子
- HLD2：第二保持端子
- IN1：第一輸入端子
- IN2：第二輸入端子
- N1：第一 NMOS 電晶體
- N2：NMOS 電晶體
- N3：第三 NMOS 電晶體

42283pif

N4：選擇器/第一傳輸閘/第四 NMOS 電晶體

N5：選擇器/第二傳輸閘/第五 NMOS 電晶體

N6、N11、N12、N13、N14、N21、N22、N23、N24：

NMOS 電晶體

NMID：中間節點

OUT1：第一輸出端子

OUT2：第二輸出端子

P1：第一 PMOS 電晶體

P2：第二 PMOS 電晶體

P3：第三 PMOS 電晶體

P4：選擇器/第一傳輸閘/第四 PMOS 電晶體

P5：選擇器/第二傳輸閘/第五 PMOS 電晶體

P6、P11、P12、P13、P14、P21、P22、P23、P24：

PMOS 電晶體

POUT1：第一先前輸出信號

POUT2：第二先前輸出信號

PRCH1：第一預充電端子

PRCH2：第二預充電端子

Q：輸出端子

R：重設端子

S：設定端子

SACC1：第一累積信號

SACC2：第二累積信號

SADD1：第一加法信號

42283pif

SADD2：第二加法信號
 SAWK：喚醒信號
 SFEED1：第一回授信號
 SFEED2：第二回授信號
 SHLD：第一保持信號
 SIN1：第一輸入信號
 SIN2：第二輸入信號
 SIN3：第三輸入信號
 SIN4：第四輸入信號
 SOUT1：第一輸出信號
 SOUT2：第二輸出信號
 SPRCH：預充電信號
 SWS1、SWS2、SWSM：開關
 Tawk：邏輯高週期
 TD：時間差
 TD1：第一時間差
 TD2：第二時間差
 TD3：第三時間差
 Tdis：放電時間
 Toff：偏移時間
 Tprch：邏輯低週期
 V_NMID：電壓
 VTH：臨限電壓
 /Q：反相輸出端子
 -TD：時間差之逆元素

42283pif

七、申請專利範圍：

1. 一種系統單晶片 (SOC)，其包含時間差加法器，所述時間差加法器包括：

第一暫存器單元，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述第一暫存器單元經進一步組態以回應於第一信號而產生第一輸出信號；以及

第二暫存器單元，其經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，所述第二暫存器單元經進一步組態以回應於所述第一信號而產生相對於所述第一輸出信號具有第三時間差之第二輸出信號，所述第三時間差對應於所述第一時間差與所述第二時間差之總和。

2. 如申請專利範圍第 1 項所述之系統單晶片，其中所述第一暫存器單元包含，

第一偏移延遲單元，其經組態以藉由使所述第二輸入信號延遲了偏移時間而產生第一保持信號，以及

第一時間暫存器，其包含經組態以接收所述第一輸入信號之第一輸入端子、經組態以接收所述第一保持信號之第一保持端子、經組態以接收所述第一信號之第一喚醒端子，及經組態以輸出所述第一輸出信號之第一輸出端子，且

其中所述第二暫存器單元包含，

第二偏移延遲單元，其經組態以藉由使所述第三輸入信號延遲了所述偏移時間而產生第二保持信號，以及

第二時間暫存器，其包含經組態以接收所述第四輸入

42283pif

信號之第二輸入端子、經組態以接收所述第二保持信號之第二保持端子、經組態以接收所述第一信號之第二喚醒端子，及經組態以輸出所述第二輸出信號之第二輸出端子。

3. 如申請專利範圍第 2 項所述之系統單晶片，其中所述第一輸出信號在所述第一信號之上升邊緣後的第一時間段之後具有上升邊緣，所述第一時間段等於放電時間減去所述偏移時間減去所述第一時間差，且其中所述第二輸出信號在所述第一信號之所述上升邊緣後的第二時間段之後具有上升邊緣，所述第二時間段等於所述放電時間減去所述偏移時間加上所述第二時間差。

4. 如申請專利範圍第 3 項所述之系統單晶片，其中所述第一時間暫存器包含第一電容器，且所述第二時間暫存器包含第二電容器，其中所述第一電容器及所述第二電容器具有實質上相同之容量，且其中所述放電時間是根據所述容量來確定。

5. 如申請專利範圍第 2 項所述之系統單晶片，其中所述第一時間暫存器包括：

第一反相器，其經組態以使所述第一輸入信號反相；

反相器控制單元，其經組態以回應於所述第一保持信號而停用所述第一反相器，所述反相器控制單元經進一步組態以回應於所述第一信號而啟動所述第一反相器；

電容器，其經組態以回應於來自所述第一反相器之輸出信號而被充電或放電；以及

第二反相器，其經組態以基於所述電容器之電壓來產

42283pif

生所述第一輸出信號。

6. 如申請專利範圍第 5 項所述之系統單晶片，其中所述電容器是在所述第一輸入信號與所述第一保持信號之間的時間間隔期間被放電以儲存關於所述第一輸入信號與所述第一保持信號之間的時間差的資訊。

7. 如申請專利範圍第 5 項所述之系統單晶片，其中所述電容器之放電是回應於所述第一輸入信號之上升邊緣而開始，所述電容器之放電是回應於所述第一保持信號之上升邊緣而停止，且所述電容器之放電是回應於所述第一信號之上升邊緣而重新開始。

8. 如申請專利範圍第 5 項所述之系統單晶片，其中所述第一反相器包含，

第一電晶體，其包含經組態以接收所述第一輸入信號之閘極、經由所述反相器控制單元耦接至電源電壓之源極，及耦接至中間節點之汲極，以及

第二電晶體，其包含經組態以接收所述第一輸入信號之閘極、經由所述反相器控制單元耦接至接地電壓之源極，及耦接至所述中間節點之汲極，

其中所述反相器控制單元包含，

第三電晶體，其耦接於所述電源電壓與所述第一電晶體之間，

第四電晶體，其耦接於所述接地電壓與所述第二電晶體之間，

D 型正反器，其包含耦接至所述第三電晶體之閘極的

42283pif

輸出端子、耦接至所述第四電晶體之閘極的反相輸出端子、耦接至所述反相輸出端子之資料端子，及時脈端子，以及

選擇器，其經組態以回應於自所述 D 型正反器之所述反相輸出端子輸出的反相輸出信號而將所述第一保持信號或所述第一信號選擇性地輸出至所述 D 型正反器之所述時脈端子，

其中所述電容器耦接於所述中間節點與所述接地電壓之間，且

其中所述第二反相器包含，

第五電晶體，其包含耦接至所述中間節點之閘極、耦接至所述電源電壓之源極，及經組態以輸出所述第一輸出信號之汲極，以及

第六電晶體，其包含耦接至所述中間節點之閘極、耦接至所述接地電壓之源極，及經組態以輸出所述第一輸出信號之汲極。

9. 如申請專利範圍第 2 項所述之系統單晶片，其中所述第一時間暫存器包括：

第一反相器，其經組態以使所述第一輸入信號反相；

反相器控制單元，其經組態以回應於所述第一保持信號而停用所述第一反相器，且經組態以回應於所述第一信號而啟動所述第一反相器；

電容器，其經組態以回應於所述第一反相器之輸出信號而被充電或放電；以及

42283pif

比較器，其經組態以藉由將所述電容器之電壓與參考電壓進行比較來產生所述第一輸出信號。

10. 如申請專利範圍第 1 項所述之系統單晶片，其中所述第一信號為藉由使所述第一輸入信號、所述第二輸入信號、所述第三輸入信號及所述第四輸入信號中之一者延遲或反相而產生的喚醒信號。

11. 一種系統單晶片 (SOC)，包含時間差加法器，所述時間差加法器包括：

第一暫存器單元，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述第一暫存器單元經進一步組態以回應於第一信號而產生第一輸出信號；以及

第二暫存器單元，其經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，所述第二暫存器單元經進一步組態以回應於所述第一信號而產生相對於所述第一輸出信號具有第三時間差之第二輸出信號，所述第三時間差對應於所述第一時間差與所述第二時間差之總和，

其中所述第一暫存器單元包含，

第一偏移延遲單元，其經組態以藉由使所述第二輸入信號延遲了偏移時間而產生第一保持信號，以及

第一時間暫存器，其包含經組態以接收所述第一輸入信號之第一輸入端子、經組態以接收所述第一保持信號之第一保持端子、經組態以接收所述第一信號之第一喚醒端子，及經組態以輸出所述第一輸出信號之第一輸出端子，且

42283pif

其中所述第二暫存器單元包含，

第二偏移延遲單元，其經組態以藉由使所述第三輸入信號延遲了所述偏移時間而產生第二保持信號，以及

第二時間暫存器，其包含經組態以接收所述第四輸入信號之第二輸入端子、經組態以接收所述第二保持信號之第二保持端子、經組態以接收所述第一信號之第二喚醒端子，及經組態以輸出所述第二輸出信號之第二輸出端子。

12. 一種系統單晶片 (SOC)，包含時間差加法器，所述時間差加法器包括：

第一暫存器單元，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述第一暫存器單元經進一步組態以回應於第一信號而產生第一輸出信號；以及

第二暫存器單元，其經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，所述第二暫存器單元經進一步組態以回應於所述第一信號而產生相對於所述第一輸出信號具有第三時間差之第二輸出信號，所述第三時間差對應於所述第一時間差與所述第二時間差之總和，

其中所述第一暫存器單元包含，

第一時間暫存器，其包含經組態以接收所述第一輸入信號之第一輸入端子、經組態以接收所述第二輸入信號之第一保持端子、經組態以接收所述第一信號之第一喚醒端子，及經組態以輸出所述第一輸出信號之第一輸出端子，且

42283.tif

其中所述第二暫存器單元包含，

第二時間暫存器，其包含經組態以接收所述第四輸入信號之第二輸入端子、經組態以接收所述第三輸入信號之第二保持端子、經組態以接收所述第一信號之第二喚醒端子，及經組態以輸出所述第二輸出信號之第二輸出端子。

13. 如申請專利範圍第 12 項所述之系統單晶片，其中所述第一輸出信號在所述第一信號之上升邊緣後的第一時間段之後具有上升邊緣，所述第一時間段等於放電時間減去所述第一時間差，且其中所述第二輸出信號在所述第一信號之所述上升邊緣後的第二時間段之後具有上升邊緣，所述第二時間段等於所述放電時間加上所述第二時間差。

14. 一種系統單晶片 (SOC)，包含時間差加法器，所述時間差加法器包括：

第一暫存器單元，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述第一暫存器單元經進一步組態以回應於第一信號而產生第一輸出信號；以及

第二暫存器單元，其經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，所述第二暫存器單元經進一步組態以回應於所述第一信號而產生相對於所述第一輸出信號具有第三時間差之第二輸出信號，所述第三時間差對應於所述第一時間差與所述第二時間差之總和，

其中所述第一暫存器單元包含，

第一偏移延遲單元，其經組態以藉由使所述第二

42283pif

輸入信號延遲了偏移時間而產生第一保持信號，以及

第一時間暫存器，其包含經組態以接收所述第一輸入信號之第一輸入端子、經組態以接收所述第一保持信號之第一保持端子、經組態以接收第二信號之第一預充電端子、經組態以接收所述第一信號之第一喚醒端子，及經組態以輸出所述第一輸出信號之第一輸出端子，且

其中所述第二暫存器單元包含，

第二偏移延遲單元，其經組態以藉由使所述第三輸入信號延遲了所述偏移時間而產生第二保持信號，以及

第二時間暫存器，其包含經組態以接收所述第四輸入信號之第二輸入端子、經組態以接收所述第二保持信號之第二保持端子、經組態以接收所述第二信號之第二預充電端子、經組態以接收所述第一信號之第二喚醒端子，及經組態以輸出所述第二輸出信號之第二輸出端子。

15. 如申請專利範圍第 14 項所述之系統單晶片，其中所述第一時間暫存器包括：

電容器，其耦接於中間節點與接地電壓之間；

上拉電晶體，其耦接於所述中間節點與電源電壓之間，所述上拉電晶體經組態以回應於所述第二信號而對所述電容器充電；

下拉電晶體，其耦接於所述中間節點與所述接地電壓之間；

下拉電晶體控制單元，其經組態以回應於所述第一輸入信號而導通所述下拉電晶體、回應於所述第一保持信號

42283.tif

而關閉所述下拉電晶體，且回應於所述第一信號而導通所述下拉電晶體；以及

輸出單元，其經組態以基於所述電容器之電壓來產生所述第一輸出信號。

16. 如申請專利範圍第 15 項所述之系統單晶片，其中所述下拉電晶體控制單元包括：

設定-重設閘鎖器，其包含經組態以接收所述第一輸入信號之設定端子、經組態以接收所述第一保持信號之重設端子，及輸出端子；以及

或（OR）閘，其經組態以對所述第一信號及來自所述設定-重設閘鎖器之所述輸出端子的輸出信號執行 OR 運算，所述 OR 閘包含耦接至所述下拉電晶體之閘極的輸出端子。

17. 如申請專利範圍第 15 項所述之系統單晶片，其中所述時間差加法器更包含控制單元，所述控制單元經組態以產生所述第一信號及所述第二信號，所述控制單元包含，

第一反相器，其經組態以藉由使所述第一輸入信號反相來產生反相第一輸入信號，

喚醒延遲單元，其經組態以使所述反相第一輸入信號延遲，

第一設定-重設閘鎖器，其包含經組態以接收所述反相第一輸入信號之設定端子、經組態以接收所述喚醒延遲單元之輸出信號的重設端子，及經組態以輸出所述第一信號之輸出端子，

42283pif

預充電延遲單元，其經組態以使所述喚醒延遲單元之所述輸出信號延遲，

第二設定-重設閥鎖器，其包含經組態以接收所述喚醒延遲單元之所述輸出信號的設定端子、經組態以接收所述預充電延遲單元之輸出信號的重設端子，及輸出端子；以及

第二反相器，其經組態以藉由使所述第二設定-重設閥鎖器之輸出信號反相來產生所述第二信號。

18. 一種系統單晶片 (SOC)，包含時間差加法器，所述時間差加法器包括：

第一暫存器單元，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述第一暫存器單元經進一步組態以回應於第一信號而產生第一輸出信號；以及

第二暫存器單元，其經組態以接收具有第二時間差之第三輸入信號及第四輸入信號，所述第二暫存器單元經進一步組態以回應於所述第一信號而產生相對於所述第一輸出信號具有第三時間差之第二輸出信號，所述第三時間差對應於所述第一時間差與所述第二時間差之總和，

其中所述第一暫存器單元包含，

第一時間暫存器，其包含經組態以接收所述第一輸入信號之第一輸入端子、經組態以接收所述第二輸入信號之第一保持端子、經組態以接收第二信號之第一預充電端子、經組態以接收所述第一信號之第一喚醒端子，及經組態以輸出所述第一輸出信號之第一輸出端子，且

42283pif

其中所述第二暫存器單元包含，

第二時間暫存器，其包含經組態以接收所述第四輸入信號之第二輸入端子、經組態以接收所述第三輸入信號之第二保持端子、經組態以接收所述第二信號之第二預充電端子、經組態以接收所述第一信號之第二喚醒端子，及經組態以輸出所述第二輸出信號之第二輸出端子。

19. 一種系統單晶片 (SOC)，包含時間差累積器，所述時間差累積器包括：

第一時間差加法器，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述第一時間差加法器經進一步組態以將所述第一時間差與第一先前輸出信號與第二先前輸出信號之間的第二時間差相加以產生具有第三時間差之第一輸出信號及第二輸出信號，所述第三時間差對應於所述第一時間差與所述第二時間差之總和；以及

第二時間差加法器，其經組態以接收具有所述第三時間差之所述第一輸出信號及所述第二輸出信號，所述第二時間差加法器經進一步組態以將所述第三時間差與相同之兩個信號之間的時間差相加以產生具有所述第三時間差之所述第一先前輸出信號及所述第二先前輸出信號。

20. 如申請專利範圍第 19 項所述之系統單晶片，其中所述相同之兩個信號為所述第一輸出信號、所述第二輸出信號、反相第一輸出信號及反相第二輸出信號中之一者。

21. 一種系統單晶片 (SOC)，包含時間差累積器，所述時間差累積器包括：

42283pif

時間差加法器，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述時間差加法器經進一步組態以將所述第一時間差與第一先前輸出信號與第二先前輸出信號之間的第二時間差相加以產生具有第三時間差之第一輸出信號及第二輸出信號，所述第三時間差對應於所述第一時間差與所述第二時間差之總和；

第一延遲電路，其經組態以藉由使所述第一輸出信號延遲了第一時間段來產生所述第一先前輸出信號；以及

第二延遲電路，其經組態以藉由使所述第二輸出信號延遲了所述第一時間段來產生所述第二先前輸出信號。

22. 一種 Σ - Δ (sigma-delta) 時間至數位轉換器，其包括：

時間差加法器，其經組態以接收具有第一時間差之第一輸入信號及第二輸入信號，所述時間差加法器經進一步組態以自所述第一時間差減去第一回授信號與第二回授信號之間的第二時間差以產生具有第三時間差之第一加法信號及第二加法信號，所述第三時間差對應於所述第一時間差減去所述第二時間差；

時間差累積器，其經組態以累積所述第一加法信號與所述第二加法信號之間的所述第三時間差以產生第一累積信號及第二累積信號；

時域量化器，其經組態以將所述第一累積信號與所述第二累積信號之間的時間差轉換成數位輸出信號；以及

數位至時間轉換器，其經組態以將所述數位輸出信號

42283pif

轉換成所述第一回授信號及所述第二回授信號。

23. 一種 $\Sigma\text{-}\Delta$ (sigma-delta) 時間至數位轉換器，其包括：

時間差調整單元，其經組態以接收第一輸入信號、第二輸入信號及數位輸出信號，所述時間差調整單元經進一步組態以使所述第一輸入信號及所述第二輸入信號中之至少一者延遲了根據所述數位輸出信號確定之延遲時間，以產生第一加法信號及第二加法信號；

時間差累積器，其經組態以累積所述第一加法信號與所述第二加法信號之間的時間差以產生第一累積信號及第二累積信號；以及

時域量化器，其經組態以將所述第一累積信號與所述第二累積信號之間的時間差轉換成所述數位輸出信號。

24. 如申請專利範圍第 23 項所述之 $\Sigma\text{-}\Delta$ 時間至數位轉換器，其中所述時間差調整單元包括：

至少一第一延遲單元，其經組態以使所述第一輸入信號延遲；

第一選擇器，其經組態以回應於所述數位輸出信號選擇性地輸出所述第一輸入信號或所述第一延遲單元之輸出信號作為所述第一加法信號；

至少一第二延遲單元，其經組態以使所述第二輸入信號延遲；以及

第二選擇器，其經組態以回應於所述數位輸出信號選擇性地輸出所述第二輸入信號或所述第二延遲單元之輸出

42283pif

信號作為所述第二加法信號。

25. 一種數位鎖相迴路，其包括：

相位偵測器，其經組態以產生對應於參考輸入信號與回授信號之間的第一時間差的數位時間差信號；

數位迴路濾波器，其經組態以藉由過濾所述數位時間差信號來產生數位控制信號；

數位控制之振盪器，其經組態以回應於所述數位控制信號來產生輸出信號；以及

除法器，其經組態以藉由對所述輸出信號進行除法運算而產生所述回授信號，

其中所述相位偵測器包含，

時間差加法器，其經組態以接收具有所述第一時間差之所述參考輸入信號及所述回授信號，所述時間差加法器經進一步組態以自所述第一時間差減去第一內部回授信號與第二內部回授信號之間的第二時間差以產生具有第三時間差之第一加法信號及第二加法信號，所述第三時間差對應於所述第一時間差減去所述第二時間差，

時間差累積器，其經組態以累積所述第一加法信號與所述第二加法信號之間的所述第三時間差以產生第一累積信號及第二累積信號，

時域量化器，其經組態以將所述第一累積信號與所述第二累積信號之間的時間差轉換成所述數位時間差信號，以及

數位至時間轉換器，其經組態以將所述數位時間

42283pif

差信號轉換成所述第一內部回授信號及所述第二內部回授信號。

26. 一種數位鎖相迴路，其包括：

相位偵測器，其經組態以產生對應於參考輸入信號與回授信號之間的時間差的數位時間差信號；

數位迴路濾波器，其經組態以藉由過濾所述數位時間差信號來產生數位控制信號；

數位控制之振盪器，其經組態以回應於所述數位控制信號來產生輸出信號；以及

除法器，其經組態以藉由對所述輸出信號進行除法運算而產生所述回授信號，

其中所述相位偵測器包含，

時間差調整單元，其經組態以接收所述參考輸入信號、所述回授信號及所述數位時間差信號，所述時間差調整單元經進一步組態以使所述參考輸入信號及所述回授信號中之至少一者延遲了根據所述數位時間差信號確定之延遲時間，以產生第一加法信號及第二加法信號，

時間差累積器，其經組態以累積所述第一加法信號與所述第二加法信號之間的時間差以產生第一累積信號及第二累積信號，以及

時域量化器，其經組態以將所述第一累積信號與所述第二累積信號之間的時間差轉換成所述數位時間差信號。

27. 一種溫度感測器，其包括：

42283pif

感測單元，其經組態以感測溫度以產生具有第一時間差之第一輸入信號及第二輸入信號，所述第一時間差對應於所感測的溫度；以及

Σ - Δ 時間至數位轉換器，其經組態以產生對應於所述第一輸入信號與所述第二輸入信號之間的所述第一時間差的數位輸出信號，

其中所述 Σ - Δ 時間至數位轉換器包含，

時間差加法器，其經組態以接收具有所述第一時間差之所述第一輸入信號及所述第二輸入信號，所述時間差加法器經進一步組態以自所述第一時間差減去第一回授信號與第二回授信號之間的第二時間差以產生具有第三時間差之第一加法信號及第二加法信號，所述第三時間差對應於所述第一時間差減去所述第二時間差，

時間差累積器，其經組態以累積所述第一加法信號與所述第二加法信號之間的所述第三時間差以產生第一累積信號及第二累積信號，

時域量化器，其經組態以將所述第一累積信號與所述第二累積信號之間的時間差轉換成所述數位輸出信號，以及

數位至時間轉換器，其經組態以將所述數位輸出信號轉換成所述第一回授信號及所述第二回授信號。

28. 如申請專利範圍第 27 項所述之溫度感測器，其中所述感測單元包括：

脈衝產生器，其經組態以產生脈衝；

42283pif

溫度不敏感延遲線，其經組態以使所述脈衝延遲了第一延遲時間以輸出第一延遲脈衝作為所述第一輸入信號，所述第一延遲時間不管所述溫度如何均為恆定或實質上恆定的；以及

溫度敏感延遲線，其經組態以使所述脈衝延遲了第二延遲時間以輸出第二延遲脈衝作為所述第二輸入信號，所述第二延遲時間是根據所述溫度來調整的。

29. 一種溫度感測器，其包括：

感測單元，其經組態以感測溫度以產生具有時間差之第一輸入信號及第二輸入信號，所述時間差對應於所感測的溫度；以及

Σ - Δ 時間至數位轉換器，其經組態以產生對應於所述第一輸入信號與所述第二輸入信號之間的所述時間差的數位輸出信號，

其中所述 Σ - Δ 時間至數位轉換器包含，

時間差調整單元，其經組態以接收所述第一輸入信號、所述第二輸入信號及所述數位輸出信號，所述時間差調整單元經進一步組態以使所述第一輸入信號及所述第二輸入信號中之至少一者延遲了根據所述數位輸出信號確定之延遲時間，以產生第一加法信號及第二加法信號，

時間差累積器，其經組態以累積所述第一加法信號與所述第二加法信號之間的時間差以產生第一累積信號及第二累積信號，以及

時域量化器，其經組態以將所述第一累積信號與

42283pif

所述第二累積信號之間的時間差轉換成所述數位輸出信號。

30. 一種系統單晶片，其包括：

時間差加法器，其經組態以基於多個輸入信號而至少產生第一輸出信號及第二輸出信號，所述第一輸出信號是回應於觸發信號且基於所述多個輸入信號中具有第一時間差之第一對輸入信號而產生，且所述第二輸出信號是回應於所述觸發信號且基於所述多個輸入信號中具有第二時間差之第二對輸入信號而產生，其中

所述第一輸出信號及所述第二輸出信號具有第三時間差，所述第三時間差是基於所述第一時間差及所述第二時間差來確定的。

31. 如申請專利範圍第 30 項所述之系統單晶片，其中所述時間差加法器包括：

第一暫存器單元，其經組態以基於所述多個輸入信號中之所述第一對輸入信號且回應於所述觸發信號而產生所述第一輸出信號；以及

第二暫存器單元，其經組態以基於所述多個輸入信號中之所述第二對輸入信號且回應於所述觸發信號而產生所述第二輸出信號。

32. 如申請專利範圍第 31 項所述之系統單晶片，其中所述多個輸入信號中之所述第一對輸入信號包含第一輸入信號及第二輸入信號，所述第一暫存器單元包含，

第一偏移延遲單元，其經組態以藉由使所述第二輸入

42283pif

信號延遲了偏移時間而產生第一保持信號，以及

第一時間暫存器，其包含經組態以接收所述第一輸入信號之第一輸入端子、經組態以接收所述第一保持信號之第一保持端子、經組態以接收所述觸發信號之第一喚醒端子，及經組態以輸出所述第一輸出信號之第一輸出端子。

33. 如申請專利範圍第 32 項所述之系統單晶片，其中所述多個輸入信號中之所述第二對輸入信號包含第三輸入信號及第四輸入信號，所述第二暫存器單元包含，

第二偏移延遲單元，其經組態以藉由使所述第三輸入信號延遲了所述偏移時間而產生第二保持信號，以及

第二時間暫存器，其包含經組態以接收所述第四輸入信號之第二輸入端子、經組態以接收所述第二保持信號之第二保持端子、經組態以接收所述觸發信號之第二喚醒端子，及經組態以輸出所述第二輸出信號之第二輸出端子。

34. 如申請專利範圍第 31 項所述之系統單晶片，其中所述多個輸入信號中之所述第一對輸入信號包含第一輸入信號及第二輸入信號，所述第一暫存器單元包含，

第一時間暫存器，其包含經組態以接收所述第一輸入信號之第一輸入端子、經組態以接收所述第二輸入信號之第一保持端子、經組態以接收所述觸發信號之第一喚醒端子，及經組態以輸出所述第一輸出信號之第一輸出端子。

35. 如申請專利範圍第 34 項所述之系統單晶片，其中所述多個輸入信號中之所述第二對輸入信號包含第三輸入信號及第四輸入信號，所述第二暫存器單元包含，

42283pif

第二時間暫存器，其包含經組態以接收所述第四輸入信號之第二輸入端子、經組態以接收所述第三輸入信號之第二保持端子、經組態以接收所述觸發信號之第二喚醒端子，及經組態以輸出所述第二輸出信號之第二輸出端子。

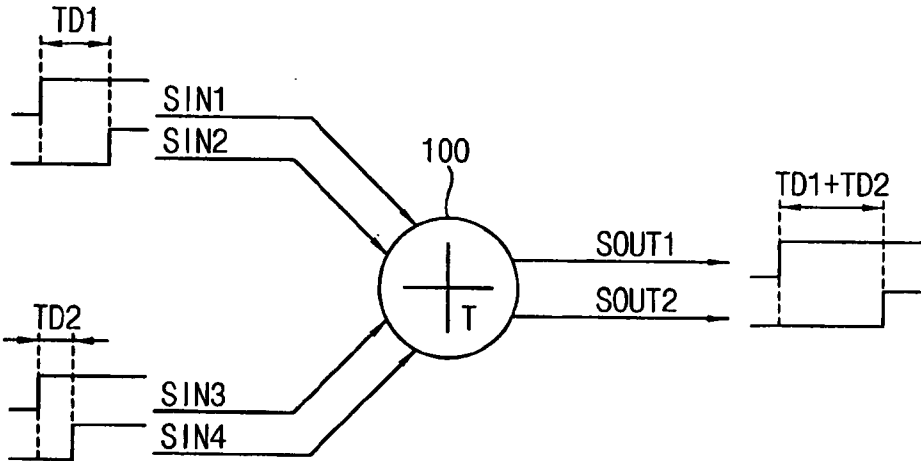


圖 1

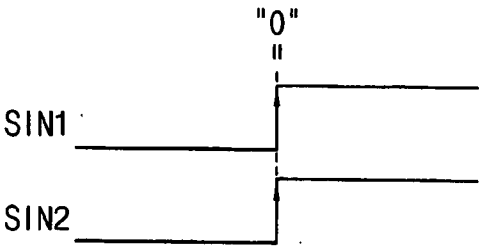


圖 2 A

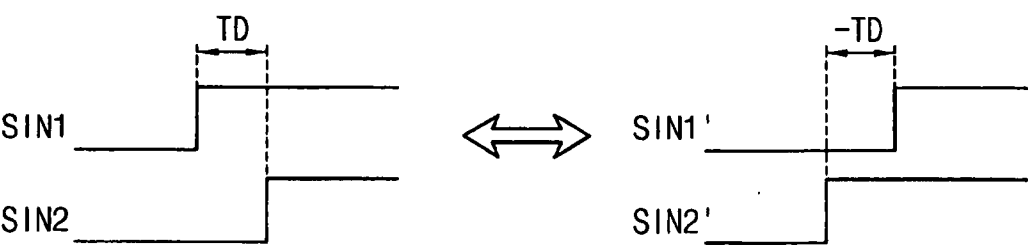


圖 2B

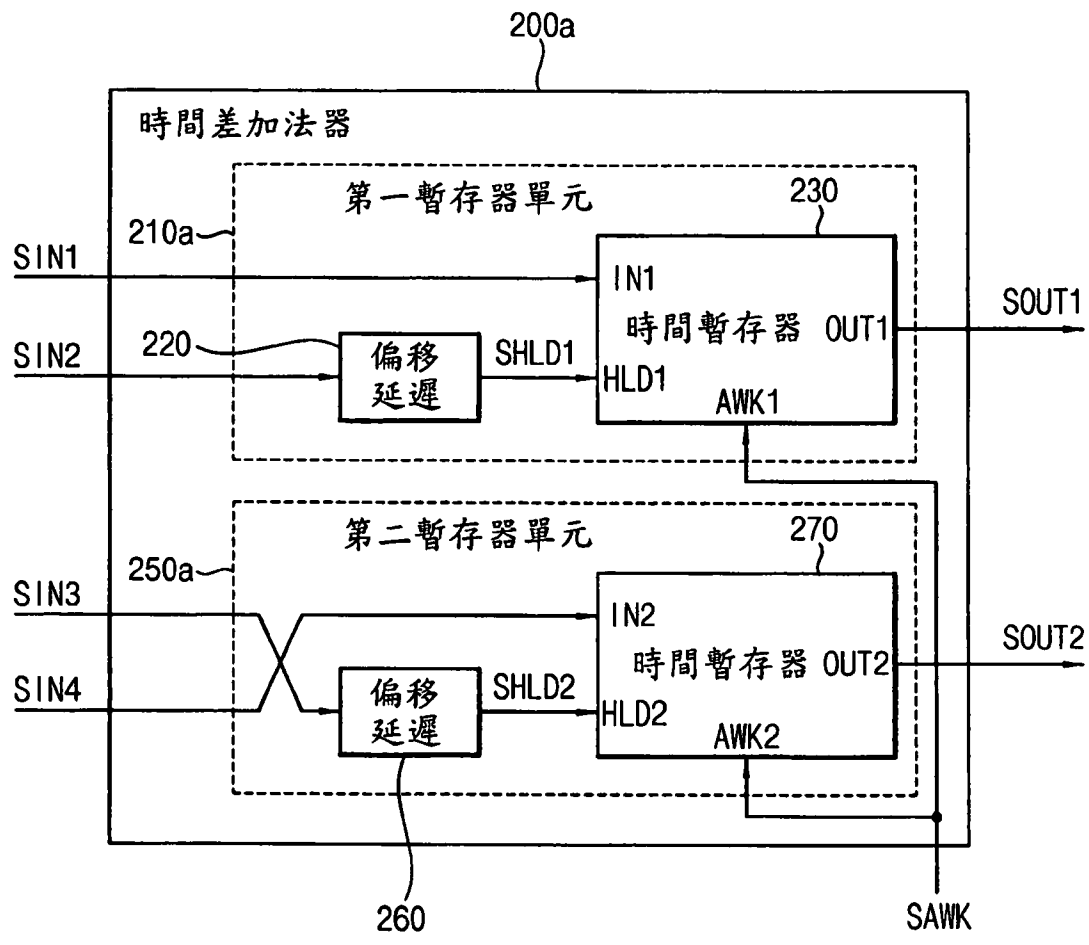


圖 3

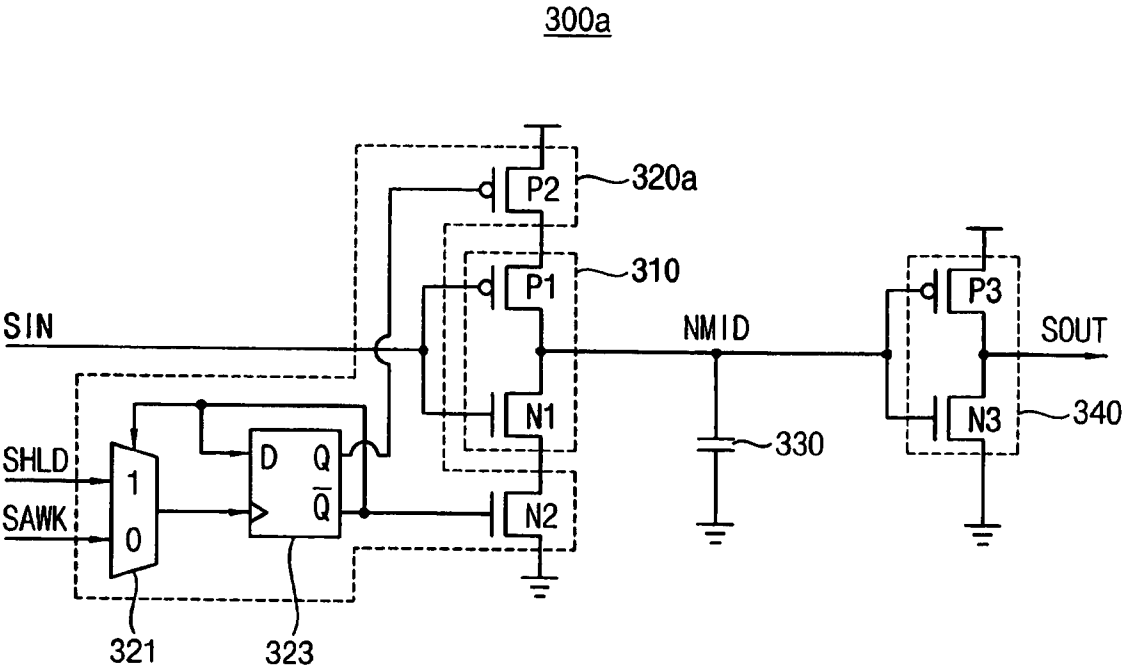


圖 4

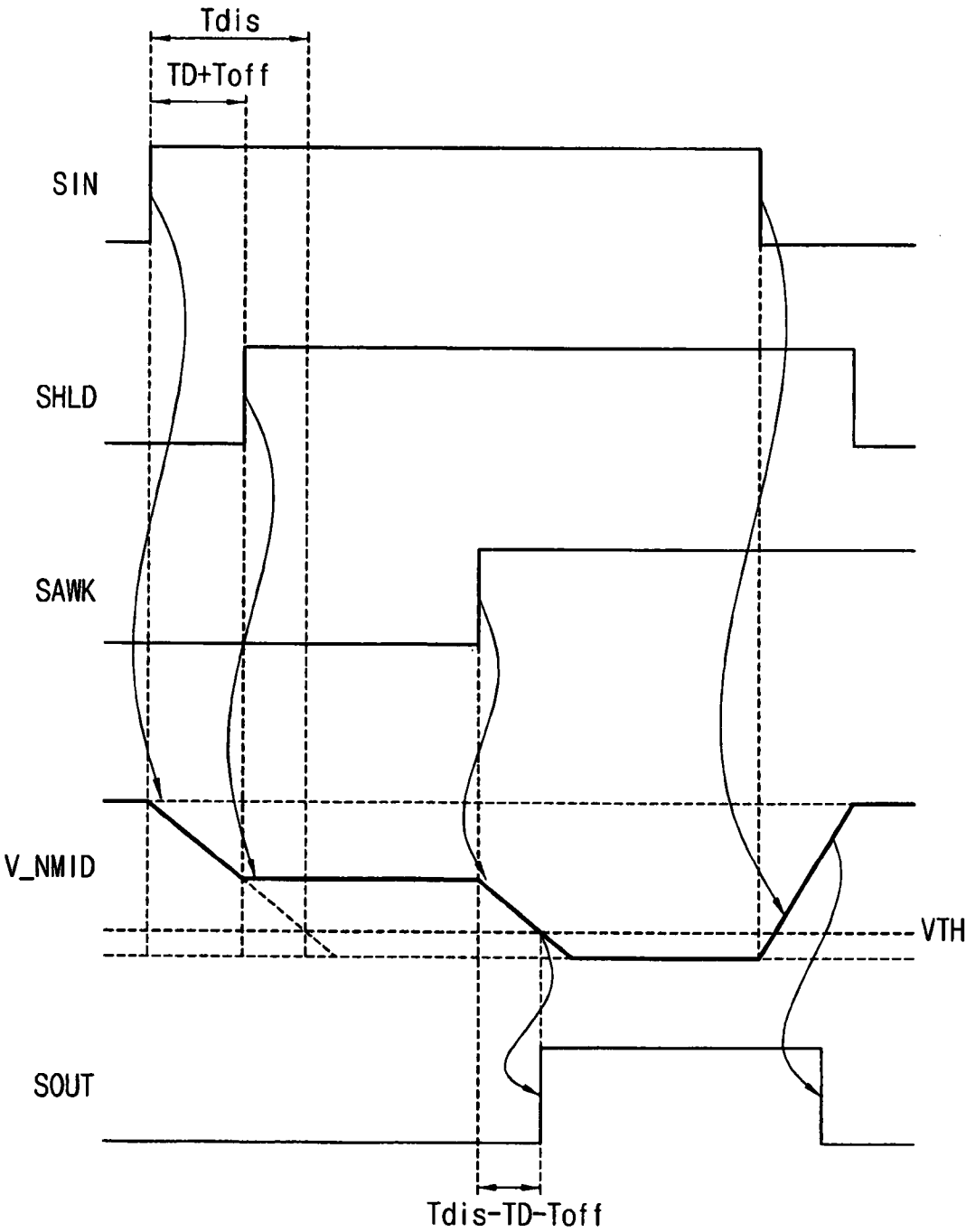


圖 5

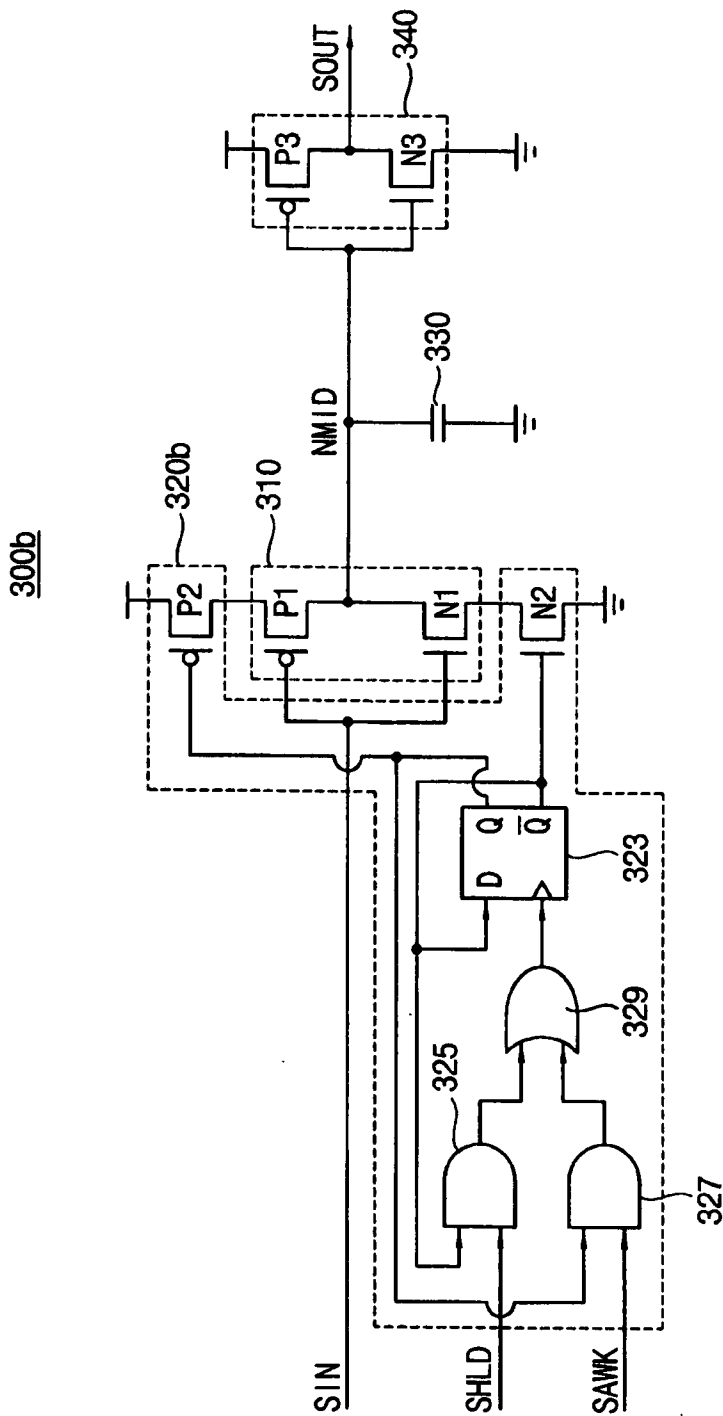


圖 6

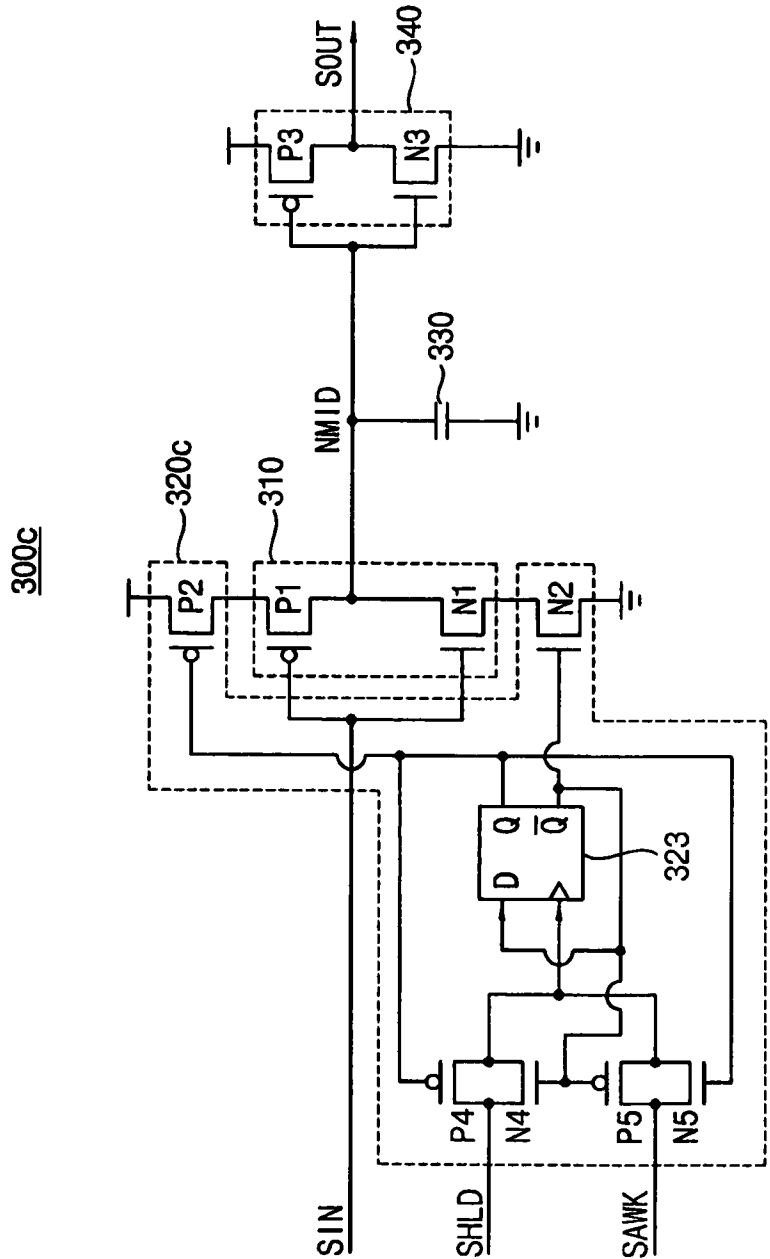


圖 7

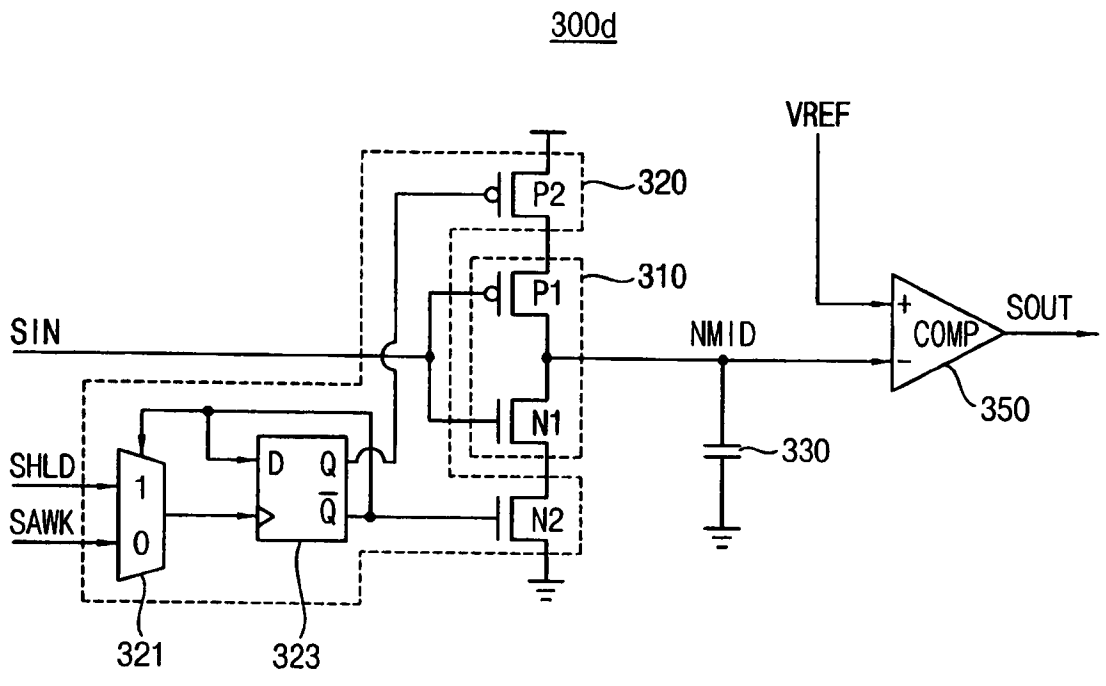


圖 8

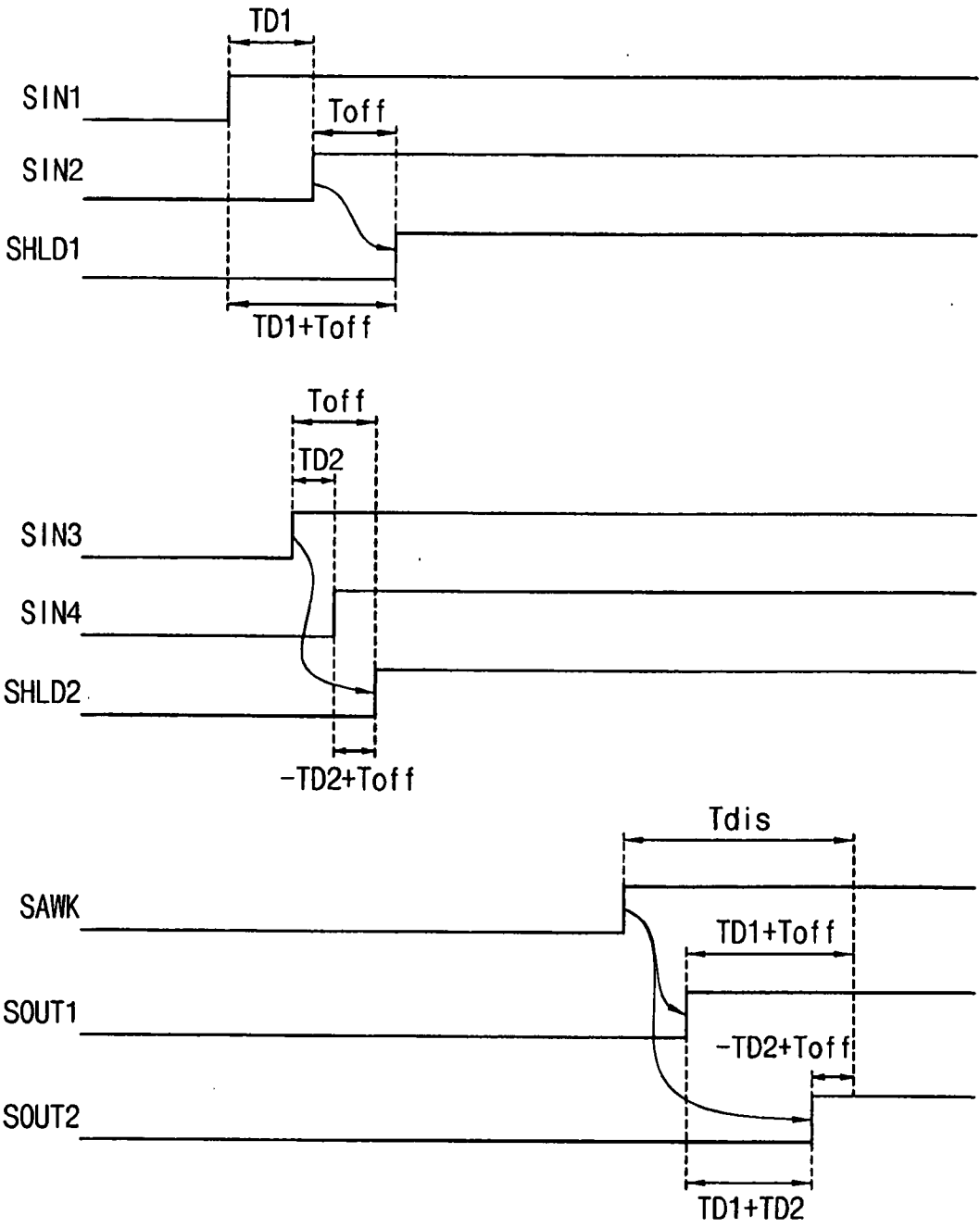


圖 9 A

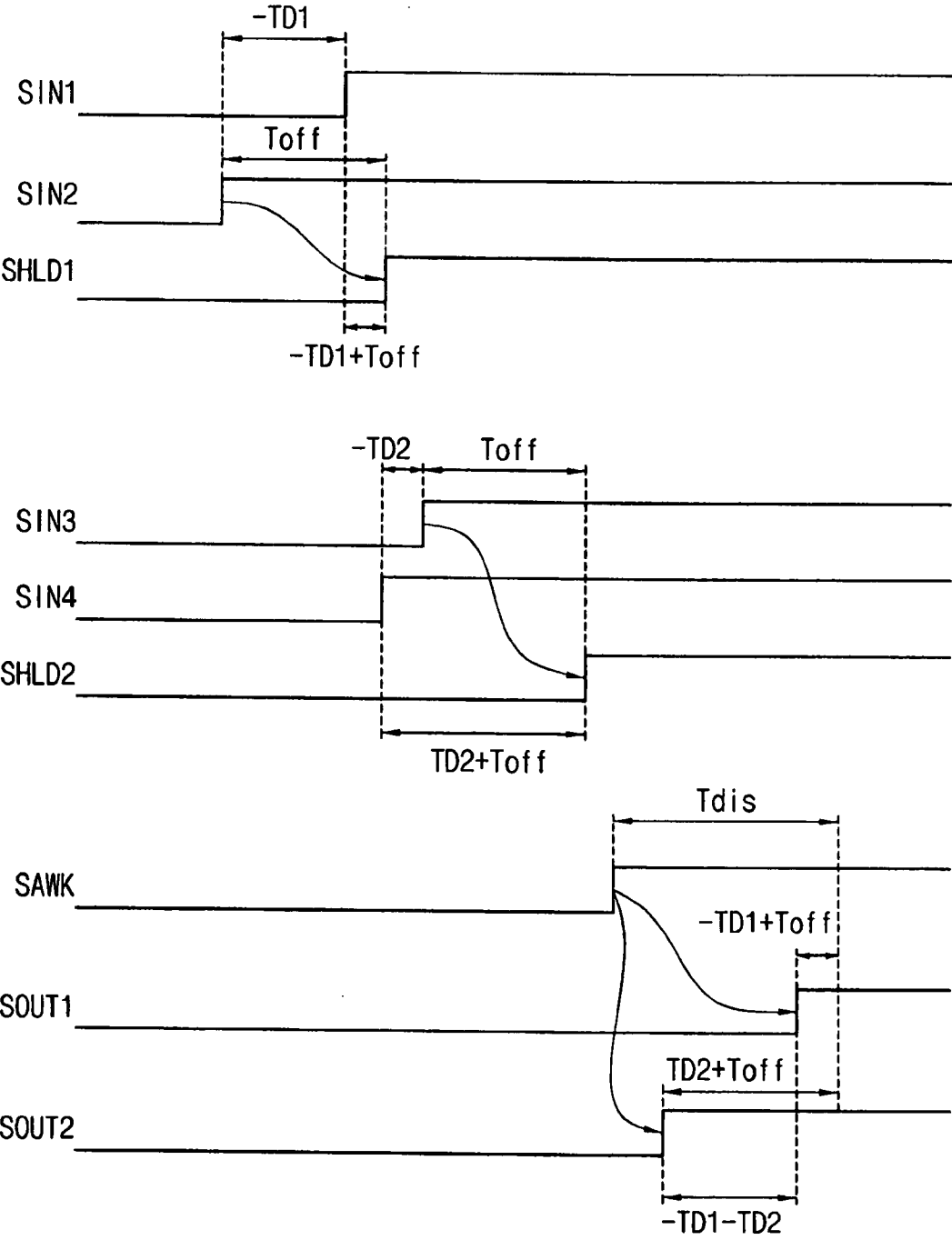


圖 9B

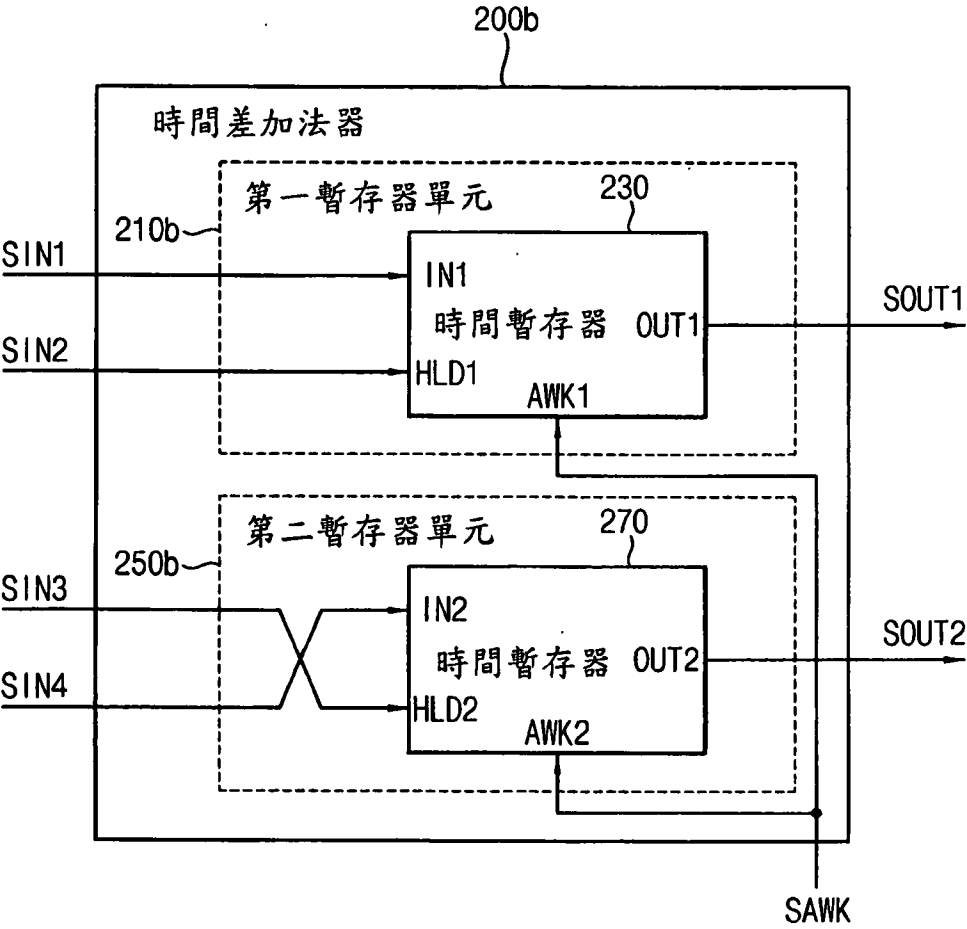


圖 10

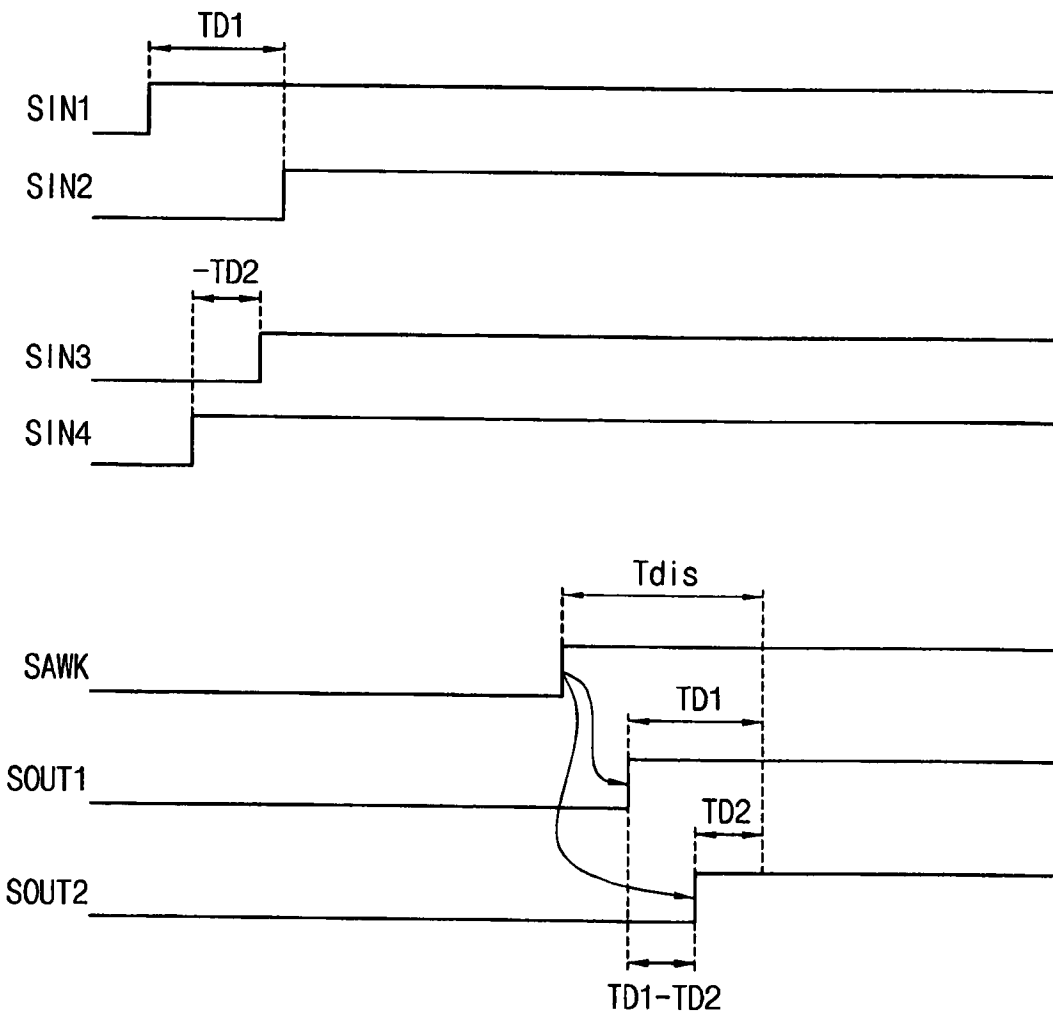


圖 11

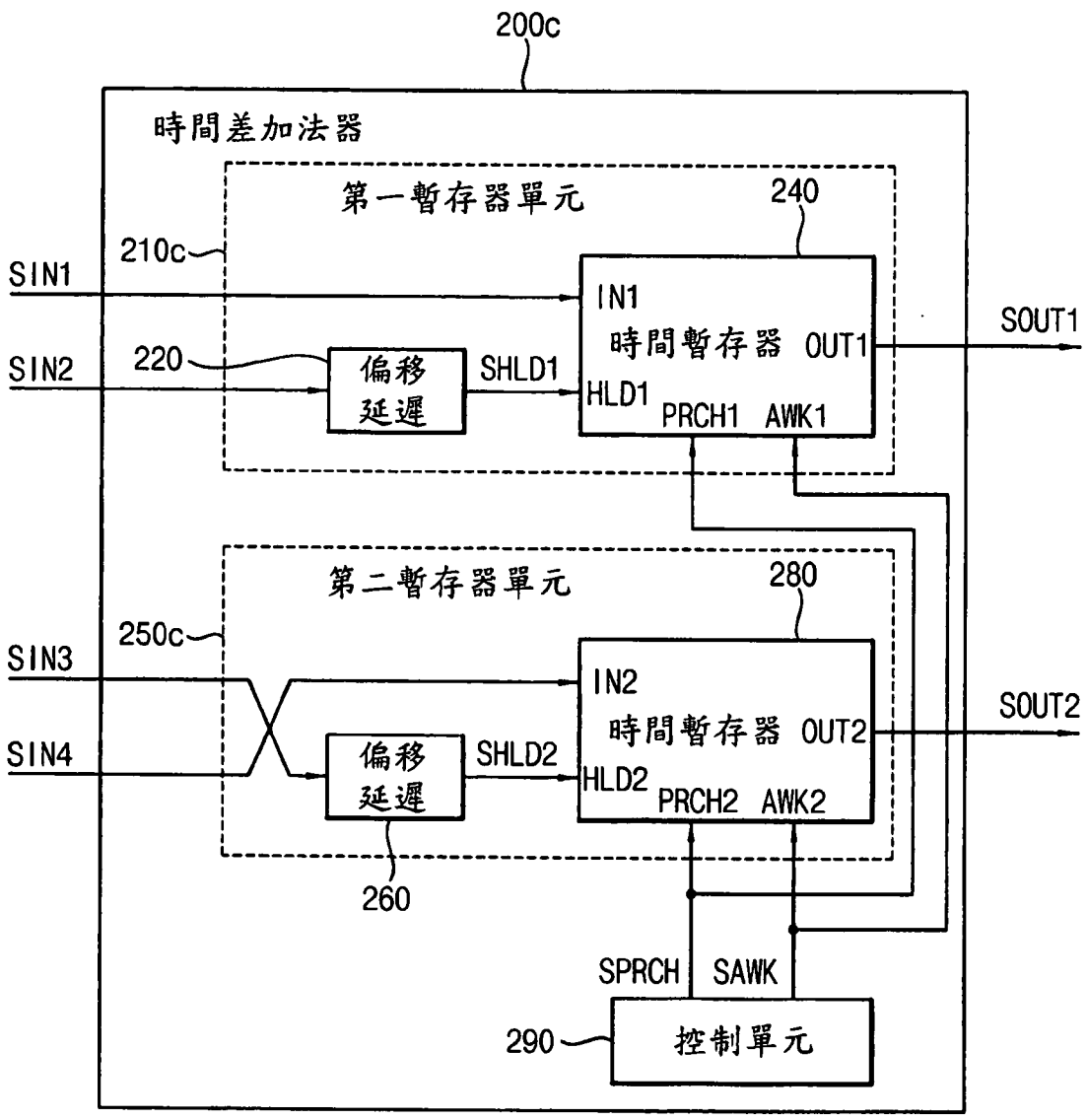


圖 12

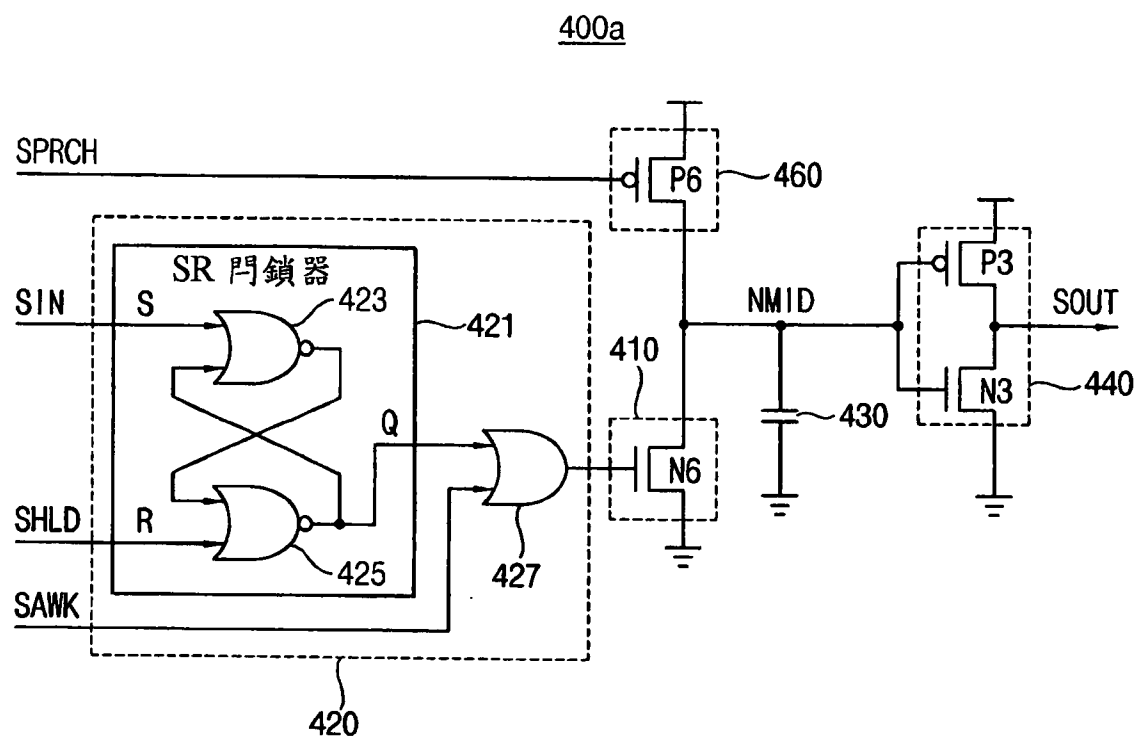


圖 13

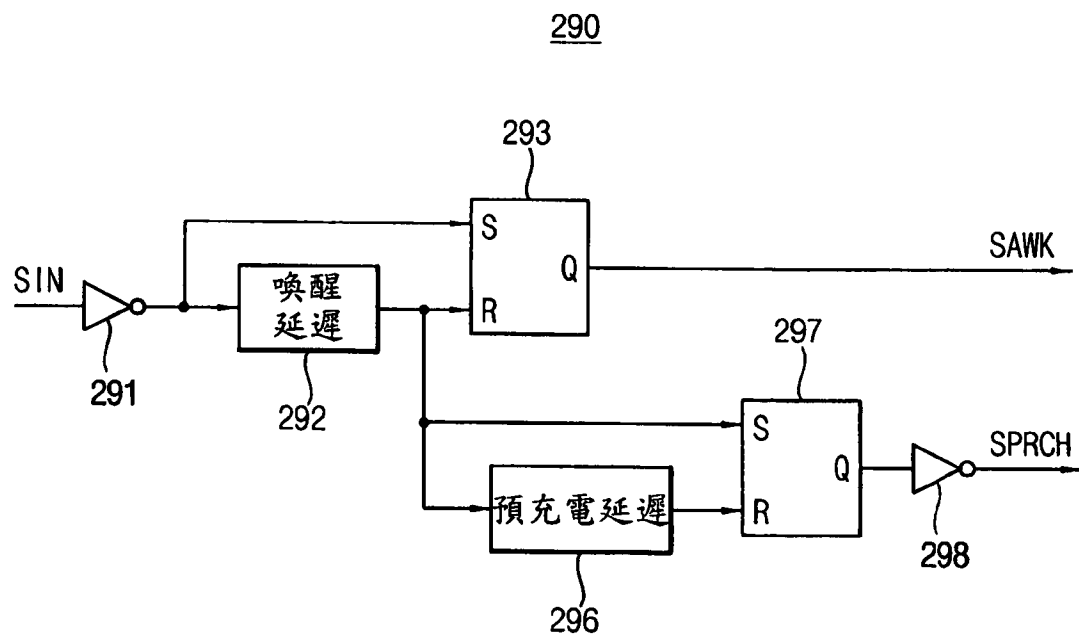


圖 14

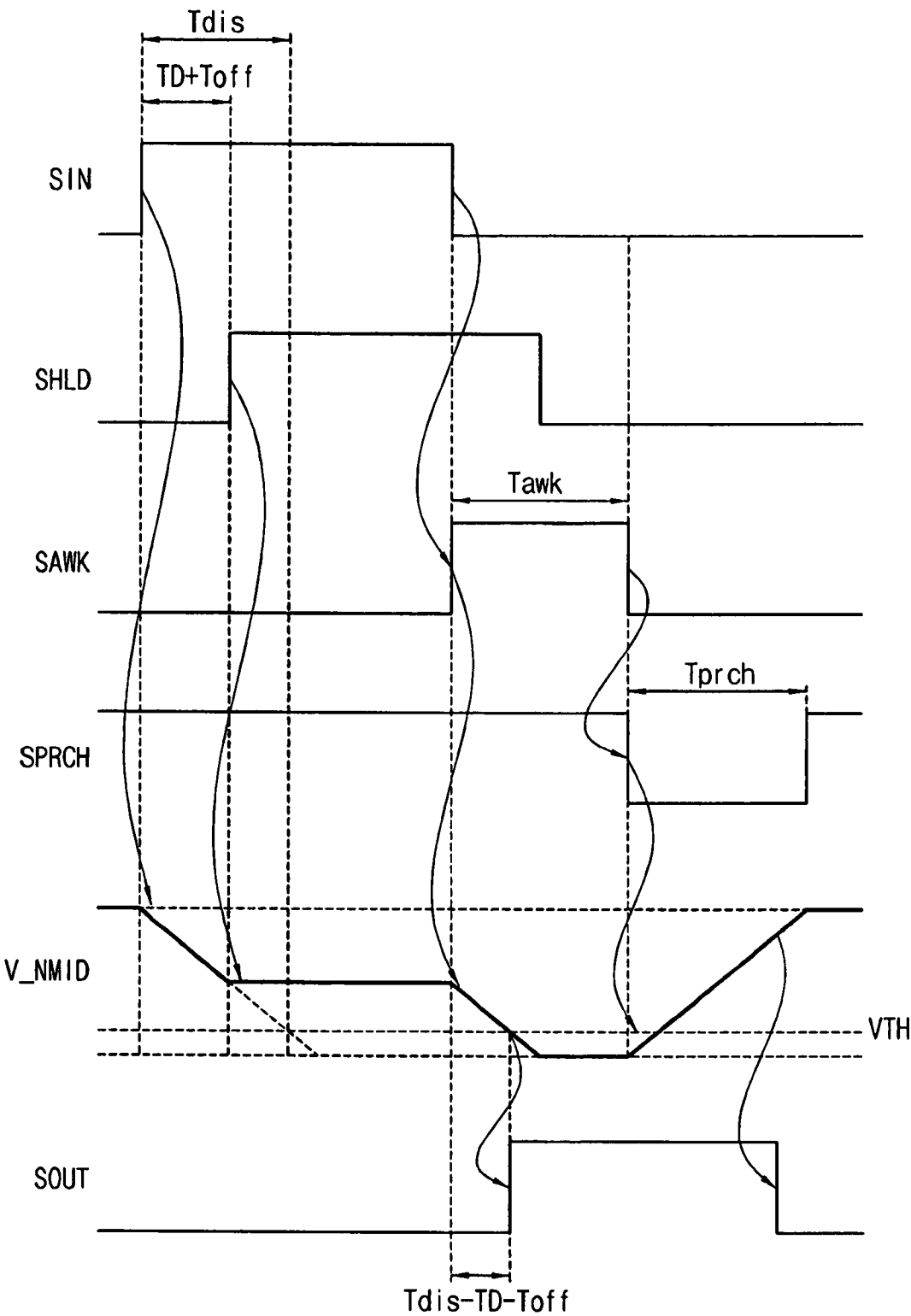


圖 15

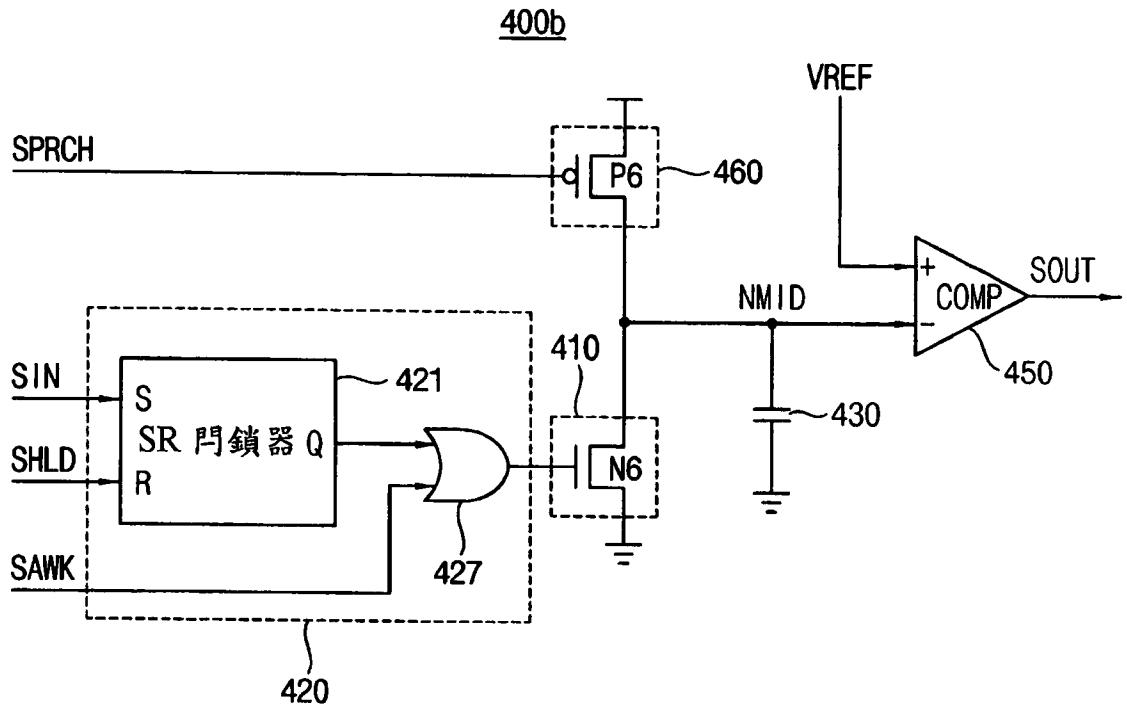


圖 16

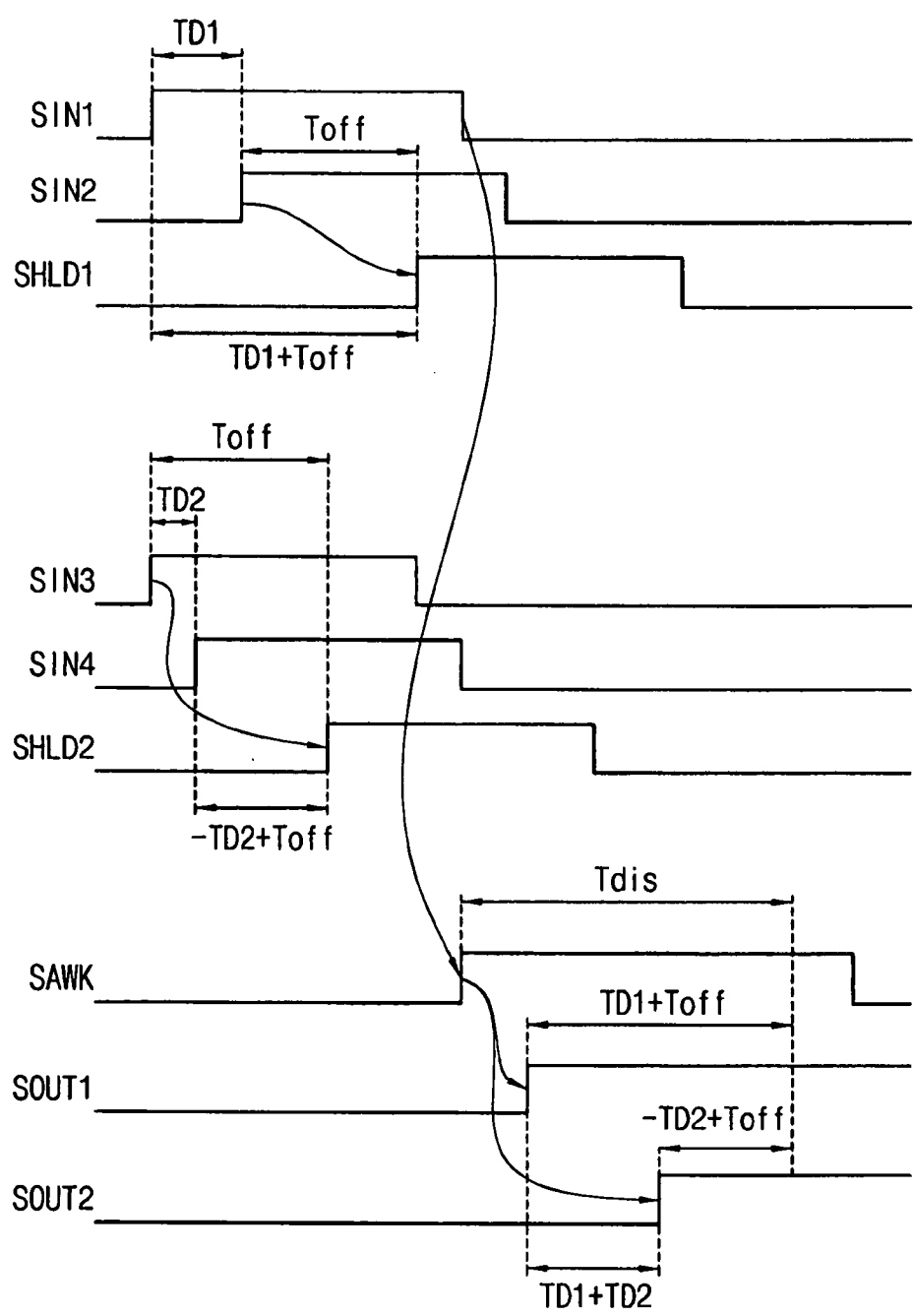


圖 17

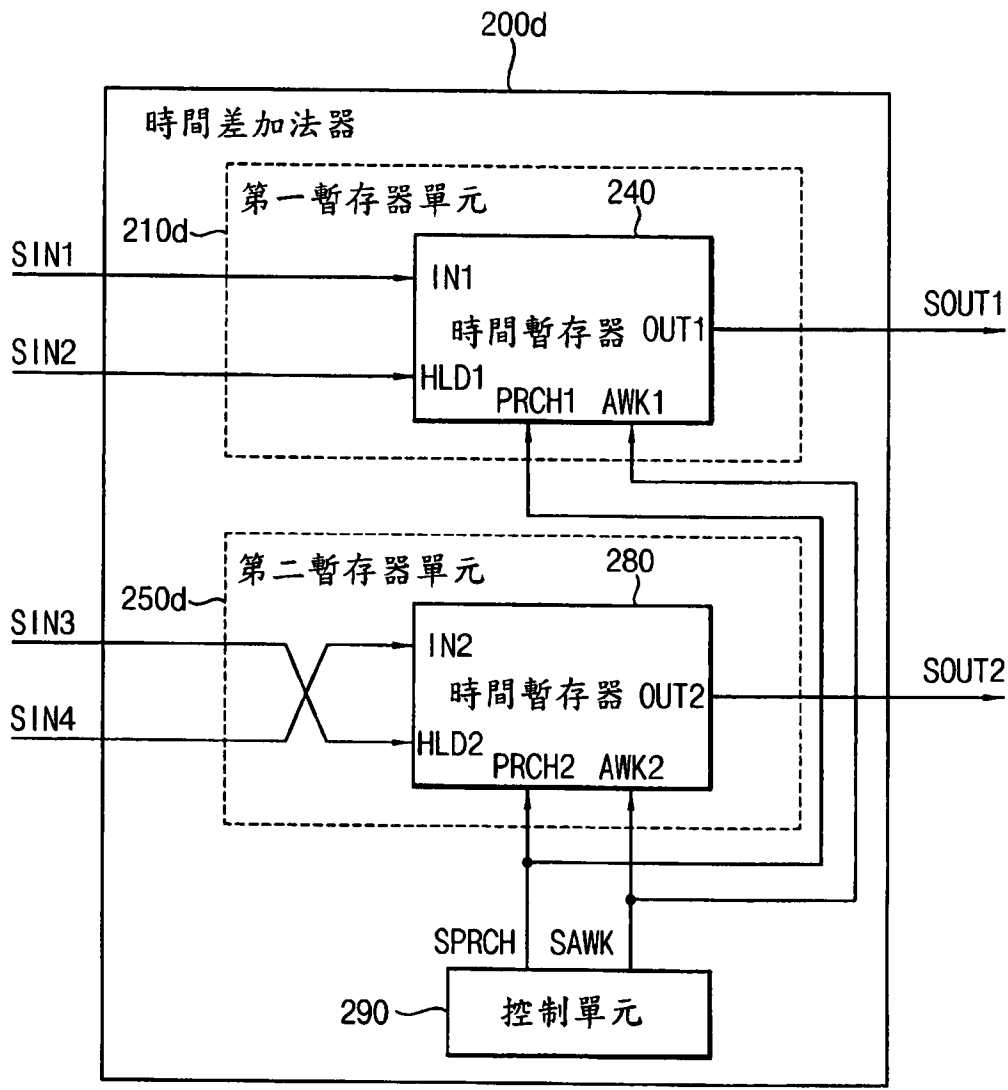


圖 18

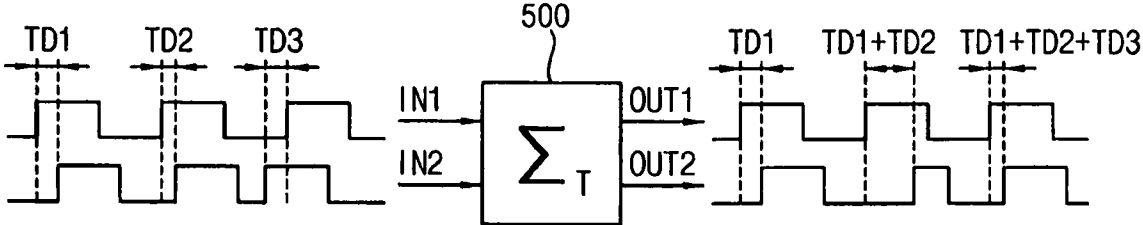


圖 19

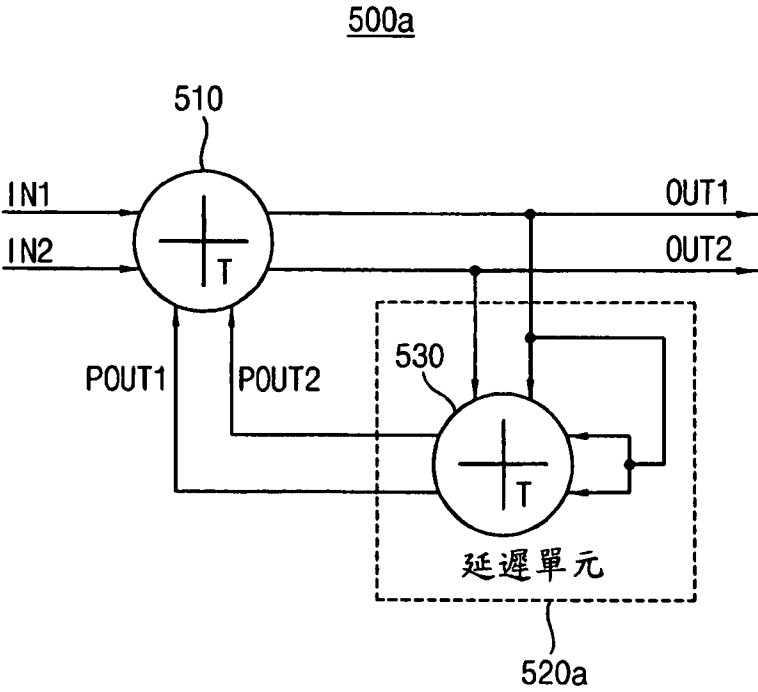


圖 20

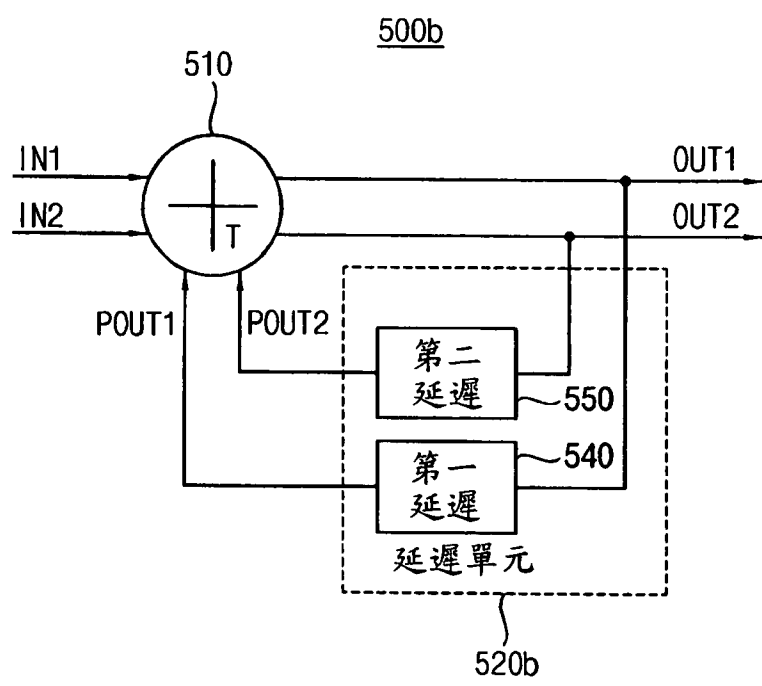


圖 21

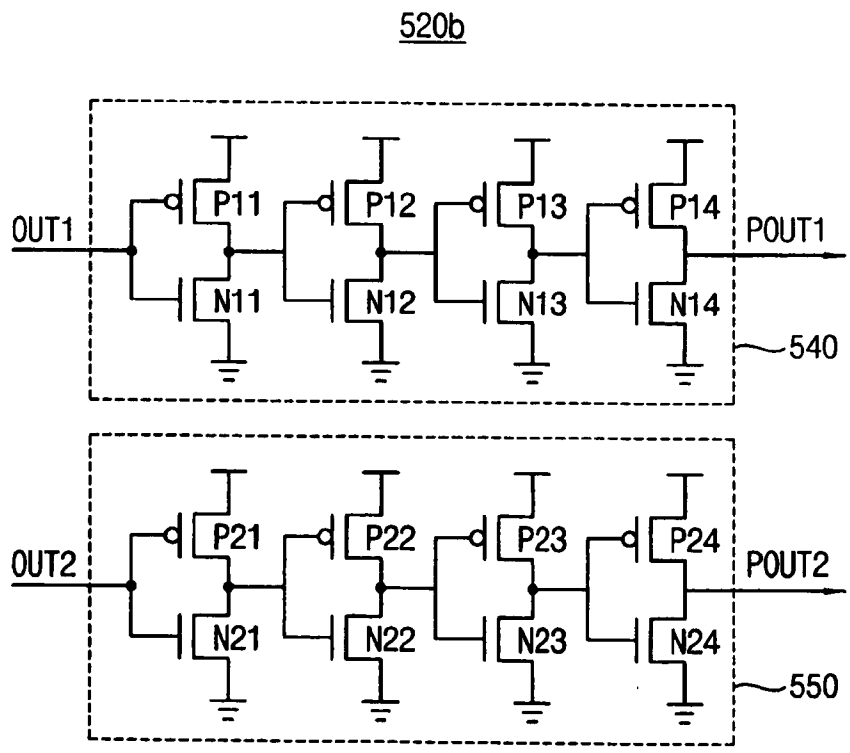


圖 22

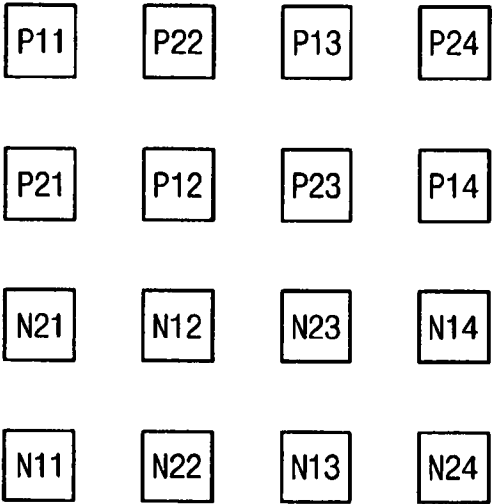


圖 23

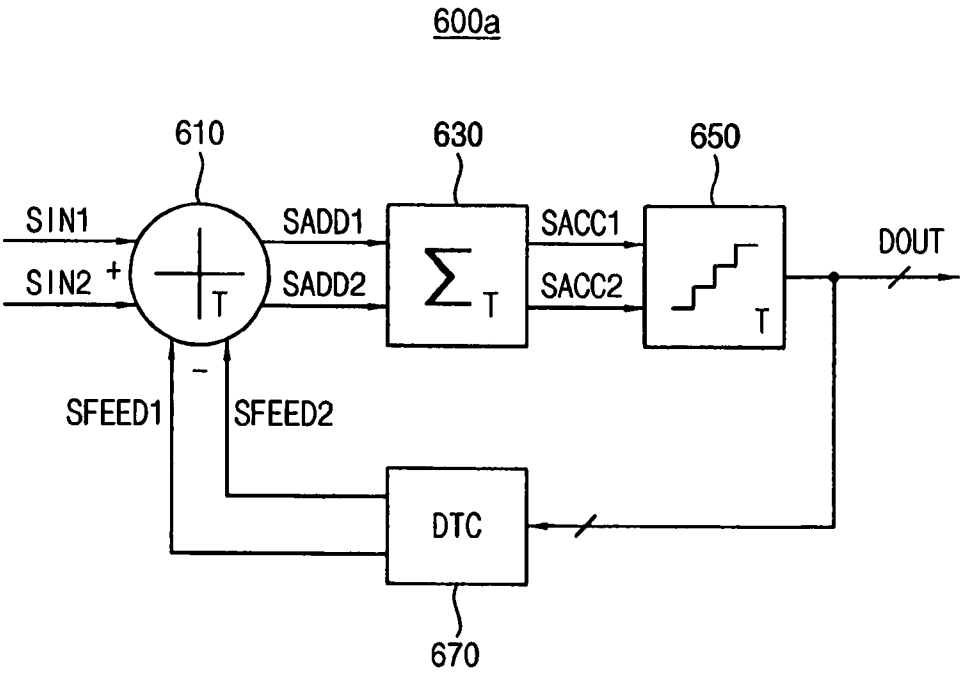


圖 24

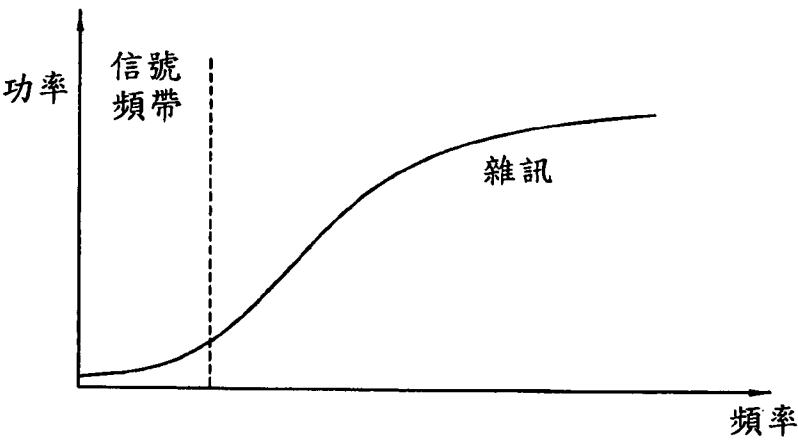


圖 25

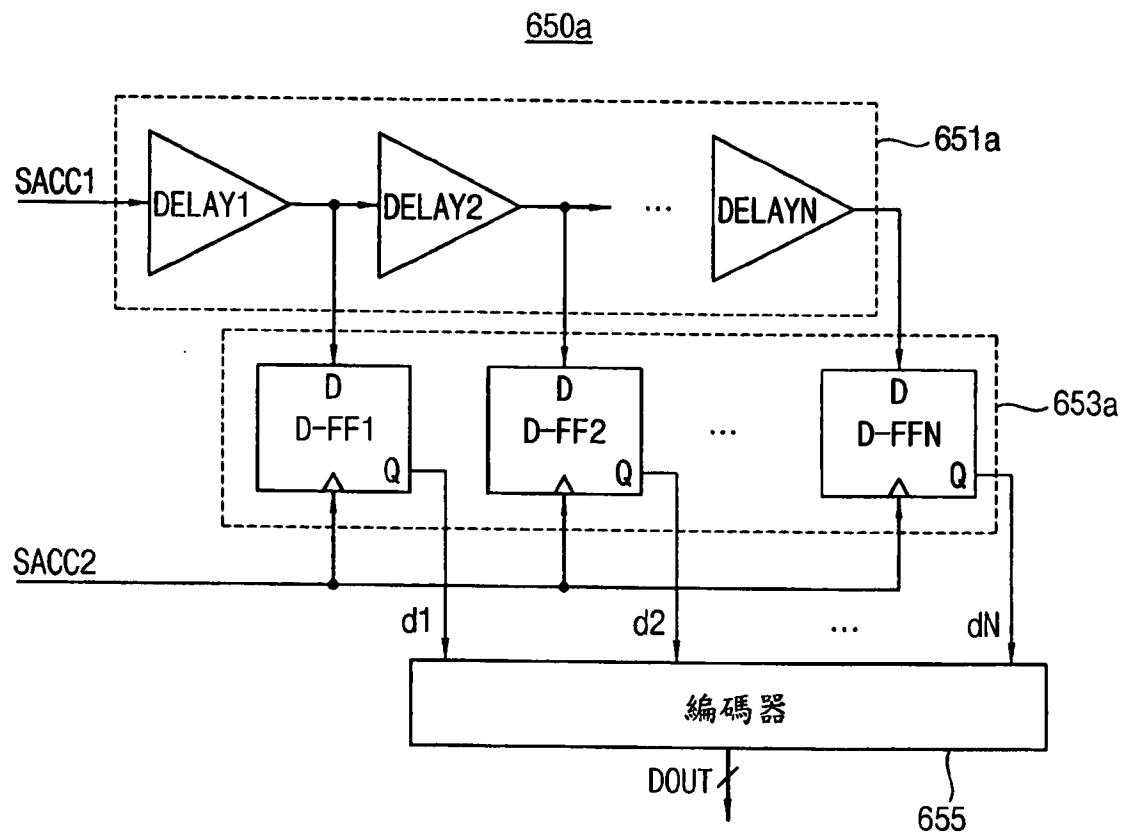


圖 26

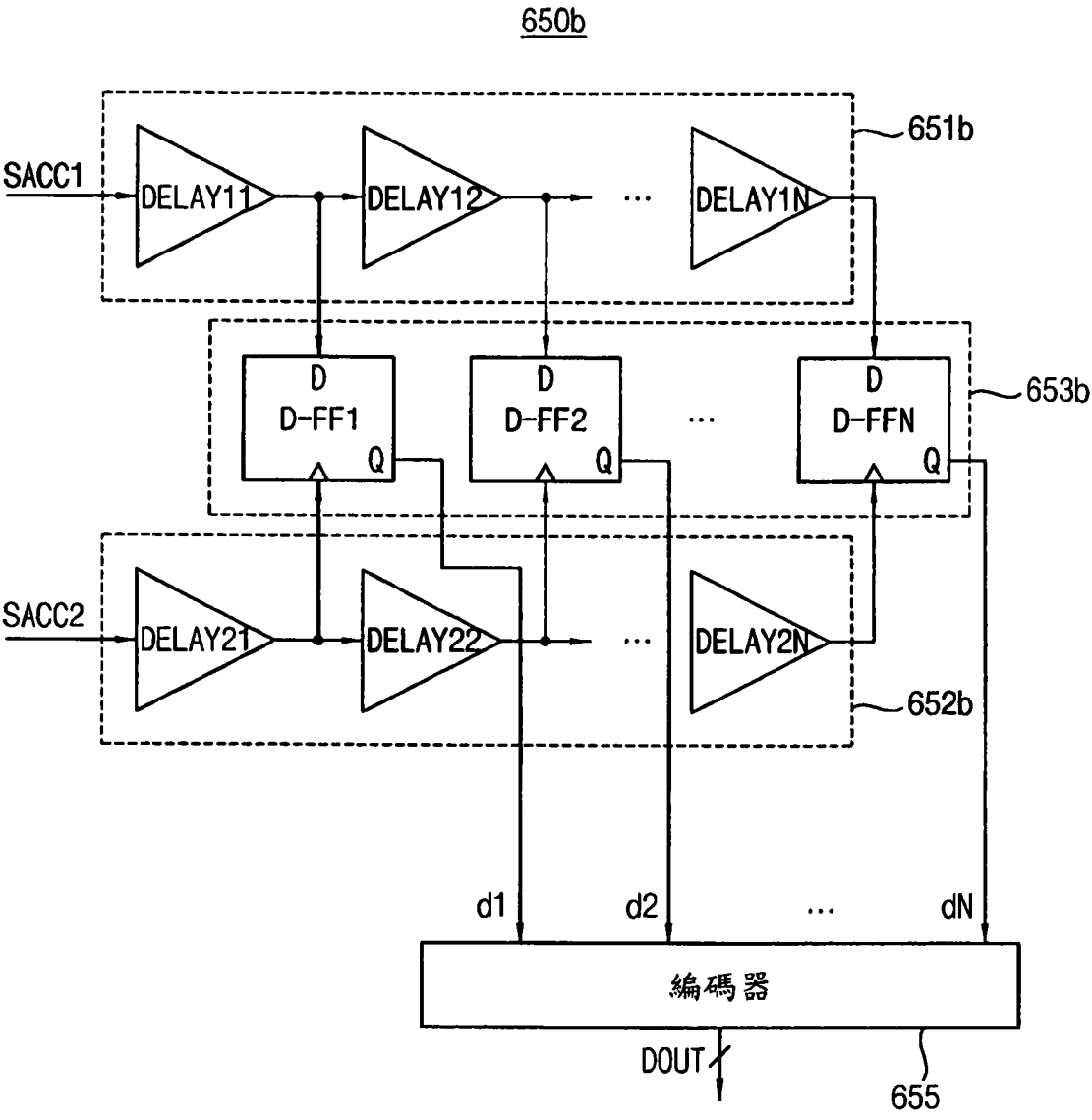


圖 27

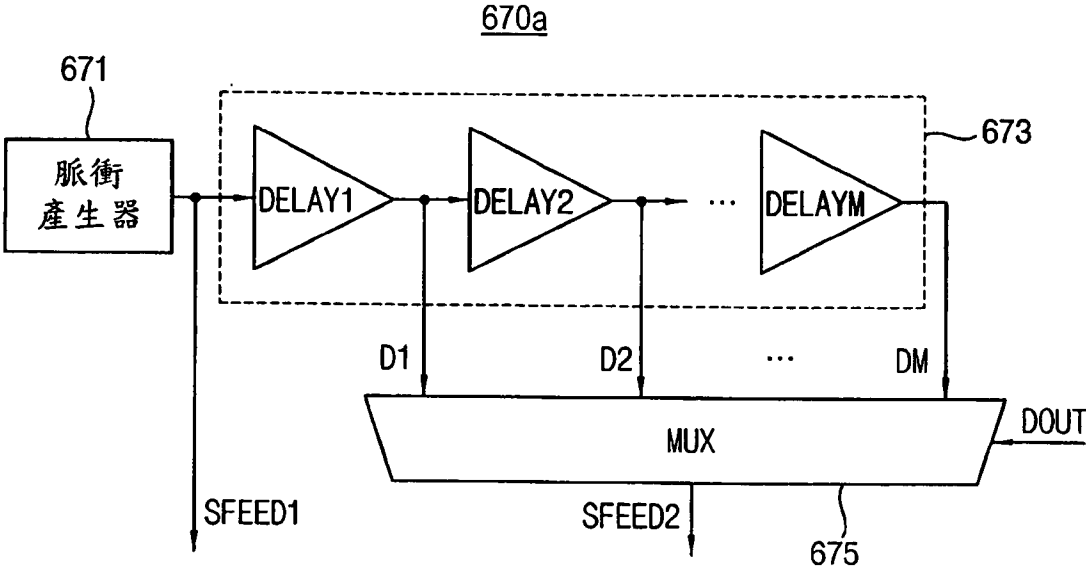


圖 28

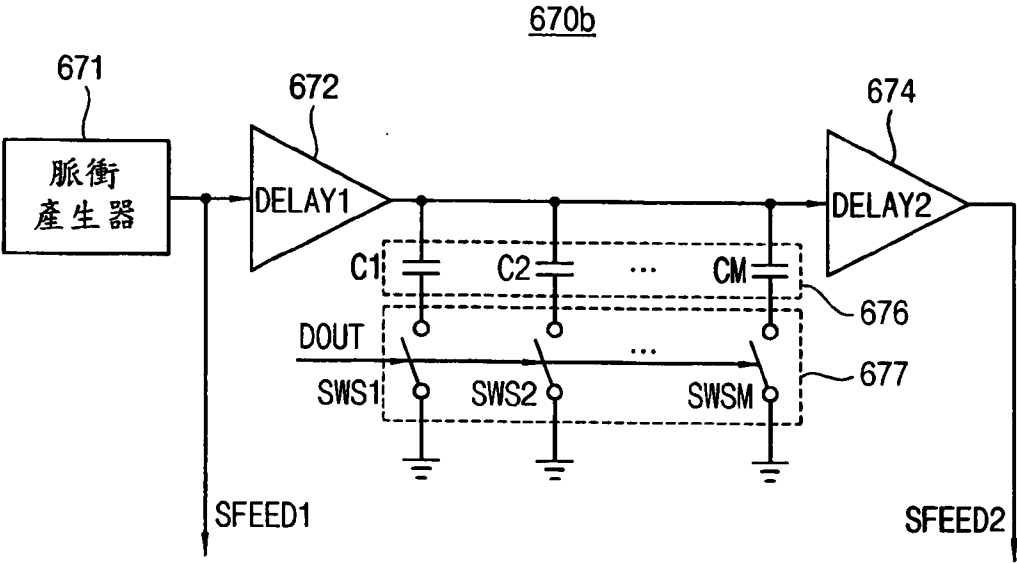


圖 29

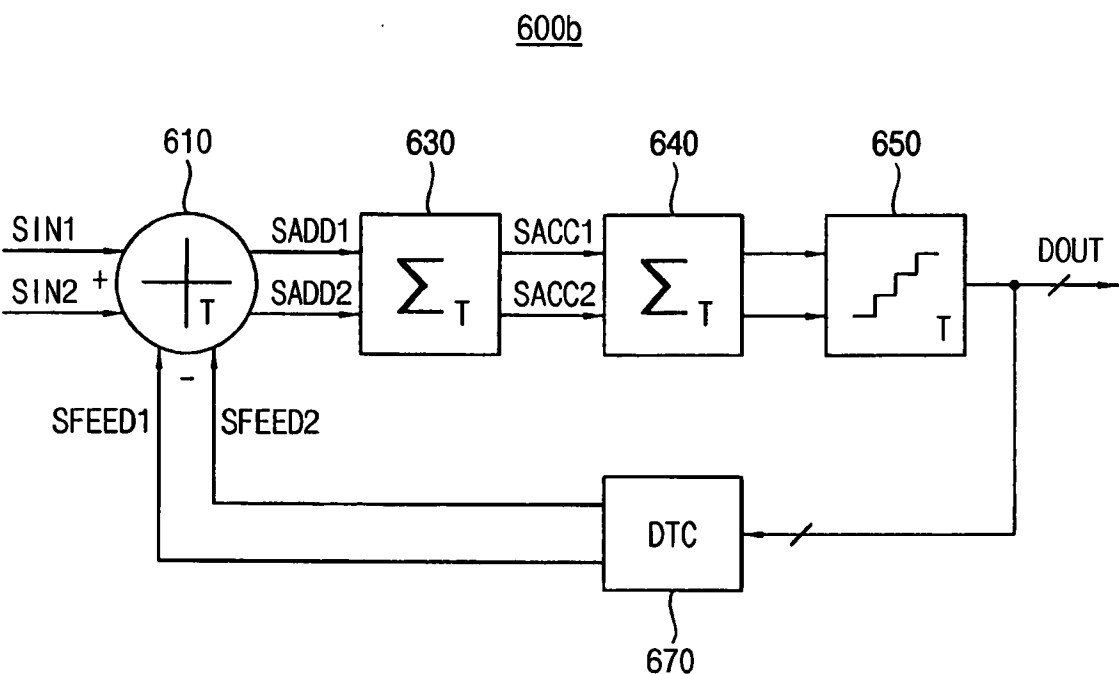


圖 30

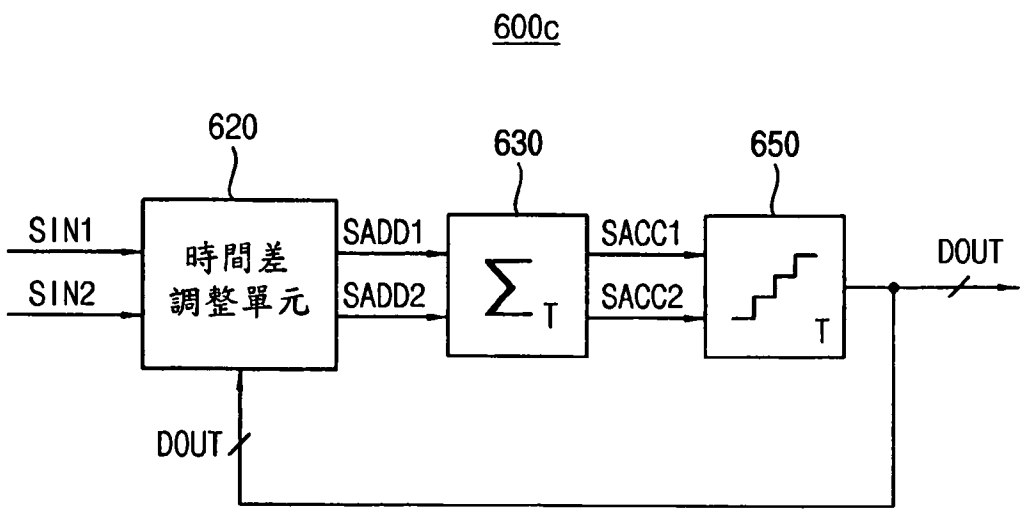


圖 31

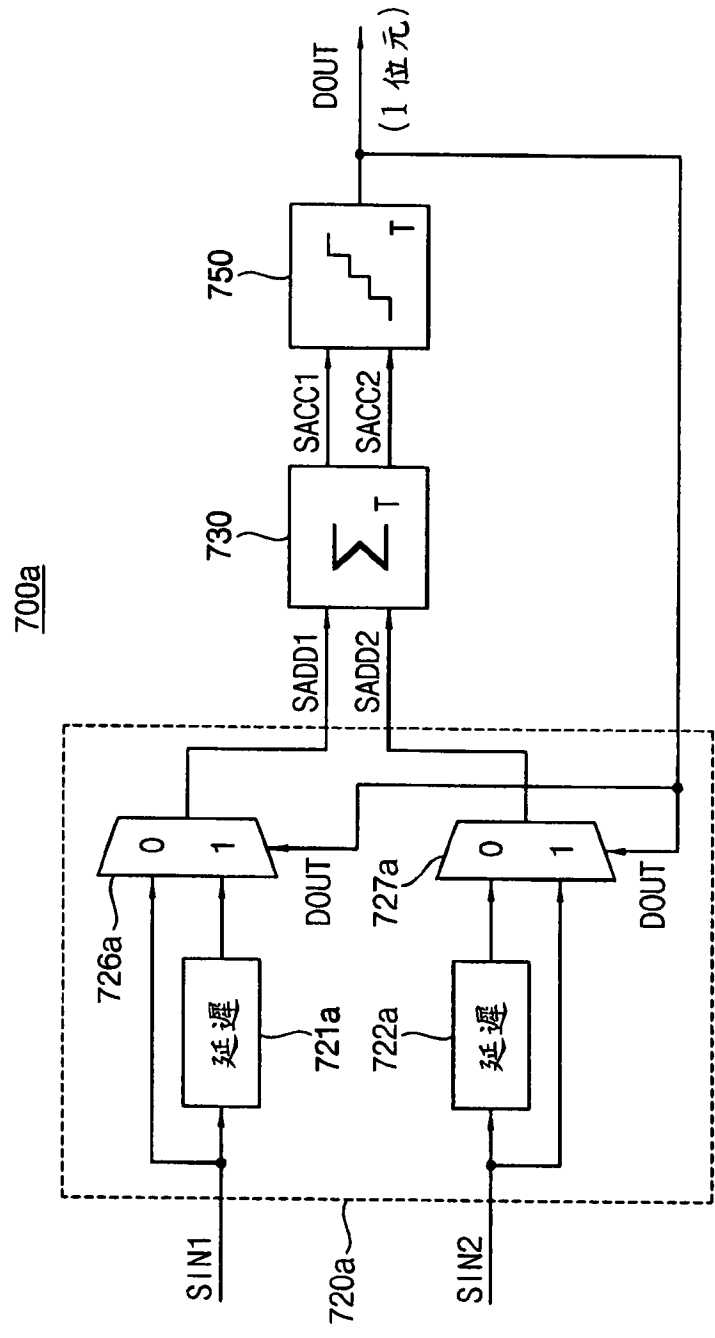


圖 32

700b

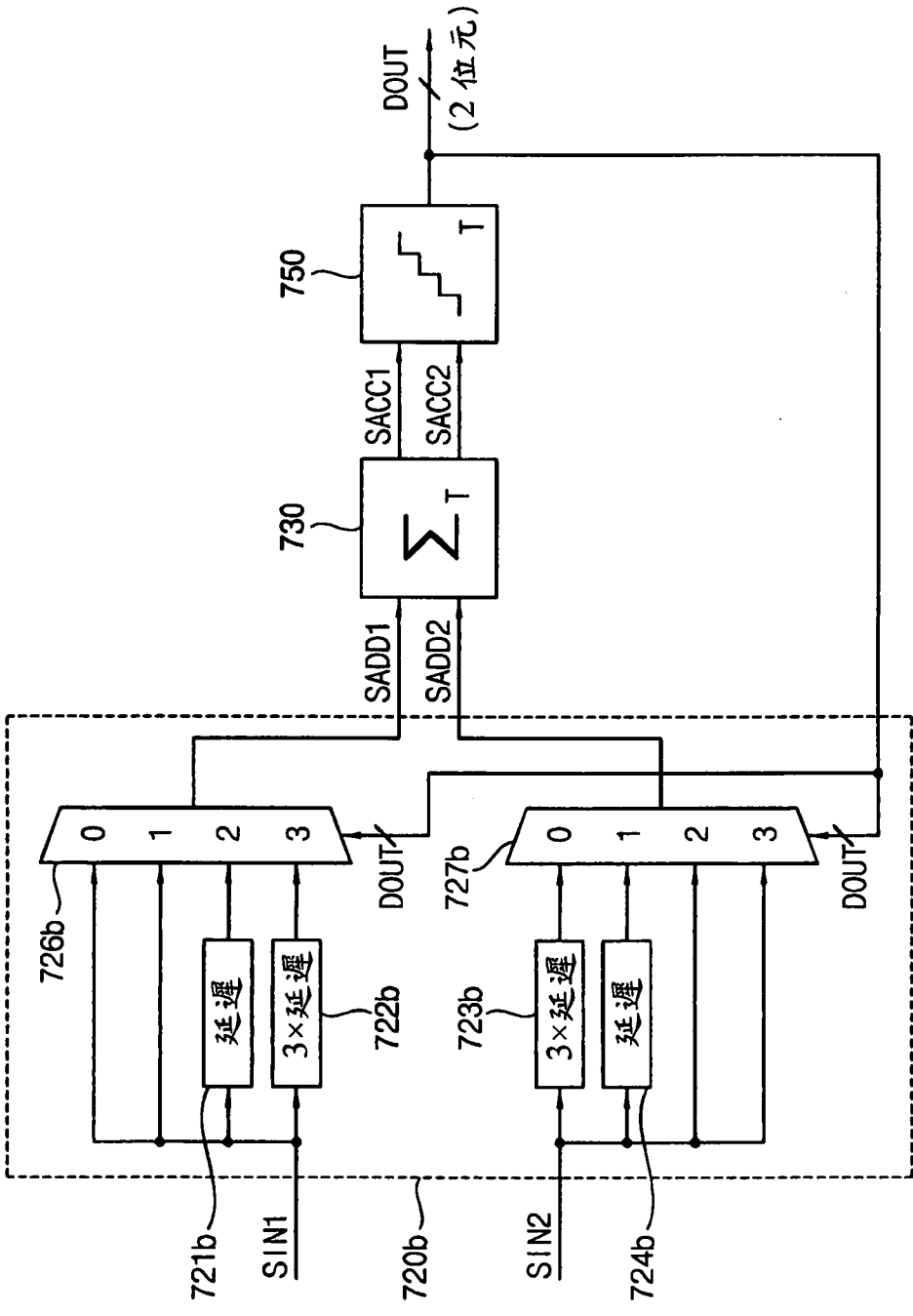


圖 33

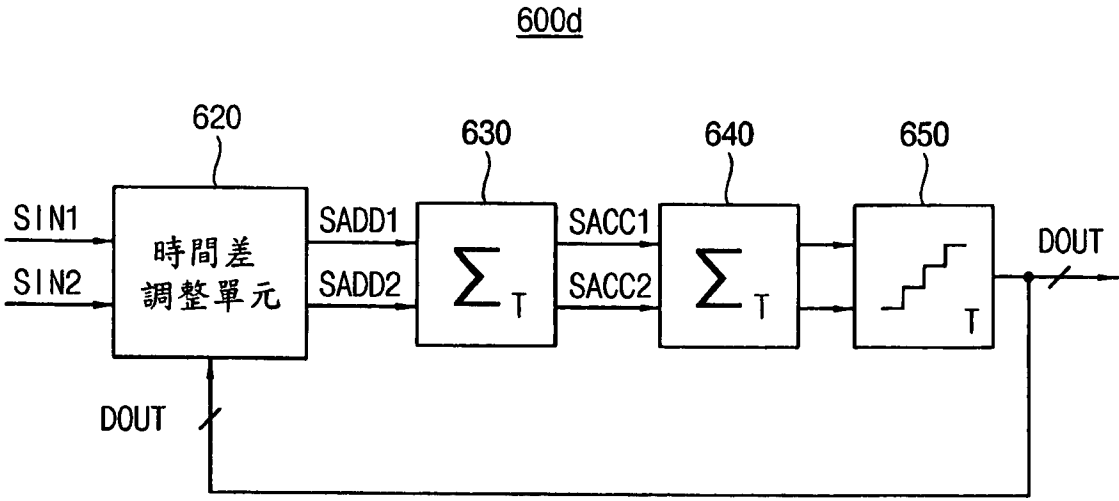


圖 34

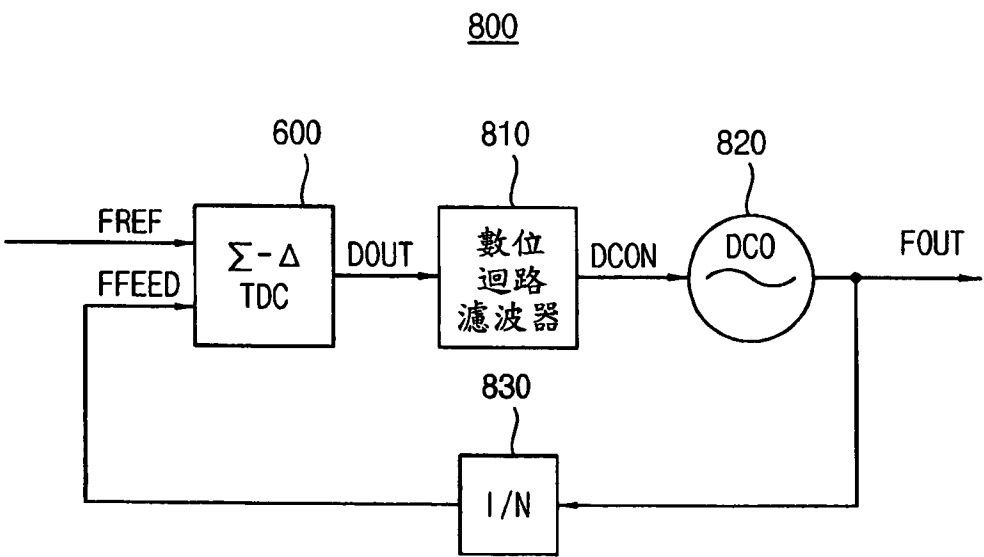


圖 35

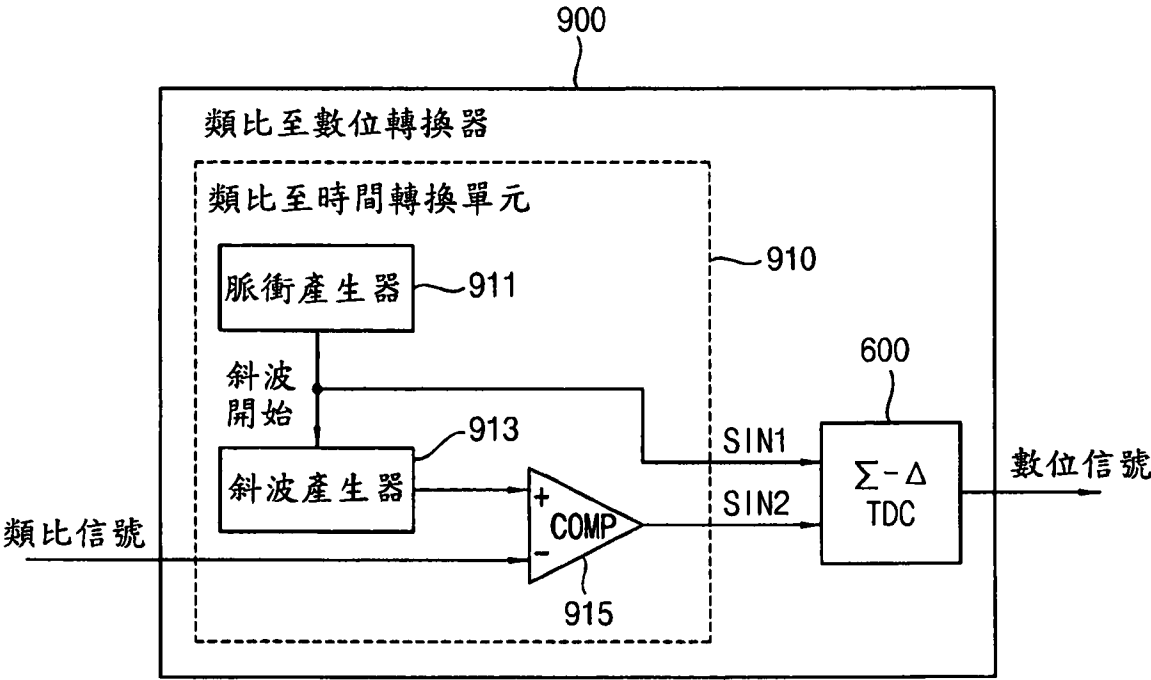


圖 36

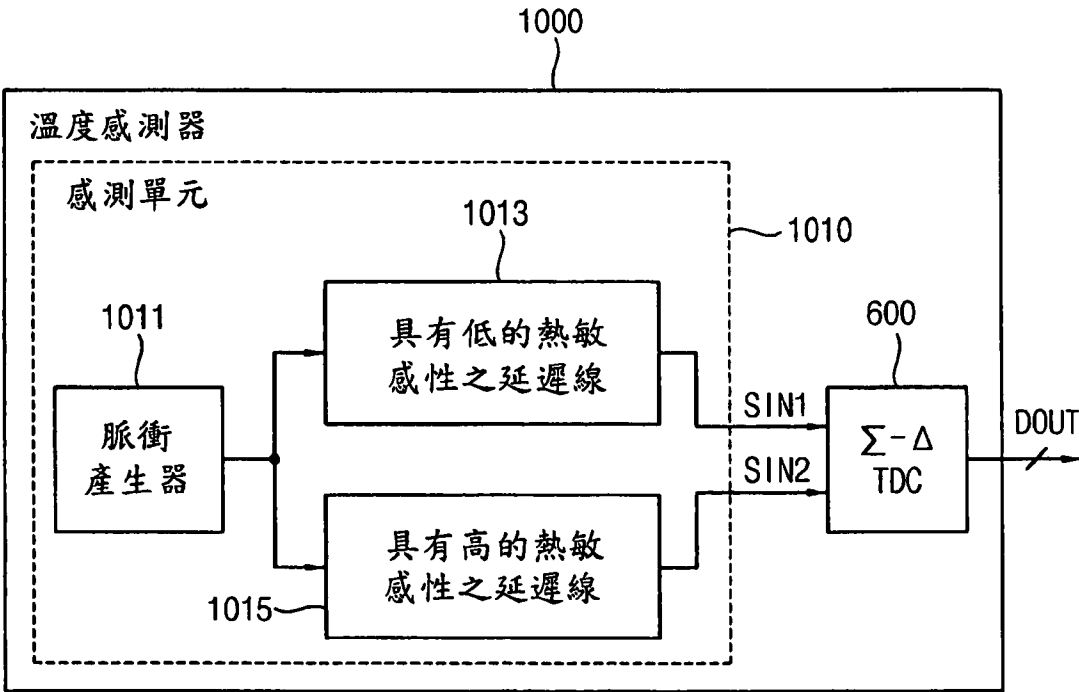


圖 37

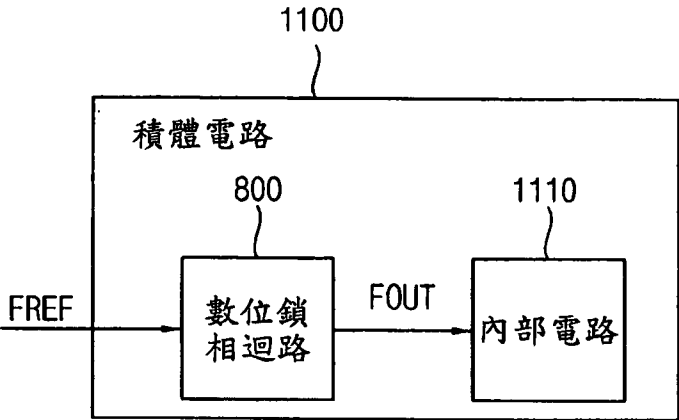


圖 38

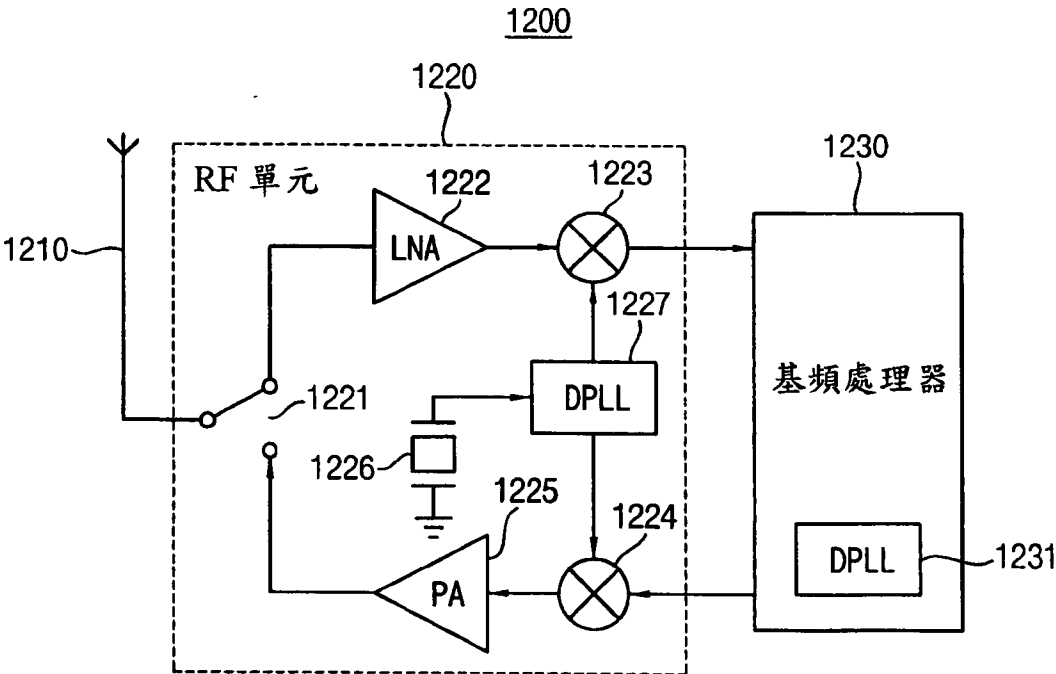


圖 39

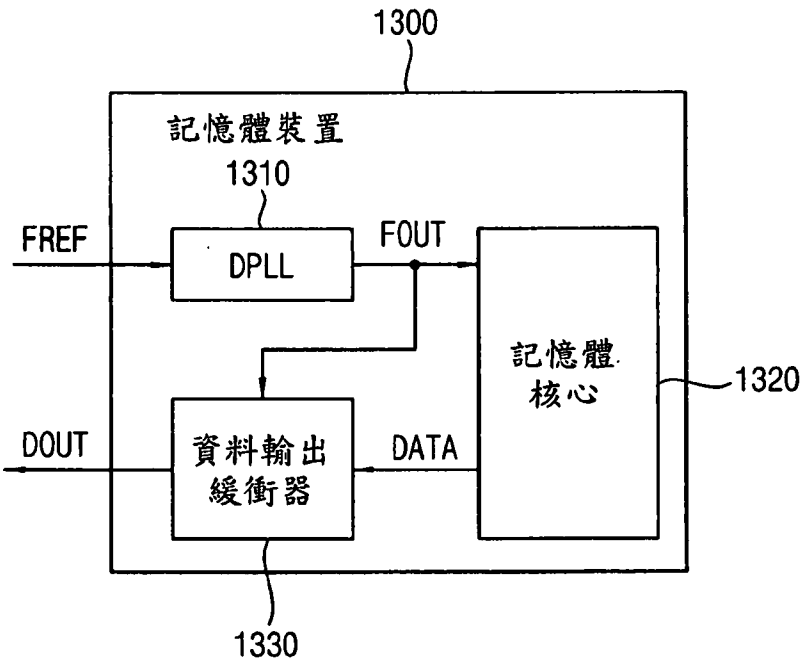


圖 40

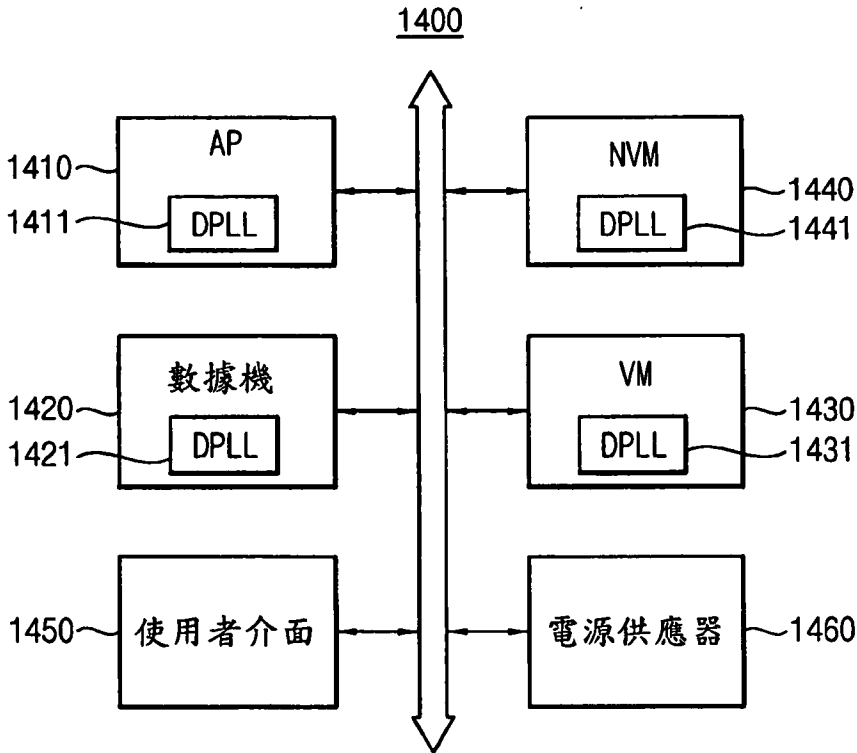


圖 41

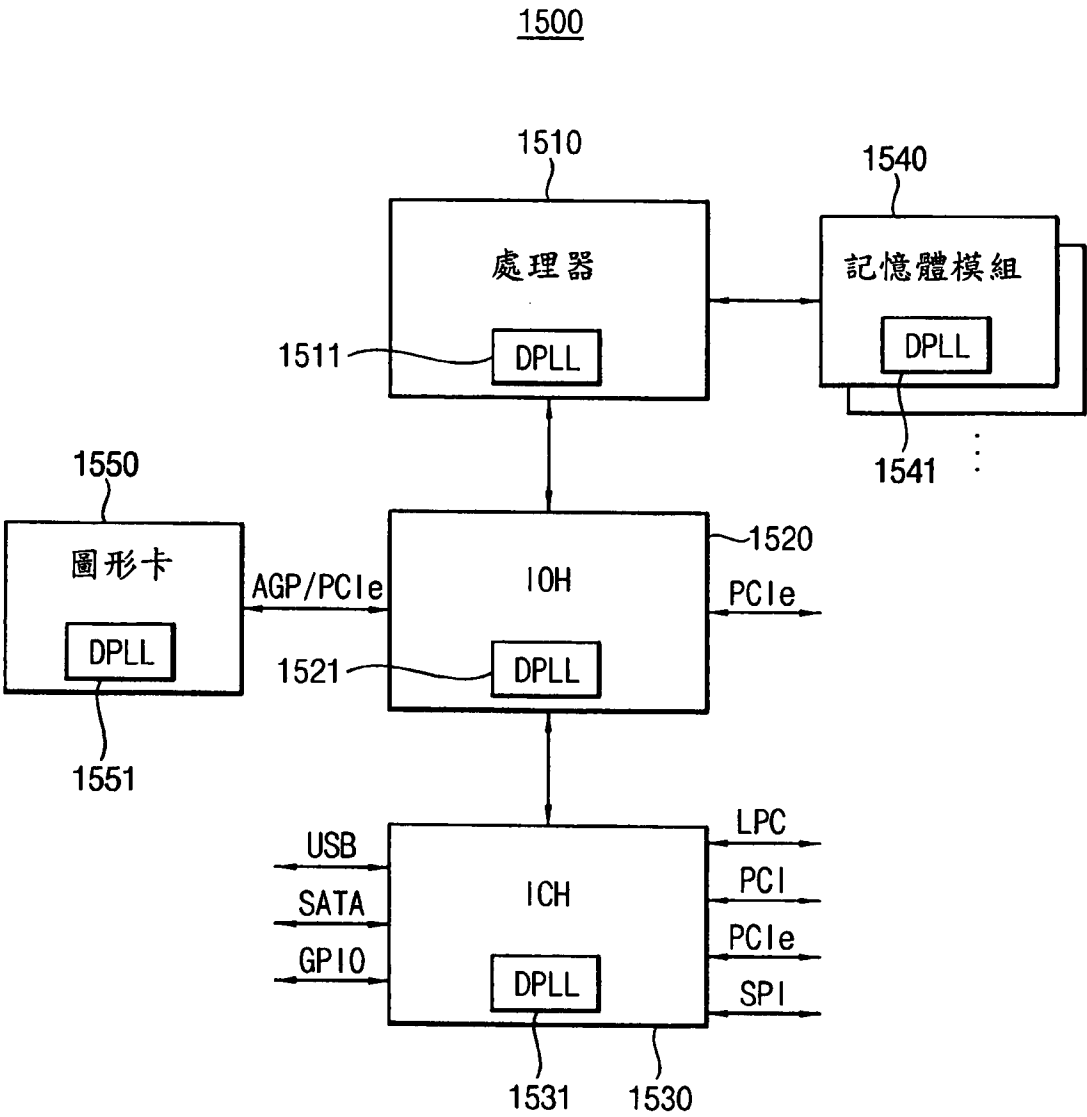


圖 42