

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 10 日 (10.01.2019)



(10) 国际公布号
WO 2019/007331 A1

(51) 国际专利分类号:
H01L 29/06 (2006.01)

(21) 国际申请号: PCT/CN2018/094299

(22) 国际申请日: 2018 年 7 月 3 日 (03.07.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710533760.2 2017 年 7 月 3 日 (03.07.2017) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 王琼(WANG, Qiong); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国

广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: FULLY-ISOLATED LATERALLY-DIFFUSED METAL OXIDE SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 完全隔离型的横向扩散金属氧化物半导体结构及制造方法

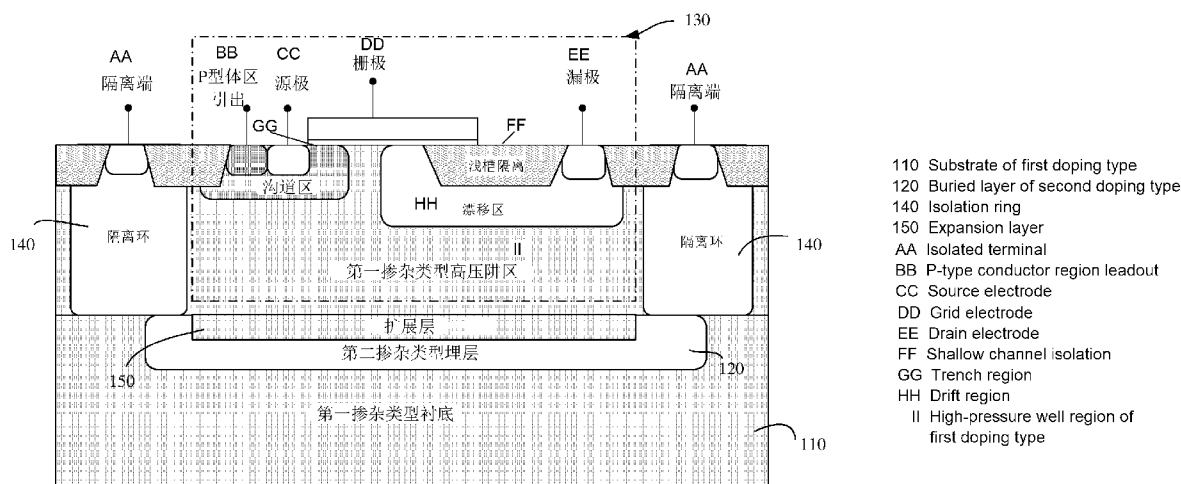


图 2

(57) Abstract: A fully-isolated laterally-diffused metal oxide semiconductor structure. The semiconductor structure comprises a substrate (110) of a first doping type, a buried layer (120) of a second doping type disposed within the substrate (110) of the first doping type, a main structure (130) formed on the buried layer (120) of the second doping type, and an isolation ring (140) disposed around the main structure (130). The buried layer (120) and the isolation ring (140) together isolate the main structure (130). The buried layer (120) of the second doping type is internally formed with an expansion layer (150) of the first doping type, and the expansion layer (150) is near a side of the main structure (130), and is integrated with a well region within the main structure (130). Further disclosed is a manufacturing method for manufacturing the semiconductor structure.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种完全隔离型的横向扩散金属氧化物半导体结构，包括第一掺杂类型的衬底(110)、置于第一掺杂类型衬底(110)内的第二掺杂类型埋层(120)、形成在第二掺杂类型埋层(120)上的主结构(130)以及设置在主结构(130)周围的隔离环(140)，埋层(120)与隔离环(140)一起将主结构(130)进行隔离，第二掺杂类型埋层(120)内形成有第一掺杂类型的扩展层(150)，扩展层(150)靠近主结构(130)一侧、且与主结构(130)内的阱区形成一体。一种制造方法，用于制造该半导体结构。

完全隔离型的横向扩散金属氧化物半导体结构及制造方法

技术领域

本发明涉及半导体技术领域，特别是涉及一种完全隔离型的 LDMOS。

背景技术

5 完全隔离型（Fully Isolated）N 型沟道的横向扩散金属氧化物半导体（Laterally Diffused Metal Oxide Semiconductor, LDMOS）的结构与传统 NLDMOS 相比，其允许漏极（Drain）和隔离端（BN-ISO）电压偏置存在差异，并且在不同的隔离端偏置电压下，能够保证器件电学特性的稳定性，更贴合电源集成电路的应用操作，需求量日益增长。但是，完全隔离型 N 型沟道的横向扩散金属氧化物半导体（Fully ISO NLDMOS）目前还徘徊于低压应用领域，很难延伸至高压应用。究其原因主要是，高压领域隔离端电压偏置较大，器件高压 P 型阱区（HVPWell）被底部 N 型埋层（BN）完全耗尽，影响漂移区（N-drift）的电势分布，造成器件电学特性波动很大。

15 发明内容

基于此，有必要提供一种新型的完全隔离型的横向扩散金属氧化物半导体结构。

20 一种完全隔离型的横向扩散金属氧化物半导体结构，包括第一掺杂类型的衬底、置于所述第一掺杂类型衬底内的第二掺杂类型埋层、形成在所述第二掺杂类型埋层上的主结构以及设置在所述主结构周围的隔离环，所述埋层与隔离环一起将主结构进行隔离，所述第二掺杂类型埋层内形成有第一掺杂类型的扩展层，所述扩展层靠近所述主结构一侧、且与主结构内的阱区形成一体。

本申请还提供了一种完全隔离型的横向扩散金属氧化物半导体结构的制

造方法，包括：

提供第一掺杂类型衬底；

在所述第一掺杂类型衬底内通过注入第二类型杂质的方式形成第二掺杂类型埋层；

5 在所述第二掺杂类型埋层内通过注入第一类型杂质的方式形成扩展层；

在所述第一掺杂类型衬底上外延生长外延层；

在所述外延层上形成主结构和隔离环；所述第二掺杂类型埋层和隔离环一起将主结构隔离。

本发明的一个或多个实施例的细节在下面的附图和描述中提出。本发明的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1 为传统的完全隔离型 N 型沟道的 LDMOS 的结构示意图；

图 2 为一实施方式的完全隔离型的 LDMOS 的结构示意图；

图 3 为图 2 的一个具体实施例的 LDMOS 的结构剖视图；

20 图 4 为沿图 3 剖面的纵向掺杂浓度的曲线图；

图 5a 为隔离端（ISO）偏置电压为 0V 时的电场分布示意图；

图 5b 为隔离端（ISO）偏置电压为 50V 时的电场分布示意图；

图 6a 为 NLDMOS 隔离端（ISO）的击穿特性曲线；

25 图 6b 为当隔离端（ISO）电压偏置=0V 或者 50V 时 NLDMOS 漏极（Drain）的击穿特性曲线；

图 7 为一实施例的 Fully ISO NLDMOS 制造方法流程图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使
5 对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组
10 合。

图 2 为一实施方式的完全隔离型的横向扩散金属氧化物半导体结构。该半导体结构包括第一掺杂类型衬底 110、置于所述第一掺杂类型衬底 110 内的第二掺杂类型埋层 120、形成在所述第二掺杂类型埋层 120 上的外延层内的主结构 130 以及设置在所述主结构 130 周围的隔离环 140。所述第二掺杂类型埋层 120 与隔离环 140 一起将主结构 130 进行隔离，所述第二掺杂类型埋层 120 内形成有第一掺杂类型的扩展层 150，所述扩展层 150 靠近所述主结构 130 一侧、且与主结构 130 内的阱区形成一体。第一掺杂类型与第二掺杂类型导电性质相反。
15

其中，主结构 130 包括形成在阱区内的相互分离的沟道区和漂移区，其中，阱区可为第一掺杂类型的高压阱区。沟道区内形成源极区并引出为源极，漂移区内形成漏极区并引出为漏极，栅极结构横跨沟道区和漂移区。在必要的位置还进行隔离，例如在各电极引出区域之间采用浅槽隔离。
20

如图 1 所示为传统技术中的完全隔离型的 NLDMOS，当在该 NLDMOS 的隔离端施加较大的偏置电压时，器件高压 P 型阱区（HVPWell）被底部 N 型埋层（BN-）完全耗尽，影响漂移区（N-drift）的电势分布，造成器件电学特性波动很大。在传统技术中，为减缓杂质耗尽，通常是在已开发好的高压 Fully ISO NLDMOS 器件底部加大 P 型杂质，提高 P 型衬底（P-sub）浓度。
25

但是,作为隔离端,N型埋层(BN)的浓度会很高;此外,增加P型衬底(P-sub)浓度,会显著地降低底部P型衬底(P-sub)和N型埋层(BN)的结击穿电压,成为器件向高压应用拓展的另一个制约,所以P型衬底底部浓度的提升空间有限,改善效果也有限,40~60V的高压应用难以实现。

5 而在本方案中,通过在第二掺杂类型埋层120内掺入第一类型杂质,在与外延层接触的一面形成与外延层内的器件阱区掺杂类型相同的扩展层150,可以将外延层内的用于形成器件主结构的阱区纵向扩张,增加其深度。在隔离端进行正向高压偏置时,该阱区不容易被耗尽,从而不会影响到漂移区,器件的电学特性稳定。使得在整个器件工艺固定的情况下,实现这类完全隔
10 离型的横向扩散金属氧化物半导体器件的高压应用。

 在其中一个实施例中,如图3所示,所述第一掺杂类型衬底110为P型衬底,所述第二掺杂类型埋层120为N型埋层,所述第一掺杂类型的扩展层150为P型掺杂。在本实施例中,上述掺杂实现了N沟道完全隔离型的横向扩散金属氧化物半导体(Fully ISO NLDMOS)器件结构。Fully ISO NLDMOS
15 应用广泛,需求量大,但不易延伸到高压领域,如在40V~60V的高压下容易被击穿。通过上述结构,既可以增加阱区的耗尽层,同时结击穿电压也可以很高,实现Fully ISO NLDMOS在高压领域的应用,其中,阱区可为高压P型阱区。

 在其中一个实施例中,所述N型埋层120的掺杂杂质为磷(P),所述扩展层150的P型掺杂杂质为硼(B)。其中,N型埋层120和P型杂质扩展层150可以先后通过高能注入,然后经由强炉管一起推阱形成。由于高压P型阱区(HVPwell)从外延层延伸至P型衬底(P-sub)110,有效增加了HVPwell的耗尽区域;应用中,隔离端在不同高压偏置下,HVPwell耗尽区都远离器件表面的漂移区(N-drift)区域,器件电势、电场分布不受底部偏压影响,
20 进而器件电学特性恒定不变。可以理解,在其他实施例中,可以是其他N型掺杂和P型掺杂。

 具体地,所述N型埋层120中掺杂剂的注入峰值应大于所述扩展层150

中掺杂剂的注入峰值深度；埋层 120 中的 N 型杂质的注入剂量范围为 $5 \times 10^{12} \sim 5 \times 10^{13} \text{cm}^{-2}$ ；扩展层 150 中 P 型杂质的注入能量范围 50~200KeV，注入剂量范围为 $5 \times 10^{12} \sim 5 \times 10^{13} \text{cm}^{-2}$ ；具体注入条件应由器件纵向隔离电压需求决定。

图 4 为沿图 3 剖面的纵向掺杂浓度的曲线图。图中，实心点为传统的掺杂浓度曲线，空心点为本实施例的掺杂浓度曲线。图中，NG 代表在该纵向剖面上漂移区的掺杂浓度分布；HVPWell 代表阱区的掺杂浓度分布；BN_B 为扩展层 150 中硼（B）的掺杂浓度分布；BN_P 为 N 型埋层 120 中磷（P）的掺杂浓度分布；P-sub 代表 P 型衬底（P-sub）中的掺杂浓度分布。

与传统结构的掺杂浓度、注入深度、位置相比，N 型埋层（BN）120 的浓度可以有所下降，但注入深度增加并在其中额外注入 P 型杂质形成扩展层 150 的掺杂区域。

上述 NLDMOS 结构具有良好的高压表现。图 5a 为隔离端（ISO）偏置电压为 0V 时的电场分布示意图，图 5b 为隔离端（ISO）偏置电压为 50V 时的电场分布示意图。可以看到，隔离端（ISO）电压偏置 50V，高压 P 型阱区（HVPwell）没有完全耗尽，并远离漂移区；与隔离端（ISO）电压偏置 0V 相比，器件表面电场、电势分布并无不同。

如图 6a 所示为 NLDMOS 隔离端（ISO）的击穿特性曲线，由图 6a 可知，底部 N 型埋层（BN）到表面漏极（Drain）的纵向穿通击穿电压（Punch BV）高达 75V，即隔离端（ISO）所承受的电压可高达 75V。如图 6b 所示为当隔离端（ISO）电压偏置=0V 或者 50V 时 NLDMOS 漏极（Drain）的击穿特性曲线，由图 6b 可知，NLDMOS 在不同的隔离端电压下漏极的击穿特性曲线（BV Curve）保持不变，漏极（Drain）所承受的击穿电压均为 $BV=65V$ 。

基于同一发明构思，以下提供一种完全隔离型的横向扩散金属氧化物半导体结构的制造方法。如图 7 所示，并结合图 2，该方法包括以下步骤 S110~S150。

步骤 S110：提供第一掺杂类型衬底 110。

步骤 S120：在所述第一掺杂类型衬底 110 内通过注入第二类型杂质的方

式形成第二掺杂类型埋层 120。

步骤 S130: 在所述第二掺杂类型埋层 120 内通过注入第一类型杂质的方式形成扩展层 150。

步骤 S140: 在所述第一掺杂类型衬底 110 上外延生长外延层(图 2 未标)。

5 步骤 S150: 在所述外延层上形成主结构 130 和隔离环 140; 所述第二掺杂类型埋层 120 和隔离环 140 一起将主结构 130 隔离。其中主结构 130 为 LDMOS 结构, 形成方法在此不赘述。

传统技术中, NLD MOS 器件在制造时, 是先在一个 P 型衬底 (P-sub) 上通过注入形成 N 型埋层 (BN), 然后在具有 N 型埋层 (BN) 的 P 型衬底
10 (P-sub) 上外延生长外延层, 然后使用固定的工艺形成 NLD MOS 的主体结构, 以实现其功能。由于工艺固定 (所使用的设备、原料、条件等都固定, 工艺成熟不能轻易改变), 在外延层上形成的主体结构通常也是固定的, 其器件参数也完全固定。最主要的是, 外延层内的高压 P 型阱区 (HVPWell) 的厚度、浓度等也固定, 无法通过其他方式提升高压 P 型阱区使其不被耗尽。
15 因此这限制了 Fully ISO NLD MOS 器件延伸至高压应用。

上述方法, 通过在第二掺杂类型埋层 120 内掺入第一类型杂质, 在与外延层接触的一面形成与外延层内的器件阱区掺杂类型相同的扩展层 150, 可以将外延层内的用于形成器件主结构的阱区纵向扩张, 增加其深度, 在本方案中, 阱区可为第一掺杂类型的高压阱区。在隔离端进行正向高压偏置时,
20 该阱区不容易被耗尽, 从而不会影响到漂移区, 器件的电学特性稳定。使得在整个器件工艺条件固定的情况下, 实现这类完全隔离型的横向扩散金属氧化物半导体器件的高压应用。

在其中一个实施例中, 如图 3 所示, 所述第一掺杂类型衬底 110 为 P 型衬底 (P-sub), 所述第二掺杂类型埋层 120 为 N 型埋层 (BN), 所述第一掺杂
25 类型的扩展层 150 为 P 型掺杂。在本实施例中, 上述掺杂实现了 N 沟道完全隔离型的横向扩散金属氧化物半导体 (Fully ISO NLD MOS) 器件结构。Fully ISO NLD MOS 应用广泛, 需求量大, 但不易延伸到高压领域, 如在 40V~60V

的高压下难以工作。通过上述结构，既可以增加阱区的耗尽层，同时结击穿电压也可以很高，实现 Fully ISO NLDMOS 在高压领域的应用。

在其中一个实施例中，所述 N 型埋层的掺杂杂质为磷 (P)，所述扩展层 150 的 P 型掺杂杂质为硼 (B)。其中，N 型埋层和 P 型杂质扩展层 150 可以先后通过高能注入，然后经由强炉管一起推阱形成，由于高压 P 型阱区 (HVPWell) 从外延层延伸至 P 型衬底 (P-sub) 110，有效增加了 HVPwell 的耗尽区域；应用中，隔离端在不同高压偏置下，HVPwell 耗尽区都远离器件表面的漂移区 (N-drift) 区域，器件电势、电场分布不受底部偏压影响，进而器件电学特性恒定不变。

具体地，所述 N 型埋层 (BN) 120 中掺杂剂的注入深度大于所述扩展层 150 中掺杂剂的注入深度；埋层 120 中的 N 型杂质的注入剂量范围为 $5 \times 10^{12} \sim 5 \times 10^{13} \text{cm}^{-2}$ ；扩展层 150 中 P 型杂质的注入能量范围 50~200KeV，注入剂量范围为 $5 \times 10^{12} \sim 5 \times 10^{13} \text{cm}^{-2}$ ；具体注入条件应由器件纵向隔离电压需求决定。

图 4 为沿图 3 剖面的纵向掺杂浓度的曲线图。图中，实心点为传统的掺杂浓度曲线，空心点为本实施例的掺杂浓度曲线。图中，NG 代表在该纵向剖面上漂移区的掺杂浓度分布；HVPWell 代表阱区的掺杂浓度分布；BN_B 为扩展层 150 中硼 (B) 的掺杂浓度分布；BN_P 为 N 型埋层 120 中磷 (P) 的掺杂浓度分布；P-sub 代表 P 型衬底 (P-sub) 中的掺杂浓度分布。

与传统结构的掺杂浓度、注入深度、位置相比，N 型埋层 (BN) 120 的浓度可以有所下降，但注入深度增加并在其中额外注入 P 型杂质形成扩展层 150 的掺杂区域。

上述 NLDMOS 结构具有良好的高压表现。图 5a 为隔离端 (ISO) 偏置电压为 0V 时的电场分布示意图，图 5b 为隔离端 (ISO) 偏置电压为 50V 时的电场分布示意图。可以看到，隔离端 (ISO) 电压偏置 50V，高压 P 型阱区 (HVPwell) 没有完全耗尽，并远离漂移区；与隔离端 (ISO) 电压偏置 0V 相比，器件表面电场、电势分布并无不同。

如图 6a 所示为 NLDMOS 隔离端 (ISO) 的击穿特性曲线，由图 6a 可知，，

底部 N 型埋层 (BN) 到表面漏极 (Drain) 的纵向穿通击穿电压 (Punch BV) 高达 75V, 即隔离端 (ISO) 所承受的电压可高达 75V。如图 6b 所示为当隔离端 (ISO) 电压偏置=0V 或者 50V 时 NLDMOS 漏极 (Drain) 的击穿特性曲线, 由图 6b 可知, NLDMOS 在不同的隔离端电压下漏极的击穿曲线 (BV Curve) 保持不变, 漏极 (Drain) 所承受的击穿电压 BV=65V。

以上所述实施例的各技术特征可以进行任意的组合, 为使描述简洁, 未对上述实施例中的各个技术特征所有可能的组合都进行描述, 然而, 只要这些技术特征的组合不存在矛盾, 都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本发明的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对发明专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本发明构思的前提下, 还可以做出若干变形和改进, 这些都属于本发明的保护范围。因此, 本发明专利的保护范围应以所附权利要求为准。

权利要求书

1、一种完全隔离型的横向扩散金属氧化物半导体结构，包括：

第一掺杂类型衬底；

第二掺杂类型埋层，置于所述第一掺杂类型衬底内；

主结构，形成在所述第二掺杂类型埋层上；

以及

隔离环，设置在所述主结构周围，所述埋层与隔离环一起将主结构进行隔离；

其中，所述第二掺杂类型埋层内形成有第一掺杂类型的扩展层，所述扩展层靠近所述主结构一侧、且与主结构内的阱区形成一体。

2、根据权利要求 1 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述第一掺杂类型衬底为 P 型衬底，所述第二掺杂类型埋层为 N 型埋层，所述第一掺杂类型的扩展层为 P 型掺杂。

3、根据权利要求 2 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述 N 型埋层的掺杂杂质为磷，所述扩展层的 P 型掺杂杂质为硼。

4、根据权利要求 2 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，扩展层的 P 型杂质的注入能量范围 50~200KeV。

5、根据权利要求 2 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，扩展层的 P 型杂质的注入剂量范围 $5e12 \sim 5e13 \text{cm}^{-2}$ 。

6、根据权利要求 5 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述 N 型埋层的注入峰值大于扩展层 P 型杂质注入峰值，N 型杂质的注入剂量范围在 $5e12 \sim 5e13 \text{cm}^{-2}$ 。

7、根据权利要求 1 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述第一掺杂类型衬底为 N 型衬底，所述第二掺杂类型埋层为 P 型埋层，所述第一掺杂类型的扩展层为 N 型掺杂。

8、根据权利要求 1 所述的完全隔离型的横向扩散金属氧化物半导体结

构，其中，所述主结构包括阱区以及形成在阱区内的相互分离的沟道区和漂移区，所述沟道区内形成有源极区，所述源极区引出有源极，所述漂移区内形成有漏极区，所述漏极区引出有漏极，所述半导体结构还包括栅极结构，所述栅极结构横跨沟道区和漂移区。

5 9、根据权利要求 8 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述阱区为第一掺杂类型高压阱区。

10 10、根据权利要求 8 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述半导体结构内中的各电极引出区域之间设置有浅槽以对所述各电极进行隔离。

10 11、一种完全隔离型的横向扩散金属氧化物半导体结构的制造方法，包括：

提供第一掺杂类型衬底；

在所述第一掺杂类型衬底内通过注入第二类型杂质的方式形成第二掺杂类型埋层；

15 在所述第二掺杂类型埋层内通过注入第一类型杂质的方式形成扩展层；

在所述第一掺杂类型衬底上外延生长外延层；

在所述外延层上形成主结构和隔离环；所述第二掺杂类型埋层和隔离环一起将主结构隔离。

20 12、根据权利要求 11 所述的完全隔离型的横向扩散金属氧化物半导体结构的制造方法，其中，所述第一掺杂类型衬底为 P 型衬底，所述第二掺杂类型埋层为 N 型埋层，所述第一掺杂类型的扩展层为 P 型掺杂。

13、根据权利要求 12 所述的完全隔离型的横向扩散金属氧化物半导体结构的制造方法，其中，所述 N 型埋层的掺杂杂质为磷，所述扩展层的 P 型掺杂杂质为硼。

25 14、根据权利要求 12 所述的完全隔离型的横向扩散金属氧化物半导体结构的制造方法，其中，所述 N 型埋层和 P 型杂质扩展层为先后通过高能注入杂质，然后经由强炉管一起推阱形成。

15、根据权利要求 12 所述的完全隔离型的横向扩散金属氧化物半导体结构的制造方法，其中，扩展层的 P 型杂质的注入能量范围 50~200KeV。

16、根据权利要求 15 所述的完全隔离型的横向扩散金属氧化物半导体结构的制造方法，其中，扩展层的 P 型杂质的注入剂量范围为 $5e12 \sim 5e13 \text{cm}^{-2}$ 。

5 17、根据权利要求 16 所述的完全隔离型的横向扩散金属氧化物半导体结构的制造方法，其中，所述 N 型埋层的注入峰值大于扩展层 P 型杂质注入峰值，N 型杂质的注入剂量范围在 $5e12 \sim 5e13 \text{cm}^{-2}$ 。

18、根据权利要求 11 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述主结构包括阱区以及形成在阱区内的相互分离的沟道区和漂
10 移区，所述沟道区内形成有源极区，所述源极区引出有源极，所述漂移区内形成有漏极区，所述漏极区引出有漏极，所述半导体结构还包括栅极结构，所述栅极结构横跨沟道区和漂移区。

19、根据权利要求 18 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述阱区为第一掺杂类型高压阱区。

15 20、根据权利要求 18 所述的完全隔离型的横向扩散金属氧化物半导体结构，其中，所述半导体结构内中的各电极引出区域之间设置有浅槽以对所述各电极进行隔离。

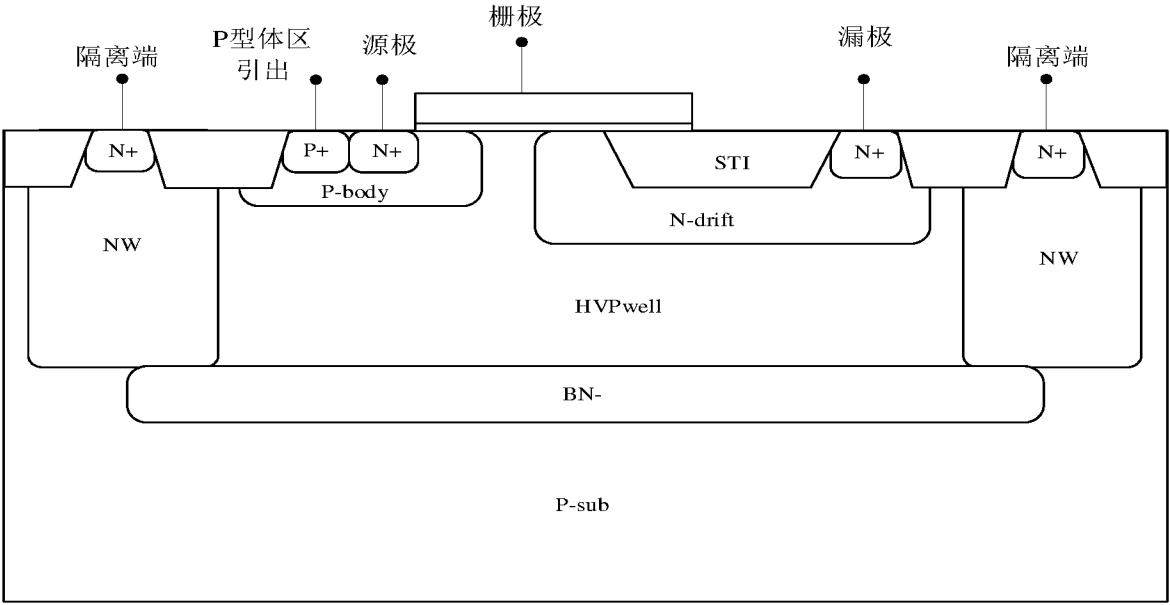


图 1

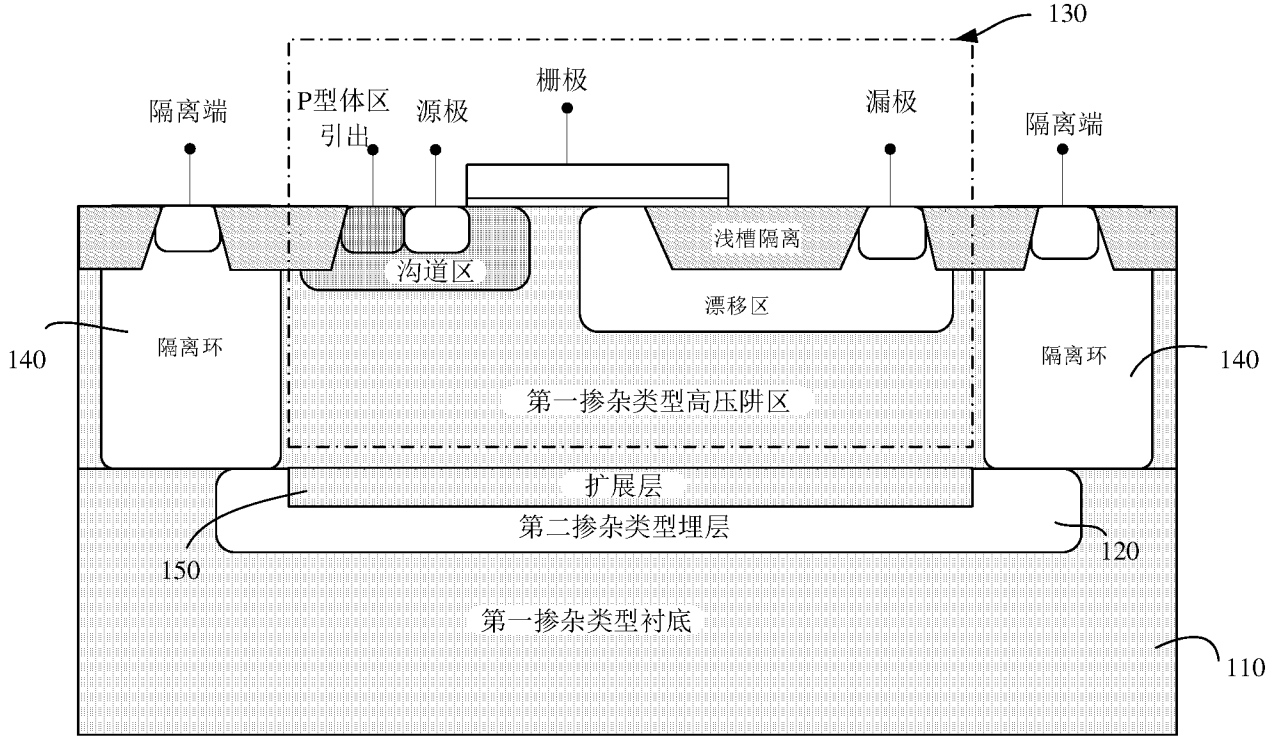


图 2

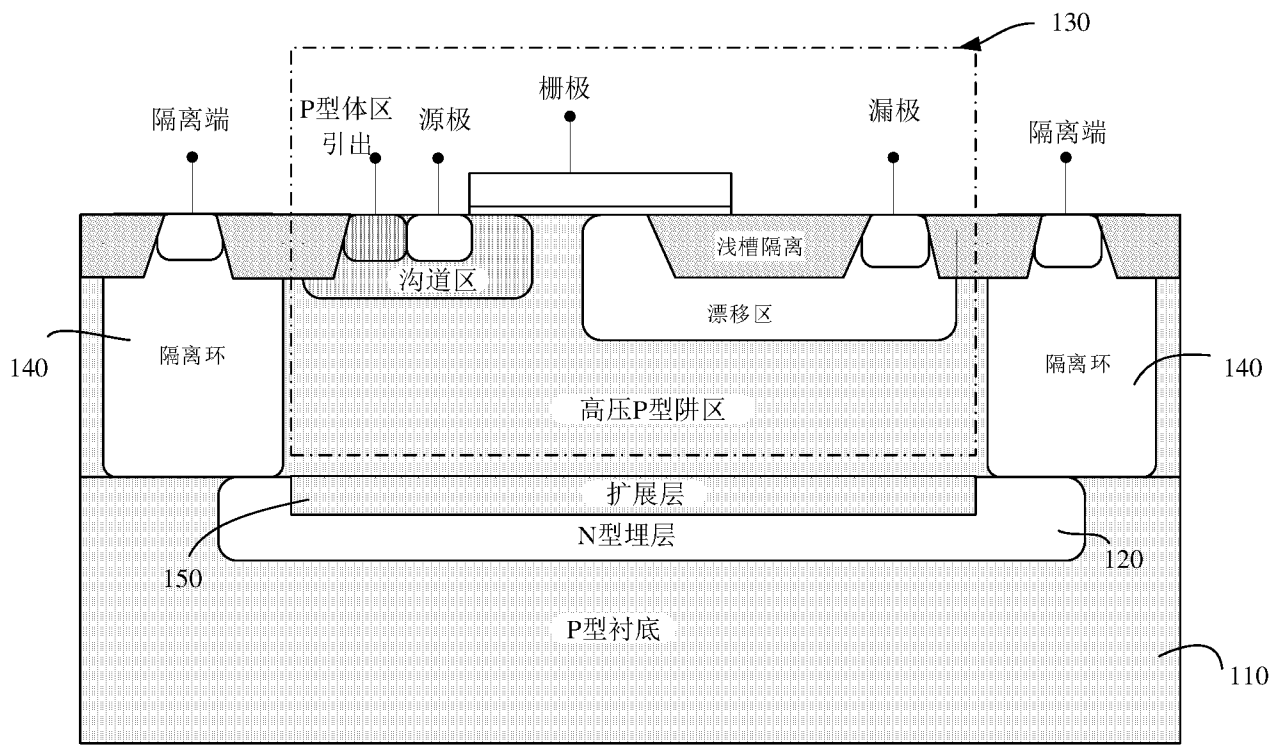


图 3

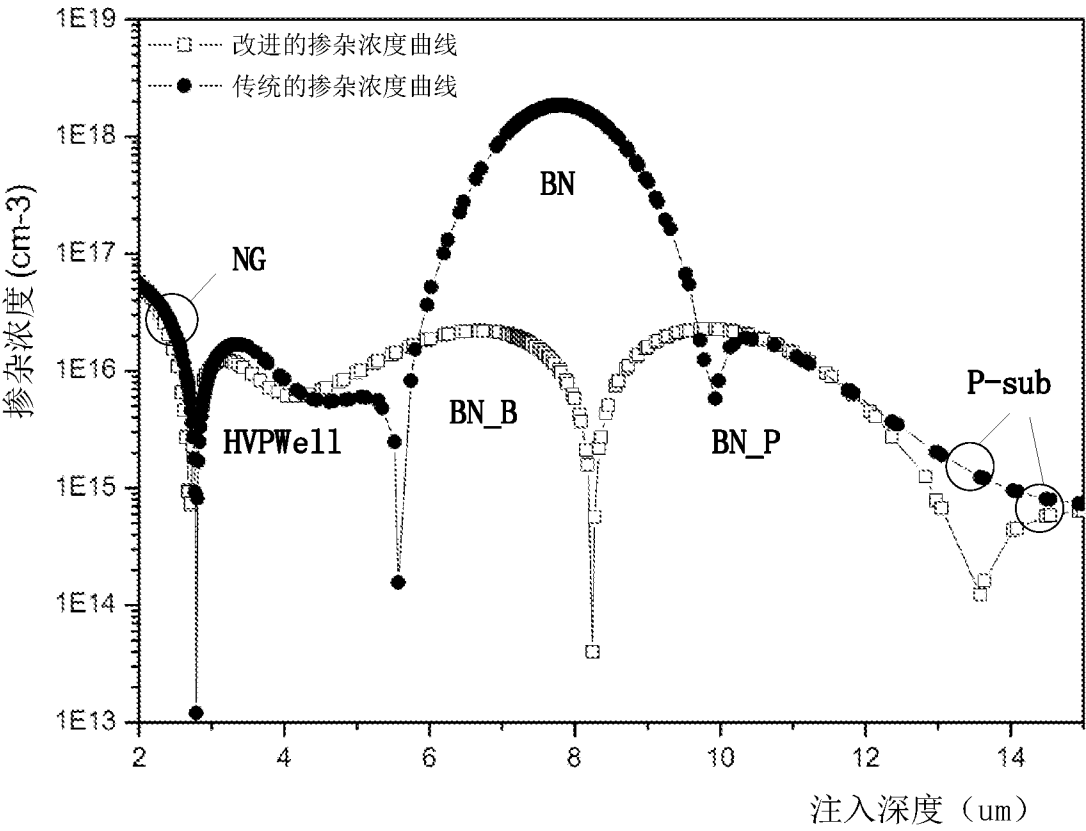


图 4

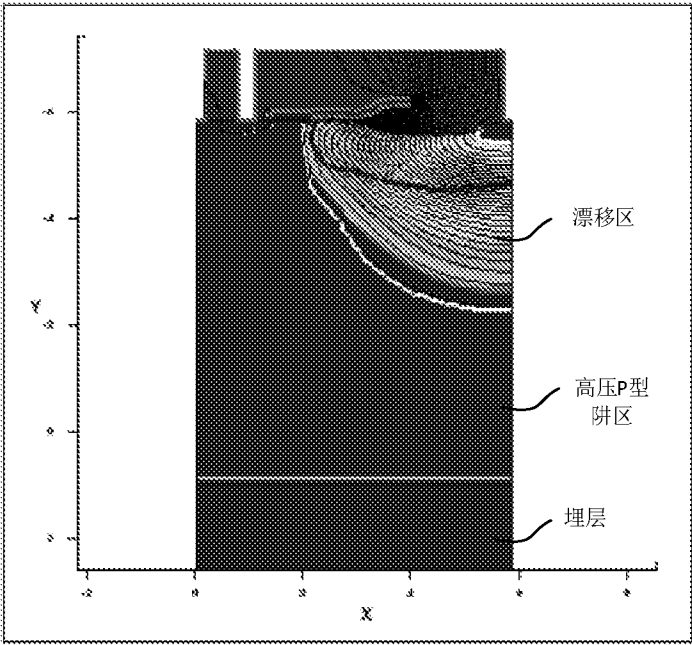


图 5a

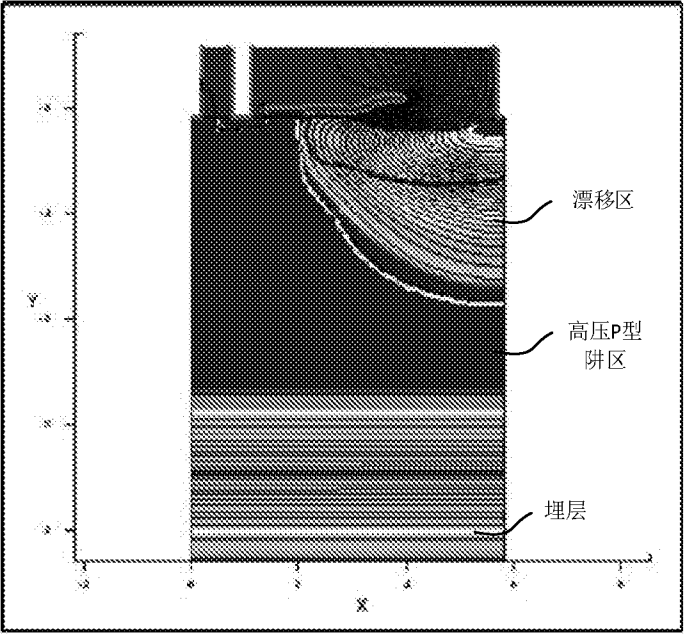


图 5b

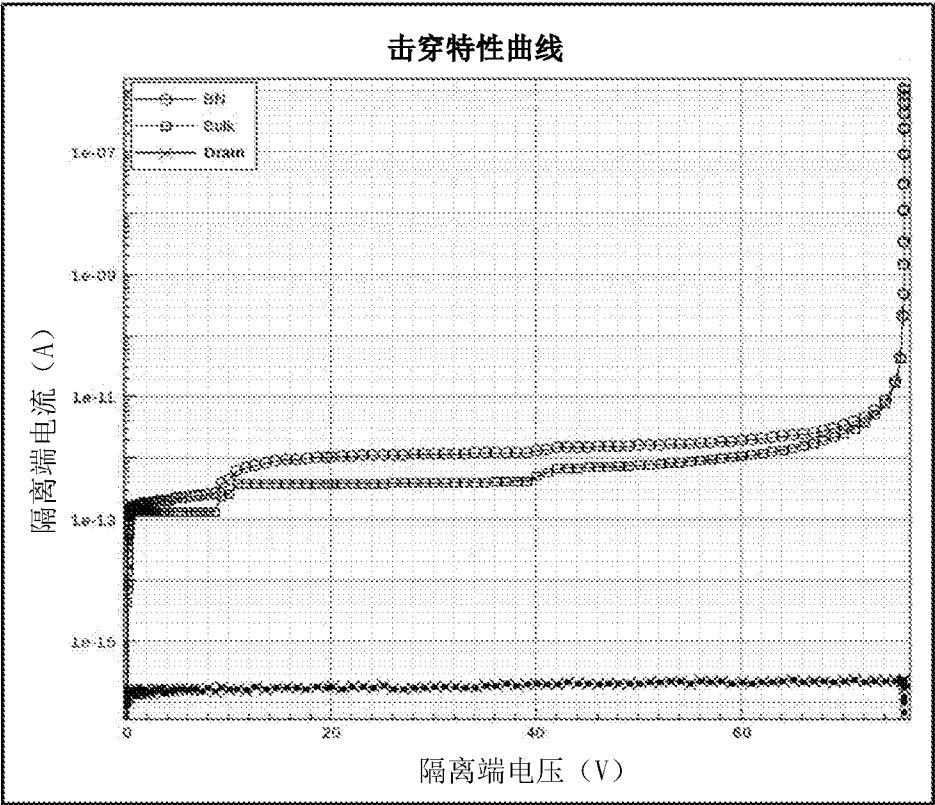


图 6a

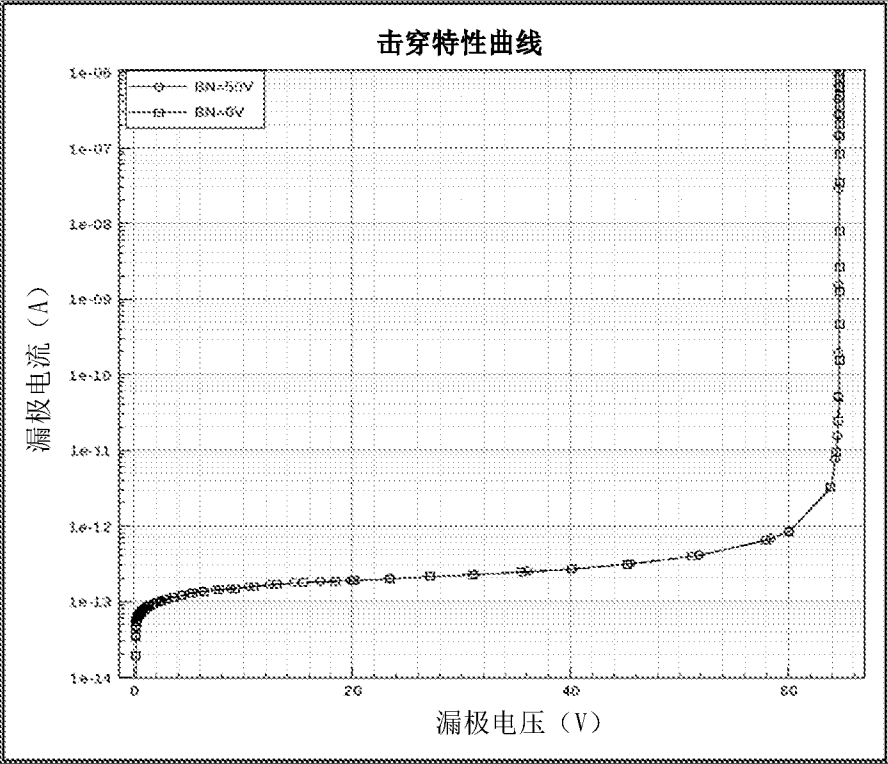


图 6b

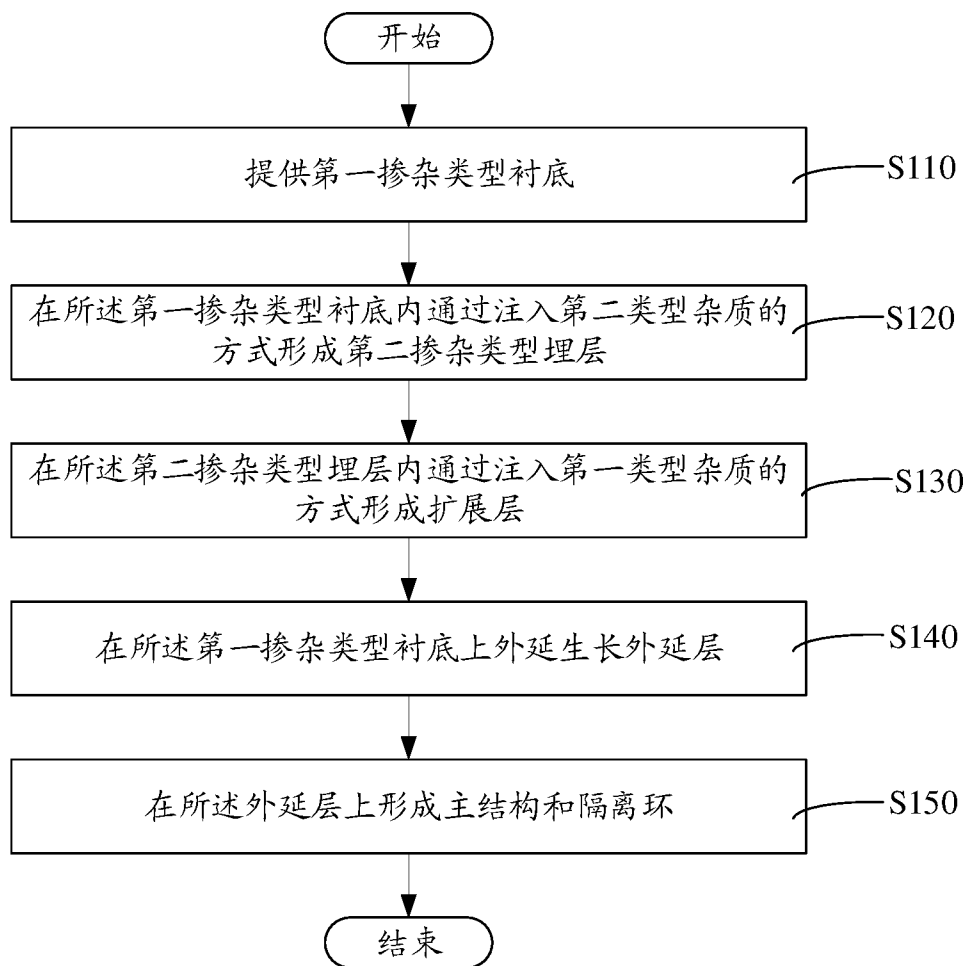


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/094299

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, SIPOABS, CNKI, CNABS: 完全隔离, 横向扩散金属氧化物半导体, 埋, 嵌入, 环, 扩展, ful+ isolat+, ful+ ISO, LDMOS, lateral+ diffused metal oxide semiconductor, buried, embed+, ring, expand+, extend+, spread+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103531631 A (FREESCALE SEMICONDUCTOR INC.) 22 January 2014 (2014-01-22) description, paragraphs [0034]-[0084], and figures 2-14	1-20
Y	US 2012187484 A1 (CHO ET AL.) 26 July 2012 (2012-07-26) description, paragraphs [0033]-[0061], and figures 3-8	1-20
A	US 2007264785 A1 (CHOI ET AL.) 15 November 2007 (2007-11-15) entire document	1-20
A	CN 1828897 A (SANYO ELECTRIC CO., LTD.) 06 September 2006 (2006-09-06) entire document	1-20
A	US 2002053685 A1 (PENDHARKAR ET AL.) 09 May 2002 (2002-05-09) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 August 2018

Date of mailing of the international search report

04 September 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/094299

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103531631	A	22 January 2014	JP	6253271	B2	27 December 2017
				US	2014001549	A1	02 January 2014
				EP	2680299	A2	01 January 2014
				EP	2680299	A3	03 December 2014
				CN	103531631	B	09 March 2018
				JP	2014011453	A	20 January 2014
				US	2014001546	A1	02 January 2014
				US	9704853	B2	11 July 2017
US	2012187484	A1	26 July 2012	KR	20120085550	A	01 August 2012
				KR	101196319	B1	01 November 2012
US	2007264785	A1	15 November 2007	US	7265416	B2	04 September 2007
				KR	20030070264	A	30 August 2003
				US	7605040	B2	20 October 2009
				US	2003173624	A1	18 September 2003
				KR	100859701	B1	23 September 2008
CN	1828897	A	06 September 2006	US	2006186477	A1	24 August 2006
				US	7291883	B2	06 November 2007
				KR	20060094464	A	29 August 2006
				CN	100454543	C	21 January 2009
				TW	I295487	B	01 April 2008
				TW	200636867	A	16 October 2006
				KR	100683102	B1	15 February 2007
US	2002053685	A1	09 May 2002	JP	2006237224	A	07 September 2006
				US	6395593	B1	28 May 2002

国际检索报告

国际申请号

PCT/CN2018/094299

A. 主题的分类

H01L 29/06 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

DWPI, SIPOABS, CNKI, CNABS: 完全隔离, 横向扩散金属氧化物半导体, 埋, 嵌入, 环, 扩展, ful+ isolat+, ful+ ISO, LDMOS, lateral+ diffused metal oxide semiconductor, buried, embed+, ring, expand+, extend+, spread+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103531631 A (飞思卡尔半导体公司) 2014年 1月 22日 (2014 - 01 - 22) 说明书[0034]-[0084]段, 附图2-14	1-20
Y	US 2012187484 A1 (CHO 等) 2012年 7月 26日 (2012 - 07 - 26) 说明书[0033]-[0061]段, 附图3-8	1-20
A	US 2007264785 A1 (CHOI 等) 2007年 11月 15日 (2007 - 11 - 15) 全文	1-20
A	CN 1828897 A (三洋电机株式会社) 2006年 9月 6日 (2006 - 09 - 06) 全文	1-20
A	US 2002053685 A1 (PENDHARKAR 等) 2002年 5月 9日 (2002 - 05 - 09) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 20日

国际检索报告邮寄日期

2018年 9月 4日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

王磊

传真号 (86-10) 62019451

电话号码 86-(010)-62411577

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/094299

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103531631	A	2014年 1月 22日	JP	6253271	B2	2017年 12月 27日
				US	2014001549	A1	2014年 1月 2日
				EP	2680299	A2	2014年 1月 1日
				EP	2680299	A3	2014年 12月 3日
				CN	103531631	B	2018年 3月 9日
				JP	2014011453	A	2014年 1月 20日
				US	2014001546	A1	2014年 1月 2日
				US	9704853	B2	2017年 7月 11日
US	2012187484	A1	2012年 7月 26日	KR	20120085550	A	2012年 8月 1日
				KR	101196319	B1	2012年 11月 1日
US	2007264785	A1	2007年 11月 15日	US	7265416	B2	2007年 9月 4日
				KR	20030070264	A	2003年 8月 30日
				US	7605040	B2	2009年 10月 20日
				US	2003173624	A1	2003年 9月 18日
				KR	100859701	B1	2008年 9月 23日
CN	1828897	A	2006年 9月 6日	US	2006186477	A1	2006年 8月 24日
				US	7291883	B2	2007年 11月 6日
				KR	20060094464	A	2006年 8月 29日
				CN	100454543	C	2009年 1月 21日
				TW	I295487	B	2008年 4月 1日
				TW	200636867	A	2006年 10月 16日
				KR	100683102	B1	2007年 2月 15日
				JP	2006237224	A	2006年 9月 7日
US	2002053685	A1	2002年 5月 9日	US	6395593	B1	2002年 5月 28日

表 PCT/ISA/210 (同族专利附件) (2015年1月)