

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5577932号
(P5577932)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl.		F I			
H03K	5/15	(2006.01)	H03K	5/15	P
H04L	7/00	(2006.01)	H04L	7/00	Z
H03M	9/00	(2006.01)	H03M	9/00	B

請求項の数 7 (全 25 頁)

(21) 出願番号	特願2010-178721 (P2010-178721)	(73) 特許権者	000002185
(22) 出願日	平成22年8月9日 (2010. 8. 9)		ソニー株式会社
(65) 公開番号	特開2012-39448 (P2012-39448A)		東京都港区港南1丁目7番1号
(43) 公開日	平成24年2月23日 (2012. 2. 23)	(74) 代理人	100094053
審査請求日	平成25年7月12日 (2013. 7. 12)		弁理士 佐藤 隆久
		(72) 発明者	下村 幸雄
			東京都港区六本木6丁目10番1号 株式
			会社シーテック内
		審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 送信回路および通信システム

(57) 【特許請求の範囲】

【請求項 1】

並列に配置され、対応するレーンにより供給されるパラレルデータをシリアルデータに変換して出力する複数のレーン部と、

基準クロックに位相同期した駆動クロックを、イネーブル信号に応じた当該駆動クロックの複数サイクル分経過してから上記複数のレーン部に出力するクロックイネーブラを少なくとも一つ含むクロックイネーブラ部と、を有し、

上記複数のレーン部の各々は、

上記クロックイネーブラ部による駆動クロックを分周して分周クロックおよびロード信号を生成する分周器と、

上記分周器による分周クロックおよびロード信号、並びに上記クロックイネーブラ部による駆動クロックに同期して上記対応するレーンにより供給されるパラレルデータをシリアルデータに変換するパラレルシリアル変換器と、を含み、

上記複数のレーン部は、

複数のレーングループにグループ分けされ、

上記クロックイネーブラ部は、

複数のクロックイネーブラが少なくとも2段のツリー状に配置され、

上記基準となる駆動クロックが供給される前段側となるクロックイネーブラの出力駆動クロックの出力経路が上記レーングループのグループ数に相当する数の分岐路に分岐され、

上記前段側から分岐された複数の分岐路に次段側となるクロックイネーブラがそれぞれ配置され、当該次段側となるクロックイネーブラの出力駆動クロックが対応するレーングループのレーン部に供給され、

レーン部単位で同期させる場合、対応する出力駆動クロックを供給するクロックイネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、

他のクロックイネーブラはクロック出力状態に制御する送信回路。

【請求項 2】

上記複数のレーングループの少なくとも一つは、

さらにサブグループに区分けされ、

上記クロックイネーブラ部は、

上記次段側となるクロックイネーブラが前段側のクロックイネーブラとして、当該クロックイネーブラの出力駆動クロックの出力経路が上記レーングループの上記サブグループ数に相当する数の分岐路に分岐され、

上記前段側から分岐された複数の分岐路に次段側となるクロックイネーブラがそれぞれ配置され、当該次段側となるクロックイネーブラの出力駆動クロックが対応するサブレーングループのレーン部に供給される

請求項 1 記載の送信回路。

【請求項 3】

上記クロックイネーブラ部は、

上記基準となる駆動クロックが供給される前段側となるクロックイネーブラの配置段を初段として複数の上記クロックイネーブラが多段にツリー状に配置され、

最終段において、上記クロックイネーブラが上記複数のレーン部に 1 対 1 に対応するように配置されている

請求項 1 または 2 記載の送信回路。

【請求項 4】

上記クロックイネーブラ部は、

全てのレーン部、レーングループ単位、またはサブグループ単位の上記レーン部を同期させる場合、出力駆動クロックの分岐の要となる位置に配置されるクロックイネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、

他のクロックイネーブラはクロック出力状態に制御する

請求項 1 から 3 のいずれかーに記載に送信回路。

【請求項 5】

上記クロックイネーブラ部は、

全てのレーン部を同期させる場合、

上記基準となる駆動クロックが供給されるクロックイネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、

他のクロックイネーブラはクロック出力状態に制御し、

上記レーングループ単位で同期させる場合、

上記レーングループのグループ数に相当する数に分岐される分岐路に配置されるクロックイネーブラのうち、同期対象のレーングループに対応するクロックイネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、

他のクロックイネーブラはクロック出力状態に制御し、

上記サブレーングループ単位で同期させる場合、

上記サブレーングループのグループ数に相当する数に分岐される分岐路に配置されるクロックイネーブラのうち、同期対象のサブレーングループに対応するクロックイネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、

他のクロックイネーブラはクロック出力状態に制御する

請求項 4 記載の送信回路。

【請求項 6】

10

20

30

40

50

上記複数のレーン部の上記分周器の分周値が個別に設定可能である
請求項 1 から 5 のいずれかーに記載の送信回路。

【請求項 7】

パラレルデータをシリアルデータに変換して送信する送信回路と、
上記送信回路から送信されたシリアルデータを受信する受信回路と、を有し、
上記送信回路は、

並列に配置され、対応するレーンにより供給されるパラレルデータをシリアルデータ
に変換して出力する複数のレーン部と、

基準クロックに位相同期した駆動クロックを、イネーブル信号に応じた当該駆動クロ
ックの複数サイクル分経過してから上記複数のレーン部に出力するクロックイネーブラを
少なくとも一つ含むクロックイネーブラ部と、を有し、

上記複数のレーン部の各々は、

上記クロックイネーブラ部による駆動クロックを分周して分周クロックおよびロード
信号を生成する分周器と、

上記分周器による分周クロックおよびロード信号、並びに上記クロックイネーブラ
部による駆動クロックに同期して上記対応するレーンにより供給されるパラレルデータを
シリアルデータに変換するパラレルシリアル変換器と、を含み、

上記複数のレーン部は、

複数のレーングループにグループ分けされ、

上記クロックイネーブラ部は、

複数のクロックイネーブラが少なくとも 2 段のツリー状に配置され、

上記基準となる駆動クロックが供給される前段側となるクロックイネーブラの出力
駆動クロックの出力経路が上記レーングループのグループ数に相当する数の分岐路に分岐
され、

上記前段側から分岐された複数の分岐路に次段側となるクロックイネーブラがそれ
ぞれ配置され、当該次段側となるクロックイネーブラの出力駆動クロックが対応するレー
ングループのレーン部に供給され、

レーン部単位で同期させる場合、対応する出力駆動クロックを供給するクロックイ
ネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、

他のクロックイネーブラはクロック出力状態に制御する

通信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のレーン (lane) を持つデータインタフェースにおける送信回路お
よび通信システムに関するものである。

【背景技術】

【0002】

複数のレーン (チャンネル) を持つ送信回路は、主として共通分周器方式と個別分周器方
式の 2 つの回路構成が採用されている。

【0003】

図 1 は、共通分周器方式を採用した送信回路を有する通信装置の構成例を示す図である
。

【0004】

図 1 の通信装置 1 は、論理層部 2 および送信回路 3 を有する。

論理層部 2 は、複数 (本例では 4) のレーン (チャンネル) の 10 ビットデータ P d a t a [9 : 0] を送信回路 3 に供給する。

【0005】

送信回路 3 は、4 つのレーン部 3 1 - 0 ~ 3 1 - 3、PLL 回路 3 2、および 4 つのレ
ーン部 3 1 - 0 ~ 3 1 - 3 に共通に接続される 1 つの分周器 (D I V) 3 3 を有する。

10

20

30

40

50

各レーン部 31-0 ~ 31-3 は、同様の構成を有する。

PLL 回路 32 において基準クロック REFCLK に位相同期した駆動クロック PLLCLK が生成されて、分周器 33 および各レーン部 31-0 ~ 31-3 に供給される。

分周器 33 では、駆動クロック PLLCLK が分周されてロード信号 LOAD および分周クロック CLK10 が生成され、各レーン部 31-0 ~ 31-3 に供給される。

なお、分周器 33 はリセット信号 RSTX によりリセットされる。

分周器 33 の分周クロック CLK10 は、論理層部 2 のシステムクロックとしても使用される。

【0006】

各レーン部 31-0 ~ 31-3 は、10 : 1 パラレルシリアル変換器 (Parallel to Serial Converter) P/S0 ~ P/S3、および差動出力部 DF0 ~ DF3 を含んで構成されている。

10

【0007】

図 2 は、パラレルシリアル変換器の構成例を示す図である。

図 3 は、図 2 のパラレルシリアル変換器のタイミングチャートである。

【0008】

図 2 のパラレルシリアル変換器 P/S (0 ~ 3) は、フリップフロップ FF0 ~ FF9、FF10、およびセクタ SL0 ~ SL9 を含んで構成されている。

パラレルシリアル変換器 P/S は、データ入力段にフリップフロップ FF10 が配置されている。フリップフロップ FF10 はデータ入力 D に論理層部 2 によるパラレルデータ Pdata が供給され、分周器 33 による分周クロック CLK10 に同期してデータ Pdata をラッチして、出力する。

20

フリップフロップ FF10 のデータ出力 Q はセクタ SL9 ~ SL0 の第 1 入力端子に接続されている。セクタ SL9 ~ SL0 は、分周器 33 によるロード信号 LOAD がハイレベルのとき第 1 入力端子、すなわち、フリップフロップ FF10 の出力データを選択し、ローレベルのとき第 2 入力端子の入力データを選択する。

【0009】

フリップフロップ FF9 ~ FF0 は縦続接続され、クロック入力に PLL 回路 32 による駆動クロック PLLCLK が供給される。

フリップフロップ FF9 のデータ入力 D がセクタ SL9 の出力端子に接続され、セクタ SL9 の第 2 入力端子はローレベルに固定されている。

30

フリップフロップ FF8 のデータ入力 D がセクタ SL8 の出力端子に接続され、セクタ SL8 の第 2 入力端子がフリップフロップ FF9 のデータ出力 Q に接続されている。

フリップフロップ FF7 のデータ入力 D がセクタ SL7 の出力端子に接続され、セクタ SL7 の第 2 入力端子がフリップフロップ FF8 のデータ出力 Q に接続されている。

フリップフロップ FF6 のデータ入力 D がセクタ SL6 の出力端子に接続され、セクタ SL6 の第 2 入力端子がフリップフロップ FF7 のデータ出力 Q に接続されている。

フリップフロップ FF5 のデータ入力 D がセクタ SL5 の出力端子に接続され、セクタ SL5 の第 2 入力端子がフリップフロップ FF6 のデータ出力 Q に接続されている。

フリップフロップ FF4 のデータ入力 D がセクタ SL4 の出力端子に接続され、セクタ SL4 の第 2 入力端子がフリップフロップ FF5 のデータ出力 Q に接続されている。

40

フリップフロップ FF3 のデータ入力 D がセクタ SL3 の出力端子に接続され、セクタ SL3 の第 2 入力端子がフリップフロップ FF4 のデータ出力 Q に接続されている。

フリップフロップ FF2 のデータ入力 D がセクタ SL2 の出力端子に接続され、セクタ SL2 の第 2 入力端子がフリップフロップ FF3 のデータ出力 Q に接続されている。

フリップフロップ FF1 のデータ入力 D がセクタ SL1 の出力端子に接続され、セクタ SL1 の第 2 入力端子がフリップフロップ FF2 のデータ出力 Q に接続されている。

フリップフロップ FF0 のデータ入力 D がセクタ SL0 の出力端子に接続され、セクタ SL0 の第 2 入力端子がフリップフロップ FF1 のデータ出力 Q に接続されている。

そして、フリップフロップ FF0 のデータ出力 Q が差動出力部 DF の入力端子に接続さ

50

れている。

【0010】

パラレルシリアル変換器 P / S においては、分周器 33 による分周クロック CLK10 に同期して、対応するレーンのデータ Data がラッチされ、そのデータ DATA LT がセクタ SL9 ~ SL0 の第 1 入力端子に出力される。

そして、ロード信号 LOAD がハイレベルの期間に、駆動クロック PLLCLK に同期してフリップフロップ FF9 ~ FF0 にラッチされる。

ロード信号 LOAD がローレベルに切り替わってから駆動クロック PLLCLK に同期してフリップフロップ FF9 ~ FF0 のラッチデータがシフトされ、差動出力部 DF から差動シリアルデータ TX として出力される。

10

【0011】

図 4 は、個別分周器方式を採用した送信回路を有する通信装置の構成例を示す図である。

【0012】

図 4 の通信装置 1A では、送信回路 3A の各レーン部 31A - 0 ~ 31A - 3 に分周器 33 - 0 ~ 33 - 3 が配置されている。

また、論理層部 2 のデータ出力部と送信回路 3A のレーン部 31A - 1 ~ 31A - 3 の入力部との間に、FIFO 4 - 1 ~ 4 - 3 が配置されている。

【発明の概要】

【発明が解決しようとする課題】

20

【0013】

ところが、上述した共通分周器方式を採用した通信装置では、次のような不利益がある。

すなわち、共通分周器方式では、分周器が共通なのでシンプルであるが複数の分周器出力信号 (PLLCLK, LOAD, CLK10) を複数のレーン部 31 - 0 ~ 31 - 4 のパラレルシリアル変換機 P / S に相互にタイミング制約を満たしながら長距離分配する必要がある。

このため、低いデータレートであれば問題ないが、最近の Gbps 超データレートではクロック周波数が高くなっていくため設計検証が困難になってきている。

図 2 に示す 10 : 1 パラレルシリアル変換器 P / S のオーソドックスな例であるが、図 3 に示すように各クロック PLLCLK, LOAD, CLK10 は相互にタイミング制約がある。

30

また、共通分周器方式では、レーン (レーン数等) が変わるとその困難なクロック配線の再設計が必要となる。

【0014】

また、上述した個別分周器方式では、分周器をレーン個別に持つことから、複数レーンに分配する信号は分周器駆動クロック PLLCLK のみであることから、設計検証は共通分周器方式に比較して多少容易となる。

一方、個別分周方式では、各分周器 33 - 0 ~ 33 - 3 は駆動クロック PLLCLK は共通であるが個別に分周動作する。

このため、個別分周方式では、リセット解除タイミングを揃えないと、図 5 に示すように、レーン間でデータ開始位置がずれてしまう、いわゆるレーン間スキュー (Lane間Skew) が発生する可能性がある。

40

【0015】

また、ソースシンクロナス伝送モードでは、レーンの 1 つをクロックレーンとしてデータの取り込み信号かつデータシンボル区切り判別信号としても使用する場合が多い。

したがって、クロックの立上がりはデータシンボル先頭 (D0) と同一タイミングである必要があるが、データレーンクロックにおいてレーン間スキュー (Lane間Skew) があると、図 6 に示すように、シンボル先頭を誤ってしまうおそれがある。

なお、図 6 はオクタルデータレート (Octal Data Rate) ソースシンクロナスの例を示している。

50

【 0 0 1 6 】

もちろん、送信側で多少のレーン間スキューが存在しても、特定の制御コード（シンク（Sync）パタン）を送信データ中に挿入して受信側でスキューを除去する技術（Deskew、Phase Align等）は存在する。

しかし、送信側スキューが小さい方が受信側デスクュー（deskew）機能を簡略化できるので、設計工数、回路規模や消費電力に有利であるし、特にソースシンクロナスモードでは挿入する制御コードの冗長性のための伝送効率の劣化を避けることができる。

【 0 0 1 7 】

一方、上位層の論理層側から見ると、各レーン部の分周器の分周クロックCLKは論理層システムクロックとしても使用される。

ただし、通常これは1つなのでレーン数分（図4では4本）ある分周クロックCLK100, CLK101, CLK102, CLK103のうち1つがシステムクロックとされる。ここでは、レーン部31A-0の分周器33-0の分周クロックCLK100をソースとしたシステムクロックCLKMとする。

【 0 0 1 8 】

ここで、論理層からのデータ伝送を考えると、レーン部31A-0では受信レジスタPDATA0はレーン部31A-0の分周クロックCLK100をソースとするデータのため同期は容易である。

一方、レーン部31A-1では、レーン部31A-0の分周クロックCLK100をソースとするデータPDATA1をレーン部31A-1の分周クロックCLK101で同期させる必要がある。このため、分周クロックCLK100と分周クロックCLK101に不確定なスキューがあるとその同期は一般的には困難である。

図7では、レーン部31A-0でデータPDATA00が受信レジスタPDATAL0でラッチされるのに対して、レーン部31A-1では送信クロックCLKMと受信する分周クロックCLK101間にスキューがある。

このため、レジスタホールド違反となり、本来データPDATA10がラッチされる必要があるが次のサイクルのデータPDATA11が受信レジスタPDATAL1にラッチされている。

さらに最悪の場合、メタステ等でデータ自体が破壊される危険性もある。

【 0 0 1 9 】

そこで、スキューのあるクロック間の安全な乗り換えのために、レーン部31A-0以外では図4のようにFIFO4-1~4-3が必要になる。

しかしながら、FIFOは回路規模が大きくなり、またレーン間でシンボル単位（8~10CLK）でデータズレが起こる可能性があるのでパラレルデータからシリアルデータへの変換後の伝送路出力ではデータスキューはさらに大きくなる。

したがって、受信側だけでなく論理層側から見てもクロックスキューは小さい方が望ましい。

【 0 0 2 0 】

しかし、図8に示すように、スキューを小さくするには各レーン部のリセット信号RST0、RST1を駆動クロックPLLCLKに対してリカバリ/リムーバルタイミング（Recovery/Removal Timing）制約を満たす必要がある。

これもデータレートが高くなると設計検証が困難になってくる。

【 0 0 2 1 】

本発明は、複数送信レーン間の同期を行うために分配する制御信号のタイミング制約を緩和することが可能で、設計工数を削減することが可能な送信回路および通信装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 2 2 】

本発明の第1の観点の送信回路は、並列に配置され、対応するレーンにより供給されるパラレルデータをシリアルデータに変換して出力する複数のレーン部と、基準クロックに

10

20

30

40

50

位相同期した駆動クロックを、イネーブル信号に応じた当該駆動クロックの複数サイクル分経過してから上記複数のレーン部に出力するクロックイネーブラを少なくとも一つ含むクロックイネーブラ部と、を有し、上記複数のレーン部の各々は、上記クロックイネーブラ部による駆動クロックを分周して分周クロックおよびロード信号を生成する分周器と、上記分周器による分周クロックおよびロード信号、並びに上記クロックイネーブラ部による駆動クロックに同期して上記対応するレーンにより供給されるパラレルデータをシリアルデータに変換するパラレルシリアル変換器と、を含み、上記複数のレーン部は、複数のレーングループにグループ分けされ、上記クロックイネーブラ部は、複数のクロックイネーブラが少なくとも2段のツリー状に配置され、上記基準となる駆動クロックが供給される前段側となるクロックイネーブラの出力駆動クロックの出力経路が上記レーングループのグループ数に相当する数の分岐路に分岐され、上記前段側から分岐された複数の分岐路に次段側となるクロックイネーブラがそれぞれ配置され、当該次段側となるクロックイネーブラの出力駆動クロックが対応するレーングループのレーン部に供給され、レーン部単位で同期させる場合、対応する出力駆動クロックを供給するクロックイネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、他のクロックイネーブラはクロック出力状態に制御する。

10

【0023】

本発明の第2の観点の通信システムは、パラレルデータをシリアルデータに変換して送信する送信回路と、上記送信回路から送信されたシリアルデータを受信する受信回路と、を有し、上記送信回路は、並列に配置され、対応するレーンにより供給されるパラレルデータをシリアルデータに変換して出力する複数のレーン部と、基準クロックに位相同期した駆動クロックを、イネーブル信号に応じた当該駆動クロックの複数サイクル分経過してから上記複数のレーン部に出力するクロックイネーブラを少なくとも一つ含むクロックイネーブラ部と、を有し、上記複数のレーン部の各々は、上記クロックイネーブラ部による駆動クロックを分周して分周クロックおよびロード信号を生成する分周器と、上記分周器による分周クロックおよびロード信号、並びに上記クロックイネーブラ部による駆動クロックに同期して上記対応するレーンにより供給されるパラレルデータをシリアルデータに変換するパラレルシリアル変換器と、を含み、上記複数のレーン部は、複数のレーングループにグループ分けされ、上記クロックイネーブラ部は、複数のクロックイネーブラが少なくとも2段のツリー状に配置され、上記基準となる駆動クロックが供給される前段側となるクロックイネーブラの出力駆動クロックの出力経路が上記レーングループのグループ数に相当する数の分岐路に分岐され、上記前段側から分岐された複数の分岐路に次段側となるクロックイネーブラがそれぞれ配置され、当該次段側となるクロックイネーブラの出力駆動クロックが対応するレーングループのレーン部に供給され、レーン部単位で同期させる場合、対応する出力駆動クロックを供給するクロックイネーブラを上記イネーブル信号に応じて駆動クロックの出力を制御し、他のクロックイネーブラはクロック出力状態に制御する。

20

30

【発明の効果】

【0024】

本発明によれば、複数送信レーン間の同期を行うために分配する制御信号のタイミング制約を緩和することができ、設計工数を削減することができる。

40

【図面の簡単な説明】

【0025】

【図1】共通分周器方式を採用した送信回路を有する通信装置の構成例を示す図である。

【図2】パラレルシリアル変換器の構成例を示す図である。

【図3】個別分周器方式を採用した送信回路を有する通信装置の構成例を示す図である。

【図4】個別分周器方式を採用した送信回路を有する通信装置の構成例を示す図である。

【図5】個別分周器方式を採用した場合にはレーン間スキューが発生するおそれがあることを説明するための図である。

【図6】オクタルデータレート (Octal Data Rate) ソースシンクロナスの例においてシ

50

ンボル先頭を誤ってしまうおそれがあることを説明するための図である。

【図7】送信クロックと受信する分周クロック間にスキューがあり、レジスタホールド違反により異なるデータがラッチされることを説明するための図である。

【図8】スキューを小さくするためには各レーン部のリセット信号を駆動クロックに対してリカバリ/リムーバルタイミング (Recovery/Removal Timing) 制約を満たす必要があることを説明するための図である。

【図9】本発明の実施形態に係る送信回路を有する通信装置の構成例を示す図である。

【図10】本実施形態に係るクロックイネーブラの構成例を示す図である。

【図11】図10のクロックイネーブラの具体的な構成例を示す回路図である。

【図12】図10および図11のクロックイネーブラのタイミングチャートである。

10

【図13】本実施形態に係るパラレルシリアル変換器の構成例を示す図である。

【図14】図13のパラレルシリアル変換器のタイミングチャートである。

【図15】本実施形態に係る送信回路の動作概要を示すタイミングチャートである。

【図16】本発明の実施形態に係るクロックイネーブラをツリー状に配置した送信回路の一例を示す図である。

【図17】図16の送信回路における同期させるレーン部数に応じた各クロックイネーブラへのイネーブル信号の制御方法の一例を示す制御マトリクスを示す図である。

【図18】本実施形態に係る送信回路において、分周器のレーン部個別分周設定により異なる伝送モードと伝送データレートの混在も可能であることを説明するための図である。

【図19】本発明の実施形態に係る通信システムの基本的な構成を示す図である。

20

【発明を実施するための形態】

【0026】

以下、本発明の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

1. 通信装置の全体構成例
2. クロックイネーブラの構成例
3. クロックイネーブラをツリー状に配置する例
4. 送信回路および受信回路を含む通信システム

【0027】

< 1. 通信装置の全体構成例 >

30

図9は、本発明の実施形態に係る送信回路を有する通信装置の構成例を示す図である。

【0028】

本通信装置100は、図9に示すように、論理層部200および送信回路300を有する。

論理層部200は、複数n (本例ではn = 4) のレーン (チャンネル) の10ビットデータ P d a t a [9 : 0] を送信回路300に供給する。

【0029】

送信回路300は、PLL回路310、クロックイネーブラ部320、およびそれぞれが分周器を個別に含む4つのレーン部330-0 ~ 330-3を有する。

【0030】

40

PLL回路310は、基準クロック R E F C L K に位相同期した駆動クロック P L L C L K を生成し、クロックイネーブラ部320に供給する。

【0031】

クロックイネーブラ部320は、少なくとも一つのクロックイネーブラを含み、イネーブル信号 C L K E N に応じて、PLL回路310による駆動クロック P L L C L K の出力を、ハザードを出さずに O N / O F F させる機能を有する。

クロックイネーブラ部320は、イネーブル信号 C L K E N がハイレベルになると数サイクル (Cycle) 後にクロック G C L K を出力する。

クロックイネーブラ部320は、クロック G C L K を各レーン部330-0 ~ 330-3の駆動クロックとして分配する。

50

【 0 0 3 2 】

図 1 0 は、本実施形態に係るクロックイネーブラの構成例を示す図である。

【 0 0 3 3 】

このクロックイネーブラ 3 2 0 a は、図 1 0 に示すように、スルーラッチ回路 L T C 3 2 1、2 入力ナンドゲート N A N D 3 2 1、およびインバータ I N V 3 2 1 により構成されている。

【 0 0 3 4 】

スルーラッチ回路 L T C 3 2 1 の入力端子 D がイネーブル信号 C L K E N の入力ラインに接続され、反転クロック入力端子 G が駆動クロック P L L C L K の入力ラインに接続されている。

ナンドゲート N A N D 3 2 1 の一方の入力端子がスルーラッチ回路 L T C 3 2 1 の出力端子 Q に接続され、他方の入力端子が駆動クロック P L L C L K の入力端子に接続され、出力端子がインバータ I N V 3 2 1 の入力端子に接続されている。

【 0 0 3 5 】

このクロックイネーブラ 3 2 0 a では、スルーラッチ回路 L T C 3 2 1 において駆動クロック P L L C L K の立ち上がり時点でイネーブル信号 C L K E N をサンプリングする。

そして、そのサンプリング値によってサンプリング直後のクロックパルスを、ナンドゲート N A N D 3 2 1 およびインバータ I N V 3 2 1 からなる論理ゲート L G T により通過もしくは阻止する。

【 0 0 3 6 】

具体的には、スルーラッチ回路 L T C 3 2 1 は、駆動クロック P L L C L K がローレベルのときはイネーブル信号 C L K E N をそのまま出力する。

スルーラッチ回路 L T C 3 2 1 は、駆動クロック P L L C L K がハイレベルのときは、駆動クロック P L L C L K がローレベルからハイレベルに変化する直前の時点でのイネーブル信号値を出力する。

【 0 0 3 7 】

また、ナンドゲート N A N 3 2 1 およびインバータ I N V 3 2 1 からなる論理ゲート L G T は、スルーラッチ回路 L T C 3 2 1 の出力信号がハイレベルでかつ駆動クロック P L L C L K がハイレベルのときのみハイレベルのクロック G C L K を出力する。

論理ゲート L G T は、以下に示すときクロック G C L K をローレベルで出力する。

論理ゲート L G T は、スルーラッチ回路 L T C 3 2 1 の出力信号がハイレベルでかつ駆動クロック P L L C L K がローレベルのときローレベルのクロック G C L K を出力する。

または、論理ゲート L G T は、スルーラッチ回路 L T C 3 2 1 の出力信号がローレベルでかつ駆動クロック P L L C L K もローレベルのときローレベルのクロック G C L K を出力する。

【 0 0 3 8 】

図 1 1 は、図 1 0 のクロックイネーブラの具体的な構成例を示す回路図である。

図 1 1 のクロックイネーブラ 3 2 0 a の回路は、P M O S トランジスタ P 3 2 1、N M O S トランジスタ N 3 2 1 ~ N 3 2 3、およびインバータ I N V 3 2 1、I N V 3 2 2 により構成されている。

【 0 0 3 9 】

電源電圧 V D D の供給ラインと接地ライン G N D との間に P M O S トランジスタ P 3 2 1、N M O S トランジスタ N 3 2 1 および N 3 2 2 が直列に接続されている。

P M O S トランジスタ P 3 2 1、N M O S トランジスタ N 3 2 1 のゲート電極およびインバータ I N V 1 2 の入力端子が駆動クロック P L L C L K の入力端子に接続されている。

N M O S トランジスタ N 3 2 2 のゲートが N M O S トランジスタ N 3 2 3 を介してイネーブル信号 C L K E N の入力ラインに接続されている。

そして、N M O S トランジスタ N 3 2 3 のゲート電極がインバータ I N V 3 2 2 の出力端子に接続され、P M O S トランジスタ P 3 2 1 と N M O S トランジスタ N 3 2 1 のドレ

10

20

30

40

50

イン電極同士の接続点がインバータINV321の入力端子に接続されている。

本回路においては、インバータINV322およびNMOSトランジスタN323によりダイナミック型のスルーラッチ回路が構成され、PMOSトランジスタP321およびNMOSトランジスタN321、N322によりナンドゲートが構成されている。

より具体的には、駆動クロックPLCLKがローレベルの期間でノードXCLKをプリチャージし、駆動クロックPLCLKがハイレベルの期間でナンドとして動作する回路が構成されている。

【0040】

次に、上記構成によるクロックイネーブラ10の動作を、図12のタイミングチャートに関連付けて説明する。

10

まず、駆動クロックPLCLKがローレベルのとき、スルーラッチ回路LTC321において、NMOSトランジスタN323が導通状態に保持され、イネーブル信号CLKENの値がノードLENに伝搬される。

駆動クロックPLCLKがハイレベルになるとNMOSトランジスタN323が非導通状態となり、ノードLENには駆動クロックPLCLKがハイレベルになる直前のイネーブル信号CLKENの値が、駆動クロックPLCLKがハイレベルの間保持される。

【0041】

一方、駆動クロックPLCLKがローレベルの間、PMOSトランジスタP321が導通状態に保持されることから、PMOSトランジスタP321とNMOSトランジスタN321のドレイン電極同士の接続点XCLKは、ハイレベルに保持される。

20

そして、駆動クロックPLCLKがハイレベルになるとPMOSトランジスタP321が非導通状態となり、NMOSトランジスタN321が導通状態となる。

ここで、もし駆動クロックPLCLKがハイレベルのときノードLENのレベルがハイレベルならばNMOSトランジスタN322が導通状態となる。その結果、ノードXCLKはディスチャージされローレベルとなる。したがって、インバータINV321から出力されるクロックGCLKはハイレベルとなる。

すなわち、駆動クロックPLCLKの正のパルスが回路の出力ノードに伝搬され、クロックGCLKとして出力される。

【0042】

30

もし駆動クロックPLCLKがハイレベルのときノードLENのレベルがローレベルならばNMOSトランジスタN322は非導通状態に保持される。その結果、ノードXCLKはディスチャージされずハイレベルのままに保持される。したがって、インバータINV321から出力されるクロックGCLKはローレベルのままに保持される。

すなわち、駆動クロックPLCLKの正のパルスの出力ノードへの伝搬が阻止される。

【0043】

回路全体として見ると、駆動クロックPLCLKの立ち上がり時点でイネーブル信号CLKENがサンプリングされ、その結果により駆動クロックPLCLKの立ち上がり直後の正のパルスが出力ノードへ伝搬または阻止される。

40

【0044】

このように、図10のクロックイネーブラ部320は、煩雑な制御を行うことなく、イネーブル信号CLKENに応じて、PLL回路310による駆動クロックPLCLKの出力を、ハザードを出さずにON/OFFさせることができる。

すなわち、クロックイネーブラ320aは、イネーブル信号CLKENがハイレベルになると数サイクル(Cycle)後にクロックGCLKを出力することができる。

【0045】

各レーン部330-0~330-3は、分周器331-0~331-3、10:1パラレルシリアル変換器(Parallel to Serial Converter; P/S)332-0~332-3、および差動出力部(DF)333-0~333-3を含んで構成されている。

50

【 0 0 4 6 】

レーン部 3 3 0 - 0 の分周器 3 3 1 - 0 は、クロックイネーブラ部 3 2 0 から供給される駆動クロック G C L K を分周してロード信号 L O A D 3 0 および分周クロック C L K 3 0 を生成し、自レーン部のパラレルシリアル変換器 3 3 2 - 0 に供給する。

なお、分周器 3 3 1 - 0 はリセット信号 R S T X 3 0 によりリセットされる。

分周器 3 3 1 - 0 の分周クロック C L K 3 0 は、論理層部 2 0 0 のシステムクロックとしても使用される。

【 0 0 4 7 】

レーン部 3 3 0 - 0 のパラレルシリアル変換器 3 3 2 - 0 は、分周器 3 3 1 - 0 による分周クロック C L K 3 0 に同期して、対応するレーンのたとえば 1 0 ビットデータ P D A T A 1 0 を第 1 のラッチにデータ P D A T A L T 3 0 としてラッチする。

パラレルシリアル変換器 3 3 2 - 0 は、分周器 3 3 1 - 0 によるロード信号 L O A D 3 0 がハイレベルの期間に、駆動クロック G C L K に同期してラッチデータ P D A T A L T 3 0 を第 2 のラッチにラッチする。

パラレルシリアル変換器 3 3 2 - 0 は、ロード信号 L O A D 3 0 がローレベルに切り替わってから駆動クロック G C L K に同期して第 2 のラッチのラッチデータをシフトさせて、差動出力部 3 3 3 - 0 から差動シリアルデータ T X 3 0 として出力する。

【 0 0 4 8 】

レーン部 3 3 0 - 1 の分周器 3 3 1 - 1 は、クロックイネーブラ部 3 2 0 から供給される駆動クロック G C L K を分周してロード信号 L O A D 3 1 および分周クロック C L K 3 1 を生成し、自レーン部のパラレルシリアル変換器 3 3 2 - 1 に供給する。

なお、分周器 3 3 1 - 1 はリセット信号 R S T X 3 1 によりリセットされる。

【 0 0 4 9 】

レーン部 3 3 0 - 1 のパラレルシリアル変換器 3 3 2 - 1 は、分周器 3 3 1 - 1 による分周クロック C L K 3 1 に同期して、対応するレーンのたとえば 1 0 ビットデータ P D A T A 1 1 を第 1 のラッチにデータ P D A T A L T 3 1 としてラッチする。

パラレルシリアル変換器 3 3 2 - 1 は、分周器 3 3 1 - 1 によるロード信号 L O A D 3 1 がハイレベルの期間に、駆動クロック G C L K に同期してラッチデータ P D A T A L T 3 1 を第 2 のラッチにラッチする。

パラレルシリアル変換器 3 3 2 - 1 は、ロード信号 L O A D 3 1 がローレベルに切り替わってから駆動クロック G C L K に同期して第 2 のラッチのラッチデータをシフトさせて、差動出力部 3 3 3 - 1 から差動シリアルデータ T X 3 1 として出力する。

【 0 0 5 0 】

レーン部 3 3 0 - 2 の分周器 3 3 1 - 2 は、クロックイネーブラ部 3 2 0 から供給される駆動クロック G C L K を分周してロード信号 L O A D 3 2 および分周クロック C L K 3 2 を生成し、自レーン部のパラレルシリアル変換器 3 3 2 - 2 に供給する。

なお、分周器 3 3 1 - 2 はリセット信号 R S T X 3 2 によりリセットされる。

【 0 0 5 1 】

レーン部 3 3 0 - 2 のパラレルシリアル変換器 3 3 2 - 2 は、分周器 3 3 1 - 2 による分周クロック C L K 3 2 に同期して、対応するレーンのたとえば 1 0 ビットデータ P D A T A 1 2 を第 1 のラッチにデータ P D A T A L T 3 2 としてラッチする。

パラレルシリアル変換器 3 3 2 - 2 は、分周器 3 3 1 - 2 によるロード信号 L O A D 3 2 がハイレベルの期間に、駆動クロック G C L K に同期してラッチデータ P D A T A L T 3 2 を第 2 のラッチにラッチする。

パラレルシリアル変換器 3 3 2 - 2 は、ロード信号 L O A D 3 2 がローレベルに切り替わってから駆動クロック G C L K に同期して第 2 のラッチのラッチデータをシフトさせて、差動出力部 3 3 3 - 2 から差動シリアルデータ T X 3 2 として出力する。

【 0 0 5 2 】

レーン部 3 3 0 - 3 の分周器 3 3 1 - 3 は、クロックイネーブラ部 3 2 0 から供給される駆動クロック G C L K を分周してロード信号 L O A D 3 3 および分周クロック C L K 3

10

20

30

40

50

3 を生成し、自レーン部のパラレルシリアル変換器 332 - 3 に供給する。

なお、分周器 331 - 3 はリセット信号 RSTX33 によりリセットされる。

【0053】

レーン部 330 - 3 のパラレルシリアル変換器 332 - 3 は、分周器 331 - 3 による分周クロック CLK33 に同期して、対応するレーンのたとえば 10 ビットデータ PDATA13 を第 1 のラッチにデータ PDATALT33 としてラッチする。

パラレルシリアル変換器 332 - 3 は、分周器 331 - 3 によるロード信号 LOAD33 がハイレベルの期間に、駆動クロック CLK に同期してラッチデータ PDATALT33 を第 2 のラッチにラッチする。

パラレルシリアル変換器 332 - 3 は、ロード信号 LOAD33 がローレベルに切り替わってから駆動クロック CLK に同期して第 2 のラッチのラッチデータをシフトさせて、差動出力部 333 - 3 から差動シリアルデータ TX33 として出力する。

10

【0054】

図 13 は、本実施形態に係るパラレルシリアル変換器の構成例を示す図である。

図 14 は、図 13 のパラレルシリアル変換器のタイミングチャートである。

なお、ここでは、レーン部 330 - 0 におけるパラレルシリアル変換器 332 - 0 として説明するが、他のレーン部 330 - 1 ~ 330 - 3 におけるパラレルシリアル変換器 332 - 1 ~ 332 - 3 も同様の構成を有する。

【0055】

図 13 のパラレルシリアル変換器 (P/S) 332 - 0 (~ - 3) は、第 2 のラッチとしてのフリップフロップ FF30 ~ FF39、第 1 のラッチとしてのフリップフロップ FF40、およびセクタ SL30 ~ SL39 を含んで構成されている。

20

パラレルシリアル変換器 332 - 0 (~ - 3) は、データ入力段にフリップフロップ FF40 が配置されている。

フリップフロップ FF40 はデータ入力 D に論理層部 200 によるパラレルデータ PDATA が供給され、分周器 331 - 0 (~ - 3) による分周クロック CLK30 (~ DLK33) に同期してデータ PDATA10 (~ 13) をラッチして、出力する。

フリップフロップ FF40 のデータ出力 Q はセクタ SL39 ~ SL30 の第 1 入力端子に接続されている。

セクタ SL39 ~ SL30 は、分周器 331 - 0 (~ - 3) によるロード信号 LOAD30 (~ 33) がハイレベルのとき第 1 入力端子、すなわち、フリップフロップ FF40 の出力データを選択し、ローレベルのとき第 2 入力端子の入力データを選択する。

30

【0056】

フリップフロップ FF39 ~ FF30 は縦続接続され、クロック入力にクロックインエーブラ 320 による駆動クロック CLK が供給される。

フリップフロップ FF39 のデータ入力 D がセクタ SL39 の出力端子に接続され、セクタ SL39 の第 2 入力端子はローレベルに固定されている。

フリップフロップ FF38 のデータ入力 D がセクタ SL38 の出力端子に接続され、セクタ SL38 の第 2 入力端子がフリップフロップ FF39 のデータ出力 Q に接続されている。

40

フリップフロップ FF37 のデータ入力 D がセクタ SL37 の出力端子に接続され、セクタ SL37 の第 2 入力端子がフリップフロップ FF38 のデータ出力 Q に接続されている。

フリップフロップ FF36 のデータ入力 D がセクタ SL36 の出力端子に接続され、セクタ SL36 の第 2 入力端子がフリップフロップ FF37 のデータ出力 Q に接続されている。

フリップフロップ FF35 のデータ入力 D がセクタ SL35 の出力端子に接続され、セクタ SL35 の第 2 入力端子がフリップフロップ FF36 のデータ出力 Q に接続されている。

フリップフロップ FF34 のデータ入力 D がセクタ SL34 の出力端子に接続され、

50

セレクタ S L 3 4 の第 2 入力端子がフリップフロップ F F 3 5 のデータ出力 Q に接続されている。

フリップフロップ F F 3 3 のデータ入力 D がセレクタ S L 3 3 の出力端子に接続され、セレクタ S L 3 3 の第 2 入力端子がフリップフロップ F F 3 4 のデータ出力 Q に接続されている。

フリップフロップ F F 3 2 のデータ入力 D がセレクタ S L 3 2 の出力端子に接続され、セレクタ S L 3 2 の第 2 入力端子がフリップフロップ F F 3 3 のデータ出力 Q に接続されている。

フリップフロップ F F 3 1 のデータ入力 D がセレクタ S L 3 1 の出力端子に接続され、セレクタ S L 3 1 の第 2 入力端子がフリップフロップ F F 3 2 のデータ出力 Q に接続されている。

10

フリップフロップ F F 3 0 のデータ入力 D がセレクタ S L 3 0 の出力端子に接続され、セレクタ S L 3 0 の第 2 入力端子がフリップフロップ F F 3 1 のデータ出力 Q に接続されている。

そして、フリップフロップ F F 3 0 のデータ出力 Q が差動出力部 3 3 3 - 0 (~ - 3) の入力端子に接続されている。

【 0 0 5 7 】

パラレルシリアル変換器 3 3 2 - 0 (~ - 3) においては、分周器 3 3 1 - 0 による分周クロック C L K 3 0 に同期して、対応するレーンのデータ P D A T A がラッチされ、そのデータ P D A T A L T がセレクタ S L 3 9 ~ S L 3 0 の第 1 入力端子に出力される。

20

そして、ロード信号 L O A D 3 0 (~ 3 3) がハイレベルの期間に、駆動クロック G C L K に同期してフリップフロップ F F 3 9 ~ F F 3 0 にラッチされる。

ロード信号 L O A D 3 0 (~ 3 3) がローレベルに切り替わってから駆動クロック G C L K に同期してフリップフロップ F F 3 9 ~ F F 3 0 のラッチデータがシフトされ、差動出力部 3 3 3 - 0 (~ - 3) から差動シリアルデータ T X 3 0 として出力される。

【 0 0 5 8 】

図 1 5 は、本実施形態に係る送信回路の動作概要を示すタイミングチャートである。

【 0 0 5 9 】

本実施形態においては、いわゆる個別分周器およびクロックゲーティング方式が採用されている。

30

本実施形態では、各クロックの中で最高の周波数を持つ P L L 回路 3 1 0 の出力である駆動クロック P L L C L K の出力部の後にクロックイネーブラ部 (Clock Gate) 3 2 0 が配置される。

クロックイネーブラ部 3 2 0 は、イネーブル信号 C L K E N に応じてクロックをハザードを出さずに O N / O F F させる回路として構成される。

図 1 5 に示すように、イネーブル信号 C L K E N がハイレベルになると数サイクル後にクロック G C L K は出力される。そして、駆動クロック G C L K は各レーン部 3 3 0 - 0 ~ 3 3 0 - 3 の駆動クロックとして各分周器 3 3 1 - 0 ~ 3 3 0 - 3 に分配される。もちろん、分配スキューは小さい方が望ましい。

一方、分周器 3 3 1 - 0 ~ 3 3 1 - 3 のリセット信号としては分周器個別に R S T X 3 0、R S T X 3 1、R S T X 3 2、R S T X 3 3 が入力されるがそのタイミングは駆動クロック G C L K が O N になるタイミング T o n 以前なら構わずその制約は緩い。

40

たとえば、レーン部 3 3 0 - 0 のリセット信号 R S T X 3 0 は、レーン部 3 3 0 - 1 のリセット信号 R S T X 3 1 よりかなり前に解除されている。

しかし、駆動クロック G C L K が O F F のため、レーン部 3 3 0 - 0 の分周動作は開始されず、レーン部 3 3 0 - 1 のリセットが信号 R S T X 3 1 により解除された後、G C L K が O N になった時点 T o n で初めて両者の分周動作が同時に開始される。

このため、パラレルシリアル変換器 3 3 2 - 0、3 3 2 - 1 の出力データも同期させることができる。

その上、論理層部 2 0 0 側のクロックもレーン間スキューがないため適当なレーン部の

50

分周クロック（図9ではCLK30）1信号だけをシステムクロックにできる。

【0060】

<3. クロックイネーブラをツリー状に配置する例>

図16は、本発明の実施形態に係るクロックイネーブラをツリー状に配置した送信回路の一例を示す図である。

なお、図16では、レーン数nを図9の4レーンより多い8レーンとした場合の一例を示している。

【0061】

この送信回路300Aは、8つのレーン部330-0~330-7が並列に配置されている。

この8つのレーン部330-0~300-7は、複数、本例では2つの第1レーングループGRP1および第2レーングループGRP2に区別されている。

第1レーングループGRP1は、連続して隣接する4つのレーン部330-0~330-3を含む。

そして、第1レーングループGRP1は、さらに2つの第1サブレーングループSGRP1および第2サブレーングループSGRP2に区別されている。

第1サブレーングループSGRP1は、隣接する2つのレーン部330-0および330-1を含む。

第2サブレーングループSGRP2は、隣接する2つのレーン部330-2および330-3を含む。

【0062】

第2レーングループGRP2は、連続して隣接する4つのレーン部330-4~330-7を含む。

そして、第2レーングループGRP2は、さらに2つの第3サブグループSGRP3および第4サブグループSGRP4に区別されている。

第3サブグループSGRP3は、隣接する2つのレーン部330-4および330-5を含む。

第4サブグループSGRP4は、隣接する2つのレーン部330-6および330-7を含む。

【0063】

そして、図16の送信回路300Aのクロックイネーブラ部320Aにおいては、複数、本例では15個のクロックイネーブラ321、322A、322B、323A~323D、324-0~324-7が多段の4段にツリー状となるように配置されている。

【0064】

本実施形態においては、基本的にクロックイネーブラ部320Aは、複数のクロックイネーブラが少なくとも2段のツリー状に配置される。

そして、クロックイネーブラ部320Aは、前段側に配置されるクロックイネーブラの出力駆動クロックの出力経路が複数の分岐路に分岐され、前段側から分岐された複数の分岐路の少なくとも一つに次段側となるクロックイネーブラが配置される。

上記のように、複数のレーン部330-0~330-7が複数のレーングループにグループ分けされている場合には、基本的に次のような配置が行われる。

クロックイネーブラ部320Aは、基準となる駆動クロックが供給される前段側となるクロックイネーブラ321の出力駆動クロックの出力経路がレーングループのグループ数に相当する数（本例では2）の分岐路BL1、BL2に分岐される。

クロックイネーブラ部320Aにおいて、前段側から分岐された複数の分岐路に次段側となるクロックイネーブラがそれぞれ配置され、次段側となるクロックイネーブラの出力駆動クロックが対応するレーングループのレーン部に供給される。

【0065】

上記のように、複数のレーングループがさらにサブグループに区別されている場合、基本的に次のような配置が行われる。

10

20

30

40

50

クロックイネーブラ部 3 2 0 A は、次段側となるクロックイネーブラが前段側のクロックイネーブラとして、このクロックイネーブラの出力駆動クロックの出力経路がレーングループのサブグループ数に相当する数の分岐路に分岐される。

そして、クロックイネーブラ部 3 2 0 A は、前段側から分岐された複数の分岐路に次段側となるクロックイネーブラがそれぞれ配置され、この次段側となるクロックイネーブラの出力駆動クロックが対応するサブレーングループのレーン部に供給される。

【 0 0 6 6 】

本実施形態において、クロックイネーブラ部 3 2 0 A は、全てのレーン部、レーングループ単位、またはサブグループ単位でレーン部を同期させる場合、複数のクロックイネーブラに対して次のような制御を行う。

クロックイネーブラ部 3 2 0 A は、出力駆動クロックの分岐の要となる位置に配置されるクロックイネーブラをイネーブル信号に応じて駆動クロックの出力を制御し、他のクロックイネーブラはクロック出力状態（ハイ固定）に制御する。

【 0 0 6 7 】

クロックイネーブラ部 3 2 0 A は、全てのレーン部 3 3 0 - 0 ~ 3 3 0 - 7 を同期させる場合、基準となる駆動クロックが供給されるクロックイネーブラ 3 2 1 をイネーブル信号に応じて駆動クロックの出力を制御する。そして、クロックイネーブラ部 3 2 0 A は、他のクロックイネーブラはクロック出力状態に制御する。

クロックイネーブラ部 3 2 0 A は、レーングループ G R P 1 , G R P 2 単位で同期させる場合、次のように制御する。

クロックイネーブラ部 3 2 0 A は、レーングループのグループ数に相当する数に分岐される分岐路に配置されるクロックイネーブラのうち、同期対象のレーングループに対応するクロックイネーブラをイネーブル信号に応じて駆動クロックの出力を制御する。そして、クロックイネーブラ部 3 3 0 A は、他のクロックイネーブラはクロック出力状態に制御する。

クロックイネーブラ部 3 2 0 A は、サブレーングループ単位で同期させる場合、次のように制御する。

クロックイネーブラ部 3 2 0 A は、サブレーングループのグループ数に相当する数に分岐される分岐路に配置されるクロックイネーブラのうち、同期対象のサブレーングループに対応するクロックイネーブラをイネーブル信号に応じて駆動クロックの出力を制御する。そして、クロックイネーブラ部 3 3 0 A は、他のクロックイネーブラはクロック出力状態に制御する。

【 0 0 6 8 】

図 1 6 のクロックイネーブラ部 3 2 0 A は、前述したように、15 個のクロックイネーブラ 3 2 1、3 2 2 A、3 2 2 B、3 2 3 A ~ 3 2 3 D、3 2 4 - 0 ~ 3 2 4 - 7 が多段の 4 段にツリー状となるように配置されている。

【 0 0 6 9 】

第 1 段 S T G 1 には、クロックイネーブラ 3 2 1 が配置されている。このクロックイネーブラ 3 2 1 は、P L L 回路 3 1 0 により駆動クロック P L L C L K が供給される。

クロックイネーブラ 3 2 1 は、イネーブル信号 E N 8 が供給され、レーン部 3 3 0 - 0 ~ 3 3 0 - 7 の全体を同期させる制御を行う場合の要のクロックイネーブラとして扱われる。

【 0 0 7 0 】

クロックイネーブラ 3 2 1 の出力駆動クロック G C L K の出力経路がレーングループのグループ数 2 に相当する 2 つの分岐路 B L 1 , B L 2 に分岐される。

そして、分岐路 B L 1 には第 2 段 S T G 2 として第 1 レーングループ G R P 1 に対応するクロックイネーブラ 3 2 2 A が配置される。

クロックイネーブラ 3 2 2 A は、イネーブル信号 E n 4 A が供給され、第 1 レーングループ G R P 1 を同期させる制御を行う場合の要のクロックイネーブラとして扱われる。

同様に、分岐路 B L 2 には第 2 段 S T G 2 として第 2 レーングループ G R P 2 に対応す

10

20

30

40

50

るクロックイネーブラ 3 2 2 B が配置される。

クロックイネーブラ 3 2 2 B は、イネーブル信号 E n 4 B が供給され、第 2 レーングループ G R P 2 を同期させる制御を行う場合の要のクロックイネーブラとして扱われる。

【 0 0 7 1 】

クロックイネーブラ 3 2 2 A の出力駆動クロック G C L K 4 A の出力経路がサブレーングループのグループ数 2 に相当する 2 つの分岐路 B L 1 1 , B L 1 2 に分岐される。

クロックイネーブラ 3 2 2 B の出力駆動クロック G C L K 4 B の出力経路がサブレーングループのグループ数 2 に相当する 2 つの分岐路 B L 2 1 , B L 2 2 に分岐される。

【 0 0 7 2 】

分岐路 B L 1 1 には第 3 段 S T G 3 として第 1 サブレーングループ S G R P 1 に対応するクロックイネーブラ 3 2 3 A が配置される。

クロックイネーブラ 3 2 3 A は、イネーブル信号 E n 2 A が供給され、第 1 サブレーングループ S G R P 1 を同期させる制御を行う場合の要のクロックイネーブラとして扱われる。

同様に、分岐路 B L 1 2 には第 3 段 S T G 3 として第 2 サブレーングループ S G R P 2 に対応するクロックイネーブラ 3 2 3 B が配置される。

クロックイネーブラ 3 2 3 B は、イネーブル信号 E n 2 B が供給され、第 2 サブレーングループ S G R P 2 を同期させる制御を行う場合の要のクロックイネーブラとして扱われる。

【 0 0 7 3 】

また、分岐路 B L 2 1 には第 3 段 S T G 3 として第 3 サブレーングループ S G R P 3 に対応するクロックイネーブラ 3 2 3 C が配置される。

クロックイネーブラ 3 2 3 C は、イネーブル信号 E n 2 C が供給され、第 3 サブレーングループ S G R P 3 を同期させる制御を行う場合の要のクロックイネーブラとして扱われる。

同様に、分岐路 B L 2 2 には第 3 段 S T G 3 として第 4 サブレーングループ S G R P 4 に対応するクロックイネーブラ 3 2 3 D が配置される。

クロックイネーブラ 3 2 3 D は、イネーブル信号 E n 2 D が供給され、第 4 サブレーングループ S G R P 4 を同期させる制御を行う場合の要のクロックイネーブラとして扱われる。

【 0 0 7 4 】

クロックイネーブラ 3 2 3 A の出力駆動クロック G C L K 2 A の出力経路が第 1 サブレーングループ S G R P 1 のグループ内のレーン部数 2 に相当する 2 つの分岐路 B L 1 1 1 , B L 1 1 2 に分岐される。

クロックイネーブラ 3 2 3 B の出力駆動クロック G C L K 2 B の出力経路が第 2 サブレーングループ S G R P 2 のグループ数 2 に相当する 2 つの分岐路 B L 1 2 1 , B L 1 2 2 に分岐される。

クロックイネーブラ 3 2 3 C の出力駆動クロック G C L K 2 C の出力経路が第 3 サブレーングループ S G R P 3 のグループ数 2 に相当する 2 つの分岐路 B L 2 1 1 , B L 2 1 2 に分岐される。

クロックイネーブラ 3 2 3 D の出力駆動クロック G C L K 2 D の出力経路が第 4 サブレーングループ S G R P 4 のグループ数 2 に相当する 2 つの分岐路 B L 2 2 1 , B L 2 2 2 に分岐される。

【 0 0 7 5 】

分岐路 B L 1 1 1 には第 4 段 S T G 4 としてレーン部 3 3 0 - 0 に対応するクロックイネーブラ 3 2 4 - 0 が配置される。クロックイネーブラ 3 2 4 - 0 は、イネーブル信号 E n 0 が供給される。

分岐路 B L 1 1 2 には第 4 段 S T G 4 としてレーン部 3 3 0 - 1 に対応するクロックイネーブラ 3 2 4 - 1 が配置される。クロックイネーブラ 3 2 4 - 1 は、イネーブル信号 E n 1 が供給される。

10

20

30

40

50

分岐路 B L 1 2 1 には第 4 段 S T G 4 としてレーン部 3 3 0 - 2 に対応するクロックイネーブラ 3 2 4 - 2 が配置される。クロックイネーブラ 3 2 4 - 2 は、イネーブル信号 E n 2 が供給される。

分岐路 B L 1 2 2 には第 4 段 S T G 4 としてレーン部 3 3 0 - 3 に対応するクロックイネーブラ 3 2 4 - 3 が配置される。クロックイネーブラ 3 2 4 - 3 は、イネーブル信号 E n 3 が供給される。

【 0 0 7 6 】

分岐路 B L 2 1 1 には第 4 段 S T G 4 としてレーン部 3 3 0 - 4 に対応するクロックイネーブラ 3 2 4 - 4 が配置される。クロックイネーブラ 3 2 4 - 4 は、イネーブル信号 E n 4 が供給される。

10

分岐路 B L 2 1 2 には第 4 段 S T G 4 としてレーン部 3 3 0 - 5 に対応するクロックイネーブラ 3 2 4 - 5 が配置される。クロックイネーブラ 3 2 4 - 5 は、イネーブル信号 E n 5 が供給される。

分岐路 B L 2 2 1 には第 4 段 S T G 4 としてレーン部 3 3 0 - 6 に対応するクロックイネーブラ 3 2 4 - 6 が配置される。クロックイネーブラ 3 2 4 - 6 は、イネーブル信号 E n 6 が供給される。

分岐路 B L 2 2 2 には第 4 段 S T G 4 としてレーン部 3 3 0 - 7 に対応するクロックイネーブラ 3 2 4 - 7 が配置される。クロックイネーブラ 3 2 4 - 7 は、イネーブル信号 E n 7 が供給される。

【 0 0 7 7 】

20

このように、クロックイネーブラ部 3 2 0 A は、最終段の第 4 段 S T G 4 において、クロックイネーブラ 3 2 4 - 0 ~ 3 2 4 - 7 が複数のレーン部 3 3 0 - 0 ~ 3 3 0 - 7 に 1 対 1 に対応するように配置されている。

【 0 0 7 8 】

図 1 7 は、図 1 6 の送信回路における同期させるレーン部数に応じた各クロックイネーブラへのイネーブル信号の制御方法の一例を示す制御マトリクスを示す図である。

図 1 7 において、「C o n t r o l」はイネーブル信号に応じてクロックイネーブラのクロック出力を制御することを示し、「H i g h」固定は、クロックイネーブラが常時重ロック出力状態となるようにイネーブル信号を固定することを意味する。

【 0 0 7 9 】

30

[全ての 8 レーン部 3 3 0 - 0 ~ 3 3 0 - 7 を同期させる場合 (x 8 c h)]

全ての 8 レーン部 3 3 0 - 0 ~ 3 3 0 - 7 を同期させる場合、要となるクロックイネーブラ 3 2 1 へのイネーブル信号 E N 8 を制御して、他のクロックイネーブラへのイネーブル信号を H i g h 固定とする。

【 0 0 8 0 】

[レーングループ単位で同期させる場合 (x 4 c h 4 A / 4 B)]

レーングループ単位、換言すれば 4 レーン部ずつ同期させる場合、クロックイネーブラ 3 2 2 A または 3 2 2 B へのイネーブル信号 E n 4 A または E n 4 B、あるいは両方を制御し、他のクロックイネーブラへのイネーブル信号を H i g h 固定とする。

【 0 0 8 1 】

40

[サブレーングループ単位で同期させる場合 (x 2 c h 2 A / 2 B / 2 C / 2 D)]

サブレーングループ単位、換言すれば 2 レーン部ずつ同期させる場合、クロックイネーブラ 3 2 3 A ~ 3 2 3 D へのイネーブル信号 E n 2 ~ E n 2 D のいずれかまたは複数 (全てを含む) を制御し、他のクロックイネーブラへのイネーブル信号を H i g h 固定とする。

【 0 0 8 2 】

以上の他にも多くの動作モードが可能であるが、要は同期させたいレーングループの要にあるクロックイネーブラを制御する。

【 0 0 8 3 】

図 1 8 は、本実施形態に係る送信回路において、分周器のレーン部個別分周設定により

50

異なる伝送モードと伝送データレートの混在も可能であることを説明するための図である。

【 0 0 8 4 】

さらに、図 1 8 に示すように、各レーン部 3 3 0 - 0 ~ 3 3 0 - 7 における分周器の個別分周設定により異なる伝送モードと伝送データレート (Data Rate) の混在も可能である。

例として、以下の制御を行うことが可能である。

【 0 0 8 5 】

レーン部 3 3 0 - 0 ~ 3 3 0 - 3 (第 1 レーングループ G R P 1) を 1 . 2 5 G b p s で 4 c h ソースシンクロナス (Double Data Rate) 伝送 (x4ch (4A)) として実現する。

この場合、クロックイネーブラ 3 2 2 A へのイネーブル信号 E n 4 A を制御する。

【 0 0 8 6 】

レーン部 3 3 0 - 4 , 3 3 0 - 5 (第 3 サブレーングループ S G R P 3) を 2 . 5 G b p s で 2 c h ソースシンクロナス (Octal Data Rate) 伝送 (x2ch (2C)) として実現する。

この場合、クロックイネーブラ 3 2 3 C へのイネーブル信号 E n 2 C を制御する。

【 0 0 8 7 】

レーン部 3 3 0 - 6 を 2 . 5 G b p s で 1 c h クロックエンベディッド伝送として実現する。

この場合、クロックイネーブラ 3 2 4 - 6 へのイネーブル信号 E n 6 を制御する。

【 0 0 8 8 】

レーン部 3 3 0 - 7 を 5 G b p s で 1 c h クロックエンベディッド伝送として実現する。

この場合、クロックイネーブラ 3 2 4 - 7 へのイネーブル信号 E n 7 を制御する。

【 0 0 8 9 】

ここで常時イネーブルとして制御されないクロックイネーブラ 3 2 1 へのイネーブル信号 E N 8、クロックイネーブラ 3 2 2 B へのイネーブル信号 E n 4 B は H i g h 固定である。

同様に、クロックイネーブラ 3 2 3 A へのイネーブル信号 E n 2 A、クロックイネーブラ 3 2 3 B へのイネーブル信号 E n 2 B、クロックイネーブラ 3 2 3 D へのイネーブル信号 E n 2 D も H i g h 固定である。

さらに、クロックイネーブラ 3 2 4 - 0 ~ 3 2 4 - 5 へのイネーブル信号 E n 0 ~ E n 5 も H i g h 固定である。

【 0 0 9 0 】

このように、複数レーン (c h) を持つデータインタフェースの送信回路において、レーン毎に異なる伝送モードやデータ速度を混在可能となる柔軟な構成をとることが可能となる。

【 0 0 9 1 】

もちろん、高速クロック配線に設置されるイネーブラは多段になるとジッタを招き伝送品質を低下させるので、構成によっては必ずしもツリー状に複数配置する必要はなく伝送品質を優先する場合はある程度のイネーブラを省略する場合もある。

しかし、最低限同期が必要なレーンの要には必須である。

【 0 0 9 2 】

以上説明したように、本実施形態によれば、以下の効果を得ることができる。

複数送信レーン間の同期を行うために分配する制御信号のタイミング制約が緩和されるため、設計工数が削減できる。また、受信側デスクュー (Deskew) 回路も簡略化できるため消費電力や回路規模に有利である。

10

20

30

40

50

また、クロックイネーブラをツリー状に配して適当に制御することで、同一の回路構成で柔軟性のある伝送コンフィグレーション（伝送モードや伝送速度）の構築がレーンに独立して対応可能となる。このため、仕様変更の度に再設計の必要がなくなりこれも設計工数の削減となる。

【 0 0 9 3 】

図 1 9 は、本発明の実施形態に係る通信システムの基本的な構成を示す図である。

【 0 0 9 4 】

本通信システム 4 0 0 は、図 9 や図 1 6 等の送信回路が適用される送信回路 3 0 0 B と受信回路 5 0 0 により構成される。送信回路 3 0 0 B と受信回路 5 0 0 は通信ケーブル 6 0 0 により接続されている。

送信回路 3 0 0 B は、たとえば複数の位相同期したシリアルデータ信号を受信回路 5 0 0 に送信する送信する。

受信回路 5 0 0 は、通信ケーブル 6 0 0 を伝送されたシリアルデータ信号を受信し、再生クロックに同期した処理を行う。

【 0 0 9 5 】

この通信システム 4 0 0 においては、図 9 や図 1 6 等の送信回路が適用されることから、上記した効果と同様の効果を得ることができる。

すなわち、複数送信レーン間の同期を行うために分配する制御信号のタイミング制約が緩和されるため、設計工数が削減できる。また、受信側デスクュー（Deskew）回路も簡略化できるため消費電力や回路規模に有利である。

また、クロックイネーブラをツリー状に配して適当に制御することで、同一の回路構成で柔軟性のある伝送コンフィグレーション（伝送モードや伝送速度）の構築がレーンに独立して対応可能となる。このため、仕様変更の度に再設計の必要がなくなりこれも設計工数の削減となる。

【 符号の説明 】

【 0 0 9 6 】

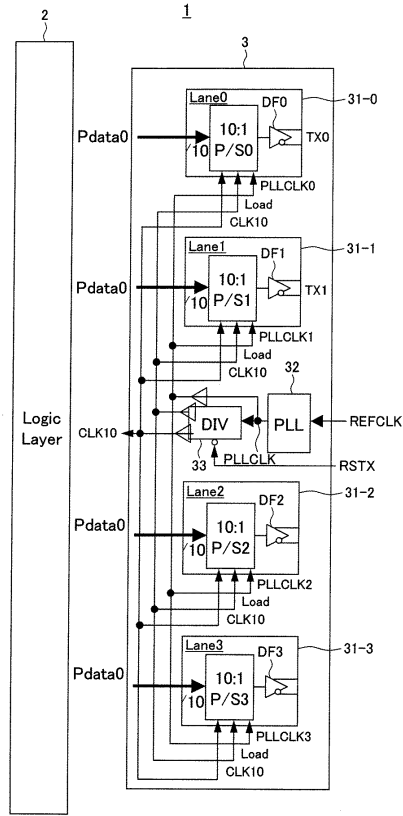
1 0 0 . . . 通信装置、 2 0 0 . . . 論理層部、 3 0 0 , 3 0 0 A , 3 0 0 B . . . 送信回路、 3 1 0 . . . P L L 回路、 3 2 0 . . . クロックイネーブラ部、 3 3 0 - 0 ~ 3 3 0 - 3 . . . レーン部、 3 3 1 - 0 ~ 3 3 1 - 3 . . . 分周器、 3 3 2 - 0 ~ 3 3 2 - 3 . . . パラレルシリアル変換器、 3 3 3 - 0 ~ 3 3 3 - 3 . . . 差動出力部、 4 0 0 . . . 通信システム、 5 0 0 . . . 受信回路。

10

20

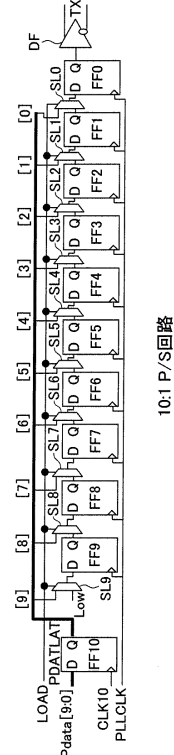
30

【図1】

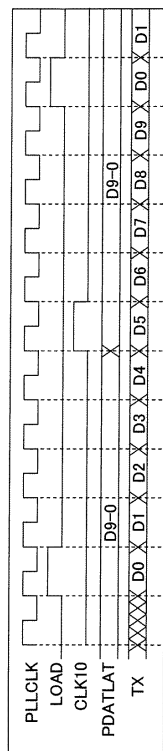


共通分周器方式

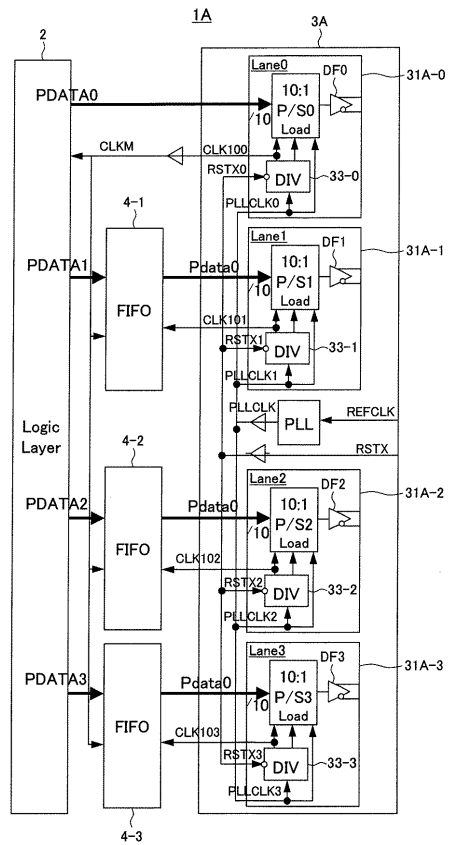
【図2】



【図3】

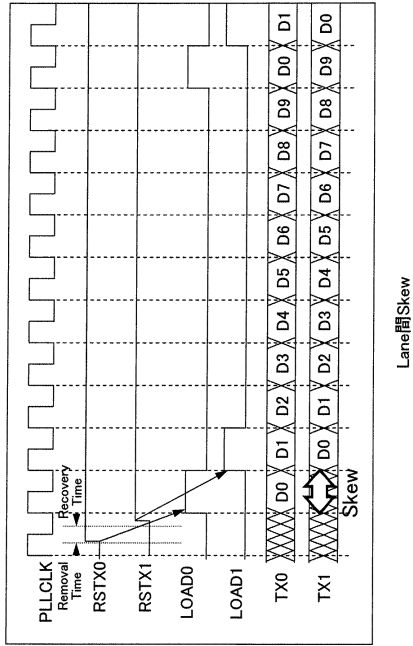


【図4】

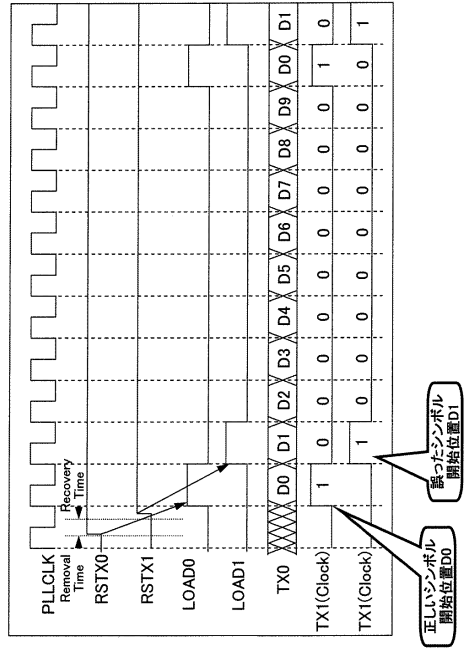


個別分周器方式

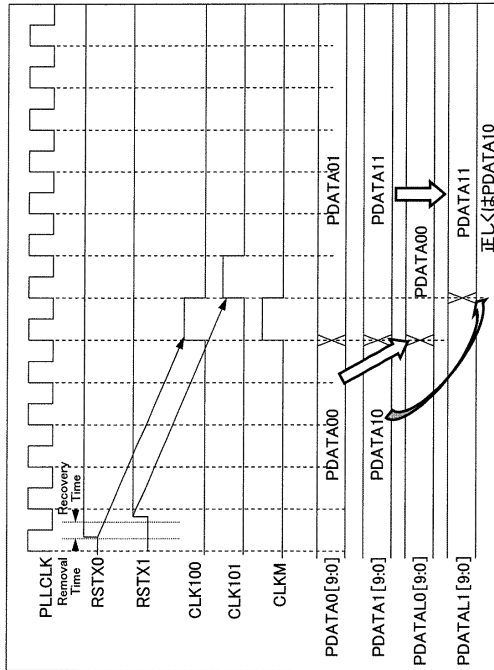
【 図 5 】



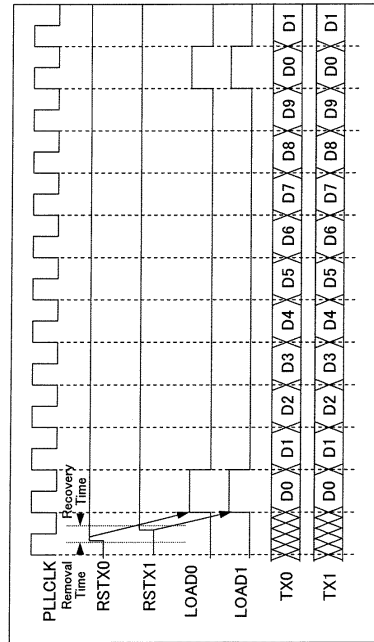
【 図 6 】



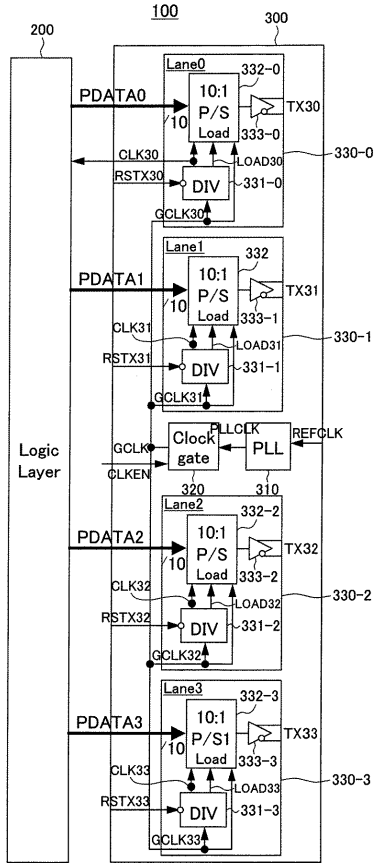
【 図 7 】



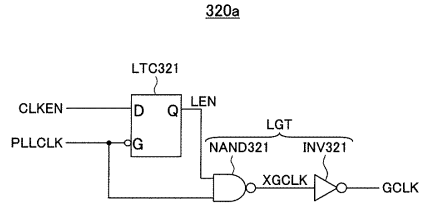
【 図 8 】



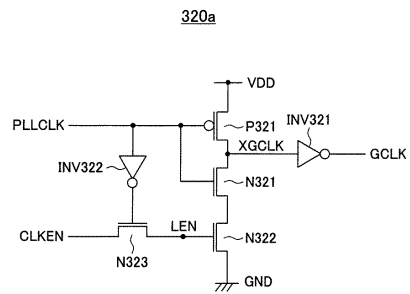
【図9】



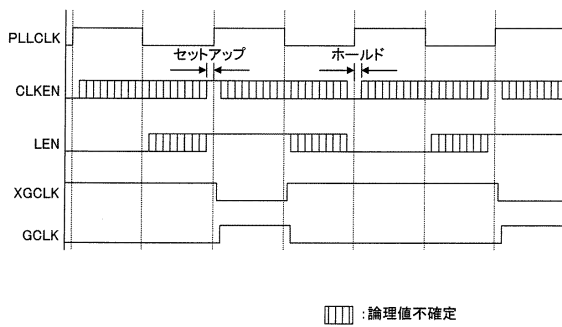
【図10】



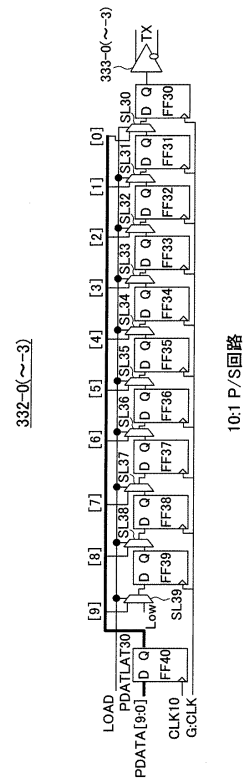
【図11】



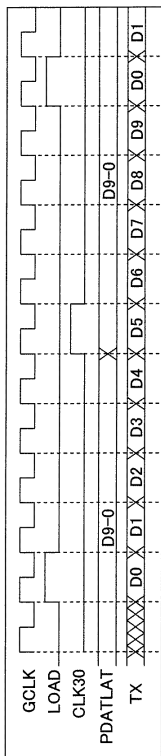
【図12】



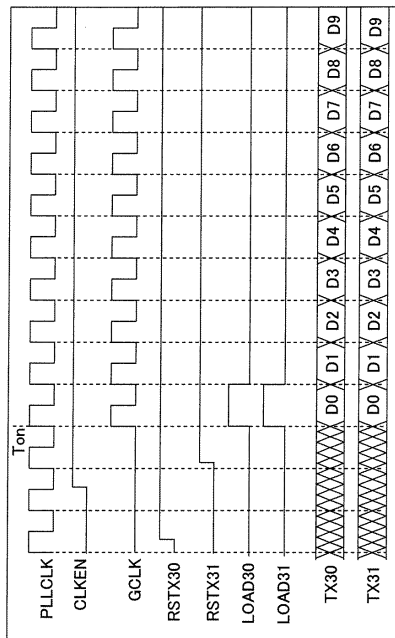
【図13】



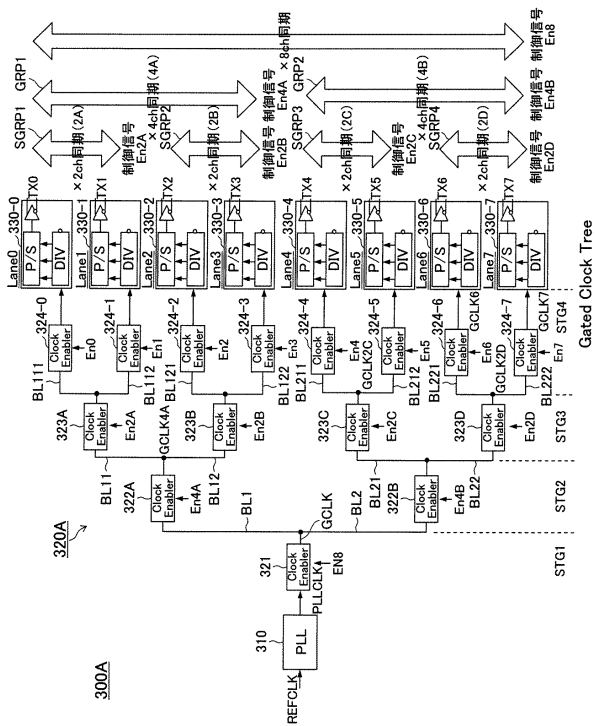
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】

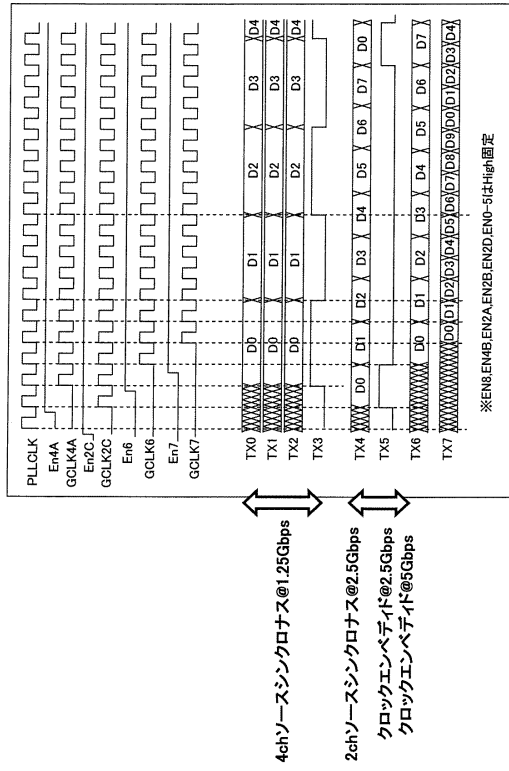


【 図 1 7 】

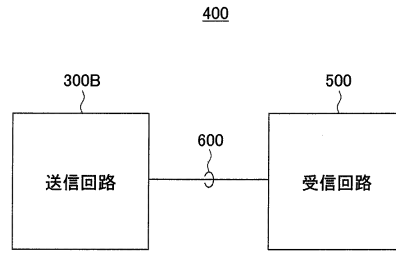
	同期制御	En8	En4A	En4B	En2A	En2B	En2C	En2D
1	x8ch	Control	High	High	High	High	High	High
2	x4ch (4A)	High	High	High	High	High	High	High
3	x4ch (4B)	High	High	Control	High	High	High	High
4	x2ch (2A)	High	High	High	Control	High	High	High
5	x2ch (2B)	High	High	High	High	Control	High	High
6	x2ch (2C)	High	High	High	High	High	Control	High
7	x2ch (2D)	High	High	High	High	High	High	Control

Gating Clock Tree制御マトリクス

【図18】



【図19】



フロントページの続き

- (56)参考文献 特開2003-330568(JP,A)
特開2010-004352(JP,A)
特開平11-119853(JP,A)
特開2000-099189(JP,A)
特開2003-204346(JP,A)
国際公開第2010/050098(WO,A1)
特開2007-096903(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/00 - 5/02
H03K 5/08 - 5/1254
H03K 5/15 - 5/26
H03M 9/00
H04L 7/00
G06F 1/04 - 1/14