

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 011 981

21 N° d'enregistrement national : 13 59925

51 Int Cl⁸ : H 01 L 29/205 (2013.01), H 01 L 29/207, 29/737, 21/
20, 21/331

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 11.10.13.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 17.04.15 Bulletin 15/16.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

Demande(s) d'extension :

71 Demandeur(s) : CENTRE NATIONAL DE LA
RECHERCHE SCIENTIFIQUE - CNRS - Etablissement
public — FR et UNIVERSITE LIBANAISE — LB.

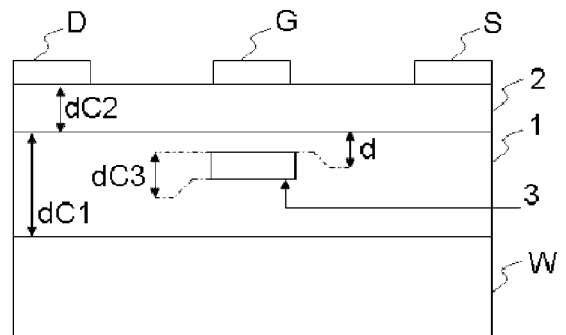
72 Inventeur(s) : MORANCHO FREDERIC, HAMADY
SALEEM et BEYDOUN BILAL.

73 Titulaire(s) : CENTRE NATIONAL DE LA
RECHERCHE SCIENTIFIQUE - CNRS - Etablissement
public, UNIVERSITE LIBANAISE.

74 Mandataire(s) : CABINET PLASSERAUD.

54 TRANSISTOR HEMT A BASE D'HETEROJONCTION.

57 Structure à hétérojonction, dite aussi hétéro-structure, en matériau semi-conducteur, notamment pour un transistor à grande mobilité d'électrons (HEMT) comprenant un substrat, une couche tampon disposée sur le substrat en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III, la largeur de bande interdite Eg1 de la couche tampon. La structure à hétérojonction comprenant en outre une zone intentionnellement dopée, en un matériau de la colonne III identique au matériau de la couche tampon, dans un plan parallèle au plan du substrat et d'une épaisseur déterminée suivant une direction orthogonale au plan du substrat, ladite zone étant comprise dans la couche tampon.



FR 3 011 981 - A1



TRANSISTOR HEMT À BASE D'HETEROJONCTION

Domaine Technique

La présente invention se rapporte de manière générale aux techniques de réalisation de transistors à grande mobilité d'électrons (ou transistor HEMT, de l'anglais « *High Electron Mobility Transistor* ») à hétéro-structure. Elle concerne
5 plus spécialement une hétéro-structure à partir de laquelle peut être réalisé un tel transistor.

L'invention trouve des applications, en particulier dans le domaine des composants électroniques de puissance utilisés, par exemple, dans des dispositifs de production, de conversion et/ou de gestion des énergies
10 renouvelables tels que l'énergie éolienne ou solaire, mais également dans le transport à faible impact écologique.

Art Antérieur

Les sources d'énergie renouvelables telles que par exemple les énergies éoliennes ou solaires sont devenues depuis quelques années des solutions
15 alternatives viables, adaptées pour faire face à la diminution des ressources énergétiques fossiles et au réchauffement climatique. De plus, le développement de moyens de transport à faible impact écologique, tel que le tramway, le train ou bien la voiture électrique, appelle le développement de composants électroniques de puissance adaptés, et plus spécialement
20 d'interrupteurs de puissance.

En particulier, des améliorations aux composants de type semi-conducteur sous forme de circuits intégrés, comme par exemple des transistors de puissance, portent sur les caractéristiques intrinsèques de ces composants pour augmenter leur tension d'utilisation et/ou leur fréquence maximale de
25 commutation. Elles visent aussi à proposer des solutions d'intégration totale permettant une fabrication en masse pour diminuer les coûts de production.

A ce jour, seuls des composants de puissance à base de Silicium (Si) tels que par exemple des transistors MOS (« *Metal Oxyde Semiconductor* ») ou des transistors IGBT (« *Insulated Gate Bipolar Transistor* ») réalisent ce type de
30 fonctions. Cependant, les propriétés physiques inhérentes à l'utilisation du Si rendent difficiles les évolutions technologiques de ce type de composants.

Depuis quelques années, de nombreux travaux de recherche ont permis de trouver des solutions alternatives grâce à l'utilisation de matériaux à large bande interdite, permettant la réalisation de nouveaux composants de puissance comme par exemple des transistors à haute mobilité électronique, aussi appelés transistors HEMT.

Le carbure de Silicium (SiC) et le Nitrure de Gallium (GaN) sont apparus comme étant deux matériaux parmi les plus prometteurs grâce à un champ électrique critique élevé et à une large gamme de fonctionnement en température. Malgré des résultats très remarquables, les composants de puissance à base de SiC rencontrent toutefois des difficultés pour pénétrer les marchés de masse, du fait des tailles limitées des plaquettes en SiC (100 à 150 mm de diamètre maximum à l'heure actuelle). De plus, des problématiques persistent à ce jour pour ce type de composants en ce qui concerne la maîtrise des défauts, mais également la reproductibilité des procédés de fabrication.

Le GaN semble être une alternative au SiC très intéressante pour la conception de composants de puissance. En effet, le GaN est un matériau semi-conducteur plus performant que le Si ou le SiC en termes de compromis résistance passante / tenue en tension. Ce rapport, autrement nommé facteur de mérite, caractérise les performances statiques d'un interrupteur de puissance.

Sur la **Figure 1** est représenté un exemple de structure électronique à hétérojonction utilisée dans un transistor HEMT. Cette structure électronique à hétérojonction comprend plusieurs couches à base de GaN ayant chacune des caractéristiques intrinsèques maîtrisées, et empilées les une au-dessus des autres, avec :

- un substrat W,
- par-dessus lequel vient une première couche 1, dite couche tampon, composée d'un matériau M1 caractérisé par sa largeur de bande interdite ou « gap » E_{g1} ; et,

- une seconde couche 2, dite couche barrière, venant par-dessus la première couche 1 et composée d'un matériau M2 caractérisé par sa largeur de bande interdite ou « gap » E_{g2} , où E_{g1} est inférieure à E_{g2} .

Ce type de structure permet la formation et la circulation d'un gaz bidimensionnel d'électrons, nommé 2DEG dans le jargon de l'Homme du métier, dans un canal C formé dans le matériau M1 à plus petit gap E_{g1} à l'interface entre les deux matériaux M1 et M2 de l'hétérojonction. Une telle structure permet d'associer une forte densité de gaz bidimensionnel d'électrons à une mobilité des porteurs élevée pour obtenir des transistors HEMT avec des courants de drain importants, condition nécessaire pour des applications dans l'électronique de puissance.

De nombreux travaux de recherche portent sur la maîtrise et l'amélioration du confinement du gaz bidimensionnel d'électrons au niveau de l'hétéro-structure AlGaN/GaN en étudiant différentes solutions. Ces solutions peuvent être au niveau du dépôt de la couche GaN, afin de modifier certaines caractéristiques intrinsèques de l'hétéro-structure permettant ainsi d'obtenir des transistors HEMT avec des vitesses de commutation relativement élevées ainsi que des pertes relativement faibles. Elles peuvent aussi consister à créer de nouvelles structures de type MOS-HEMT.

Ainsi, par exemple, une structure de transistor MOS-HEMT est proposée dans la publication IEEE de 2008, « *Enhanced device performance of AlGaN/GaN HEMTs using thermal oxidation of electron-beam deposited Aluminium for gate oxide* » de C. Hongwei *et al.* Cette publication montre l'amélioration des performances d'une structure classique de transistor HEMT qui peut être obtenue en ajoutant une couche d'oxydation au niveau de l'électrode de grille. La structure MOS-HEMT ainsi obtenue possède des courants de fuite moins importants et une gamme de courant de drain plus grande qu'une structure HEMT classique avec, cependant, la nécessité d'avoir une tension de seuil inférieure à zéro volt pour placer le transistor dans un état bloqué.

Or, un autre axe de recherche très important à l'heure actuelle concerne l'état au repos de ce type de structure, c'est-à-dire l'état du transistor lorsqu'aucune tension n'est appliquée sur l'électrode de grille du transistor HEMT. En effet,

dans de nombreuses applications de puissance, le transistor utilisé comme interrupteur doit être à l'état ouvert par défaut (aussi appelé fonctionnalité « normally OFF »). En effet, cet état est indispensable pour des raisons de sécurité et d'économie d'énergie, comme par exemple dans les applications pour le transport automobile ou ferroviaire.

Plusieurs structures à base de GaN ont été récemment proposées afin de satisfaire la fonctionnalité « normally OFF » d'un transistor HEMT. Des travaux de l'équipe de C. Hongwei *et al*, ont montré la possibilité de modifier la tension de seuil pour obtenir un transistor HEMT « normally OFF » en utilisant un traitement aux ions Fluor dans une publication nommée « *Self-aligned enhancement-mode AlGaIn/GaN HEMTs Using 25keV Fluorine Ion Implantation* » publié en 2010 dans la revue IEEE. Pour ce faire, une zone dopée au Fluor est insérée dans la couche barrière de la structure AlGaIn/GaN du transistor HEMT et celle-ci est placée en dessous de l'électrode de grille, les doses d'ions Fluor étant déterminées pour avoir un décalage suffisant de la tension V_{gs} du transistor.

Le brevet n° US2007/0278518A1 intitulé « Enhancement Mode III-N Devices and Circuits » propose en outre une autre évolution du procédé de fabrication d'une structure de transistor HEMT utilisant une méthode de traitement à base d'un plasma de Fluor sur la couche barrière de l'hétéro-structure. Cette méthode permet, avec un procédé relativement simple (utilisation d'un plasma de fluor), de modifier les caractéristiques intrinsèques de l'hétéro-structure afin d'obtenir un transistor « normally OFF ».

L'évolution des techniques de conception ainsi que de fabrication comme celles présentées ci-dessus permet d'obtenir des transistors HEMT « normally OFF » pouvant adresser seulement certains marchés de conversion d'énergie à cause de courants de fuite encore relativement importants.

Une autre voie d'amélioration a été proposée par la société MicroGaN. Celle-ci commercialise en effet des structures de puissance à base de montages Cascode associant un transistor HEMT à base de GaN pour exploiter la mobilité élevée des électrons, à un transistor MOS en Si pour obtenir de faibles courants de fuite. Malgré des vitesses de commutation importantes et des

courants de fuite faibles, cette solution ne permet toutefois pas d'envisager des applications à forte puissance car ce type de structure est thermiquement limité par la température maximale de fonctionnement des transistors en Si utilisés dans le montage Cascode.

5

Résumé de l'Invention

L'invention vise à surmonter les inconvénients de l'art antérieur précités, et plus particulièrement à permettre la réalisation d'un transistor HEMT avec un faible courant de fuite au niveau de la grille, une vitesse de commutation élevée et une tension de seuil supérieure à 0 V afin d'assurer la fonctionnalité « normally OFF ».

10

A cet effet, un premier aspect de l'invention propose une structure à hétérojonction, dite aussi hétéro-structure, en matériau semi-conducteur, notamment pour un transistor à grande mobilité d'électrons (HEMT). La structure comprend :

15

- un substrat plan,
- une couche tampon, disposée sur le substrat, en un matériau semi-conducteur à large bande interdite, à base de nitrure de la colonne III,
- une couche barrière, disposée au-dessus de la couche tampon, en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III, ladite largeur de bande interdite de la couche barrière étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon,
- une zone intentionnellement dopée, en un matériau à base de nitrure de la colonne III identique au matériau de la couche tampon, d'une longueur et d'une largeur déterminées dans un plan parallèle au plan du substrat et d'une épaisseur déterminée suivant une direction orthogonale au plan du substrat, ladite zone intentionnellement dopée étant comprise dans la couche tampon.

20

25

Selon des modes de réalisation de l'invention, la zone intentionnellement dopée est placée sous l'interface entre la couche tampon et la couche barrière à une distance déterminée non nulle de cette interface suivant la direction orthogonale au plan du substrat.

30

Cette zone intentionnellement dopée située dans la couche tampon permet d'augmenter localement l'écart entre le niveau de Fermi et la bande de conduction de l'hétérojonction, c'est-à-dire à l'interface entre les matériaux de la couche tampon et de la couche barrière. En effet, la présence de la zone intentionnellement dopée a pour effet d'élever la bande de conduction de l'interface au-dessus du niveau de Fermi, c'est-à-dire le niveau d'énergie du plus haut niveau occupé par les électrons, permettant ainsi de décaler la tension de seuil de cette hétéro-structure et ainsi obtenir un transistor « normally OFF ».

10 Selon différents modes de réalisation de l'invention, la couche tampon, la couche barrière et la zone intentionnellement dopée sont formées en un matériau semi-conducteur à base de nitrure de la colonne III tel que, par exemple, du GaN.

Un dopage de type P peut être utilisé pour doper intentionnellement cette zone.

15 La différence de contrainte interne entre le substrat et la couche tampon peut provoquer des déchirures du film de GaN. Avantageusement, pour pallier ce problème mais également les problèmes éventuels de dislocation, dans un mode de réalisation de l'invention une couche de nucléation est intercalée entre le substrat et la couche tampon.

20 Un deuxième aspect de l'invention se rapporte à un transistor de type HEMT réalisé à partir d'une hétéro-structure telle que décrite ci-dessus. Le transistor comprend des électrodes de source S, de drain D et de grille G qui peuvent être disposées sur la couche barrière.

Dans des modes de réalisation, un tel transistor peut avoir une couche isolante, par exemple à base d'oxyde, déposée sur la couche barrière avec l'électrode de grille G disposée sur la couche isolante et les électrodes de drain D et de source S disposées sur la couche barrière de part et d'autre de la grille dans le plan supérieur de la couche barrière.

25 Par exemple, la couche isolante à base d'oxyde peut être disposée uniquement sous l'électrode de grille G, ladite couche isolante ayant par exemple une surface identique à la surface de l'électrode de grille G.

30

Dans des modes de réalisation, on peut moduler la tension de seuil du transistor grâce à l'une au moins des caractéristiques suivantes, prises isolément ou en combinaison :

5 - on peut modifier la surface de la zone intentionnellement dopée dans son plan parallèle au plan du substrat, et notamment, dans un exemple, la mesure dans laquelle elle est inférieure ou égale à la surface de l'électrode de grille dans ledit plan ;

10 - on peut modifier la distance d entre la zone intentionnellement dopée et l'interface entre la couche tampon et la couche barrière suivant la direction orthogonal au plan du substrat ; dans un exemple, cette distance d est inférieure à 800nm ; et,

Selon un troisième aspect de l'invention, il est proposé un procédé de fabrication d'une telle hétéro-structure qui comprend :

- 15 - la préparation d'un substrat,
- le dépôt d'une couche tampon, en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III, sur le substrat,
- le dépôt d'une couche barrière, en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III, sur la couche
- 20 tampon,
- le dopage intentionnel d'une zone, en un matériau à base de nitrure de la colonne III identique au matériau de la couche tampon, d'une longueur et d'une largeur déterminées dans un plan parallèle au plan du substrat et d'une épaisseur déterminée suivant une direction
- 25 orthogonale au plan du substrat, ladite zone étant comprise dans la couche tampon.

Avantageusement, ce procédé de fabrication est simple et ne nécessite que très peu d'étapes supplémentaires par rapport à la fabrication d'une hétéro-structure classique, par exemple pour la réalisation d'un transistor HEMT

30 classique.

Selon un quatrième aspect, l'invention concerne un produit semi-conducteur comprenant au moins un transistor selon le deuxième aspect. Il peut s'agir, par

exemple, d'un interrupteur de puissance ou de tout autre composant de puissance tel qu'un régulateur de tension de puissance, par exemple.

Brève Description des Dessins

- 5 D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés dans lesquels :
- La Figure 1 est une vue en coupe d'un exemple d'empilement d'une structure à hétérojonction de l'art antérieur ;
 - 10 - La Figure 2 est une vue en coupe d'un exemple d'empilement d'une structure à hétérojonction selon un mode de réalisation de l'invention ;
 - La Figure 3 est une vue en coupe détaillée des différentes couches constituant une structure à hétérojonction selon un mode de réalisation de l'invention ;
 - 15 - Les Figures 4A à 4C sont des vues en coupe illustrant les principales étapes technologiques pour la réalisation du procédé de dopage « lift » ;
 - Les Figures 5A à 5D sont des vues en coupe illustrant les principales étapes technologiques pour la réalisation du procédé de dopage / gravure de la zone intentionnellement dopée ;
 - 20 - La Figure 6 est une vue en coupe d'un exemple d'empilement d'un transistor HEMT selon un mode de réalisation de l'invention ;
 - Les Figures 7 à 9 sont des vues selon différents axes du placement de l'électrode de grille (G) du transistor par rapport à la couche dopée ;
 - La Figure 10 est un graphe représentant la variation de la tension de seuil du transistor HEMT en fonction du dopage de la couche dopée ;
 - 25 - La Figure 11 est un graphe représentant la variation de la tension de seuil du transistor HEMT en fonction de la distance entre la couche dopée et la zone d'interface AlGaIn/GaN ;
 - La Figure 12 est un graphe représentant la variation de la tension de seuil du transistor HEMT en fonction de l'épaisseur de la couche dopée ;
 - 30 - La Figure 13 est un graphe représentant la tension de seuil et le courant du transistor selon un mode de réalisation de l'invention ;

- La Figure 14 est une vue en coupe d'un exemple d'empilement d'un transistor HEMT selon un autre mode de réalisation ;
- La Figure 15 est une vue en coupe d'un exemple d'empilement d'un transistor HEMT selon un autre mode de réalisation ;
- 5 - La Figure 16 est une vue en coupe d'un exemple d'empilement d'un transistor HEMT selon un autre mode de réalisation,
- La Figure 17 est une vue en coupe d'un exemple d'empilement d'un transistor HEMT selon un autre mode de réalisation,
- La Figure 18 est une vue en coupe d'un exemple d'empilement d'un
- 10 transistor HEMT selon un dernier mode de réalisation.

Description détaillée de modes de réalisation

A titre liminaire, il est à noter que toutes les figures illustrant des vues en coupe de la structure à hétérojonction ainsi que toutes les figures illustrant des empilements des couches mais également celles représentant des étapes de

15 procédé de fabrication de la structure à hétérojonction et du transistor HEMT, ne sont pas à l'échelle. Les différentes épaisseurs ne sont pas représentées dans des proportions conformes à la réalité. Dans un souci de simplification, dans la description qui suit et aux figures, les éléments communs à toutes les

20 structures portent les mêmes références.

L'invention sera plus particulièrement décrite dans un exemple non limitatif d'application à une structure à hétérojonction pour transistors HEMT. L'exemple de structure à hétérojonction décrit ci-après est à base de nitrures d'éléments de la colonne III du tableau périodique des éléments, également

25 appelé table de Mendeleïev ; et elle porte plus particulièrement sur une structure à hétérojonction à base de matériaux nitrurés de type AlGa_xN_{1-x}/Ga_{1-x}N_x. Le GaN peut être le matériau semi-conducteur dont est réalisée la couche tampon 1 avec une largeur de bande interdite E_{g1} plus petite que la largeur de bande interdite E_{g2} du AlGa_xN_{1-x} qui peut être le matériau dont est réalisée la

30 couche barrière 2. Il est bien évident, toutefois, que l'invention n'est pas limitée à ces exemples. Par exemple, une structure à hétérojonction qui utilise les propriétés d'un autre type de matériaux permettant la création d'une interface

entre un matériau à grand gap du type du GaAlAs et un matériau à petit gap du type du GaAs peut être réalisée.

Selon des modes de réalisation, la structure comprend une zone intentionnellement dopée 3 située dans la couche tampon 1, sous l'interface
5 entre la couche tampon et la couche barrière.

La **Figure 2** montre un premier exemple d'empilement des couches constituant la structure à hétérojonction. Elle comprend dans l'ordre croissant d'empilement :

- un substrat W plan,
- 10 - une couche tampon 1, disposée sur le substrat W, en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III,
- une couche barrière 2, disposée au-dessus de la couche tampon 1, en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III, ladite largeur de bande interdite E_{g2} de la couche barrière 2 étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon 1,
- 15 - une zone intentionnellement dopée 3, en un matériau de la colonne III identique au matériau de la couche tampon 1 d'une longueur L_{o3} et d'une largeur L_{a3} déterminées dans un plan parallèle au plan du substrat, et d'une épaisseur d_{C3} suivant une direction perpendiculaire au plan du substrat, ladite zone intentionnellement dopée 3 étant disposée dans la couche tampon 1.
- 20

La présence de la zone intentionnellement dopée située dans la couche
25 tampon 1 va élever la bande de conduction de l'interface entre la couche tampon 1 et la couche barrière 2 au-dessus du niveau de Fermi, c'est-à-dire le niveau d'énergie du plus haut niveau occupé par les électrons, permettant ainsi de décaler la tension de seuil du transistor réalisé avec cette hétéro-structure et ainsi obtenir un transistor « normally OFF ».

30 Le procédé de fabrication dans un exemple de réalisation d'une telle hétéro-structure comprend :

- la préparation d'un substrat W,

- le dépôt d'une couche tampon 1, en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III sur le substrat W,
- 5 - le dépôt d'une couche barrière 2, en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III sur la couche tampon 1,
- 10 - le dopage intentionnel d'une zone 3, en un matériau à base de nitrure de la colonne III identique au matériau de la couche tampon 1, d'une longueur L_{o3} , d'une largeur L_{a3} et d'une épaisseur d_{C3} déterminées dans un plan parallèle au plan du substrat W et d'une épaisseur déterminée suivant une direction orthogonale au plan du substrat, ladite zone étant comprise dans la couche tampon 1.

15 Les performances d'une structure à hétérojonction avec une telle zone intentionnellement dopée 3 dépendent entre autre de la qualité cristalline du matériau d'épitaxie utilisé.

Le GaN est un matériau d'épitaxie qui permet de limiter des désaccords partiels de maille avec les matériaux formant l'hétéro-structure et obtenus par croissance cristallographique à partir du substrat W.

20 Plusieurs types de matériaux de substrat peuvent être utilisés pour réaliser le substrat W, en tant que substrat d'épitaxie pour le GaN. Dans des modes de réalisation, on utilise par exemple le Carbure de Silicium (SiC) qui donne un désaccord de maille de l'ordre de 3.4% seulement, ou le Saphir (Al_2O_3). D'autres exemples de substrats, comme par exemple des substrats à base de 25 GaAs, de ZnO ou bien des substrats dits « free standing » peuvent aussi être utilisés.

En variante, le Silicium (Si) peut également être utilisé pour réaliser le substrat. Le Si est un matériau qui peut être utilisé pour la fabrication de composants en général et de transistors HEMT en particulier, dont les caractéristiques 30 intrinsèques sont très bien maîtrisées, malgré un désaccord de maille supérieur au SiC et de moins bonnes performances notamment en ce qui concerne la conduction thermique. En effet, l'utilisation massive de plaquettes en Si (ou « wafer ») de très bonne qualité de fabrication et de diamètre important (par

exemple 6 pouces ou 8 pouces) permet de diminuer les coûts de production ainsi que les coûts de revient de tels composants.

En fonction de la nature du substrat, par exemple SiC ou Si, ou de l'orientation cristalline du substrat de Si, la qualité de la couche GaN obtenue par croissance épitaxiale peut varier, ce qui est susceptible de modifier les performances de la structure à hétérojonction. C'est pourquoi, dans un exemple de réalisation, la structure à hétérojonction peut être réalisée sur un substrat Si d'orientation cristalline déterminée, par exemple celle notée (111) dans la littérature, avec si nécessaire interposition de couches de transition (dites plus communément couches de nucléation) afin de pallier les problèmes éventuels de dislocation mais également de déchirure du film qui sont dues à la différence de contraintes mécaniques internes entre les deux couches (de Si et de GaN). Ces couches de nucléation peuvent être déposées, par exemple en plusieurs opérations de dépôt successives, sur une autre couche de composés nitrurés par épitaxie. Ceci permet d'obtenir une croissance de la couche tampon 1 de qualité souhaitée à l'interface avec la couche barrière 2. On notera également que le substrat Si peut être d'orientation cristalline (001) ou encore (100), et que si nécessaire des couches intermédiaires peuvent être utilisées, comme précédemment exposé, afin d'obtenir un film de GaN en concordance avec le cahier des charges de l'application.

Les substrats décrits ci-dessus sont cités ici seulement à titre d'exemple et ne sont pas limitatifs de l'invention.

Dans un mode de réalisation représenté à la **Figure 3**, la couche tampon 1 peut être composée d'un matériau à base de nitrure, par exemple du GaN. Elle peut comporter au moins une première couche tampon 11 qui peut être déposée sur une ou plusieurs couches de nucléation comme indiqué précédemment. La couche tampon 11 sert de base de croissance pour une seconde couche tampon 12 de la couche tampon 1. Une dernière couche dite couche barrière 2 à base de GaN est ensuite obtenue. De préférence, il est fait en sorte que la couche tampon 12 ainsi que la couche 2 possèdent d'excellentes caractéristiques cristallines car celles-ci participent à la création d'un gaz bidimensionnel d'électrons.

D'autres couches de nucléation et/ou de passivation peuvent être prévues entre le substrat W et la couche tampon 11, et/ou entre la couche tampon 11 et la couche tampon 12, mais ne sont pas représentées sur la **Figure 3**. La croissance de telles couches peut être réalisée en utilisant des techniques de

5 la microélectronique, comme par exemple la technique par Épitaxie en Phase Vapeur dans des réacteurs de type HVPE (de l'anglais « *Hybride Vapour Phase Epitaxy* »), à partir de certains mélanges gazeux de type par exemple GaCl₃/NH₃. Cette technique permet grâce à des vitesses de croissance rapide d'obtenir des épaisseurs relativement importantes et d'excellentes qualités.

10 D'autres techniques de dépôt peuvent être également utilisées telles que par exemple la méthode MBE (de l'anglais « *Molecular Beam Epitaxy* »), mais également la méthode MOCVD (de l'anglais « *MetalOrganic Chemical Vapor Deposition* »). Ces méthodes sont citées à titre d'exemple et n'ont aucun caractère limitatif quant aux techniques de conception de telles couches

15 nitrurées qui peuvent être utilisées pour la conception de transistors HEMT.

Dans des modes de réalisation, la croissance de la couche tampon 11 peut être obtenue par un dépôt par la méthode MOCVD, par exemple en utilisant des éléments de la colonne III, notamment par acheminement dans une chambre de réaction. Il peut s'agir, par exemple, d'un mélange de dihydrogène

20 ainsi que d'un précurseur chimique. Le GaN se forme ainsi à la surface du substrat W pour former la première partie de la couche barrière 1 (nommée couche tampon 11) non intentionnellement dopée N dans la chambre de réaction. Cette couche est activée, par exemple sous un plasma RF et, par exemple, à une vitesse de l'ordre de quelques µm/h. L'épaisseur de la couche

25 tampon 11 peut alors être aussi faible que de l'ordre de 1 à 3 µm.

Dans des modes de réalisation, la structure à hétérojonction comprend en outre une zone intentionnellement dopée 3, avec par exemple un dopage de type P. Le matériau de cette zone intentionnellement dopée 3 est de même nature que celui de la couche barrière 1 située dans la couche barrière 1.

30 Les dimensions de la zone intentionnellement dopée 3, ainsi que son épaisseur dC3 jouant un rôle important sur les propriétés de l'hétéro-structure, il est préférable de délimiter la zone d'implantation de façon précise. La formation de la zone intentionnellement dopée 3 sur la couche tampon 11 peut être réalisée

par exemple, selon l'un parmi deux procédés technologique connus que sont un procédé par dopage « lift » et un procédé de dopage/gravure.

Les **Figures 4A à 4C** illustrent les étapes technologiques principales pour la mise en œuvre du procédé de dopage « lift » qui peut être utilisé, dans des modes de réalisation, pour doper intentionnellement la zone intentionnellement dopée 3.

En premier lieu, une couche de masquage 6 ou de protection permettant de délimiter avec précision la zone intentionnellement dopée 3 est réalisée sur la couche tampon 11 (**Figure 4A**). Ce masque 6 peut être réalisé par exemple avec un polymère photosensible permettant à l'aide des techniques de photolithographie classiques, de délimiter la zone intentionnellement dopée 3 sur la couche tampon 11. Une fois la zone délimitée, le processus de croissance de la couche par épitaxie qui a été décrit précédemment peut être mis en œuvre avec l'insertion dans ce processus de croissance de la zone intentionnellement dopée 3 d'un élément dopant de type P comme par exemple du Magnésium (Mg). Les doses d'éléments dopants sont sélectionnées pour obtenir une zone dopée P correspondant au cahier des charges de l'application (**Figure 4B**). Un exemple présentant le type et la quantité d'éléments dopants utilisés pour la réalisation d'un transistor HEMT sera présenté ultérieurement dans la description.

Une fois la croissance de la zone intentionnellement dopée 3 terminée, le masque 6 est retiré, par exemple à l'aide d'un procédé utilisant un « *remover* » ou tout autre procédé de gravure humide ou sèche permettant de supprimer cette couche 6 sans altérer les couches tampon 11 et 3. La **Figure 4C** représente la zone intentionnellement dopée 3 à la fin de ce procédé technologique.

Une autre méthode de fabrication de la zone intentionnellement dopée 3 peut utiliser un procédé technologique dit procédé de dopage/gravure. Pour ce faire, comme représenté sur la **Figure 5A**, la zone intentionnellement dopée 3 est déposée sur la totalité de la structure à l'aide par exemple du même procédé de croissance que cité précédemment dans le procédé de dopage Lift. Une fois le dépôt effectué, une couche de masquage 61 peut être déposée à l'aide d'un matériau polymère photosensible, par exemple (**Figure 5B**). Les zones non

souhaitées sont ensuite supprimées, (**Figure 5C**) par gravure sèche par exemple à l'aide par exemple d'un procédé DRIE (de l'anglais « *Die Reactive Ion Etching* ») permettant ainsi de délimiter la zone intentionnellement dopée 3 seulement dans la zone sous le masque 61. Une fois la gravure terminée, la
5 couche de masquage 61 est supprimée à l'aide de techniques comme celles citées précédemment et connues en soi de l'homme de l'art de la microélectronique (**Figure 5D**).

On notera que des matériaux pouvant être utilisés pour créer la couche protectrice 6 et/ou 61 ont été donnés ci-dessus seulement à titre d'exemple
10 ainsi que le mode de dopage de la zone intentionnellement 3. De plus, il est bien entendu que l'intégralité des différentes étapes du procédé technologique telles que, par exemple, des phases de dépôt de résine photosensibles, des étapes de photolithographie et des étapes de nettoyage nécessaires à un tel procédé n'ont pas été citées pour ne pas alourdir la description.

15 La seconde couche tampon 12 constituant la couche tampon 1 peut être ensuite déposée selon, par exemple, le même mode de croissance que la couche tampon 11. L'épaisseur de la couche tampon 12 sera par exemple inférieure d'un ratio 10 par rapport à la couche tampon 11 permettant ainsi de rapprocher la zone intentionnellement dopée 3 du canal de conduction du
20 transistor.

Le matériau constituant la couche barrière 2 peut être formé d'un matériau semi-conducteur ayant une largeur de bande E_{g2} plus grande que la largeur de bande E_{g1} . Dans l'exemple considéré ici, cette couche peut être composée d'AlGa_xN, telle que AlGa_(1-x)N, où x est la fraction molaire et est compris entre
25 0 et 1, avec une épaisseur de la couche barrière 2 inférieure à 1 μ m.

Dans un mode de réalisation non illustré sur les Figures, la couche barrière 2 peut être composée de plusieurs couches avec des caractéristiques respectives maîtrisées, telles que, par exemple, une couche dopée, appelée couche donneuse fournissant des électrons intervenant dans la formation du
30 gaz bidimensionnel d'électrons.

La structure à hétérojonction qui a été présentée ci-dessus permet un perfectionnement, par exemple, dans la maîtrise des tensions de seuil des transistors HEMT afin d'obtenir des transistors « normally OFF ».

Dans un exemple de réalisation d'un transistor HEMT celui-ci comprend comme représenté sur la **Figure 6** :

- un substrat W plan,
- une couche tampon 1, disposée sur le substrat W en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III,
- une couche barrière 2, disposée au-dessus de la couche tampon 1, en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III, ladite largeur de bande interdite E_{g2} de la couche barrière 2 étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon 1,
- une zone intentionnellement dopée 3, en un matériau de la colonne III identique au matériau de la couche tampon 1 d'une longueur L_{o3} et d'une largeur L_{a3} déterminées dans un plan parallèle au plan du substrat, et d'une épaisseur d_{C3} suivant une direction perpendiculaire au plan du substrat, ladite zone intentionnellement dopée 3 étant disposée dans la couche tampon 1,
- des électrodes de source (S), de drain (D) et de grille (G).

Le procédé de fabrication dans un exemple de réalisation d'un transistor (HEMT) utilisant une telle hétéro-structure comprend :

- la préparation d'un substrat W,
- le dépôt d'une couche tampon 1 en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III sur le substrat W,
- le dépôt d'une couche barrière 2 en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III sur la couche tampon 1,
- le dopage intentionnel d'une zone 3, en un matériau à base de nitrure de la colonne III identique au matériau de la couche tampon 1, d'une longueur L_{o3} , d'une largeur L_{a3} et d'une épaisseur d_{C3} déterminées dans un plan parallèle au plan du substrat W et d'une épaisseur

déterminée suivant une direction orthogonale au plan du substrat, ladite zone étant comprise dans la couche tampon 1,

- la création des électrodes de grille (G), de drain (D) et de source (S) à l'aide d'une ou de plusieurs couches de matériaux conducteur électriquement.

5

Il est noté que toutes les étapes intermédiaires liées à un tel procédé que sont les étapes de photolithographie, nettoyage, ainsi que par exemple les étapes de dépôt de résine photosensible ne sont pas décrites en détails ici afin de ne pas alourdir la présente description.

- 10 Il peut être utilisé, dans un exemple de réalisation de l'invention, un dopant de type P de la colonne II-A tel que par exemple le Magnésium (Mg), pour doper le matériau de la zone intentionnellement dopée 3. Cependant, d'autres dopants de cette même colonne du tableau périodique de Mendeleïev peuvent également être utilisés, comme par exemple le béryllium.

- 15 Les électrodes de Drain D et Source S sont des contacts dits « ohmiques » réalisant ainsi des contacts Métal/Semi-conducteur de faible résistance et l'électrode de Grille G est un contact Métal/Semi-conducteur dit « Schottky ». Le procédé de fabrication de telles électrodes étant connu de l'homme du métier, il ne sera pas détaillé dans la description.

- 20 Les métaux utilisés pour effectuer ces reprises de contact du transistor HEMT décrit dans l'invention peuvent être de différentes natures, en fonction des caractéristiques des contacts souhaitées.

Les électrodes peuvent être composées d'une seule couche de métal par exemple Ti, Al ou d'autres métaux, voire de bicouche ou tri-couche métallique.

- 25 Ces métaux peuvent être déposés par les méthodes traditionnelles de dépôt de métaux utilisées en microélectronique comme par exemple par la méthode Lift-off ou par la méthode LIGA (*pour Lithographie GALvanic*). Lesdites électrodes peuvent également être constituées d'autres matériaux dont les propriétés électriques auront été au préalable modifiées pour convenir à la résistance de contact souhaitée.
- 30

Comme il déjà a été présenté dans ce qui précède, l'invention permet d'obtenir un transistor HEMT avec une tension de seuil nulle ou positive afin d'obtenir un transistor HEMT « normally OFF ». Pour ce faire, dans un exemple de

réalisation du procédé, il est créé une zone 3 intentionnellement dopée 3, par exemple avec des éléments de type P, dans la couche barrière 1 ; ladite zone intentionnellement dopée 3 est placée sous l'électrode de grille (G) du transistor et est, selon des modes de réalisation, de taille, d'épaisseur, de profondeur et quantité de dopants différentes. Ces paramètres permettent de maîtriser la tension de seuil du transistor HEMT.

Afin de ne pas dépléter le canal de conduction dans une région non contrôlée par la tension de grille, la zone intentionnellement dopée 3 caractérisée par sa longueur $Lo3$ et sa largeur $La3$ dans un plan parallèle à celui du substrat est de préférence de dimensions inférieures ou égales aux dimensions de l'électrode de grille G dans un plan parallèle au plan du substrat.

En référence à la **Figure 7**, on a alors les relations suivantes:

$$Lo3 \leq LoG, \quad (1)$$

$$La3 \leq LaG. \quad (2)$$

où :

$Lo3$ est la longueur de la zone intentionnellement dopée 3,
 $La3$ est la largeur de la zone intentionnellement dopée 3,
 LoG est la longueur de l'électrode de grille (G), et
 LaG est la largeur de l'électrode de grille (G).

Ces dimensions étant considérées dans un plan parallèle au plan du substrat.

De plus, afin de ne pas encourir un blocage du courant de grille, le placement de la zone intentionnellement dopée 3 par rapport à l'électrode de grille G est important. Pour ce faire, le placement de la zone intentionnellement dopée 3 par rapport à l'électrode de grille G doit être (Figure 8 et Figure 9):

$$[B1 = 0; B2 = 0]_{LoZCP=LoG; LaZCP=LaG}, \quad (3)$$

où :

$$[B1 \leq 0; B2 \leq 0]_{LoZCP < LoG; LaZCP < LaG}. \quad (4)$$

Avec :

$$B1 = p1 - p2, \quad (5)$$

$$B2 = p3 - p4. \quad (6)$$

où :

$p1$ est le positionnement de l'électrode de grille (G) sur l'axe x,

p_2 est le positionnement de la zone intentionnellement dopée 3 sur l'axe x,

p_3 est le positionnement de l'électrode de grille (G) sur l'axe z,

5 p_4 est le positionnement de la zone intentionnellement dopée 3 sur l'axe z,

B1 est l'écart entre l'électrode de grille (G) et la zone intentionnellement dopée 3 selon l'axe des x

B2 est l'écart entre l'électrode de grille (G) et la zone intentionnellement dopée 3 selon l'axe des z,

10 Lo3 est la longueur de la zone intentionnellement dopée 3,

La3 est la largeur de la zone intentionnellement dopée 3,

LoG est la longueur de l'électrode de grille (G), et,

LaG est la largeur de l'électrode de grille (G).

15 La présence de la zone intentionnellement dopée 3 composée de GaN dopé P dans la couche barrière 1 non intentionnellement dopée N, augmente l'écart du niveau de Fermi et, de ce fait, la bande de conduction de l'hétérojonction AlGaIn/GaN. La tension de seuil maximale ainsi obtenue peut être atteinte avec une concentration de dopage de l'ordre de $1.10^{+19} \text{ cm}^{-3}$ avec un dopant de type P tel que par exemple le Magnésium (Mg).

20 Le graphe de la **Figure 10** présente des résultats obtenus par modélisation d'une telle structure avec différentes valeurs de tensions de seuil (V) d'un transistor HEMT pour différentes valeurs de dopage (cm^{-3}) selon un exemple de réalisation de l'invention. Il est à noter que ces simulations sont données pour des dimensions de zone dopée déterminées avec une épaisseur de la

25 zone intentionnellement dopée 3 égale à 400nm, une largeur de $1\mu\text{m}$ ainsi que pour des distances d de 10nm, 20nm et 30nm. Les résultats sur ce graphe mettent en évidence l'influence du dopage sur la valeur de la tension de seuil du transistor HEMT de l'invention et plus particulièrement il est mis en évidence que l'écart de bande maximal peut être atteint par plusieurs valeurs de dopage

30 autrement dit une structure « normally OFF » peut être obtenue avec différentes valeurs de dopage et des distances d peu élevées, au moins inférieures à 30nm.

Cependant, il est à noter que l'augmentation de la tension de seuil n'est pas seulement due à l'augmentation de l'écart de bande affectée par l'augmentation du dopage de la zone intentionnellement dopée 3, mais aussi par le taux d'augmentation de l'écart de bande à l'intérieur de la zone intentionnellement dopée 3. Ceci permet d'obtenir plus rapidement un écart maximum souhaité à l'aide d'un dopage élevé. De plus, afin de maîtriser le bruit interne du transistor HEMT selon l'invention l'écart entre le dopage de la zone intentionnellement dopée 3 et le dopage de la couche 1 non intentionnellement dopée entourant la zone intentionnellement dopée 3 doit être d'au moins une

5

10

décade.

Selon un autre exemple de réalisation, l'invention propose de contrôler la tension de seuil du transistor en faisant varier la distance entre la zone intentionnellement dopée 3 et l'interface AlGaIn/GaN. En effet, la diminution ou l'augmentation de la distance entre la zone intentionnellement dopée 3 et la zone d'interface AlGaIn/GaN permet de moduler l'écart entre le niveau de Fermi et la bande de conduction et donc de moduler la tension de seuil du transistor.

15

Le graphe de la **Figure 11** montre la variation de la tension de seuil du transistor (V) en fonction de la distance d (μm) entre la zone intentionnellement dopée 3 et la zone d'interface AlGaIn/GaN.

20

Ces résultats de simulation sont donnés pour des dimensions de la zone intentionnellement dopée 3 déterminées avec une épaisseur de la zone intentionnellement dopée 3 égale à 100nm, une largeur de $1\mu\text{m}$ ainsi que pour un dopage de $2 \cdot 10^{18} \text{cm}^{-3}$. Ce graphe met en évidence l'augmentation de la tension de seuil du transistor HEMT en fonction de la diminution de la distance d de la zone intentionnellement dopée 3. Selon un mode de réalisation, la variation et, plus précisément, l'augmentation de la tension de seuil du transistor HEMT est proportionnelle à la diminution de la distance entre la zone intentionnellement dopée 3 et la zone d'interface. Il est à noter que les valeurs communiquées sont données à titre d'exemple et ne sont pas limitatives à la portée de l'invention. Les doses de dopants ainsi que les dimensions de la zone intentionnellement dopée 3 peuvent varier en fonction du domaine d'application de l'invention ainsi que la tension de seuil souhaitée.

25

30

Les modes de réalisation de l'invention permettent de maîtriser la tension de seuil du transistor en fonction de l'épaisseur dC3 de la zone intentionnellement dopée 3. En effet, comme il a été présenté précédemment, l'introduction de la zone dopée entre les couches de GaN non intentionnellement dopée, favorise l'augmentation de l'écart entre le niveau de Fermi et la bande de conduction permettant ainsi de maîtriser entre autres la tension de seuil du transistor HEMT.

Lorsque l'épaisseur de la zone intentionnellement dopée 3 augmente, comme présentée sur la **Figure 12**, celle-ci favorise l'augmentation de l'écart entre le niveau de Fermi et la bande de conduction jusqu'à une valeur seuil à partir de laquelle son influence (l'influence de l'épaisseur sur l'écart) n'est plus avérée. En effet, à partir d'une certaine épaisseur suffisamment élevée et dépendante d'autres paramètres tels que la quantité de dopage, sa surface, son positionnement, l'écart devient alors constant et égal à celui d'une région dopée P non entourée.

Le graphe de la **Figure 13** compare la tension de seuil d'un transistor selon un exemple de réalisation de l'invention à la tension de seuil d'un HEMT conventionnel « normally ON » présentant les mêmes paramètres physiques et géométriques à l'exception de la zone intentionnellement dopée 3. Pour cette structure qui nous est montrée à titre d'exemple, les paramètres de la structure sont :

- substrat W en Si (111),
- couche tampon 1 en GaN, avec dC1=1,1µm,
- couche barrière 2 en AlGaIn, avec dC2=30nm,
- zone intentionnellement dopée 3 avec :
 - dopants Mg, à la concentration de $1.9 \times 10^{18} \text{ cm}^{-3}$,
 - largeur La3=1µm,
 - Épaisseur dC3=400nm et,
 - Distance d= 10nm,
- électrodes grille G de largeur 1 µm drain D et source S de largeur 2µm.

Ces résultats de simulations montrent que, contrairement au transistor HEMT conventionnel, la tension de seuil du transistor HEMT est positive grâce notamment au réglage de la distance d entre la zone intentionnellement dopée 3 et l'interface AlGa_N/Ga_N. Il est important de noter que la modification de la distance d permet, sans modification de l'épaisseur de la couche AlGa_N et par conséquent sans affecter la densité de courant à l'interface AlGa_N/Ga_N, de contrôler la tension de seuil du transistor.

Cependant, en référence à la **Figure 13**, le courant de fuite schématisé par IGS reste relativement élevé du fait de la présence d'un contact Schottky entre l'électrode de grille G et la couche barrière 2.

Afin de pallier ces inconvénients il est intégré dans un autre exemple de réalisation une couche d'oxyde entre l'électrode de grille G et la couche Al(1-x)Ga_N. Celle-ci comprend en outre comme représentée sur la **Figure 14** :

- un substrat (W) plan,
- une couche tampon 1, disposée sur le substrat W en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III,
- une couche barrière 2, disposée au-dessus de la couche tampon 1, en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III, ladite largeur de bande interdite E_{g2} de la couche barrière 2 étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon 1,
- une zone intentionnellement dopée 3, en un matériau de la colonne III identique au matériau de la couche tampon 1 d'une longueur L_{o3} et d'une largeur L_{a3} déterminées dans un plan parallèle au plan du substrat, et d'une épaisseur d_{C3} suivant une direction perpendiculaire au plan du substrat, ladite zone intentionnellement dopée 3 étant disposée dans la couche tampon 1,
- des électrodes de source S, de drain D disposées sur la couche barrière 2,
- une couche isolante électriquement 4 de type oxyde thermique et,
- une électrode de grille G disposée sur la couche isolante électriquement 4.

L'Homme du métier appréciera que des techniques qui peuvent être utilisées pour le dépôt de la couche isolante ont été décrites plus haut.

La présence de cette couche isolante électriquement 4 permet donc d'obtenir un contact MOS pour (*Métal/Oxyde/Semi-conducteur*) entre le contact de grille G et la couche barrière 2.

La couche d'oxyde 4 peut être obtenue par oxydation thermique à l'aide, par exemple, d'un four d'oxydation de type PECVD (*Plasma Enhanced Chemical Vapor Deposition*) permettant d'obtenir des couches de quelques nanomètres à un micromètre d'épaisseur, par exemple.

10 La présence de la couche d'oxyde et la suppression du contact Schottky permettent de diminuer le courant de fuite de l'ordre, à titre d'exemple, d'un facteur 20, permettant ainsi d'améliorer très fortement les performances du transistor HEMT.

La tension de seuil obtenue en fonction des paramètres cités ci-dessus permet 15 d'obtenir un transistor HEMT avec une tension de seuil de 4V. Cette tension de seuil positive permet donc d'obtenir, selon les différents modes de réalisation présentés, un transistor HEMT qui respecte la fonctionnalité « normally OFF ». De nouveaux champs d'applications sont possibles grâce à un tel composant. En effet, cette tension de seuil élevée permet de rendre ce type de composant 20 peu sensible à des perturbations extérieures telles que du bruit sur la tension de grille, notamment du bruit électromagnétique.

Dans un autre exemple de réalisation de l'invention, il est proposé une structure comprenant en outre comme représenté sur la **Figure 15** :

- un substrat W plan,
- 25 - une couche tampon 1, disposée sur le substrat W en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III,
- une couche barrière 2, disposée au-dessus de la couche tampon 1, en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III, ladite largeur de bande interdite E_{g2} de la 30 couche barrière 2 étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon 1,

- 5 - une zone intentionnellement dopée 3, en un matériau de la colonne III identique au matériau de la couche tampon 1 d'une longueur L_{o3} et d'une largeur L_{a3} déterminées dans un plan parallèle au plan du substrat, et d'une épaisseur d_{c3} suivant une direction perpendiculaire au plan du substrat, ladite zone intentionnellement dopée 3 étant disposée dans la couche tampon 1,
- des électrodes de source S, de drain D disposées sur la couche barrière 2,
- 10 - une couche isolante électriquement 4 de type oxyde thermique, par exemple, de dimensions dans le plan au moins égales aux dimensions de l'électrode de grille G et,
- une électrode de grille G disposée sur la couche isolante électriquement 4.

15 L'Homme du métier appréciera que des techniques qui peuvent être utilisées pour le dépôt de la couche isolante ainsi que pour la gravure ont été décrites plus haut.

Ce mode de réalisation permet en outre de diminuer les capacités parasites apparaissant lors de commutations à des fréquences de commutations relativement élevées.

20 Dans un autre exemple de réalisation de l'invention, il est proposé une structure comprenant en outre comme représenté sur la **Figure 16** :

- un substrat W plan,
- une couche tampon 1, disposée sur le substrat W en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III,
- 25 - une couche barrière 2, disposée au-dessus de la couche tampon 1, en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III, ladite largeur de bande interdite E_{g2} de la couche barrière 2 étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon 1,
- 30 - une zone intentionnellement dopée 3, en un matériau de la colonne III identique au matériau de la couche tampon 1 d'une longueur L_{o3} et d'une largeur L_{a3} déterminées dans un plan parallèle au plan du

substrat, et d'une épaisseur $dC3$ suivant une direction perpendiculaire au plan du substrat, ladite zone intentionnellement dopée 3 étant disposée dans la couche tampon 1,

- 5 - des électrodes de source S, de drain D disposées sur la couche barrière 2,
- une couche intentionnellement dopée 5 en un matériau de la colonne III identique au matériau de la couche tampon 1 de dimensions dans le plan au moins égales aux dimensions de l'électrode de grille G.

10 Cet autre mode de réalisation de l'invention permet en outre un décalage encore plus significatif de la tension de seuil vers des tensions positives. Ce mode de réalisation permet ainsi d'obtenir des transistors HEMT avec des tensions de seuils positives élevées.

Dans un objectif de contrôle de la tension de seuil, il est proposé dans un autre
15 exemple de réalisation de l'invention, une structure comprenant en outre comme représenté sur la **Figure 17** :

- un substrat W plan,
- une couche tampon 1, disposée sur le substrat W en un matériau semi-conducteur à large bande interdite $Eg1$ à base de nitrure de la
20 colonne III,
- une couche barrière 2, disposée au-dessus de la couche tampon 1, en un matériau semi-conducteur à large bande interdite $Eg2$ à base de nitrure de la colonne III, ladite largeur de bande interdite $Eg2$ de la couche barrière 2 étant inférieure à la largeur de bande interdite $Eg1$
25 de la couche tampon 1,
- une zone intentionnellement dopée 3, en un matériau de la colonne III identique au matériau de la couche tampon 1 d'une longueur $Lo3$ et d'une largeur $La3$ déterminées dans un plan parallèle au plan du substrat, et d'une épaisseur $dC3$ suivant une direction perpendiculaire
30 au plan du substrat, ladite zone intentionnellement dopée 3 étant disposée dans la couche tampon 1,
- des électrodes de source S, de drain D disposées sur la couche barrière 2,

- une couche isolante électriquement 4 de type oxyde thermique, par exemple, de dimensions dans le plan au moins égales aux dimensions de l'électrode de grille G disposée sur la couche la couche barrière 2,
 - une couche intentionnellement dopée 5 en un matériau de la colonne III identique au matériau de la couche tampon 1 de dimensions dans le plan au moins égales aux dimensions de l'électrode de grille G et,
 - une électrode de grille G disposée sur la couche une couche intentionnellement dopée 5.
- 5
- 10 Cet autre mode de réalisation de l'invention permet en outre grâce à la présence de la couche isolante électriquement 4 de décaler de manière encore plus significative la tension de seuil de transistor HEMT selon l'invention.
- Enfin dans un dernier mode de réalisation selon l'invention permettant de contrôler la tension de seuil, il est proposé une structure comprenant
- 15 **(Figure 18) :**
- un substrat W plan,
 - une couche tampon 1, disposée sur le substrat W en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III,
 - une couche barrière 2, disposée au-dessus de la couche tampon 1, en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III, ladite largeur de bande interdite E_{g2} de la couche barrière 2 étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon 1,
 - une zone intentionnellement dopée 3, en un matériau de la colonne III identique au matériau de la couche tampon 1 d'une longueur L_{o3} et d'une largeur L_{a3} déterminées dans un plan parallèle au plan du substrat, et d'une épaisseur d_{C3} suivant une direction perpendiculaire au plan du substrat, ladite zone intentionnellement dopée 3 étant
 - des électrodes de source S, de drain D disposées sur la couche barrière 2,
- 20
- 25
- 30

- 5 - une couche intentionnellement dopée 5 en un matériau de la colonne III identique au matériau de la couche tampon 1 de dimensions dans le plan au moins égales aux dimensions de l'électrode de grille G et, une couche isolante électriquement 4 de type oxyde thermique, par exemple, de dimensions dans le plan au moins égales aux dimensions de l'électrode de grille G et,
- 10 - une couche isolante électriquement 4 de type oxyde thermique, par exemple, de dimensions dans le plan au moins égales aux dimensions de l'électrode de grille G disposée sur la couche intentionnellement dopée 5 et,
- une électrode de grille G disposée sur la couche isolante électriquement 4.

Ce dernier mode de réalisation permet ainsi un contrôle de la tension de seuil vers des tensions positives du transistor selon l'invention.

15

La description ci-dessus a été donnée à titre illustratif seulement et n'est pas limitative de la portée de l'invention. Toute variante de réalisation techniquement envisageable peut être préférée aux modes de réalisation décrits. Par exemple, le matériau GaN utilisé dans la description peut être
20 remplacé par du GaAs. L'utilisation d'un tel matériau implique donc que le type de dopant et les doses qui seront utilisés ainsi que les dimensions et le positionnement de la zone intentionnellement dopée 3 seront choisis de sorte que le comportement global du transistor HEMT utilisant un matériau GaAs corresponde au transistor décrit dans l'invention.

25 De même, les étapes du procédé technologique décrites dans l'invention sont données à titre illustratif et ne sont pas limitées aux exemples donnés ici.

Enfin, il est bien entendu que les différents perfectionnements décrits peuvent être utilisés séparément ou en combinaison, selon les qualités et performances recherchées pour le transistor HEMT réalisé avec cette structure.

30 La présente invention ne se limite pas aux formes de réalisation présentées. D'autres variantes et modes de réalisation peuvent être déduits et mis en œuvre par la personne du métier à la lecture de la présente description et des

Figures annexées. Les signes de référence ne sauraient être compris comme limitant la portée de l'invention ou l'étendue de la description.

Dans la description ci-dessus, il est supposé que lorsqu'un élément comme par exemple une couche, une région où un substrat est mentionné comme étant
5 « au-dessus » ou « sur » un autre élément, ledit élément peut être directement sur l'autre élément, ou des éléments intermédiaires peuvent être présents.

Il est également supposé que les termes premier, deuxième, troisième, etc. peuvent être utilisés ici pour décrire différents éléments, composants, régions, couches et / ou sections. Ces éléments, régions, couches et / ou sections ne
10 doivent pas être limités par ces termes. Ces termes sont utilisés uniquement pour distinguer un élément, un composant, une région, une couche ou une section d'une autre région, couche ou section. Ainsi, un premier élément, région, couche ou section décrit ci-dessus pourrait être appelé deuxième élément, région, couche ou section sans s'écarter des enseignements de
15 concepts inventifs.

De plus, les termes de positionnement relatif, tels que «sous», «en dessous», «inférieur», «au-dessus», «supérieur», etc., ont été utilisés ici pour faciliter la description et pour décrire le positionnement d'un élément par rapport à un autre élément comme illustré dans les figures.

20 On comprendra que les termes de positionnement relatif sont destinés à couvrir des orientations différentes du dispositif selon l'invention en cours d'utilisation ou d'exploitation en plus de l'orientation représentée sur les figures. Par exemple, si le dispositif selon l'invention est retourné, les éléments décrits comme «en dessous» ou «sous» d'autres éléments seraient alors orientés "au-
25 dessus" des autres éléments. Ainsi, le terme «en dessous» peut englober à la fois une orientation « ci-dessus » et « ci-dessous ». Le dispositif peut également être orienté autrement (rotation de 90 degrés ou d'autres orientations) et les termes de positionnement relatif utilisés ici seront interprétés en conséquence.

30 La terminologie utilisée dans la description a pour but seulement de décrire des modes de réalisation et n'est pas destinée à limiter les concepts inventifs. Les déterminants singuliers "un", "une" et "le" peuvent inclure des déterminants pluriels à moins que le contexte n'indique clairement le contraire. Il sera en

5 outre entendu que les termes «comprend», «comprenant», «comprend» et «y compris», lorsqu'ils sont utilisés dans la présente description, indiquent la présence de caractéristiques, d'opérations, d'éléments et / ou de composants, mais n'excluent pas la présence ou l'ajout d'un ou plusieurs autres particularités, caractéristiques, étapes, opérations, éléments, composants.

De plus, des exemples de réalisation ont été décrits en référence aux illustrations qui sont des représentations schématiques. Par conséquent, des variations de la forme des illustrations en raison, par exemple, des techniques de fabrication et / ou des tolérances, sont à prévoir. Ainsi, les exemples de

10 réalisation ne doivent pas être interprétés comme étant limités aux formes particulières des régions illustrées ici, mais doivent inclure les écarts dans les formes qui en résultent. Par exemple, une région implantée illustrée comme un rectangle, est généralement de forme arrondie ou courbe et les caractéristiques et / ou gradient de concentration en dopants au niveau des

15 bords également, plutôt qu'un changement binaire au niveau de la région implantée et non implantée. De même, une région enterrée formée par implantation peut entraîner une certaine forme d'implantation dans la région située entre la région enterrée et la surface par laquelle l'implantation a lieu. Ainsi, les régions illustrées sur les figures sont de nature schématique et leurs

20 formes ne sont pas destinées à illustrer la forme réelle d'une région d'un dispositif et par conséquent ne sont pas destinées à limiter la portée des concepts inventifs.

Sauf indication contraire, tous les termes (y compris les termes techniques et scientifiques) utilisés ici ont la même signification que celle couramment

25 comprise par un homme de l'art auquel concepts inventifs appartiennent. Il sera en outre entendu que les termes tels que ceux définis dans les dictionnaires couramment utilisés, doivent être interprétés comme ayant un sens qui soit compatible avec leur signification dans le contexte de l'art pertinent et ne sera pas interprétée dans un sens idéalisé ou trop formel à

30 moins que expressément défini ici.

REVENDICATIONS

1. Structure à hétérojonction, en matériau semi-conducteur, notamment pour un transistor à grande mobilité d'électrons (HEMT) comprenant:
- 5 - un substrat (W) plan,
- une couche tampon (1), disposée sur le substrat (W) en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III,
- 10 - une couche barrière (2), disposée au-dessus de la couche tampon (1), en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III, ladite largeur de bande interdite E_{g2} de la couche barrière (2) étant inférieure à la largeur de bande interdite E_{g1} de la couche tampon (1),
- 15 - une zone intentionnellement dopée (3), en un matériau de la colonne III identique au matériau de la couche tampon (1) d'une longueur (L_{o3}) et d'une largeur (L_{a3}) déterminées dans un plan parallèle au plan du substrat, et d'une épaisseur (d_{C3}) suivant une direction perpendiculaire au plan du substrat, ladite zone intentionnellement dopée (3) étant comprise dans la couche
- 20 tampon (1).
2. Structure à hétérojonction selon la revendication 1, dans laquelle la zone intentionnellement dopée (3) est placée sous l'interface entre la couche tampon (1) et la couche barrière (2).
- 25
3. Structure à hétérojonction selon les revendications 1 et 2, dans laquelle la zone intentionnellement dopée (3) est placée à une distance (d) non nulle de l'interface entre la couche tampon (1) et la couche barrière (2) suivant la direction orthogonale au plan du substrat.
- 30
4. Structure à hétérojonction selon la revendication 3, dans laquelle la distance (d) entre la zone dopée (3) et l'interface entre la couche tampon (1) et la couche barrière (2) est inférieure à 800nm.

5. Structure à hétérojonction selon l'une quelconque des revendications 1 à 4, dans laquelle le matériau semi-conducteur à base de nitrure dont sont réalisées la couche tampon (1), la couche barrière (2) et la zone intentionnellement dopée (3) comprend du GaN.
- 5
6. Structure à hétérojonction selon l'une quelconque des revendications 1 à 5, dans laquelle le dopage de la zone intentionnellement dopée (3) est un dopage de type P.
- 10 7. Structure à hétérojonction, selon l'une quelconque des revendications 1 à 6, dans laquelle, au moins une couche de nucléation est intercalée entre le substrat (W) et la couche tampon (1).
8. Transistor à grande mobilité d'électrons (HEMT) comprenant une
15 structure à hétérojonction selon l'une quelconque des revendications 1 à 7, et comprenant une électrode de grille (G), une électrode de drain (D) et une électrode de source (S) disposées sur la couche barrière (2) de la structure à hétérojonction.
- 20 9. Transistor selon la revendication 8, dans laquelle la surface de la zone intentionnellement dopée (3) est inférieure ou égale à la surface de l'électrode de grille (G).
10. Transistor selon l'une quelconque des revendications 8 et 9, comprenant
25 en outre une couche isolante (4) à base d'oxyde déposée sur la couche barrière (2), au-dessous de l'électrode de grille.
11. Transistor selon la revendication 10, dans laquelle la couche isolante (4) a
30 une surface dans un plan parallèle au plan du substrat identique à la surface de l'électrode de grille (G) dans un plan parallèle au plan du substrat.

12. Procédé de fabrication d'une structure à hétérojonction, dite aussi hétérostructure, en matériau semi-conducteur, notamment pour un transistor à grande mobilité d'électrons (HEMT), comprenant :

- la préparation d'un substrat (W) plan,
- 5 - le dépôt d'une couche tampon (1) en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III sur le substrat (W),
- le dépôt d'une couche barrière (2) en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III sur la
- 10 couche tampon (1),
- le dopage intentionnel d'une zone (3), en un matériau à base de nitrure de la colonne III identique au matériau de la couche tampon (1), d'une longueur (L_{o3}), d'une largeur (L_{a3}) et d'une épaisseur (d_{C3}) déterminées dans un plan parallèle au plan du substrat (W)
- 15 et d'une épaisseur déterminée suivant une direction orthogonale au plan du substrat (W), ladite zone étant comprise dans la couche tampon (1).

13. Dispositif électronique à semi-conducteur comprenant au moins un

20 transistor à grande mobilité d'électrons (HEMT) selon l'une quelconque des revendications 8 à 11.

1/6

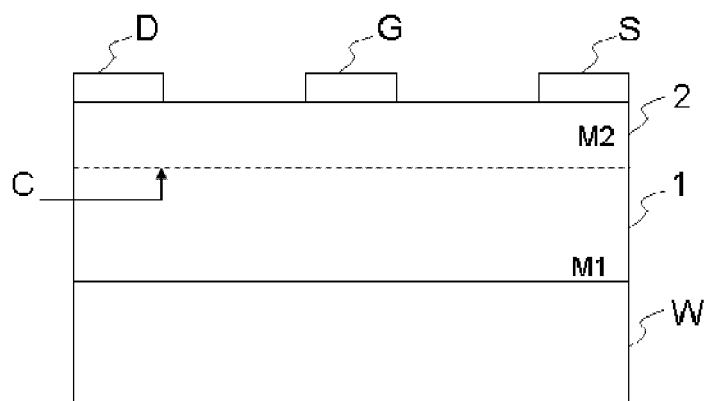


Figure 1

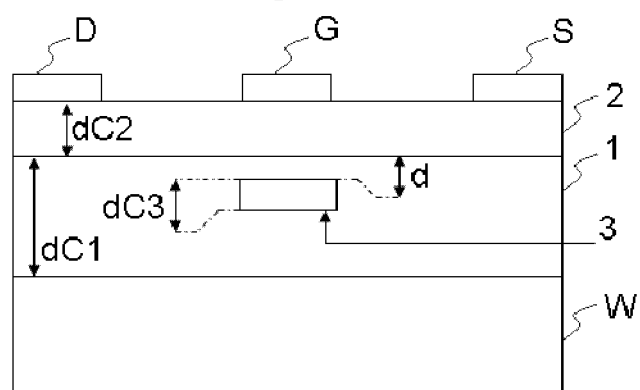


Figure 2

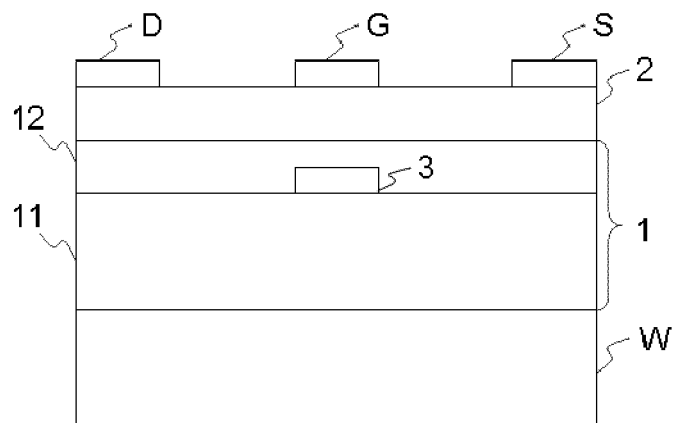


Figure 3

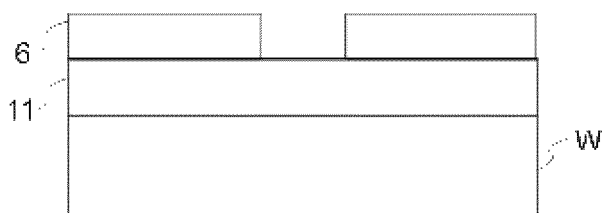


Figure 4A

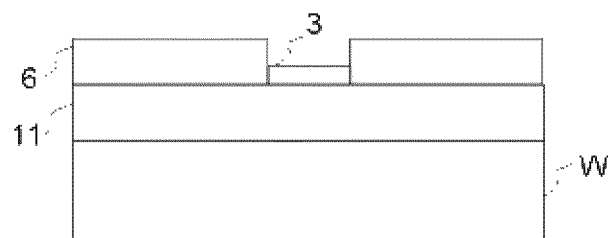


Figure 4B

2/6

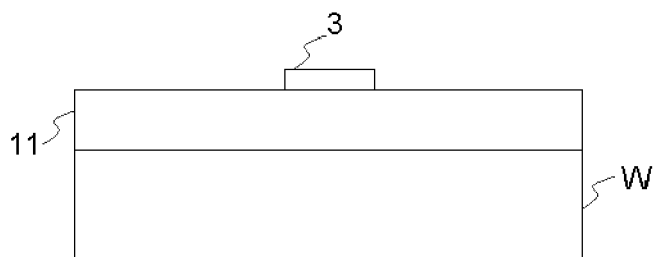


Figure 4C

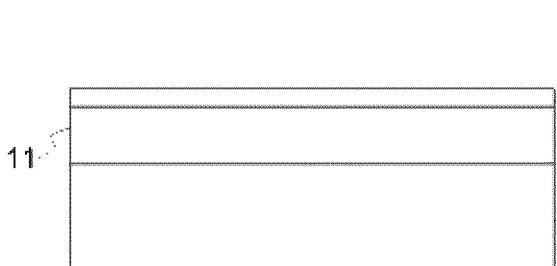


Figure 5A

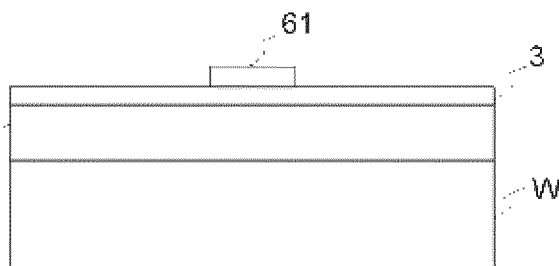


Figure 5B

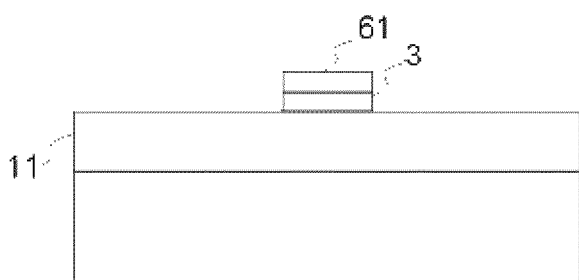


Figure 5C

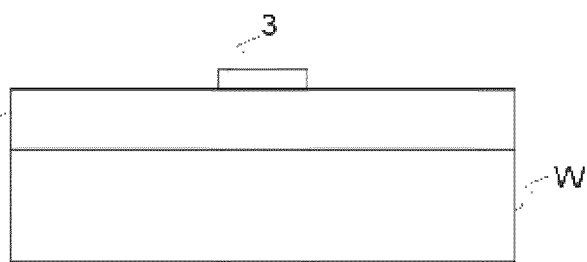


Figure 5D

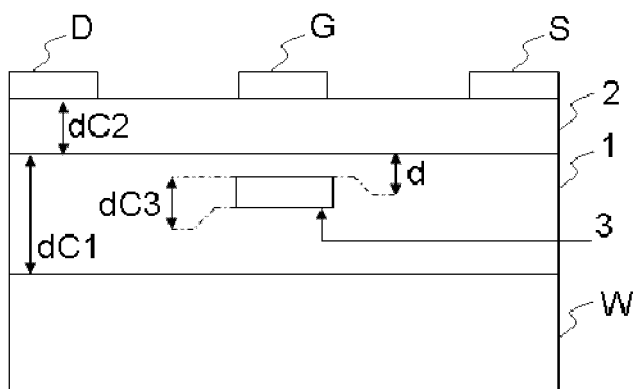


Figure 6

3/6

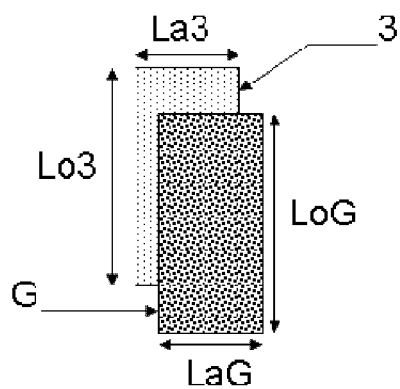


Figure 7

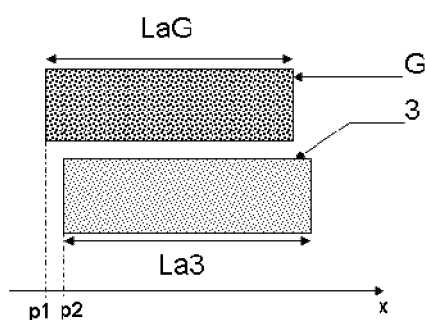


Figure 8

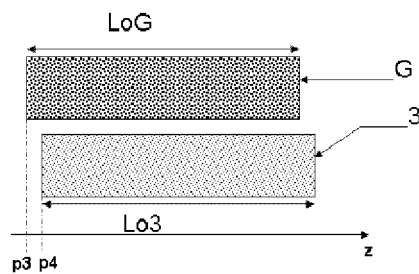


Figure 9

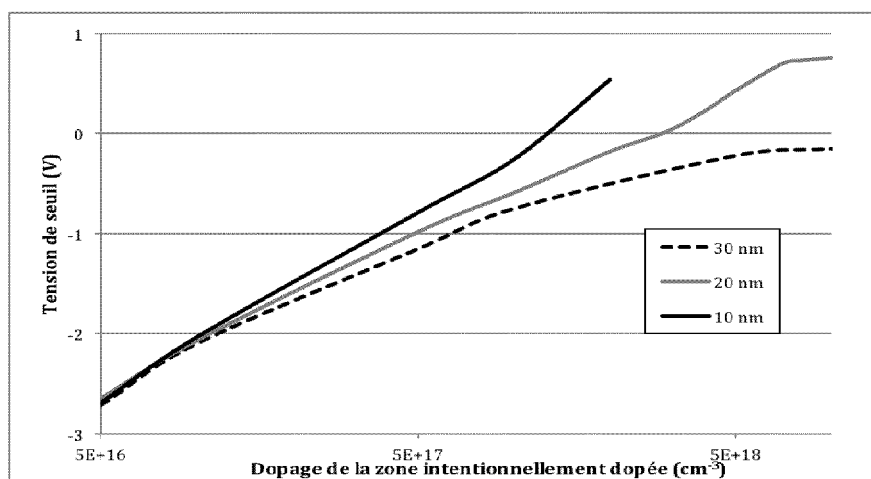


Figure 10

4/6

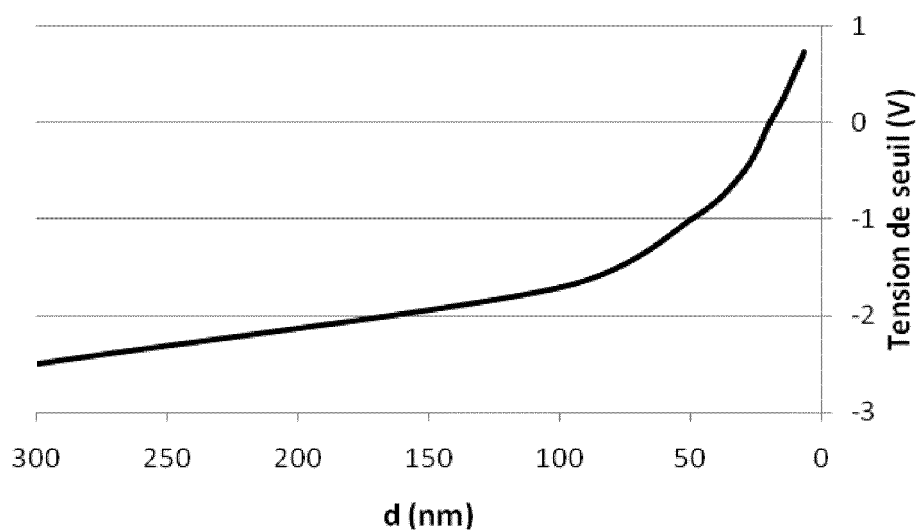


Figure 11

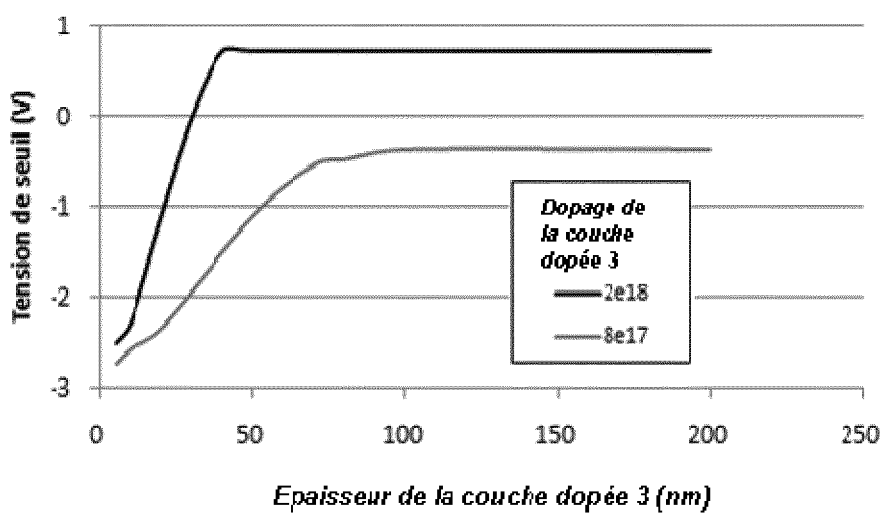


Figure 12

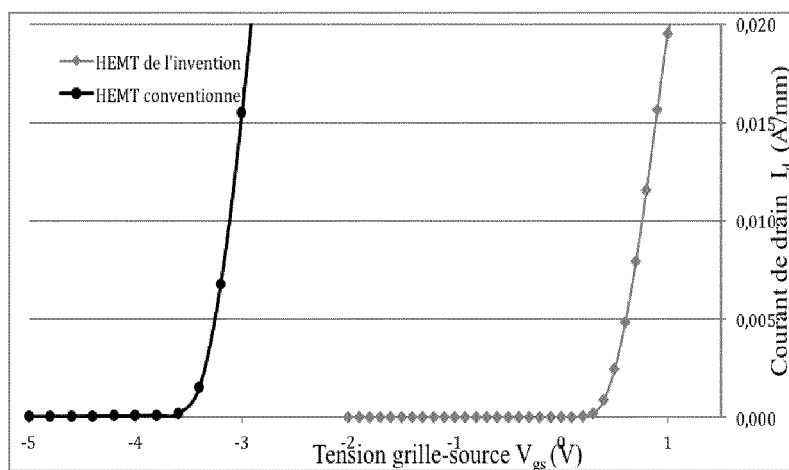


Figure 13

5/6

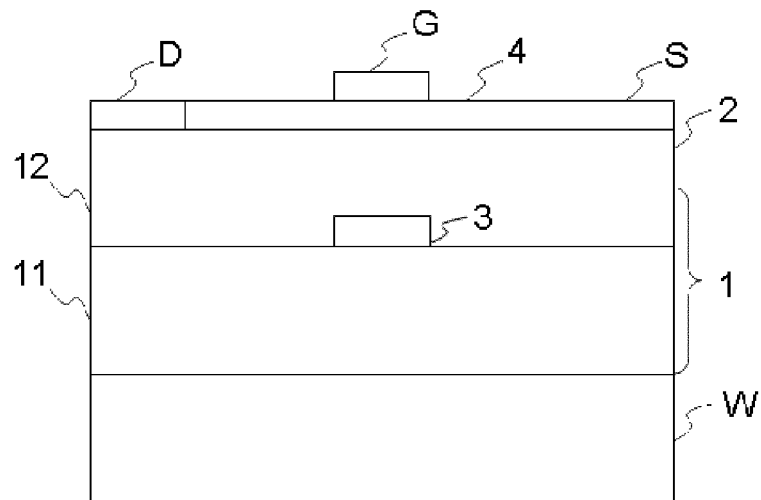


Figure 14

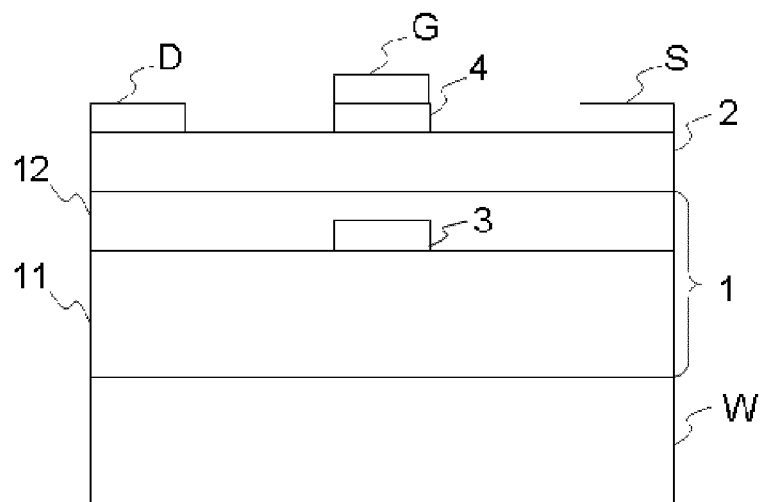


Figure 15

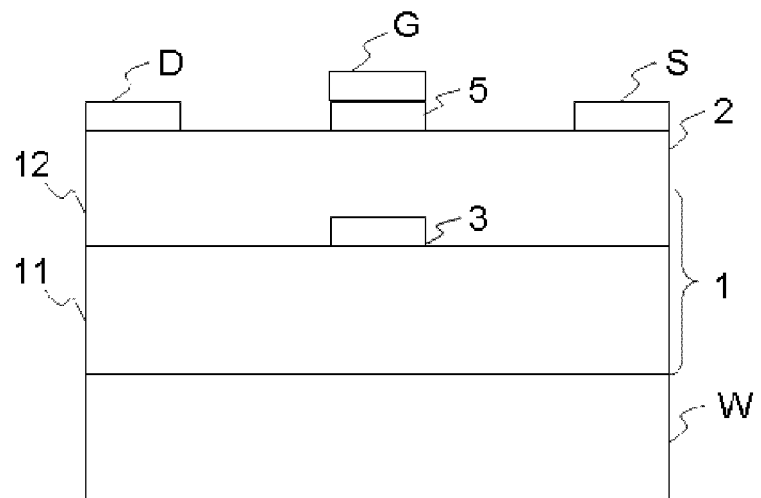


Figure 16

6/6

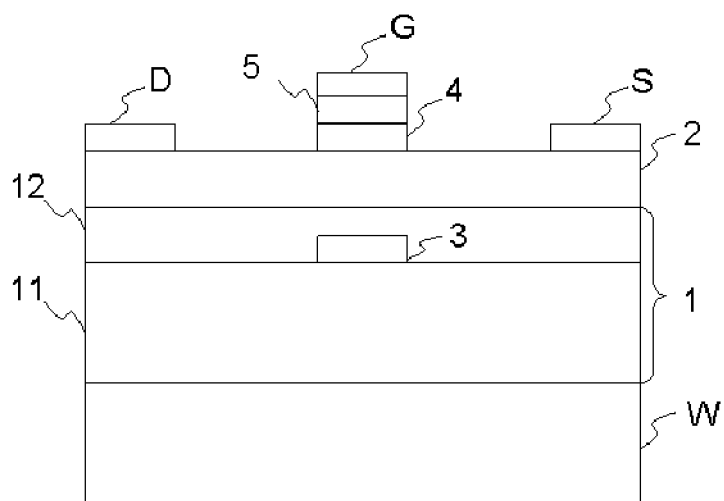


Figure 17

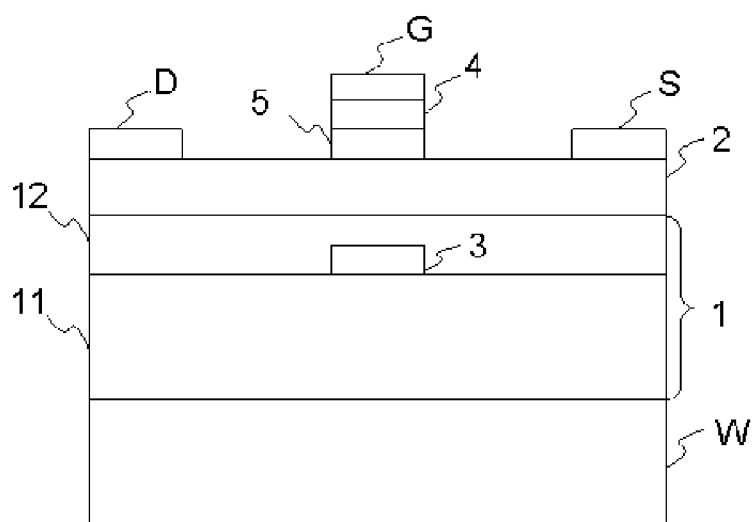


Figure 18



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 788603
FR 1359925

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2013/256685 A1 (OHKI TOSHIHIRO [JP]) 3 octobre 2013 (2013-10-03) * alinéa [0040] - alinéa [0083]; figures 2c, 5c *	1-6,8-13	H01L29/205 H01L29/207 H01L29/737 H01L21/20 H01L21/331
X	US 2013/256754 A1 (KAMADA YOUICHI [JP]) 3 octobre 2013 (2013-10-03) * alinéa [0032] - alinéa [0035]; figures 1, 4 *	1-3,5-9, 12,13	
X	EP 2 346 071 A1 (FUJITSU LTD [JP]) 20 juillet 2011 (2011-07-20) * alinéa [0011] - alinéa [0019]; figure 1 *	1-5,7-9, 12,13	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
23 juin 2014		Baillet, Bernard	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1359925 FA 788603**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **23-06-2014**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2013256685 A1	03-10-2013	CN 103367422 A	23-10-2013
		JP 2013211481 A	10-10-2013
		KR 20130111289 A	10-10-2013
		TW 201344903 A	01-11-2013
		US 2013256685 A1	03-10-2013

US 2013256754 A1	03-10-2013	CN 103367427 A	23-10-2013
		JP 2013207103 A	07-10-2013
		KR 20130110044 A	08-10-2013
		TW 201349493 A	01-12-2013
		US 2013256754 A1	03-10-2013

EP 2346071 A1	20-07-2011	CN 102197468 A	21-09-2011
		EP 2346071 A1	20-07-2011
		KR 20110074557 A	30-06-2011
		US 2011193096 A1	11-08-2011
		WO 2010050021 A1	06-05-2010
