

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 18 年 2 月 2 日 (2006.2.2)

【公表番号】特表 2001-507845 (P2001-507845A)

【公表日】平成 13 年 6 月 12 日 (2001.6.12)

【出願番号】特願平 11-525773

【国際特許分類】

G 0 6 F 12/08 (2006.01)

【 F I 】

G 0 6 F 12/08 5 0 5 A

【手続補正書】

【提出日】平成 17 年 9 月 22 日 (2005.9.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

手 続 補 正 書

平成17年 9月22日

特許庁長官 中嶋 誠 殿

1 事件の表示

平成11年 特許願 第525773号

2 補正をする者

名 称 コーニンクレッカ フィリップス エレクトロニクス
エヌ ヱィ

3 代 理 人

住 所 東京都千代田区霞が関3丁目2番4号

霞山ビルディング7階 電話(3581)2241 番(代表)

氏 名 (7205) 弁理士 杉 村 興 作



4 補正により増加する請求項の数 1

5 補正対象書類名 請求の範囲

6 補正対象項目名 請求の範囲

7 補正の内容 別紙の通り



1. 請求の範囲を下記の通りに補正する。

「 請 求 の 範 囲

1. 情報のプリフェッチ機能を提供するコンピュータ装置であって、

プリフェッチアドレス及びキャッシュアクセスアドレスを含むアドレスを発行する演算処理装置と、

この演算処理装置に、発行されたアドレスを受け取るように結合された記憶システムであって、情報の記憶装置を提供する上位階層メモリへの接続を含むと共に、プリフェッチアドレス及びキャッシュアクセスアドレスと関連して上位の階層のメモリから複製された情報の記憶装置を提供するキャッシュメモリを含む記憶システムと、

前記演算処理装置および記憶システムと関連し、演算処理装置からのプリフェッチアドレスの記憶と、記憶システムへのプリフェッチアドレス情報の挿入の前に、キャッシュアクセスアドレスのためのキャッシュメモリ操作と連携して、格納されたプリフェッチアドレスの挿入の管理とを提供するプリフェッチ資源と、を具えるコンピュータ装置。

2. 前記プリフェッチ資源を、キャッシュメモリと一体的に形成した、請求項1に記載するコンピュータ装置。

3. 前記挿入管理がプリフェッチアドレスのスクリーニングの発行を含む、請求項1に記載するコンピュータ装置。

4. 前記挿入管理がオンゴーイングスクリーニングを含む、請求項1に記載するコンピュータ装置。

5. 前記挿入管理が挿入スクリーニングを含む、請求項1に記載するコンピュータ装置。

6. プリフェッチアドレスに関連するプリフェッチの情報のために、キャッシュメモリからキャッシュメモリの使用可能性を示す第2シグナルを受け取るキャッシュ制御装置を含む、請求項4に記載するコンピュータ装置。

7. プリフェッチ資源が、プリフェッチメモリ及びメモリ資源に接続するセレクタを含み、このセレクタはプリフェッチメモリにプリフェッチアドレスを送り、メモリ資源にキャッシュアクセスアドレスを送る、請求項5に記載するコンピュ

ータ装置。

8. 情報のプリフェッチ機能を提供するコンピュータシステムであって、

プリフェッチアドレス及びキャッシュアクセスアドレスを含むアドレスを発行する演算処理装置と、

この演算処理装置に、発行されたアドレスを受け取るように結合された記憶システムであって、情報の記憶装置を提供する上位階層メモリを含むと共に、プリフェッチアドレス及びキャッシュアクセスアドレスと関連して上位の階層のメモリから複製された情報の記憶装置を提供するキャッシュメモリを含む記憶システムと、

前記演算処理装置およびメモリシステムと関連し、演算処理装置からのプリフェッチアドレスの記憶と、記憶システムへのプリフェッチアドレス情報の注入の前に、キャッシュアクセスアドレスのためのキャッシュメモリ操作と連携して、格納されたプリフェッチアドレスの注入の管理とを提供するプリフェッチ資源と、を具えるコンピュータシステム。

9. プリフェッチアドレス及びキャッシュアクセスアドレスを含むアドレスを発行する演算処理装置によって使用されるように、上位階層メモリから複製された情報を格納するプリフェッチ操作機能及びキャッシュアクセス操作機能を提供するキャッシュメモリであって、

情報を格納するためのメモリ資源と、

このメモリ資源及び前記演算処理装置に接続され、演算処理装置からのプリフェッチアドレスの記憶すると共に、格納されたプリフェッチアドレスの注入管理を行なって、プリフェッチ操作をキャッシュアクセス操作と連携させるプリフェッチ資源と、

を含むキャッシュメモリ。

10. プリフェッチアドレスに関連するプリフェッチの情報のために、メモリ資源からメモリ資源の使用可能性を示す第2シグナルを受け取るキャッシュ制御装置を含むキャッシュ制御装置を含む、請求項9に記載するキャッシュメモリ。

11. 前記プリフェッチ資源はプリフェッチメモリを含み、このプリフェッチメモリはプリフェッチアドレスの格納を提供し、プリフェッチ資源はセクタを

含み、このセレクトはプリフェッチメモリ及びメモリ資源に接続され、プリフェッチアドレスをプリフェッチメモリに送り、キャッシュアクセスアドレスをメモリ資源に送り、このセレクトは選ばれたプリフェッチアドレスをメモリ資源に送る、請求項8に記載するキャッシュメモリ。

12. 複数のフェッチ装置を含み、少なくとも1つの装置はプリフェッチ操作またはキャッシュアクセス操作の1つに専用とする、請求項11に記載するキャッシュメモリ。」