

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-9799

(P2020-9799A)

(43) 公開日 令和2年1月16日(2020.1.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 J	5 F 1 O 2
HO 1 L 29/78 (2006.01)	HO 1 L 29/80 B	5 F 1 4 O
HO 1 L 21/338 (2006.01)	HO 1 L 29/78 3 O 1 B	
HO 1 L 29/812 (2006.01)	HO 1 L 29/66 T	
HO 1 L 29/66 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 18 頁)

(21) 出願番号 特願2018-126659 (P2018-126659)
 (22) 出願日 平成30年7月3日(2018.7.3)

(出願人による申告)平成29年度、国立研究開発法人科学技術振興機構「トンネルFET用高移動度チャンネル形成技術」委託事業、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000004226
 日本電信電話株式会社
 東京都千代田区大手町一丁目5番1号
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (74) 代理人 100153006
 弁理士 小池 勇三
 (74) 代理人 100064621
 弁理士 山川 政樹
 (72) 発明者 満原 学
 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
 (72) 発明者 星 拓也
 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

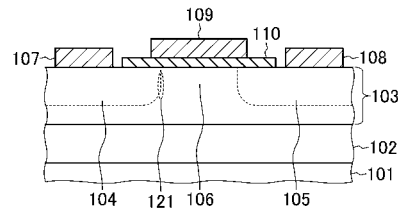
(54) 【発明の名称】 トンネル電界効果トランジスタ

(57) 【要約】

【課題】プレーナ型のトンネル電界効果トランジスタのデバイス特性を向上させる。

【解決手段】基板101の上に形成されたInPからなるInP層102と、InP層102の上に形成されたチャンネル層103とを備える。チャンネル層103は、InGaAsSbからなるInGaAsSb層を備える。InGaAsSb層は、V族元素におけるSbの組成比が0.01以上0.3以下とされている。また、チャンネル層103には、所定の間隔を開けてソース領域104およびドレイン領域105が形成されている。ソース領域104は、第1導電型(例えばp型)とされ、ドレイン領域105は、第2導電型(例えばn型)とされている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

InP からなる InP 層の上に形成された InGaAsSb からなる InGaAsSb 層を備えるチャンネル層と、

前記チャンネル層に形成された第 1 導電型のソース領域と、

前記ソース領域と所定の間隔を開けて前記チャンネル層に形成された第 2 導電型のドレイン領域と、

前記ソース領域に接続して形成されたソース電極と、

前記ドレイン領域に接続して形成されたドレイン電極と、

前記ソース領域と前記ドレイン領域との間のチャンネル領域の上に形成されたゲート電極と

10

を備え、

前記 InGaAsSb 層は、V 族元素における Sb の組成比が 0.01 以上 0.3 以下とされている

ことを特徴とするトンネル電界効果トランジスタ。

【請求項 2】

請求項 1 記載のトンネル電界効果トランジスタにおいて、

前記チャンネル層は、前記 InGaAsSb 層を井戸層とし、InGaAs または InGaAsSb からなる層を障壁層とする量子井戸構造とされている

ことを特徴とするトンネル電界効果トランジスタ。

20

【請求項 3】

請求項 2 記載のトンネル電界効果トランジスタにおいて、

前記井戸層は、厚さが 4 nm 以上 20 nm 以下とされ、InP より格子定数が大きく、3.5% 以下の圧縮歪みを有している

ことを特徴とするトンネル電界効果トランジスタ。

【請求項 4】

請求項 2 または 3 記載のトンネル電界効果トランジスタにおいて、

前記障壁層は、InGaAsSb から構成され、InP より格子定数が小さく、引っ張り歪みを有している

ことを特徴とするトンネル電界効果トランジスタ。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、プレーナ型のトンネル電界効果トランジスタに関するものである。

【背景技術】**【0002】**

近年の IoT (Internet of Things) やクラウドコンピューティングなどの進展に伴い、ネットワーク機器、サーバー、PC、携帯端末などの IT 機器には、大量のデータを高速に処理できる性能が求められている。しかし、この IT 機器の高性能化に伴って、総電力に占める IT 機器の消費電力が急激に増加することが懸念されている。低エネルギー社会を実現するためには、IT 機器の消費電力を劇的に低減できるような革新的技術の開発が求められている。

40

【0003】

IT 機器の中には、多くの電子デバイスが使用されている。電子デバイスの中でも、いわゆる MOSFET と呼ばれている電界効果トランジスタの使用数は非常に多い。このため、IT 機器の低消費電力化を図る上では、MOSFET の消費電力を低減することが重要である。MOSFET の消費電力は、駆動電圧の 2 乗に比例する。このため、低い駆動電圧で MOSFET を動作させることができれば、結果として IT 機器の消費電力の低減に繋がる。

【0004】

50

MOSFETでは、ゲート電圧によりドレイン電流を変化させることでオン状態とオフ状態を切り替えている。MOSFETの駆動電圧を低減するには、小さなゲート電圧で急激にドレイン電流を変化させることが重要となる。これに関し、MOSFETでは、ドレイン電流を1桁増加させるために必要なゲート電圧を重要な性能指標としており、この物理量はS値(単位: mV/decade)と呼ばれる。S値が小さいほど、駆動電圧の低減が期待でき、MOSFETの低消費電力化に繋がる。

【0005】

MOSFETでは、デバイス構造やチャネル材料の検討等によりS値を低減する検討が進められている。現在、最も普及している電界効果トランジスタは、MOSFETであり、ゲート電圧によって電流通路となる伝導帯のエネルギー的な位置を上下させることでドレイン電流を変化させ、オン・オフの動作を切り替えている。このMOSFETでは、原理的に0.6mV/decadeよりも小さいS値を実現することが難しい。このため、MOSFETではその消費電力を劇的に低減することは困難である。

10

【0006】

トンネル電界効果トランジスタ(TFET)は、上述のMOSFETとは異なる原理で動作するため、S値を0.6mV/decadeよりも小さくできる。このトンネル電界効果トランジスタを用いれば、MOSFETよりも小さな駆動電圧でオン・オフ動作を実現できる。このため、近年、トンネル電界効果トランジスタの研究・開発が精力的に進められている。トンネル電界効果トランジスタでは、いくつかの素子構造が検討されている。この中でプレーナ型のトンネル電界効果トランジスタは、MOSFETと類似した素子構造を持ち、製造プロセスもMOSFETの技術を応用できることが多いため、特に有望な構造である。

20

【0007】

プレーナ型のトンネル電界効果トランジスタについて、図13を参照して説明する。プレーナ型のトンネル電界効果トランジスタは、前述したようにMOSFETと類似した構造を持つ。このトンネル電界効果トランジスタは、例えば、化合物半導体からなるチャネル層301に、ソース領域302と、ソース領域302に所定の間隔を開けて形成されたドレイン領域303とを備える。ソース領域302は、チャネル層301をp型とすることで形成され、ドレイン領域303は、チャネル層301をn型とすることで形成されている。

30

【0008】

また、チャネル層301のソース領域302とドレイン領域303とに挟まれた領域には、チャネル領域304が形成されている。ソース領域302、チャネル領域304、ドレイン領域303は、チャネル層301の表面に平行な平面でゲート長方向に、これらの順に配列されている。

【0009】

また、ソース領域302に接続してソース電極305が形成され、ドレイン領域303に接続してドレイン電極306が形成されている。また、チャネル領域304の上には、ゲート絶縁層307を介してゲート電極308が形成されている。

【0010】

トンネル電界効果トランジスタとMOSFETとの違いは、ソース領域とドレイン領域の導電型である。MOSFET(n型MOSFET)ではソース領域、ドレイン領域がともにn型にドーピングされている。これに対し、トンネル電界効果トランジスタ(n型TFET)ではソース領域302はp型、ドレイン領域303はn型にドーピングされている。トンネル電界効果トランジスタにはpn接合が存在し、このpn接合がトンネル接合となる。

40

【0011】

図13を用いて説明しているトンネル電界効果トランジスタでは、チャネル領域304とソース領域302との界面がトンネル接合領域311となる。トンネル電界効果トランジスタでは、トンネル接合領域311に加わる電界を、ゲート電圧によって制御すること

50

で、ドレイン領域 303 へと流れる電流を変化させ、オン・オフ動作をさせている。

【0012】

上述したトンネル電界効果トランジスタ動作について、図 14 を参照して説明する。ゲート電圧を加えていないオフ状態（点線）では、ソース領域 302 とチャンネル領域 304 との間には、高いエネルギー障壁が存在する。このため、ソース領域 302 からチャンネル領域 304 への電子 321 の移動は困難であり、電流はほとんど流れない。一方、ゲート電圧を加えた場合（実線）、上述のエネルギー障壁は小さくなり、電子 321 はトンネル効果によって価電子帯から伝導帯への移動が可能になる。このため、ソース領域 302 とチャンネル領域 304 との間のトンネル接合に電流が流れる。

【0013】

トンネル電界効果トランジスタでは、小さいゲート電圧でトンネル接合領域 311 付近のバンド配列を急激に変化させるような構造的工夫がなされており、これによって前述したように MOSFET では困難な $0.6 \text{ mV} / \text{decade}$ 以下の S 値を実現している。

【0014】

トンネル電界効果トランジスタにおいて、オン状態におけるドレイン電流を増加させるためには、トンネル接合領域における電子のトンネル確率を増加させる必要がある。トンネル確率は、トンネル接合領域となる材料のバンドギャップならびに電子と正孔の有効質量に大きく依存しており、基本的にはこれらの値が小さいほど、大きくすることが可能である（例えば、非特許文献 1 を参照）。

【0015】

トンネル電界効果トランジスタの重要な性能指標の 1 つとして、オン状態とオフ状態における電流の比がある。具体的には、オン状態における電流をオン電流、オフ状態におけるオフ電流とすると、オフ電流に対するオン電流の比 ($I_{\text{ON}} / I_{\text{OFF}}$) が高いほどデバイスとしての特性は良いことになる。トンネル確率を増加させるためには、上述したようにトンネル接合領域にバンドギャップが小さい材料を用いることが有効である。しかし、バンドギャップが小さい材料の場合、オフ電流も大きくなるため、必ずしも $I_{\text{ON}} / I_{\text{OFF}}$ は増大しない。このため、トンネル電界効果トランジスタをバンドギャップが小さい材料だけを使って作製しても、高い $I_{\text{ON}} / I_{\text{OFF}}$ を得ることは難しい。

【0016】

オフ電流の増加を抑えつつ、オン電流を増加させるには、チャンネル層のみにバンドギャップが小さい材料を用い、チャンネル層以外の層にはバンドギャップの大きな材料を用いることが有効である。具体的には、基板としてバンドギャップの大きな半導体材料を用い、その上にバンドギャップが小さい半導体材料を成長させ、これをトンネル電界効果トランジスタ用の成長基板（エピウェハ）として用いることが有効である。

【0017】

InP のバンドギャップ ($\sim 1.35 \text{ eV}$) は、シリコン ($\sim 1.12 \text{ eV}$) より大きく、基板として高品質な製品が市販されている。また、InP を基板として、この上にシリコンよりもバンドギャップが小さい InGaAs などの材料を成長することは、比較的容易である。このため、InP 基板上に成長した InGaAs や、InGaAs による量子井戸をトンネル電界効果トランジスタのチャンネル層に応用する検討が進められており、作製された素子において良好なデバイス特性が確認されている（非特許文献 2、非特許文献 3 参照）。

【先行技術文献】

【非特許文献】

【0018】

【非特許文献 1】A. C. Seabaugh and Q. Zhang, "Low-Voltage Tunnel Transistors for Beyond CMOS Logic", Proceedings of the IEEE, vol. 98, no. 12, pp. 2095-2110, 2010.

【非特許文献 2】M. Noguchi et al., "High Ion/Ioff and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junction

10

20

30

40

50

s", Journal of Applied Physics, vol. 118, no.4, 045712, 2015.

【非特許文献3】D.-H. Ahn et al., "Design and properties of planar-type tunnel FETs using $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ quantum well", Journal of Applied Physics, vol. 122, no. 13, 135704, 2017.

【非特許文献4】C. A. Wang et al., "Characteristics of GaSb growth using various gallium and antimony precursors", Journal of Crystal Growth, vol. 170, pp. 55-60, 1997.

【非特許文献5】M. Mitsuhashi et al., "Carbon reduction and antimony incorporation in InGaAsSb films grown by metalorganic molecular beam epitaxy using tris-dimethylaminoantimony", Journal of Crystal Growth, vol. 311, pp. 3636-3639, 2009. 10

【非特許文献6】満原 学 他、「M O M B Eによる InP 基板上への歪 $\text{InGaAsSb}/\text{InGaAsSb}$ MQW構造の成長」、第76回応用物理学会秋季学術講演会 講演予稿集、14a-2W-10、2015年。

【非特許文献7】J. W. Matthews and A. E. Blakeslee, "Defects in epitaxial multilayers I. Misfit dislocations", Journal of Crystal Growth, vol. 27, pp. 118-125, 1974.

【非特許文献8】満原 学 他、「 $2\mu\text{m}$ 波長帯 $\text{InGaAs}(\text{Sb})/\text{InGaAs}(\text{Sb})$ 歪補償MQW」、第78回応用物理学会秋季学術講演会 講演予稿集、5p-C21-10、2017年。

【発明の概要】 20

【発明が解決しようとする課題】

【0019】

前述したように、 InP 基板上の InGaAs や InGaAs 量子井戸構造をチャネル領域に用いたプレーナ型のトンネル電界効果トランジスタでは、優れたデバイス特性が得られている。このトンネル電界効果トランジスタにおいて、さらにオン電流を増加させ、駆動電圧を低減させるためには、 InGaAs よりもバンドギャップの小さな材料をチャネル層に用いることが有効である。

【0020】

現在、 InP に格子整合させることが可能な材料の中からバンドギャップの小さな材料を選ぶ場合、 InGaAs を選択することが一般的である。これは、 InGaAs が比較的容易に結晶品質の高い膜を結晶成長できるためである。 InGaAs 以外の材料の中で、 InP に格子整合させることができ、 InGaAs と同程度の小さいバンドギャップを持つ材料として GaAsSb がある。しかし、 Sb 組成比が大きい材料は結晶成長が難しいため（非特許文献4参照）、現状において GaAsSb を用いたデバイスは多くはない。 30

【0021】

InP に格子整合しなくて良ければ、チャネル領域に用いる材料のバンドギャップは InP に格子整合する InGaAs よりも小さくすることができる。この方法の1つが、非特許文献3に示されている In 組成比を大きな InGaAs の量子井戸をチャネル層に用いる方法である。 InGaAs 量子井戸を用いる場合、バンドギャップを小さくするには、 In 組成比を増加させるとともに、層厚を増加させる必要がある。 40

【0022】

しかしながら、 In 組成比と層厚の増加に伴い、 InGaAs 井戸層には大きな圧縮歪が加わるため、これに起因した結晶欠陥の発生が起り易くなる。この結晶欠陥があるために、 InGaAs 井戸層の In 組成比と層厚を増加させることは容易ではない。このため、 InGaAs 量子井戸をチャネル領域に用いた場合でも、プレーナ型のトンネル電界効果トランジスタのデバイス特性を向上させることは容易ではない（非特許文献3を参照）。

【0023】

本発明は、以上のような問題点を解消するためになされたものであり、プレーナ型のト 50

ンネル電界効果トランジスタのデバイス特性を向上させることを目的とする。

【課題を解決するための手段】

【0024】

本発明に係るトンネル電界効果トランジスタは、InPからなるInP層の上に形成されたInGaAsSbからなるInGaAsSb層を備えるチャンネル層と、チャンネル層に形成された第1導電型のソース領域と、ソース領域と所定の間隔を開けてチャンネル層に形成された第2導電型のドレイン領域と、ソース領域に接続して形成されたソース電極と、ドレイン領域に接続して形成されたドレイン電極と、ソース領域とドレイン領域との間のチャンネル領域の上に形成されたゲート電極とを備え、InGaAsSb層は、V族元素におけるSbの組成比が0.01以上0.3以下とされている。

10

【0025】

上記トンネル電界効果トランジスタにおいて、チャンネル層は、InGaAsSb層を井戸層とし、InGaAsまたはInGaAsSbからなる層を障壁層とする量子井戸構造とされていてもよい。この場合、井戸層は、厚さが4nm以上20nm以下とされ、InPより格子定数が大きく、3.5%以下の圧縮歪みを有しているとよい。また、障壁層は、InGaAsSbから構成され、InPより格子定数が小さく、引っ張り歪みを有しているとよい。

【発明の効果】

【0026】

以上説明したように、本発明によれば、チャンネル層を、InPからなるInP層の上に形成されたInGaAsSbからなるInGaAsSb層を備える構成としたので、プレーナ型のトンネル電界効果トランジスタのデバイス特性を向上させることができるという優れた効果が得られる。

20

【図面の簡単な説明】

【0027】

【図1】図1は、本発明の実施の形態1におけるトンネル電界効果トランジスタの構成を示す断面図である。

【図2】図2は、InGaAsSbのSb組成比によるバンドギャップの変化を計算により求めた結果を示す特性図である。

【図3】図3は、チャンネル層をSiから構成する場合、チャンネル層をInPに格子整合するInGaAsから構成する場合、およびチャンネル層をInPに格子整合するInGaAsSbから構成する場合の各々について、トンネル電流密度を計算し、比較した結果を示す特性図である。

30

【図4】図4は、図3に示したチャンネル層をInGaAsから構成した場合と、チャンネル層をInGaAsSbから構成した場合との各々の結果の一部を拡大して示した特性図である。

【図5】図5は、本発明の実施の形態2におけるトンネル電界効果トランジスタの構成を示す断面図である。

【図6】図6は、InGaAsSbを用いた歪量子井戸構造において、井戸層の層厚を2, 4, 6, 8, 10, 12nmとした場合について、この歪量子井戸構造を用いたトンネル接合におけるトンネル電流密度の電界強度依存性を示す特性図である。

40

【図7】図7は、InGaAsSbを用いた歪補償量子井戸構造において、井戸層の層厚を2, 4, 6, 8, 10, 12nmとした場合について、この歪補償量子井戸構造を用いたトンネル接合のトンネル電流密度の電界強度依存性を示す特性図である。

【図8】図8は、Sb組成比が0.1のInGaAsSbについて、格子歪(圧縮歪)を変化させた場合の臨界層厚を、非特許文献7に記載の計算方法を用いて求めた結果を示す特性図である。

【図9】図9は、Sb組成比が0.2のInGaAsSbについて、格子歪(圧縮歪)を変化させた場合の臨界層厚を、非特許文献7に記載の計算方法を用いて求めた結果を示す特性図である。

50

【図 10】図 10 は、実際に作製した多重量子井戸構造の層構造を示した断面図である。

【図 11】図 11 は、作製した多重量子井戸構造の X 線回折パターンの測定結果（実験）とシミュレーション結果とを比較して示す特性図である。

【図 12】図 12 は、作製した多重量子井戸構造の室温におけるフォトルミネッセンス発光スペクトルを示す特性図である。

【図 13】図 13 は、トンネル電界効果トランジスタの構成を示す断面図である。

【図 14】図 14 は、トンネル電界効果トランジスタのオン状態（実線）ならびにオフ状態（点線）におけるトンネル接合領域付近のバンドギャップの変化を示すバンド図である。

【発明を実施するための形態】

10

【0028】

以下、本発明の実施の形態におけるトンネル電界効果トランジスタについて説明する。

【0029】

[実施の形態 1]

はじめに、本発明の実施の形態 1 におけるトンネル電界効果トランジスタについて図 1 を参照して説明する。

【0030】

このトンネル電界効果トランジスタは、基板 101 の上に形成された InP からなる InP 層 102 と、InP 層 102 の上に形成されたチャンネル層 103 とを備える。チャンネル層 103 は、InGaAsSb からなる InGaAsSb 層を備える。実施の形態 1 においては、チャンネル層 103 が InGaAsSb 層である。ここで、InGaAsSb 層は、V 族元素における Sb の組成比が 0.01 以上 0.3 以下とされている。

20

【0031】

また、チャンネル層 103 には、所定の間隔を開けてソース領域 104 およびドレイン領域 105 が形成されている。ソース領域 104 は、第 1 導電型（例えば p 型）とされ、ドレイン領域 105 は、第 2 導電型（例えば n 型）とされている。また、ソース領域 104 には、ソース電極 107 が電氣的に接続して形成され、ドレイン領域 105 には、ドレイン電極 108 が電氣的に接続して形成されている。なお、第 1 導電型を n 型とし、第 2 導電型を p 型としてもよい。

【0032】

30

また、ソース領域 104 とドレイン領域 105 との間のチャンネル領域 106 の上には、ゲート電極 109 が形成されている。実施の形態 1 では、ゲート絶縁層 110 を介し、チャンネル層 103 のチャンネル領域 106 上にゲート電極 109 が形成されている。チャンネル層 103 にショットキー接続するゲート電極 109 としてもよい。ソース領域 104、チャンネル領域 106、ドレイン領域 105 は、チャンネル層 103 の表面に平行な平面において、ゲート長方向にこれらの順に配列されている。

【0033】

このトンネル電界効果トランジスタは、チャンネル領域 106 とソース領域 104 との界面がトンネル接合領域 121 となる。このトンネル電界効果トランジスタは、トンネル接合領域 121 に加わる電界を、ゲート電圧によって制御することで、ドレイン領域 105 へと流れる電流を変化させ、オン・オフ動作を実現している。

40

【0034】

以下、実施の形態 1 におけるトンネル電界効果トランジスタの製造方法について説明する。まず、半絶縁性 InP からなる基板 101 の上に、層厚 0.1 μm の InP 層 102 と層厚 0.1 μm の InGaAsSb 層（チャンネル層 103）をエピタキシャル成長する。また、InGaAsSb 層の上に層厚 20 nm の InP 表面保護層を成長する。なお、InP 表面保護層は、素子段階ではエッチングによりすべて除去するため、図 1 には示していない。

【0035】

各層のエピタキシャル成長には、III 族原料ガスにトリメチルインジウム（TMIn

50

)、トリエチルガリウム (TEGa)、V族原料ガスにホスフィン (PH₃)、アルシン (AsH₃)、トリスジメチルアミノアンチモン (TDMA Sb) を用いた有機金属分子線エピタキシー (MOMBE) 法を用いる。チャンネル層 103 は、Sb 組成比を 0.15 とし、InP にほぼ格子整合させるように III 族組成を調整する。比較のために、図 1 のチャンネル層 103 のみを InP にほぼ格子整合する InGaAs に代えたエピウエハを用意する。バンドギャップは、InGaAsSb で 0.69 eV、InGaAs で 0.74 eV である。

【0036】

次に、上述したように形成したチャンネル層 103 に、ドレインとなる領域のみに Si をイオン注入した後、必要な熱処理を施して Si を活性化させ、ドレイン領域 105 とする。次に、原子層堆積 (ALD) 法を用いてウエハ全体に Al₂O₃ を堆積させた後、ソースとなる領域の Al₂O₃ を除去する。基板表面を洗浄後、このウエハを有機金属気相エピタキシー (MOVPE) 装置内において、ホスフィンとジエチルジンク (DEZn) を供給しながら昇温させることにより、InGaAsSb の一部を p 型にし、ソース領域 104 とする。

【0037】

次に、素子分離のために、素子を作製する領域以外のエピタキシャル成長層を除去した後、すべての InP 表面保護層を除去する。ゲートとなる領域に原子層堆積法を用いた絶縁材料の堆積によりゲート絶縁層 110 を形成した後、電子ビーム蒸着装置によりゲート電極 109 となる金属を蒸着させる。リフトオフプロセスを用いて、ゲート電極 109 以外に蒸着した金属を除去する。図 1 において、ゲート電極 109 の水平方向 (ゲート長方向) の長さは 1 μm である。ソース電極、ドレイン電極となる領域の上に堆積した絶縁膜を除去した後、リフトオフプロセスを用いてソース電極 107 とドレイン電極 108 を形成する。この後、電極形成に必要な熱処理を施す。

【0038】

図 1 に示した実施の形態 1 における InGaAsSb をチャンネル層 103 に用いたプレーナ型トンネル電界トランジスタは、ソース電圧が 60 mV、(ゲート電圧 - しきい値電圧) が 1 V の条件において、ドレイン電流が $1.7 \times 10^{-1} \mu\text{A} / \mu\text{m}$ であり、S 値の最小値が 55 mV / dec. である。一方、比較用の InGaAs をチャンネル層に用いたトンネル電界トランジスタに関して、同じ電圧条件を用いた場合のドレイン電流は $1.3 \times 10^{-1} \mu\text{A} / \mu\text{m}$ であり、S 値の最小値は 63 mV / dec. である。これらの結果より、プレーナ型のトンネル電界トランジスタにおいて、チャンネル層を InGaAs から InGaAsSb にすることでドレイン電流を増大させ、S 値を低減することができる。分かる。

【0039】

上述では、結晶成長方法として有機金属分子線エピタキシー法を用いた場合について説明したが、InP 上の InGaAsSb は、有機金属気相エピタキシー法や分子線エピタキシー法などの他の成長方法を用いても結晶成長させることができる。このため、実施の形態 1 における InGaAsSb をチャンネル層 103 とするトンネル電界トランジスタは、InGaAsSb を成長できる結晶成長方法であれば、どの結晶成長方法を用いても作製できることは明らかである。

【0040】

上述では、InGaAsSb 層によるチャンネル層 103 が InP に格子整合する場合について示したが、InGaAsSb が InP に格子整合しない場合でも、バンドギャップを InGaAs より小さくできる。また、上述では、InGaAsSb の Sb 組成比が 0.15 の場合について示したが、Sb 組成比が 0.01 以上 0.3 以下であれば、InGaAsSb は比較的容易に結晶成長できる。このため、InP に格子整合しない InGaAsSb を用い、また、0.15 以外の Sb 組成比の InGaAsSb をチャンネル層に用いた場合でも、本発明は有効であることは言うまでも無い。

【0041】

10

20

30

40

50

上述では、ソース領域104、ドレイン領域105をドーピングにより形成する際に、各々Zn拡散とSiのイオン注入を用いた。ドーピングの方法には、上記以外にも様々な方法が知られている。このため、ドーピングの方法は上記の方法に限られるものではない。

【0042】

次に、実施の形態1におけるトンネル電界効果トランジスタにおけるチャンネル層103のSb組成について説明する。前述のように、プレーナ型のトンネル電界効果トランジスタのデバイス特性を向上させるには、バンドギャップの大きな層や基板の上にバンドギャップが小さい材料をチャンネル層として積層させた構造が有用である。従来、この構造としてInP層(InP基板)の上にInGaAsを成長した構造が用いられてきた。

10

【0043】

InP層の上にInGaAsよりもバンドギャップが小さい材料を、結晶性を劣化させることなく成長できれば、InGaAsをチャンネル層に用いた場合よりも良好なデバイス特性が得られると考えられる。このバンドギャップが小さい材料としては、InGaAsSbが有用である。これは、InGaAsSbではInGaAsと格子定数が同じ場合でも、バンドギャップを小さくできるためである。これに加えて、InGaAsSbでは、Sb組成比が少なければ良質な結晶性を得ることも容易である。

【0044】

以下、InGaAsSbをトンネル電界効果トランジスタのチャンネル層に応用する際の条件について述べる。

20

【0045】

V族元素としてSbを多く含むIII-V族半導体材料は、結晶成長が難しいことが知られている(非特許文献4参照)。InGaAsSbもV族元素としてSbを含むが、Sb組成比が少ない場合は良質な結晶性の膜を成長することができる(非特許文献5参照)。さらに、InGaAsSbでは、以下に示すようにSb組成比が少なくてもInGaAsよりバンドギャップを小さくすることができる利点を有する。

【0046】

図2は、InGaAsSbのSb組成比によるバンドギャップの変化を計算により求めた結果を示している。図2において、InPに対する格子不整合が0%となる場合が、InPに格子整合する場合のInGaAsSbのバンドギャップである。InPに格子整合するInGaAsSbのバンドギャップは、Sb組成比を増加させていった場合、Sb組成比が0から0.25までは減少、0.25から0.30まではほぼ一定、0.30より大きくなると増加する。すなわち、InGaAsSbではそのSb組成比が0.30以下の場合に、Sb組成比の増加によるバンドギャップの低減効果が見られる。

30

【0047】

上述したInGaAsSbのSb組成比は、バンドギャップだけではなく、結晶成長の容易さを考慮して有効な組成比の範囲を決める必要がある。III-V族化合物半導体の結晶成長は、含まれるV族元素とその組成比に大きく影響される。InGaAsSbに関しては、As系材料(InGaAs)とSb系材料(GaAsSb)の混晶と考えることができる。InP層の上のInGaAsは、良質な結晶性を持つ結晶を比較的容易に成長することができる。

40

【0048】

一方、InP層の上のGaAsSbは、InGaAsに比べて結晶成長が困難である。この大きな要因の1つは、Sbは結晶成長時に表面に残留する傾向があり、良好な結晶性を得るための原料供給量や成長温度の範囲が狭いことによる(非特許文献4参照)。

【0049】

InGaAsSbは、Sb組成比が少ない場合はInGaAsに近い成長条件となり、Sb組成比が多い場合はGaAsSbに近い成長条件となる。このために、InGaAsSbで良質な結晶性を得ようとした場合、Sb組成比は少ない方が望ましい。InGaAsSbにおいて、Sb組成比を0.3より増加させた場合、図2に示すようにバンドギャ

50

ップは増大し、さらに結晶成長も難しくなる。このため、トンネル電界効果トランジスタのチャンネル層に用いる InGaAsSb の Sb 組成比は、0.3 以下であることが望ましい。

【0050】

次に、 InGaAsSb の Sb 組成の下限について説明する。 InGaAsSb において、 Sb 組成比を正確に制御するためには、層中に Sb がドーパントレベル ($< 10^{21} \text{ cm}^{-3}$) ではなく、組成レベル (一般的な組成比の最小単位は 0.01) で層中に含まれている必要がある。このため、チャンネル層 103 (InGaAsSb 層) に用いる InGaAsSb の Sb 組成比は、0.01 以上であることが望ましい。以上のことから、チャンネル層 103 に用いる InGaAsSb の Sb 組成比としては、0.01 以上、0.3 以下

10

【0051】

図 2 では、 InP に格子整合する場合だけでなく、 InP よりも大きな格子定数を持つ InGaAsSb (InP に対する格子不整合: +0.2%、+0.5%、+1.0%、+1.5%) についても、バンドギャップの Sb 組成比による変化を示してある。この結果より、 InP よりも大きな格子定数を持つ InGaAsSb でも、バンドギャップの Sb 組成比による変化は、 InP に格子整合する場合と同様な傾向を持つ。すなわち、 Sb 組成比を 0.3 より増加させると、バンドギャップも増加する。このため、 InGaAsSb が InP に格子整合しない場合においても、 InGaAsSb をトンネル電界効果トランジスタのチャンネル層に应用する場合、 Sb 組成比を 0.01 以上、0.3 以下にする

20

【0052】

トンネル電界効果トランジスタにおいて、オン電流を増加させるためにはチャンネル領域 106 のトンネル電流密度を増加させる必要がある。トンネル電流の密度は、チャンネル層 103 のバンドギャップと有効質量が分かれば、トンネル接合における電界強度の関数として見積もることが可能である (非特許文献 1 参照)。

【0053】

図 3 は、非特許文献 1 に記載の算出方法を用いて、チャンネル層を Si から構成する場合、チャンネル層を InP に格子整合する InGaAs から構成する場合、およびチャンネル層を InP に格子整合する InGaAsSb から構成する場合の各々について、トンネル電流密度を計算し、比較した結果を示している。図 3 の横軸は、トンネル接合界面における電界強度である。また、図 3 では、外部から加える逆バイアスの電圧値を 0.3 V として計算した。 InGaAsSb に関しては、 Sb 組成が 0.1、0.2、0.3、0.4 の場合について調べた。

30

【0054】

図 3 に示されているように、 InP に格子整合する InGaAs や InGaAsSb をチャンネル層に用いることで、 Si を用いた場合より大きなトンネル電流密度が得られることが分かる。これは、主として InGaAs や InGaAsSb のバンドギャップが Si (バンドギャップ $\sim 1.12 \text{ eV}$) よりも小さいことによる。

次に、チャンネル層を、 InGaAs 、 InGaAsSb から構成した場合の比較について述べる。

40

【0055】

図 4 は、図 3 に示したチャンネル層を InGaAs から構成した場合と、チャンネル層を InGaAsSb から構成した場合との各々の結果の一部を拡大して示している。図 4 に示されているように、チャンネル層を InGaAsSb から構成した場合のトンネル接合では、 InGaAs に比べて大きなトンネル電流密度を得られることが分かる。詳しく見ると、 InGaAsSb では Sb 組成比によりトンネル電流密度が変化している。

【0056】

トンネル電流密度は、 InGaAsSb の Sb 組成比を 0.1 から 0.2 に増やすことで増加するが、0.2 から 0.3 に増やしてもほとんど変化しない。さらに Sb 組成比を

50

0.3から0.4に増やすと、トンネル電流密度は急激に減少してSb組成比が0.1の場合よりも小さくなる。これらのことから、チャンネル層103に用いるInGaAsSbのSb組成比は、トンネル電流密度を増加させる上でも0.3以下であることが望ましいことが分かる。

【0057】

[実施の形態2]

次に、本発明の実施の形態2について、図5を参照して説明する。このトンネル電界効果トランジスタは、基板101の上に形成されたInP層102と、InP層102の上に形成されたチャンネル層103とを備える。また、チャンネル層103には、所定の間隔を開けてソース領域104およびドレイン領域105が形成されている。ソース領域104は、例えばp型とされ、ドレイン領域105は、例えばn型とされている。

10

【0058】

また、ソース領域104には、ソース電極107が電氣的に接続して形成され、ドレイン領域105には、ドレイン電極108が電氣的に接続して形成されている。また、ソース領域104とドレイン領域105との間のチャンネル領域106の上には、ゲート絶縁層110を介してゲート電極109が形成されている。これらの構成は、前述した実施の形態1と同様である。

【0059】

実施の形態2では、チャンネル層103を、InGaAsSb層を井戸層112とし、InGaAsまたはInGaAsSbからなる層を障壁層111とする量子井戸構造としている。また、この量子井戸構造は、InGaAsSbからなる下地層113の上に形成している。実施の形態2では、チャンネル層103を、下地層113と、この上に形成した障壁層111および井戸層112からなる量子井戸構造とから構成している。

20

【0060】

ここで、井戸層112は、厚さが4nm以上20nm以下とし、InPより格子定数が大きく、3.5%以下の圧縮歪みを有する状態としてもよい。また、障壁層111は、InGaAsSbから構成し、InPより格子定数が小さく、引っ張り歪みを有する状態としてもよい。

【0061】

実施の形態2におけるトンネル電界効果トランジスタも、チャンネル領域106とソース領域104との界面がトンネル接合領域121となる。このトンネル電界効果トランジスタは、トンネル接合領域121に加わる電界を、ゲート電圧によって制御することで、ドレイン領域105へと流れる電流を変化させ、オン・オフ動作を実現している。

30

【0062】

以下、実施の形態2におけるトンネル電界効果トランジスタの製造方法について説明する。まず、半絶縁性InPからなる基板101の上に、層厚0.1 μ mのInP層102を成長し、この上にSb組成比0.07でInPと格子整合するInGaAsSbからなる層厚70nmの下地層113を成長する。

【0063】

引き続き、下地層113の上に、Sb組成比0.1、引っ張り歪1.04%、層厚15nmのInGaAsSbからなる障壁層111、Sb組成比0.2、圧縮歪1.63%、層厚12nmのInGaAsSbからなる井戸層112、Sb組成比0.1、引っ張り歪1.04%、層厚3nmのInGaAsSbからなる障壁層111を成長する。この後、層厚20nmのInP表面保護層を成長する。

40

【0064】

この後、前述した実施の形態1と同様にすることで、ソース領域104およびドレイン領域105を形成し、ゲート絶縁層110、ゲート電極109を形成し、ソース電極107、ドレイン電極108を形成する。ソース領域104およびドレイン領域105は、例えば、下地層113に到達する深さに形成すればよい。

【0065】

50

実施の形態 2 における InGaAsSb の歪補償量子井戸構造をチャネル層 103 に用いたプレーナ型のトンネル電界トランジスタは、ソース電圧 60 mV、(ゲート電圧 - しきい値電圧) 1 V の条件において、ドレイン電流が $1.9 \times 10^{-1} \mu\text{A} / \mu\text{m}$ であり、S 値の最小値が 51 mV / dec. である。

【0066】

上述した実施の形態 2 におけるプレーナ型のトンネル電界トランジスタは、実施の形態 1 のトンネル電界トランジスタよりもドレイン電流が高く、S 値の最小値が低い。このように、チャネル層 103 に InGaAsSb の歪補償量子井戸構造を用いることで、チャネル層 103 のバンドギャップを小さくでき、トンネル電界効果トランジスタのデバイス特性を向上させることができる。

10

【0067】

なお上述では、チャネル層 103 に歪補償量子井戸構造を用いた例について説明したが、 InGaAsSb から構成した井戸層 112 が用いられていれば、チャネル層 103 のバンドギャップを小さくできることに変わりはない。このため、障壁層 111 に引っ張り歪が加わっていない歪量子井戸構造や、障壁層 111 を InGaAs から構成した量子井戸構造をチャネル層 103 に用いた場合でも、前述同様にデバイス特性が改善されることは明らかである。

【0068】

次に、実施の形態 2 におけるトンネル電界効果トランジスタにおけるチャネル層 103 の、井戸層 112 についてより詳細に説明する。

20

【0069】

実施の形態 1 において図 2 を用いて説明したように、 InP よりも大きな格子定数を持つ InGaAsSb では、Sb 組成比が同じでも InP に格子整合する InGaAsSb よりバンドギャップを小さくできる。しかし、 InP とは格子定数が異なる InGaAsSb を結晶成長する場合、格子歪に起因した結晶欠陥の発生が問題となる。この結晶欠陥の発生を抑えるためには、 InGaAsSb の層厚を小さくした歪量子井戸構造を用いることが有効である。

【0070】

しかし、 InGaAsSb 歪量子井戸構造で井戸層の層厚を小さくし過ぎると、量子サイズ効果によりバンドギャップが増加する。この場合、トンネル電界トランジスタにおけるトンネル電流は減少する。以下では、 InGaAsSb 歪量子井戸を用いたトンネル接合において、トンネル電流密度を顕著に減少させないために必要となる井戸層の層厚の範囲について説明する。

30

【0071】

図 6 は、 InGaAsSb を用いた歪量子井戸構造において、井戸層の層厚を 2, 4, 6, 8, 10, 12 nm とした場合について、この歪量子井戸構造を用いたトンネル接合におけるトンネル電流密度の電界強度依存性を示している。 InGaAsSb 歪量子井戸構造において、 InGaAsSb 井戸層の Sb 組成を 0.1、 InP に対する格子不整合を +1.5% とし、障壁層は Sb 組成比が 0.1 で InP に格子整合する InGaAsSb とした。図 6 には、比較のために図 3 で示した InGaAs を用いたトンネル接合の結果も示してある。

40

【0072】

InGaAsSb 歪量子井戸を用いたトンネル接合では、 InGaAs を用いた場合より大きなトンネル電流密度が得られる。この InGaAsSb 歪量子井戸を用いたトンネル接合の電流密度は、井戸層の層厚により変化する。図 6 に示すように、 InGaAsSb 歪量子井戸を用いた場合のトンネル電流密度は、井戸層の層厚を 2 nm から 4 nm に増やすことで急激に増加するが、この後、4 nm 以上で層厚を増やしても急激には増加しない。このことから、 InGaAsSb 歪量子井戸層の層厚は、4 nm 以上であることが望ましいことが分かる。井戸層の層厚の上限については、量子井戸としての量子サイズ効果がある層厚であれば良く、具体的には 20 nm 以下であれば良い。

50

【0073】

図6では、井戸層にSb組成比が0.1であり、InPに対する格子不整合が+1.5%のInGaAsSbを用いた例について示したが、後述するようにSb組成比が0.1以外の場合や、InPに対する格子不整合が+1.5%以外の場合でも、トンネル電流密度は絶対値が異なるのみで井戸層の層厚として4nm以上が有効であることに変わりはない。

【0074】

上記の例では、障壁層にInPに格子整合するInGaAsSbを用いた歪量子井戸構造について説明したが、本発明は格子整合しない障壁層を用いた場合においても有効である。以下に、井戸層とは反対の格子歪(引っ張り歪)を加えた障壁層を用いた量子井戸の例について説明する。障壁層に井戸層とは反対の格子歪を加えた量子井戸は、井戸層の格子歪を補償する効果があるため、歪補償量子井戸と呼ばれる。本発明(実施の形態2)における井戸層は、圧縮歪が加わったInGaAsSbであるため、歪補償量子井戸構造にするためには障壁層に引っ張り歪を加える必要がある。

10

【0075】

InGaAsSbでは、Ga組成比を増加させることで容易に引っ張り歪を加えることができる。Ga組成比が高いInGaAsSbを障壁層に用いることで、伝導帯におけるバンド不連続が変化し、InGaAsSb井戸層への電子の閉じ込めが増大する。この電子の閉じ込めの増大は、以下のようにデバイス特性を向上させる上でも有用である。

20

【0076】

プレーナ型のトンネル電界効果トランジスタにおいて、電子は井戸層内に閉じ込められた状態で、ソース領域からドレイン領域へと電子が移動する。引っ張り歪を加えるためにGa組成比を高くしたInGaAsSbを障壁層に用いることで、電子が移動の際に井戸層から漏れ出すことを抑制できる。

【0077】

次に、歪補償量子構造をトンネル電界トランジスタのチャンネル層に用いる場合の井戸層の層厚について説明する。

【0078】

図7は、InGaAsSbを用いた歪補償量子井戸構造において、井戸層の層厚を2, 4, 6, 8, 10, 12nmとした場合について、この歪補償量子井戸構造を用いたトンネル接合のトンネル電流密度の電界強度依存性を示している。歪補償量子井戸構造において、InGaAsSb井戸層のSb組成を0.2、InPに対する格子不整合を+1.44%とし、障壁層はSb組成比が0.1でInPに対する格子不整合が-0.87%(符号が負、引っ張り歪)のInGaAsSbとした。図7には、図6と同様、比較のためにInGaAsを用いたトンネル接合の結果も示してある。

30

【0079】

図7に示すように、歪補償量子井戸構造を用いた場合も、図6を用いて説明した歪量子井戸構造を用いた場合と同様の傾向を示す。具体的には、トンネル電流密度は、井戸層の層厚を2nmから4nmに増加させることにより急激に増加するが、この後は層厚を増加させても電流密度は急激には増加しない。従って、歪補償量子井戸構造をチャンネル層に用いた場合でも、井戸層としては4nm以上の層厚が有効である。

40

【0080】

図7に示す結果は、井戸層の上下の障壁層に引っ張り歪が加わった例だが、上下のどちらか一方の障壁層に引っ張り歪が加わった場合でも、量子サイズ効果が存在し、InGaAsSb井戸層を用いることで小さいバンドギャップが得られることに変わりはないため、上述の井戸層の層厚の有効範囲に変わりはない。

【0081】

前述したように、InPとは格子定数が異なるInGaAsSbを結晶成長する場合、格子歪に起因した結晶欠陥の発生が問題となる。具体的には、層厚が一定値以上になると歪応力に起因した結晶欠陥が発生し易くなり、良質の結晶を得ることが難しくなる。この

50

結晶欠陥が発生し始める層厚は、臨界層厚と呼ばれる。トンネル電界トランジスタに用いる量子井戸の層厚は4 nm以上にすることが望ましく、井戸層を層厚は4 nm以上にするには井戸層に加える圧縮歪を一定の値以下にする必要がある。言い換えると、臨界層厚が4 nmとなる格子歪が、井戸層に加えることのできる格子歪の上限である。

【0082】

図8は、Sb組成比が0.1のInGaAsSbについて、格子歪（圧縮歪）を変化させた場合の臨界層厚を、非特許文献7に記載の計算方法を用いて求めた結果を示している。また、図9は、Sb組成比が0.2のInGaAsSbについて、格子歪（圧縮歪）を変化させた場合の臨界層厚を、非特許文献7に記載の計算方法を用いて求めた結果を示している。

10

【0083】

井戸層の層厚が、図8、図9に示された曲線より大きくなると結晶欠陥が発生し易くなる。図8、図9から、InGaAsSbのSb組成比が0.1、0.2のいずれの場合においても、臨界層厚が4 nmとなる格子歪は+3.5%である。従って、InGaAsSb量子井戸をトンネル電界トランジスタのチャネル層に用いる場合、井戸層の圧縮歪を+3.5%以下にすることが望ましい。

【0084】

InGaAsSbを井戸層に用いれば、InGaAsを用いた場合よりも容易に歪補償量子井戸構造を作製することができる（非特許文献8参照）。歪補償量子井戸構造をトンネル電界トランジスタに応用するにあたり、各層の層厚、歪量をチェックするために、以下のような多重量子井戸構造を作製した。

20

【0085】

トンネル電界トランジスタでは、単一量子井戸を用いるが、井戸層と障壁層の層厚、歪量は、多重量子井戸構造にした方が解析が容易である。この解析のため、多重量子井戸構造を前述の有機金属分子線エピタキシー法を用いて作製した。図10は、作製した多重量子井戸構造の層構造を示した断面図である。この多重量子井戸構造は、まず、InP基板201の上にInPからなる層厚0.1 μmのバッファ層202を成長する。引き続き、バッファ層202の上に、歪補償多重量子井戸構造として、InGaAsSbからなる11層の障壁層203と、InGaAsSbからなる10層の井戸層204とを交互に積層させた。井戸層204のSb組成比は0.2、障壁層203のSb組成比は0.1になるように原料供給量を調整した。

30

【0086】

図11は、上述した多重量子井戸構造のX線回折パターンの測定結果（実験）とシミュレーション結果とを比較して示している。この比較から、井戸層204は、圧縮歪が1.63%、層厚が12.9 nmのInGaAsSb、障壁層203は引っ張り歪が1.04%、層厚が19.0 nmのInGaAsSbであることが分かった。

【0087】

図12は、上述した多重量子井戸構造の室温におけるフォトルミネッセンス発光スペクトルを示している。フォトルミネッセンスの発光ピークのエネルギーは、0.57 eVである。量子井戸構造では、発光ピークのエネルギーと井戸層のバンドギャップがほぼ一致する。このため、このInGaAsSbを用いた歪補償量子井戸構造（多重量子井戸構造）のバンドギャップは、InPに格子整合するInGaAs（0.74 eV）よりも小さいことが確認された。

40

【0088】

以上に説明したように、本発明によれば、チャネル層を、InPからなるInP層の上に形成されたInGaAsSbからなるInGaAsSb層を備える構成としたので、プレーナ型のトンネル電界効果トランジスタのデバイス特性を向上させることができるようになる。本発明によれば、プレーナ型のトンネル電界効果トランジスタにおいて、オン状態における電流の増加が可能になるとともに、小さなゲート電圧で動作させることも可能になる。これにより、トンネル電界効果トランジスタを電子回路に用いた電子部品では、

50

消費電力を低減でき、結果として電子機器の省エネルギー化を実現できるようになる。

【0089】

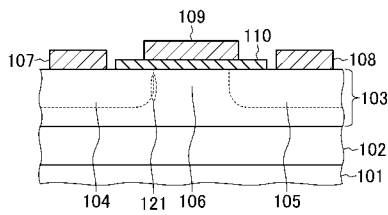
なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

【符号の説明】

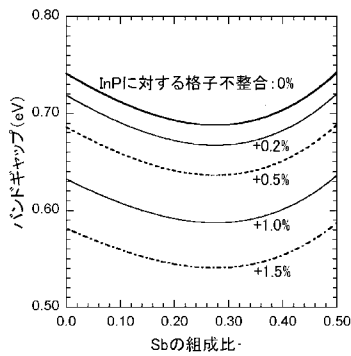
【0090】

101...基板、102...InP層、103...チャネル層、104...ソース領域、105...ドレイン領域、106...チャネル領域、107...ソース電極、108...ドレイン電極、109...ゲート電極、110...ゲート絶縁層、121...トンネル接合領域。

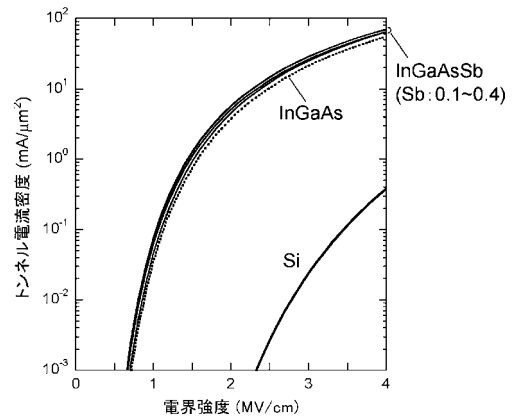
【図1】



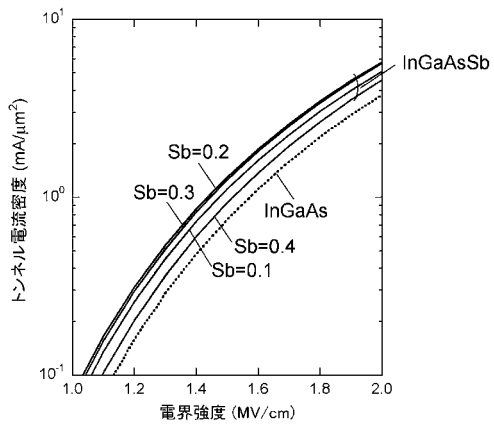
【図2】



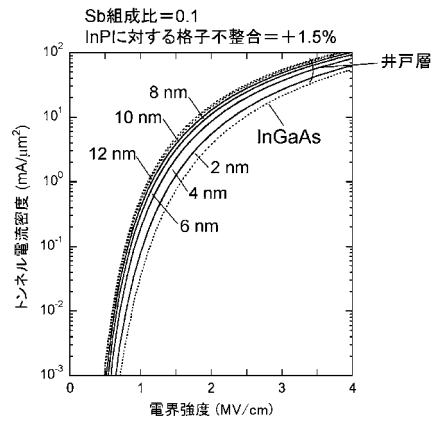
【図3】



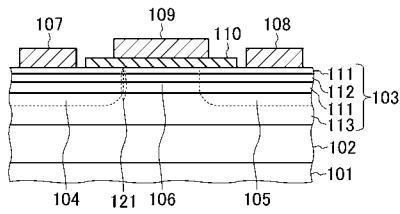
【 図 4 】



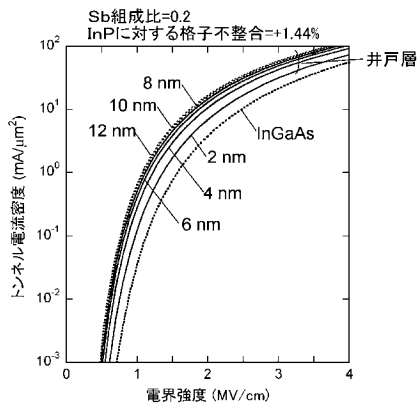
【 図 6 】



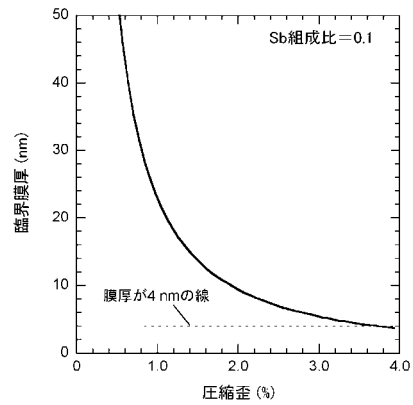
【 図 5 】



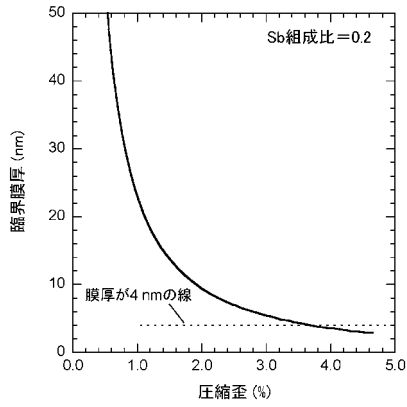
【 図 7 】



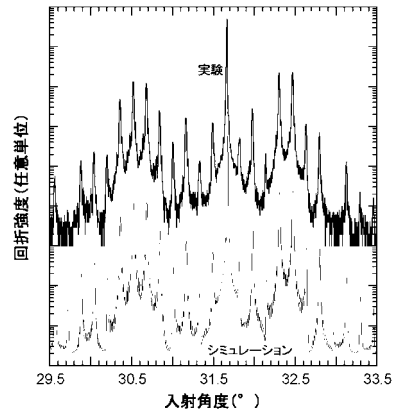
【 図 8 】



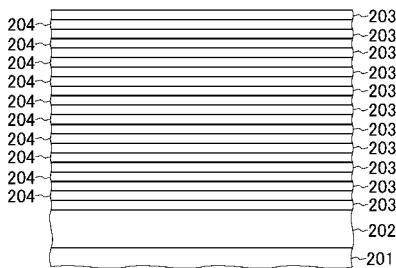
【 図 9 】



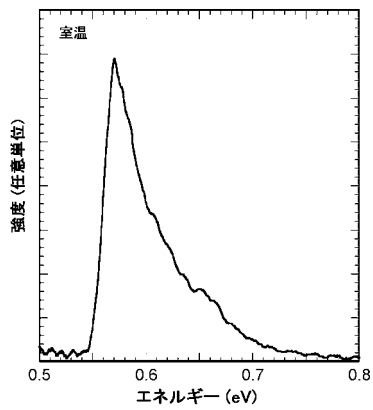
【 図 1 1 】



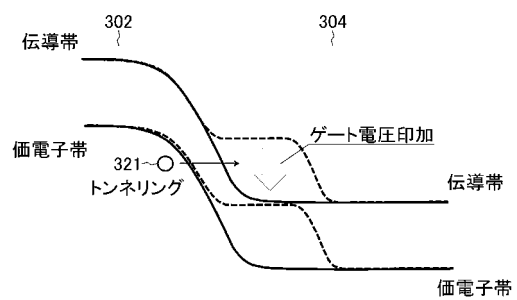
【 図 1 0 】



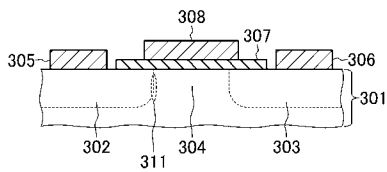
【 図 1 2 】



【 図 1 4 】



【 図 1 3 】



フロントページの続き

(72)発明者 杉山 弘樹

東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

Fターム(参考) 5F102 FB05 GB01 GC01 GD01 GD10 GK04 GL04 HC01

5F140 AA29 AC13 BA08 BA09 BC12 BE09 BG27 BH27 BH30 BK09

BK12 BK13 BK21 BK38 CE02