(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 7/26
H04N 7/08

(45) 공고일자 2001년05월15일
(11) 등록번호 10-0290074
(24) 등록일자 2001년02월27일

(21) 출원번호	10-1996-0700113	(65) 공개번호	특1996-0704439
(22) 출원일자	1996년01월06일	(43) 공개일자	1996년08월31일
번역문제출일자	1996년01월06일		
(86) 국제출원번호	PCT/US 94/06983	(87) 국제공개번호	WO 95/02301
(86) 국제출원일자	1994년06월21일	(87) 국제공개일자	1995년01월19일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 국내특허 : 캐나다 일본 대한민국 중국		
(30) 우선권주장	88285 1993년07월06일 미국(US)		

(73) 특허권자 제니스 일렉트로닉스 코포레이션 비트쿠스 리차드 에프.
미국 일리노이주 60025 글렌뷰 밀워키 애비뉴 1000
(72) 발명자 리챠드 더블유. 시타
미국 일리노이 60302 옥크 파크 컬럼비안 노쓰 739
마크 핌오프
미국 일리노이 60195 호프만 에스테이츠 콩코드 레인 1020
레이온드 씨.호그
미국 일리노이 60021 폭스 라이브 그로브 가드너즈 로드 9011
(74) 대리인 이병호

심사관 : 정상태

(54) 압축된 비디오 및 보조 데이타를 다중화하여 전송하는 시스템

요약

텔레비젼 신호 전송 시스템은 압축된 비디오 데이타 신호 및 하나이상의 보조 데이타 신호를 결합하여 다중화된 신호를 형성하여 고정된 채널의 대역폭을 통해서 전송시키는 멀티플렉서(34)를 구비한다. 멀티플렉서(34)는 상기 다중화된 신호를 포함하는 성분의 비율을 변화시켜 수신된 압축 비디오 데이타 신호에 응답하여 화질을 만족스럽게 인지할 수 있도록 제어된다. 압축된 비디오 데이타 신호는 보조 데이타와 결합하기 앞서 버퍼링되는데(26), 이 경우에 멀티플렉서(34)는 또한 다중화된 신호를 포함하는 성분 비를 변화시켜 버퍼(26)의 풀니스를 수용가능한 레벨로 유지시키도록 제어된다.

대표도

도1

명세서

[발명의 명칭]

압축된 비디오 및 보조 데이타를 다중화하여 전송하는 시스템

[발명의 상세한 설명]

본 발명은 일반적으로 텔레비젼 신호 전송 시스템에 관한 것이며, 특히 압축된 텔레비젼 신호 및 하나이상의 보조 데이타신호를 다중화하여 전송하는 시스템에 관한 것이다.

최근에, 압축된 텔레비젼 신호를 디지탈적으로 전송하기 위한 여러가지 시스템이 제안되어 왔다. 예를 들어, 고선명 텔레비젼(HDTV)및 압축된 NTSC가 이 기술을 사용한다. 제1도는 이와 같은 시스템의 전형적인 종래 기술의 배열을 도시한 것이다. 이 시스템에서, 디지탈 비디오 신호는 이산 코사인 변환(DCT) 회로(10) 및 비디오 압축기(12)에 인가된다. DCT에 의해 발생된 변환 계수는 입력 신호의 인지 특성(perceptual nature)을 반영하는 출력 신호를 발생시키는 인지 모델(PM)회로(perceptual model circuit)(14)에 인가된다. 미국 특허 제5,113,256호는 이와 같은 회로의 전형적인 실시예를 도시한 것이다. 비디오 압축기(12)는 압축된 가변 속도 비디오 출력신호를 제공하는 기술에 널리공지된 타잎(예를들어, MPEG)의 모션 예측 엔코더를 구비하는 것이 바람직하다. 압축된 비디오 신호는 버퍼(16)에 인가되는데, 이 버퍼(16)는 조절기로서 작용하여 이 압축된 비디오 신호를 고정된 속도로 패킷화기(18)에 제공한다. 특히, 버퍼의 풀니스(fullness)를 표시하는 제어 신호는 압축기(12)로 피드백되어 PM(14) 출력과 더불어 이 압축기의 동작을 제어하여 상기 버퍼를 제공된 고정속도 출력 신호를 서포트(support)하는데 필

요한 풀니스의 공칭레벨로 유지시킨다. 즉, 버퍼 풀니스가 감소될때, 압축기(12)는 감소된 압축 레벨에 영향을 미치도록 동작되어, 더많은 비디오 데이타가 버퍼의 풀니스를 증가시키기 위하여 발생된다. 한편, 버퍼 풀니스가 증가될 때, 압축 레벨은 증가되어, 보다 작은 비디오 데이타가 버퍼에 인가된다. 마지막으로, 패킷화되고 압축되는 채널을 통해서 전송된다.

반드시 이에만 국한 되는 것은 아니지만, 상술한 시스템의 HDTV 적용시, 각각 6MHz 텔레비젼 채널을 통해서 지상의 HDTV 방송을 실행하고 압축된 비디오 정보이외에 보조 데이타 서비스, 즉, 주식 시세등을 서비스하는 가령 페이징 시스템과 같은 전송 시스템을 방송장치의 부품으로 사용하는 것이 대단히 바람직하다는 것을 알 수 있다. 이들 보조 서비스를 제공하는 텔레비젼 채널내의 리싱 스펙트럼(leasing spectrum)에 의해 실현되는 인입 스트림은 방송장치에 의해 사용되어 HDTV 방송 설비를 설치하여 동작시키는 비용을 적어도 부분적으로 옵셋한다. 이 레비뉴 스트림(revenue stream)을 최대화하기 위하여, 재생된 HDTV 신호질에 나쁜 영향을 미침이 없이 동시에 보조 데이타 서비스를 위하여 가능한한 많은 채널 스펙트럼을 활용하는 것이 바람직하다. 제1도에 도시된 타잎의 종래 시스템은 특히 이 목적에 대해선 적절치 않은데, 그 이유는 비디오 정보의 고정된 속도 전송으로 인한 비융통성(inflexibility) 때문이다.

그러므로, 본 발명의 목적은 텔레비젼 채널을 통해서 수신된 압축된 비디오신호에 응답하여 재생되는 인지할 수 있는 비디오화질을 저하시킴이 없이 텔레비젼 채널을 통해서 전송될 수 있는 보조 데이타량을 최대화할 수 있는 텔레비젼 신호 전송 시스템을 제공하는 것이다.

본 발명의 목적은 압축된 비디오 신호 및 하나이상의 보조 데이타 신호를 시간 다중화하여 전송하는 것인데, 여기서 압축된 비디오 정보량은 적응적으로 제어되어 재생된 비디오 화질을 만족스럽게 한다.

본 발명은 소스 비디오 신호를 표시하는 가변 속도 압축된 디지털 비디오 데이타 신호를 발생시키는 수단과, 상기 소스 및 압축된 디지탈 비디오 데이타 신호를 발생시키는 수단과, 상기 소스 및 압축된 비디오 신호들간의 재생가능한 화질차를 표시하는 제어 신호를 발생시키는 수단과, 적어도 하나의 보조 데이타 신호를 발생시키는 수단과, 상기 보조 데이타 신호 및 상기 압축된 비디오 데이타 신호를 다중화하여 다중화된 출력 신호를 발생시키는 수단 및 상기 제어 신호에 응답하여 상기 제어 신호의 비례 함수(direct function)에 따라서 상기 다중화된 신호를 포함하는 상기 압축된 비디오 데이타 신호의 상대적인 양을 증가시키는 제어 수단을 구비하는 텔레비젼 신호 전송 시스템을 제공하는 것이다.

본 발명은 또한 보조 데이타 및 소스 비디오 신호를 포함하는 가변 속도 압축된 비디오 데이타로 이루어진 다수의 패킷을 포함하는 단계와, 상기 소스 및 압축된 비디오 신호로 표시되는 재생가능한 화질차를 결정하는 단계 및 상기 차의 비례함수에 따라서 사기 데이타 프레임을 포함하는 압축된 비디오 데이타 패킷수를 조정하는 단계를 포함하는 데이타 전송 프레임을 형성하는 방법을 제공하는 것이다.

게다가, 본 발명은 소스 비디오 신호를 표시하는 가변속도 압축된 디지털 비디오 데이타 신호를 발생시키고 제어 신호에 응답하여 압축 레벨을 변화시키는 압축기와, 하나이상의 보조 데이타 신호를 발생시키는 수단과, 상기 제어 신호를 발생시키기 위하여 상기 소스 비디오 신호 및 상기 압축된 디지털 비디오 데이타 신호의 분해된(decompressed)표시간의 차를 표시하는 에러 신호를 발생시키는 수단 및 상기 압축된 디지털 비디오 데이타 신호와 상기 하나이상의 보조 데이타 신호를 다중화 하는 수단을 구비하는 다중화 시스템을 제공하는 것이다.

본 발명의 이들 및 그외 다른 특징 및 장점이 도면을 참조하여 상술될 것이다.

[도면의 간단한 설명]

제1도는 비디오 신호를 압축하여 전송하는 종래 시스템의 블록도.

제2도는 본 발명에 따라서 선택된 채널을 통해서 압축된 비디오 신호 및 하나이상의 보조 데이타 신호를 전송하는 시스템의 블록도.

제3도는 제2도의 인지 퀄러티 회로(perceptual quality circuit)에 결합되는 일련의 전형적인 매핑 함수(mapping functions)를 도시한 도면.

제4도는 제2도의 멀티플렉서 제어 회로에 결합되는 전형적인 메모리 룩-업 테이블을 도시한 도면.

제5도는 제2도의 패킷화(36 및 38) 및 멀티플렉서(34)의 전형적인 실시예를 도시한 도면.

제6도는 본 발명을 따른 전형적인 데이타 프레임을 도시한 도면.

제7(a)도 및 제7(b)도는 제6도의 데이타 프레임의 헤더 구조를 도시한 도면.

제2도를 참조하면, 제1도의 종래 시스템에서 처럼, 디지털 비디오 신호는 DCT회로(20) 및 비디오 압축기(22)에 인가되는데, 이들 DCT회로 및 압축기는 제1도의 회로(10 및 12)와 거의 동일하다. 또한, 제1도의 시스템에서 처럼, DCT(20)에 의해 발생되는 변환 계수는 PM(24)(제1도의 PM(14)과 동일)에 인가되는데, 이 PM의 출력은 압축기(22)를 제어한다. 압축기(22)의 가변 레이트 출력은 버퍼(26)에 인가된다.

입력 디지탈 비디오 신호는 또한 감산 회로(28)의 한 입력에 인가되는데, 이 감산회로의 다른 입력에는 압축기(22)로부터 나오는 압축된 비디오 신호가 공급된다. 감산기(28)는 입력 비디오 신호 및 압축기(22)에 의해 공급되는 입력 비디오 신호의 대응하는 압축된 버전간의 차를 표시하는 출력 신호를 발생시키는데 필요한 회로를 구비한다. 이 출력 신호는 예를 들어 입력 비디오 신호 및 압축기(22)의 압축된 출력에 응답하여 감산기(28)에서 발생된 대응하는 분해된 신호간의 RMS 에러를 포함할 수 있다. 이 분해된 신호가 수신되어 압축된 비디오 신호에 응답하여 텔레비젼 수신기에서 재생되는 비디오 신호를 표시한다는 것을 알 수 있을 것이다.

감산기(28)에 의해 발생된 에러 신호는 인지 퀄러티회로(perceptual quality circuit)(30)의 한 입력에 인가되며, 이 회로(30)의 또다른 한 입력은 PM(24)의 출력 신호를 공급받는다. 미국 특허 제5,113,256호에 설명된 바와 같이, PM(24)에 의해 발생된 출력 신호는 입력 비디오 신호의 인지 문자를 식별하여 압축기(22)의 동작을 손쉽게 한다. 본 발명을 따르면, PM(24)의 출력에서 반영되는 바와 같은 비디오 신호의

인지 문자는 또한 인지 퀄러티 회로(30)에 의해 사용되어 감산기(28)에 의해 발생되는 RMS 에러 신호를 적절하게 가중한다. 특히 제3도를 참조하면, 인지 퀄러티 회로(30)는 PM(24)의 서로 다른 출력에 각각 대응하는 다수의 매핑 함수(PC)를 포함한다. 각 매핑함수(PC)는 예를 들어 메모리 룩-업 테이블의 형태로 수행될 수 있다. 제3도에서, 세 개의 이와같은 함수(PC_0-PC_2)가 도시되어 있는데, 이 각각의 함수는 비디오 신호(예를 들어, 에지(edge), 텍스쳐(texture)등)의 서로다른 인지 특성에 대응한다. PC_0-PC_2가 각 선형 매핑함수를 포함하여 도시되어 있지만 각종 다른 형태의 함수는 동일한 방식으로 사용될 수 있다는 것을 알 수 있을 것이다.

제3도를 또한 참조하면, 감산기(28)에 의해 발생된 에러신호는 PM(24)의 출력 선택되는 매핑 함수들(PC_0-PC_2)중 하나의 함수에 의해 가중된 인지 에러 신호(WPE)로 변환된다. 그러므로, 감산기(28)에 의해 발생된 에러 신호의 가중은 비디오 신호에 응답하여 재생되는 인지할 수 있는 비디오 신호의 대응부분의 인지 문자의 함수이다. 압축기(22)에 의해 발생된 압축된 비디오 화질을 표시하는 회로(30)의 출력 신호(WPE)는 멀티플렉서 제어 회로(32)의 한 입력에 공급된다. 버퍼(26)의 풀니스를 표시하는 신호는 멀티플렉서 제어 회로(32)의 제2입력에 인가된다.

제4도를 참조하면, 멀티플렉서 제어 회로(32)는 버퍼 풀니스 및 (WPE) 입력 신호를 멀티플렉서 제어 신호(VDA)를 발생시키기 위하여 사용되는 출력값으로 변환시키는 메모리 룩-업 테이블을 포함한다. 멀티플렉서 제어 신호는 멀티플렉서(34)의 선택 입력(S)에 인가되는데, 이 멀티플렉서의 입력(A 및 B)에 한쌍의 패킷화기(36 및 38)각각의 출력을 공급한다. 패킷화기(26)의 입력은 버퍼(26)의 출력에 결합되는 반면, 패킷화기(38)의 입력은 소스(40)로부터 보조 데이타 신호를 공급받는다. 보조 데이타 소스(40)는 상보되는 멀티플레서 제어 신호(VDA)에 응답하여 인에이블된다. 단일 데이타 소스로서 도시되어 있지만, 데이타 소스(40)는 실제로 보조 데이타의 다수의 서로 다른 인터럽트가능한 소스를 포함한다는 것을 알 수 있을 것이다. 또한, 이와 결합하여, 데이타 소스(40)는 임의의 평균 데이타 속도가 소정 시간 주기에 걸쳐 유지될 필요가 있는 타입의 보조 데이타의 하나이상의 소스 압축된 비디오 신호와 동반되는 오디오 신호와 같은 소스를 포함한다. 선택 입력(S)에 인가되는 멀티플렉서 제어 신호(VDA)에 의해 결정되는 바와 같은 멀티플렉서 입력(A 또는 B) 중에 공급되는 패킷화된 신호를 포함하는 멀티플렉서(34)의 출력은 전송기(42)에 결합되어 선택된 채널을 통해서 전송된다. 멀티플렉서 제어 회로(32)의 또다른 출력은 제어 입력으로서 비디오 압축기(22)에 인가된다.

실제로, 보조 데이타 소스(40)는 압축된 비디오 신호와 더불어 예를 들어 시분할 다중화된 형태로 텔레비젼 채널을 통해서 방송 전송하는데 적합한 임의수의 데이타 서비스를 포함할 수 있다. 이에 관하여, 패킷화기(36 및 38)는 유사한 포맷이지만 서로다른 서브헤더로 보조 데이타 및 압축된 비디오 정보를 패킷화하므로써 서로 다른 수신기가 두 개 이상의 서로다른 데이타 스트림에 응답하게 한다. 서브헤더에서 바람직하게 엔코딩되는 임의의 시간 주기동안 전송되는 각 타잎의 데이타양은 멀티플렉서 제어회로(32)에 의해 결정되는데, 이 멀티플렉서 제어 회로는 멀티플렉서(34)를 제어하여 패킷화기(36 또는 38)중 어느 하나의 패킷화기로부터 나오는 데이타를 전송기(42)에 결합시킨다.

제4도를 다시 참조하면, 룩-업 테이블에서 각 값은 소정 시간 간격, 예를 들어 데이타 프레임동안의 퍼센티지를 표시하는데, 이 동안에 멀티플렉서(34)는 패킷화되어 압축된 비디오 정보를 입력(A)에서 전송기(42)로 결합시키도록 동작한다. 나머지 소정 시간 간격동안, 보조 데이타 소스(40)는 인에이블되고, 패킷화된 보조 데이타는 멀티플렉서 입력(B)에서 전송기(42)로 결합된다.

본 발명의 양상을 따르면, 비디오 정보의 전송이 어떠한 보조 데이타의 전송보다 우선 순위를 갖는다. 따라서, 제4도의 룩-업 테이블은 충분한 비디오 정보를 전송하도록 프로그램되어 텔레비젼 수신기가 수용할 수 있을 정도의 인지가능한 비디오 화질을 재생하도록 한다. 이 목적을 성취하는데 필요로되는 데이타양은 물론 비디오 신호 특성에 따라서 변화할 것이다. 룩-업 테이블은 또한 버퍼(26)가 오버플로우되는 것을 방지한다. 이들 제한 내에서, 전송 시스템의 어떠한 초과 용량도 보조 데이타를 전송하는 사용될 수 있다.

재생 가능한 비디오 영상의 인지할 수 있는 화질은 회로(30)에 의해 발생되는 신호(WPE)로 표시되고 버퍼(26)의 풀리스는 제어신호(BF)로 표시된다. 제4도의 테이블에 도시된 바와 같이, 프로그램된 값은 두 개의 제어 신호(WPE 및 BF)의 값의 증가에 따라서 증가한다. 따라서, 신호(WPE)가 증가할 때, 더욱 많은 채널이 비디오 데이타를 전송하는데 사용되고 보다적은 채널이 보조 데이타를 전송하는데 사용된다. 이들 조건하에서, 제어 신호는 멀티플렉서 제어(32)로부터 압축기(22)에 인가되어 실행될 압축량을 감소시켜 버퍼(26)에 공급되는 압축된 비디오 데이타량을 증가시킨다. (WPE)가 감소하기 시작한다고 가정하면, 이와 대향되는 시나리오(scenario)가 초래된다. 즉, 보다 작은 채널이 비디오 데이타를 전송하는데 사용되고 보다 많은 채널이 보조 데이타를 전송하는데 사용된다. 또한, (WPE)가 임의의 소정값인 경우에, 보다 많은 채널이 버퍼 풀니스가 증가시 비디오 데이타를 전송하는데 사용된다. 게다가, 제어 신호는 멀티플렉서 제어(32)에 의해 압축기(22)에 인가되어 실행될 압축량을 증가시킨다.

일예로서, 데이타가 N 패킷의 연속적인 프레임으로서 전송기(42)에 의해 전송된다고 가정하자, 각 패킷은 압축된 비디오 데이타(서브헤더 CV로 식별됨) 또는 보조 데이타(서브헤더 AUX로 식별됨)중 하나를 포함한다. 버퍼(26)가 50% 채워지고 $WPE=WPE_1$, 이라 가정하면, 각 프레임은 7N 압축된 비디오 패킷 및 .3N 보조 데이타 패킷을 포함한다. WPE가 WPE_2로 증가하는 경우, 재생가능한 비디오 영상의 인지할 수 잇는 화질을 신속하게 증가하도록 시도시 이 비율은 .9N 압축된 비디오 패킷 및 .1N 보조 데이타 패킷으로 변화된다. 한편, WPE가 WPE_0로 감소되는 경우, 보다 적은 비디오 데이타(.5N 패킷) 및 보다 많은 보조 데이타(.5N 패킷)가 전송된다. 시스템 동작의 유사한 변화가 버퍼 플니스의 변화에 응답하여 실행된다는 것을 알 수 있다. 최종적으로(WPE 또는 BF중 하나의 과도한 값), 전체 채널은 비디오 데이타 전송하는데 사용될 수 있다.

제5도는 제2도의 멀티플렉서(34) 및 패킷화기(36 및 38)의 전형적인 실시예를 도시한다. 보다 상세하게 후술되는 바와 같이, 제5도의 회로는 하나이상의 보조 데이타 스트림과 더불어 버퍼(26)의 출력에 제공되는 가변속도 압축된 비디오 데이타 신호를 우선순위를 토대로 다중화하도록 동작하여 제6도에 도시된 바

와 같은 데이타 프레임을 형성한다. 이 회로는 또한 헤더(44)를 각 데이타 프레임이 소정 위치에 삽입시키도록 동작할 수 있는데, 상기 헤더(44)는 다수의 서브헤더(46) 및 각 헤더(44)에서 서브헤더(46)수(제7(a)도 참조)를 식별하는 한개이상의 바이트로 이루어진 데이타(48)를 포함한다. 데이타 프레임을 포함하는 다중화된 데이타 스트림들중 각각 하나의 스트림을 식별하는 각 서브헤더(46)(제7(b)도 참조)는 대응 데이타 스트림의 데이타 타잎(예를 들어, 비디오, 오디오, 보조데이타등)을 식별하는 제1성분(50) 및 데이타 프레임을 포함하는 데이타 스트림의 바이트를 식별하는 제2성분(52)을 포함한다.

제5도를 참조하면, 버퍼(26)로부터 나오는 압축된 비디오 데이타 신호는 두 개의 프레임 지연버퍼(60a)의 데이타 압력에 인가된다. 버퍼(60a)는 또한 자신의 기록(WR)입력에서 클럭신호(CLK)를 수신하고 자신의 기록 인에이블(WREN) 입력에서 멀티플렉서 제어 회로(32)의 출력 신호(VDA)비디오 데이타 활성)을 수신한다. CLK 및 VDA 신호는 또한 카운터(62a)의 클럭 및 인에이블 입력 각각에 인가된다. 카운트(62a)의 출력은 래치(64a)의 입력에 결합되는데, 각 데이타 프레임의 초기에 발생되는 프레임 동기 신호는 상기 래치를 클럭하기 위하여 인가되고 나서 상기 카운터를 리셋한다. 보다 상세하게 후술되는 바와같이, 버퍼(60a)로부터 나오는 출력 비디오 데이타는 멀티플렉싱 노드(66)에 공급되는 한편, 현재 데이타 프레임용 버퍼링된 비디오 데이타 스트림의 바이트수를 표시하는 래치(64a)의 출력은 버스(70)를 통해서 마이크로프로세서(68)에 결합되어 비디오 서브헤더의 구성(제7(a)도 및 제7(b)도 참조)를 손쉽게 한다.

유사한 배열이 각 보조 데이타 스트림에 대해 제공되는데, 이들 스트림 중에는 비디오 데이타를 동반하기 위하여 몇 개의 오디오 데이타 스트림이 포함될 수 있다. 따라서, 보조 데이타 소스(40)에 의해 공급되는 각 보조 데이타 스트림(AUX1-AUXN)은 각 버퍼(60b-60n)의 데이타 입력에 결합되는데, 이들 버퍼의 출력 각각은 멀티플렉싱 노드(66)에 인가된다. 각 버퍼(60b-060n)는 각 AND 게이트(72b-72n)의 출력에 의해 인에이블되고 자신의 WR입력에서 CLK 신호를 수신한다. 각 AND 게이트(72b-72n)의 반전입력은 각각 선행하는 데이타 스트림의 상태를 반영하는 활성 신호를 공급받는 한편, 각 게이트의 비반전 입력은 관계 데이타 스트림의 활성 신호(ADIA..... ADNA)를 공급받는다. 각 AND 게이트(72b-72n)의 출력은 또한 각각 제2AND 게이트의 하나의 입력에 공급되는데, 이 게이트 각각은 또한 자신의 제2입력에서 CLK 신호를 수신한다. AND게이트(74b-74n)의 출력 AUX1RCLK-AUXNRCK는 보조 데이타 신호(AUX1-AUXN)의 각 소스에 다시 결합되는 이와 같은 신호 각각을 소스로부터 CLK신호와 동기적으로 판독한다.

각 버퍼(60b-60n)는 또한 관계된 카운트(62b-62n)를 포함하는데, 이 카운트의 출력은 각 래치(64b-64n)를 공급한다. 각 래치의 출력은 버스(70)를 거쳐 마이크로프로세서(68)에 결합되어 관계된 서브헤더의 구성을 손쉽게한다. 각 카운터(62b-62n)는 클럭 신호 CLK에 의해 클럭되어 자신과 관계되는 AND 게이트(72b-72n)의 출력에 응답하여 인에이블된다. 또한 비디오 데이타 채널의 경우처럼, 프레임 동기 신호는 래치(64b-62n)를 클럭하고나서 카운터(62b-62bn) 리셋한다. 더욱 상세하게 후술되는 바와 같이, 상술한 배열은 계층적 구조가 되므로써 서로 다른 데이타 스트림이 최상부에서 최하부까지의 순서로 우선순위화되는데, 최고 우선순위는 비디오 데이타에 제공되며, 다음의 최고 우선 순위는 AUXI 데이타등에 제공된다. 따라서, 모든 활용가능한 비디오 데이타는 우선 데이타 프레임을 형성하는데 사용되며, 그리고나서 프레임이 완전한게 이루어질때까지 모든 활용가능한 AUXI 데이타등을 형성하는데 활용된다.

제5도를 다시 참조하면, 프레임 동기 신호는 또한 마이크로프로세서(68)의 인터럽트 입력, I/0논리 장치(76)의 입력 및 두개의 스테이지 멀티 바이트 FIF0(78)의 입력에 인가된다. FIF0(78)는 버스(70) 및 I/0 논리(76)의 제2입력간에 결합된다. I/0 논리(76)는 각 데이타 버퍼(60a-60n)의 출력 스테이지에 저장된 데이타 바이트를 멀티플렉싱 노드(66)로 판독하도록 동작하는 출력 및 멀티 플렉싱 노드(66)와 한쌍의 데이타 버퍼(80 및 82)간에 결합되는 스위치(SW1)를 동작시키는 출력을 포함한다. 버퍼(80 및 82)의 출력은 제2스위치(SW2)에 의해 출력 멀티플렉서(84)의 제1입력에 결합되는데, 이 스위치의 상태는 마이크로프로세서(68)의 출력에 의해 제어된다. 멀티플렉서(84)는 버스(70)에 접속되는 제2입력 및 마이크로프로세서(68)의 출력에 의해 제어되는 선택 입력(SEL)을 갖는다.

제5도의 회로 동작의 일예로서, 제1프레임 동기 신호가 카운터(62a-62n)를 클리어하고 일부 압축된 비디오 데이타(즉, 최고 우선순위 데이타)가 다음 데이타 프레임에 포함되어 활용된다고 가정한다. 그러므로 비디오 활성 신호(VDA)는 버퍼(60a) 및 카운터(62a)를 인에이블링하고 그외 나머지 버퍼(60b-60n) 및 카운터(62b-62n)를 디스에이블링한다. 그러므로, 프레임 A라 칭하는 이 프레임에 대한 비디오 데이타의 활용가능한 바이트는 클럭 신호 CLK에 응답하여 버퍼(60a)로 로딩된다. 동시에, 카운터(62a)는 클럭신호(CLK)에 의해 클럭되어 버퍼(60a)에 기억된 비디오 데이타의 바이트수의 실행 카운트를 유지시킨다.

프레임 A의 끝에 앞서있는 어떤 점에서, 더 이상 비디오 데이타는 전송하는데 활용될 수 없어 신호 VDA는 비활성 상태가 된다고 가정된다. 이때에, 활성 신호 ADIA가 활성화되었다면, 데이타가 제1보조데이타 소스에서 활용(즉, 제2최고 우선순위 데이타)된다는 것을 의미하면, AND게이트(72b)는 버퍼(60b)를 인에이블하여 제1보조 데이타를 로딩하고 카운터(62b)를 인에이블하여 버퍼에 로딩된 데이타 바이트수를 카운팅한다. 일단 모든 활용가능한 제1보조 데이타(어쨌든간에)가 버퍼(60b)에 로딩되면, 활성 신호 ADIA는 비활성화되고 동일한 공정이 각 다음의 보조 데이타 소스에 대해 순서대로 반복된다. 데이타가 임의의 하나 이상의 소스에서 활용되지 않으면, 즉, 대응 활성 신호가 비활성화되면, 소스는 스킵(skip)되어 더 이상 데이타는 대응 버퍼에 로딩되지 않는다는 것을 알수 있다.

프레임 A에 대한 모든 데이타가 버퍼(60a-60n)에 기억된후, 다음 프레임 동기 신호는 카운터(62a-62n)에 의해 누적되는 바이트 카운트를 각 래치(64a-64n)로 래치하여 카운터(62a-62n)를 리셋한다. 그리고 나서, 버퍼(60a-60n)는 상기 우선순위를 토대로 다음 프레임, 즉 프레임 B에 대한 데이타, 즉 각 카운터(62a-62n)에 의해 누적되는 각 버퍼에 대한 바이트 카운트에 로딩된다. 동시에, 래치(64a-64n)에 기억된 프레임 A데이타에 대응하는 바이트 카운트가 버스(70)를 거쳐 마이크로프로세서(68)에 전송되는데, 이 마이크로프로세서는 카운트를 이용하여 제7(a)도 및 제7(b)도에 도시된 바와 같은 헤더를 구성하여 기억한다. 또한 프레임 A카운트는 두 개의 스테이지 멀티 바이트 FIF0(78)의 입력 스테이지에 기록된다.

다음 프레임 동기 신호는 프레임 B에 대한 카운터(62a-62n)에 의해 누적되는 바이트 카운트를 래치(64a-64n)로 래치하여 다시 카운터(62a-62n)를 리셋한다. 마이크로프로세서(68)는 이들 카운트를 이용하여 프레임 B에 대한 헤더를 구성하여 기억하며, 프레임B카운트는 또한 FIF0(78)의 입력 스테이지에 기록되므로써 프레임 A 카운트는 FIF0(78)의 출력 스테이지로 전송된다. 이 프레임 동기 신호 다음에, 버퍼는 다음

프레임, 즉 프레임 C에 대한 데이타를 로딩하기 시작한다. 동시에, I/O 논리(76)는 스위치(SW1)를 조작하여 멀티플렉싱 노드(66)를 버퍼(80)에 접속시키고 순차적으로 버퍼(60a-60n)를 인에이블하여 버퍼(80)의 프레임 A데이타를 판독한다. 각 버퍼(60a-60n)는 FIFO(78)의 출력 스테이지에 기억된 대응 프레임 A 바이트 카운트에 응답하여 I/O 논리(76)에 의해 인에이블 된다.

상술한 공정은 다음 프레임동안 반복되지만 버퍼(82)에 접속된 스위치(SW1)로 인해 반복되므로 프레임 B에 대한 데이타가 이 버퍼에 기억될 수 있다. 이것이 발생되는 동안, 프레임 A 데이타는 버퍼(80)에서 판독 출력되어 스위치(SW2)에 인가되는데, 이 스위치(SW2)는 마이크로프로세서(68)에 의해 조작되어 버퍼(80)의 출력을 멀티플렉서(84)의 입력에 결합시킨다. 데이타 프레임의 제1세그먼트동안, 마이크로프로세서(68)는 신호를 출력 멀티플렉서(84)의 SEL입력에 인가하여 기록된 프레임 A 헤더를 버스(70)를 통해서 멀티플렉서의 출력에 결합시킨다. 나머지 프레임 동안, 멀티플렉서(84)는 프레임 A 데이타를 버퍼(80) 및 스위치(SW2)에서 자신의 출력에 결합시키도록 동작된다. 다음 프레임 동안, 즉 프레임 E가 버퍼(60a-60n)의 출력 스테이지로부터 나오는 프레임 C 데이타를 버퍼(80)에 기억시키도록 동작되는 반면, 버퍼(82)에 기억되는 프레임 B 데이타는 적절한 프레임 B 헤더를 갖는 멀티플렉서(84)의 출력에서 발생된다. 상술한 공정은 모든 다음 데이타 프레임 동안 반복되어 다수의 연속적인 데이타 프레임을 멀티플렉서(84)의 출력에 제공하는데, 이 데이타 프레임 각각은 적절한 헤더를 포함하고 압축된 가변 비디오 데이타양 및 각종 보조 데이타 소스로부터 나오는 보조 데이타를 포함한다.

압축된 비디오 데이타 및 보조 데이타를 적응적으로 다중화하여 선택된 텔레비젼 채널을 통해서 방송시키는 개선된 시스템이 도시되어 있으며, 상기 시스템은 임의의 소정시간에서 필요이상으로 데이타를 전송하지 않도록 제어하여 재생가능한 비디오 영상의 화질을 만족할 만하게 인지할 수 있게하는 것이다.

(57) 청구의 범위

청구항 1

소스 비디오 신호를 표시하는 가변 속도 압축된 디지탈 비디오 데이타 신호를 발생시키는 수단(22)을 극비하는 텔레비젼 신호 전송 시스템에 있어서, 상기 소스 및 압축된 비디오 신호들간에 재생가능한 화질의 차를 표시하는제어 신호를 발생시키는 수단(28)과, 하나 또는 그 이상의 보조 데이타 서비스들을 위한 보조 데이타를 표시하는 적어도 하나의 보조 데이타 신호를 발생시키는 수단(40)과, 다중화된 출력 신호를 발생시키기 위하여 상기 보조 데이타 신호 및 상기 압축된 비디오 데이타 신호를 다중화하는 수단(34)과, 상기 차가 각각 증가 및 감소될 때 상기 다중화된 신호에서 상기 압축된 비디오 데이타 신호의 상대적인 양을 증가 및 감소시키기 위하여 상기 제어 신호에 응답하는 제어 수단(32)을 구비하는 것을 특징으로 하는 텔레비젼 신호 전송시스템.

청구항 2

제1항에 있어서, 상기 압축된 비디오 데이타 신호를 버퍼링하고 버퍼링 수단(26)의 풀니스(fullness)를 표시하는 제2제어 신호를 발생시키는 버퍼링 수단(26)을 구비하며, 상기 제어 수단(32)은 상기제2 제어 신호 응답하여 상기제2 제어 신호의 역함수로서 상기 다중화된 신호에서 상기 압축된 비디오 데이타 신호의 상대적인 양을 제어하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템.

청구항 3

제1항에 있어서, 상기 제어 신호 발생수단(28)은 상기 소스 및 압축된 비디오 신호들에 응답하여 재생가능한 영상의 인지할 수 있는 화질의 차에 대응하는 제어 신호를 발생시키는 수단(30)을 구비하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템.

청구항 4

제1항에 있어서, 상기 제어 신호 발생 수단은 상기 소스 비디오 신호 및 상기 압축된 비디오 데이타 신호의 분해된 표현간의 차를 표시하는 에러 신호를 발생시키는 수단(28) 및, 상기 제어 신호를 발생시키기 위하여 상기 소스 비디오 신호의 인지 특성에 따라서 상기 에러 신호를 가중하는 수단(30)을 구비하는 것을 특징으로하는 텔레비젼 신호 전송 시스템.

청구항 5

제1항 내지 제4항중 어느 한항에 있어서, 상기 다중화 수단(34)은 일련의 연속적인 데이타 프레임들을 포함하는 출력다중화된 신호를 제공하며, 상기 데이타 프레임들 각각은 데이타 패킷들의 고정된 전체 수를 포함하며, 상기 패킷들의 가변 수는 상기 압축된 디지탈 비디오 신호를 포함하고 상기 패킷들의 나머지는 상기 하나 또는 그이상의 보조 데이타 신호들을 포함하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템.

청구항 6

제5항에 있어서, 상기 데이타 프레임들 각각에 헤더(44)를 삽입하는 수단(34,36,38)을 구비하며, 상기 헤더(44)는 상기 압축된 디지탈 비디오 신호 또는 상기 하나 또는 그이상의 보조 데이타 신호들중 한 신호 및 각 신호의 관련된 데이타 프레임에서 데이타양중 하나를 각각 식별하는 다수의 서브헤더들(46)을 구비하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템.

청구항 7

제1항 내지 제4항 또는 제6항 중 어느 한항에 있어서, 상기 압축된 비디오 및 보조 데이타 신호들중 각각 하나의 활용도를 각각 표시하는 다수의 활성 신호들을 발생시키는 수단(22,40)을 구비하며, 상기 다중화 수단(34)은 상기 데이타 신호들중 각각 하나의 신호를 저장하기 위하여 각각 인에이블될 수 있는 다수의 버퍼들(60a 내지 60n) 을 구비하며, 상기 버들(60a 내지 60n) 각각은 상기 데이타 신호들중 각각 하나의

신호를 저장하는 상대적인 레벨을 할당받고, 상기 버퍼들(60a 내지 60n) 각각은 상대적인 우선순위 레벨을 할당받고, 상대적인 최고 우선순위 레벨을 갖는 버퍼(60a 내지 60n)가 관련된 활성 신호의 존재에 응답하여 상기 압축된 비디오 데이타 신호를 저장하기 위하여 인에이블되도록 하고 상기 나머지 버퍼들(60a 내지 60n) 각각은 관계된 활성 신호의 존재 및 상대적으로 높은 우선순위 레벨들의 버퍼들(60a 내지 60n)과 관계되는 활성 신호들의 부재에 응답하여 상기 보조 데이타 신호들중 각각 하나의 신호를 저장하기 위하여 인에이블되도록 동작되며, 상기 데이타 프레임을 형성하기 위하여 상기 버퍼들(60a 내지 60n)에 저장된 데이타 신호들을 판독하는 수단(68, 78)을 구비하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템.

청구항 8

제7항에 있어서, 상기 데이타 신호들 각각은 하나 또는 그 이상의 데이타 바이트들을 포함하고 상기 버퍼들(60a 내지 60n) 각각 하나의 버퍼에 저장된 상기 데이타 신호들의 각각의 데이타 바이트들의 수를 계수하는 수단(62a 내지 62n)을 포함하고 상기 데이타 프레임의 소정 부분에 상기 수들을 삽입하는 판독 수단(68, 76)을 더 포함하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템.

청구항 9

제8항에 있어서, 상기 판독 수단(68,78)은 상기 수들에 응답하여 상기 버퍼들(60a 내지 60n) 각각의 차례로 인에이블시켜 상기 버퍼에 저장된 각 데이타 신호를 출력하는 수단을 포함하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템.

청구항 10

제8항 또는 제9항에 있어서, 상기 버퍼들(60a 내지 60n)에 저장하기 위하여 상기 데이타 신호들을 동기적으로 제공하는 수단(CLK, 64a 내지 64n)을 구비하는 것을 특징으로 하는 텔레비젼 신호전송 시스템.

청구항 11

소스 비디오 신호를 표시하는 가변 속도 압축된 디지탈 비디오 데이타 신호를 발생시키는 단계를 포함하는 텔레비젼 신호 전송 시스템을 형성하는 방법에 있어서, 상기 소스 및 압축된 비디오 신호들간의 재생가능한 화질의 차를 표시하는 제어 신호를 발생시키는 단계와, 하나 또는 그 이상의 보조 데이타 서비스들을 위한 보조 데이타를 표시하는 적어도 하나의 보조 데이타 신호를 발생시키는 단계와, 다중화된 출력 신호를 발생시키기 위하여 상기 압축된 비디오 데이타 신호와 상기 보조 데이타 신호의 패킷들을 다중화하는 단계와, 상기 차가 각각 증가하고 감소할 때 상기 다중화된 신호에서 상기 압축된 비디오 및 보조 데이타 신호 패킷들의 상대적인 수들을 조정하는 단계를 포함하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템을 형성하는 방법.

청구항 12

제11항에 있어서, 상기 압축된 비디오 신호를 버퍼에 인가하고, 상기 버퍼의 풀니스에 응답하여 상기 데이타 프레임내의 보조 데이타 및 압축된 비디오 데이타 패킷들의 수를 제어하는 단계를 더 포함하는 것을 특징으로하는 텔레비젼 신호 전송 시스템을 형성하는 방법.

청구항 13

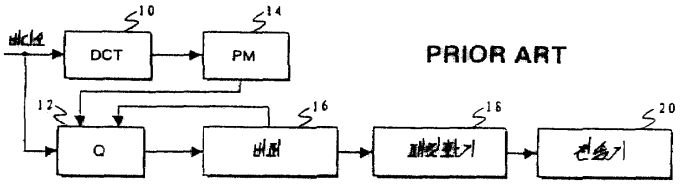
제11항 또는 제12항에 있어서, 상기 소스 및 압축된 비디오 신호들에 응답하여 재생가능한 영상의 인지할 수 있는 화질의 차를 결정하는 결정 단계를 포함하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템을 형성하는 방법.

청구항 14

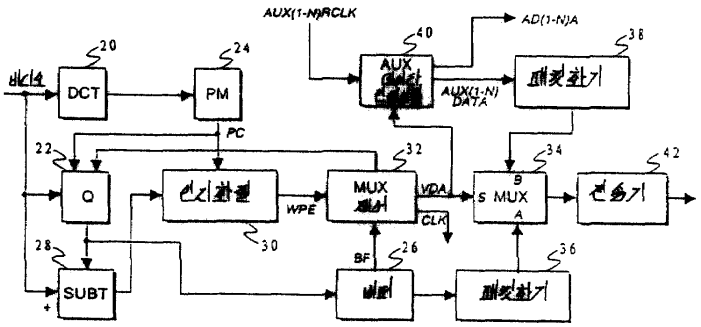
제11항 또는 제12항에 있어서, 상기 결정 단계는 상기 소스 비디오 신호 및 상기 압축된 비디오 신호의 분해된 표현간의 차를 표시하는 에러 신호를 발생시키고 상기 차를 결정하기 위하여 상기 소스 비디오 신호의 인지 특성에 따라서 상기 에러 신호를 가중하는 단계를 포함하는 것을 특징으로 하는 텔레비젼 신호 전송 시스템을 형성하는 방법.

도면

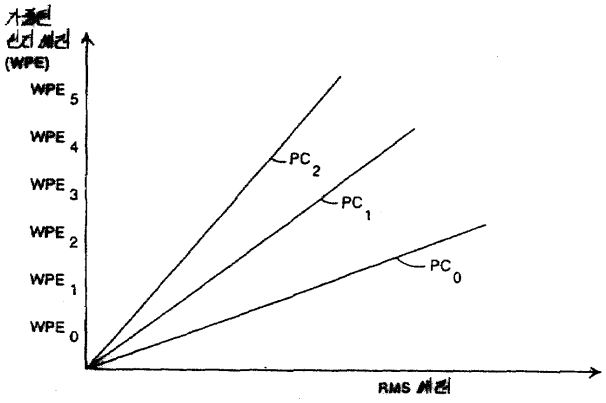
도면1



도면2



도면3

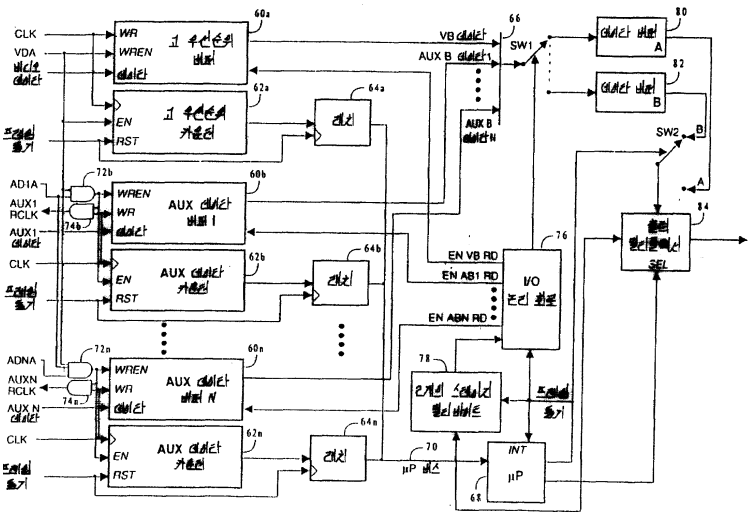


도면4

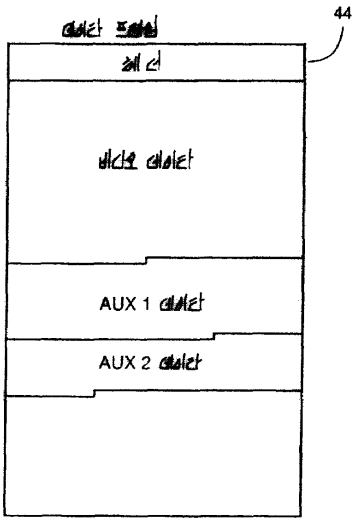
(BF)

10%	.1 (V)	.3	.5	.7	.9	1.0
20%	.2	.4	.6	.8	1.0	1.0
30%	.3	.5	.7	.9	1.0	1.0
40%	.4	.6	.8	1.0	1.0	1.0
50%	.5	.7	.9	1.0	1.0	1.0
60%	.6	.8	1.0	1.0	1.0	1.0
70%	.7	.9	1.0	1.0	1.0	1.0
80%	.8	1.0	1.0	1.0	1.0	1.0
90%	.9	1.0	1.0	1.0	1.0	1.0
100%	1.0	1.0	1.0	1.0	1.0	1.0

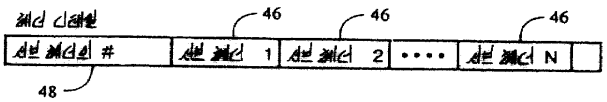
도면5



도면6



도면7a



도면7b

