

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6688986号
(P6688986)

(45) 発行日 令和2年4月28日 (2020.4.28)

(24) 登録日 令和2年4月9日 (2020.4.9)

(51) Int.Cl.

F I

H03K 19/0175 (2006.01)

H03K 19/0175 280

H03K 19/094 (2006.01)

H03K 19/094

H04B 5/02 (2006.01)

H04B 5/02

H03K 17/691 (2006.01)

H03K 17/691

請求項の数 8 (全 16 頁)

(21) 出願番号 特願2015-161359 (P2015-161359)
 (22) 出願日 平成27年8月18日 (2015.8.18)
 (65) 公開番号 特開2017-41706 (P2017-41706A)
 (43) 公開日 平成29年2月23日 (2017.2.23)
 審査請求日 平成30年6月12日 (2018.6.12)

(73) 特許権者 314012076
 パナソニックIPマネジメント株式会社
 大阪府大阪市中央区城見2丁目1番61号
 (74) 代理人 110002527
 特許業務法人北斗特許事務所
 (74) 代理人 100087767
 弁理士 西川 恵清
 (74) 代理人 100155756
 弁理士 坂口 武
 (74) 代理人 100161883
 弁理士 北出 英敏
 (74) 代理人 100167830
 弁理士 仲石 晴樹

最終頁に続く

(54) 【発明の名称】 信号伝送回路

(57) 【特許請求の範囲】

【請求項1】

伝送信号から生成される差動信号が入力される一次素子と、
 前記一次素子と磁気結合または容量結合し、前記差動信号の交流成分を含む交流信号を出力する二次素子と、
 前記二次素子と電氣的に接続され、前記交流信号が流れる一対の伝送線路として第1伝送線路及び第2伝送線路を有し、前記交流信号から前記伝送信号を抽出する二次回路と、
 前記第1伝送線路に設けられた第1ノードと前記第2伝送線路に設けられた第2ノードとの間の中間電圧を基準電圧に収束させるように前記中間電圧を帰還する帰還回路とを備え、
 前記帰還回路には、前記中間電圧と前記基準電圧とが入力され、
 前記帰還回路の出力は、前記第1伝送線路に設けられた第3ノードと、前記第2伝送線路に設けられた第4ノードと、に電氣的に接続され、
 前記第3ノードは、前記第1ノードと前記二次素子との間に位置し、
 前記第4ノードは、前記第2ノードと前記二次素子との間に位置することを特徴とする信号伝送回路。

【請求項2】

前記二次回路は、前記一対の伝送線路間の電圧を分圧する分圧回路をさらに備え、
 前記中間電圧は、前記分圧回路により分圧された電圧であることを特徴とする請求項1記載の信号伝送回路。

【請求項 3】

前記帰還回路は、前記交流信号の通過を制限するように構成されていることを特徴とする請求項 1 または 2 記載の信号伝送回路。

【請求項 4】

前記帰還回路は、前記中間電圧と前記基準電圧との差分に応じて、前記第 3 ノードと前記第 4 ノードを流れる電流を制御することで、前記中間電圧を帰還することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の信号伝送回路。

【請求項 5】

前記二次回路は、前記一対の伝送線路の各々から入力される前記交流信号を比較するコンパレータと、前記コンパレータの比較結果に基づいて前記伝送信号を抽出する抽出回路とを備えることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の信号伝送回路。

10

【請求項 6】

前記コンパレータは、前記一対の伝送線路に電氣的に接続される第 1 コンパレータおよび第 2 コンパレータで構成され、

前記第 1 コンパレータおよび前記第 2 コンパレータは、それぞれ前記伝送信号の立ち下がりに対応する信号および前記伝送信号の立ち上がりに対応する信号を出力することを特徴とする請求項 5 記載の信号伝送回路。

【請求項 7】

前記一次素子と電氣的に接続され、前記伝送信号から前記差動信号を生成する一次回路をさらに備え、

20

前記一次素子および前記二次素子は、それぞれ互いに磁気結合された一次コイルおよび二次コイルであり、

前記一次回路は、前記伝送信号に基づく差動信号を微分する微分回路と、微分された前記伝送信号に基づく差動信号のうち前記伝送信号の立ち上がりに対応する信号を前記一次コイルの第 1 端に出力し、かつ前記伝送信号の立ち下がりに対応する信号を前記一次コイルの第 2 端に出力する駆動回路とを備えることを特徴とする請求項 6 記載の信号伝送回路。

【請求項 8】

前記第 3 ノードは、電気素子を介することなく前記二次素子に接続されており、

前記第 4 ノードは、電気素子を介することなく前記二次素子に接続されている、

30

請求項 1 ~ 7 のいずれか 1 項に記載の信号伝送回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、一般に信号伝送回路、より詳細には、一次回路と二次回路とが磁気結合または容量結合した信号伝送回路に関する。

【背景技術】**【0002】**

従来、磁気結合を用いて一次回路から二次回路に信号を伝送する無線通信システム（信号伝送回路）が知られており、たとえば特許文献 1 に開示されている。この無線通信システムは、送信機と、受信機とを備えている。

40

【0003】

送信機は、送信データが入力される送信回路（一次回路）と、送信アンテナとしての送信コイルとを備えている。送信回路は、送信データに対応した電流を送信コイルに流すことで、送信コイルに送信データに対応した磁界変化を発生させる。

【0004】

受信機は、受信アンテナとしての受信コイルと、受信回路（二次回路）とを備えている。受信コイルは、送信コイルと誘導結合され、送信コイルで発生する磁界変化を検出する。受信回路は、受信コイルの一端および他端に発生する誘導起電力に基づいて、受信データを生成する。

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-36497号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、このような信号伝送回路では、たとえば雷サージなどにより一次回路にノイズが印加されると、ノイズが二次回路に伝わり、二次回路の誤動作を引き起こす可能性があるため、対策が望まれている。

10

【0007】

本発明は、一次回路にノイズが印加されても、二次回路の誤動作を引き起こし難い信号伝送回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の形態の信号伝送回路は、伝送信号から生成される差動信号が入力される一次素子と、前記一次素子と磁気結合または容量結合し、前記差動信号の交流成分を含む交流信号を出力する二次素子と、前記二次素子と電氣的に接続され、前記交流信号が流れる一対の伝送線路として第1伝送線路及び第2伝送線路を有し、前記交流信号から前記伝送信号を抽出する二次回路と、前記第1伝送線路に設けられた第1ノードと前記第2伝送線路に設けられた第2ノードとの間の中間電圧を基準電圧に収束させるように前記中間電圧を帰還する帰還回路とを備え、前記帰還回路には、前記中間電圧と前記基準電圧とが入力され、前記帰還回路の出力は、前記第1伝送線路に設けられた第3ノードと、前記第2伝送線路に設けられた第4ノードと、に電氣的に接続され、前記第3ノードは、前記第1ノードと前記二次素子との間に位置し、前記第4ノードは、前記第2ノードと前記二次素子との間に位置することを特徴とする。

20

【0009】

本発明の第2の形態の信号伝送回路は、第1の形態の信号伝送回路において、前記二次回路は、前記一対の伝送線路間の電圧を分圧する分圧回路をさらに備え、前記中間電圧は、前記分圧回路により分圧された電圧であることが好ましい。

30

【0010】

本発明の第3の形態の信号伝送回路は、第1または第2の形態の信号伝送回路において、前記帰還回路は、前記交流信号の通過を制限するように構成されていることが好ましい。

【0011】

本発明の第4の形態の信号伝送回路は、第1～第3のいずれかの形態の信号伝送回路において、前記帰還回路は、前記中間電圧と前記基準電圧との差分に応じて、前記第3ノードと前記第4ノードを流れる電流を制御することで、前記中間電圧を帰還することが好ましい。

【0013】

本発明の第5の形態の信号伝送回路は、第1～第4のいずれかの形態の信号伝送回路において、前記二次回路は、前記一対の伝送線路の各々から入力される前記交流信号を比較するコンパレータと、前記コンパレータの比較結果に基づいて前記伝送信号を抽出する抽出回路とを備えることが好ましい。

40

【0014】

本発明の第6の形態の信号伝送回路は、第5の形態の信号伝送回路において、前記コンパレータは、前記一対の伝送線路に電氣的に接続される第1コンパレータおよび第2コンパレータで構成され、前記第1コンパレータおよび前記第2コンパレータは、それぞれ前記伝送信号の立ち下がりに対応する信号および前記伝送信号の立ち上がりに対応する信号を出力することが好ましい。

50

【 0 0 1 5 】

本発明の第 7 の形態の信号伝送回路は、第 6 の形態の信号伝送回路において、前記一次素子と電氣的に接続され、前記伝送信号から前記差動信号を生成する一次回路をさらに備え、前記一次素子および前記二次素子は、それぞれ互いに磁気結合された一次コイルおよび二次コイルであり、前記一次回路は、前記伝送信号に基づく差動信号を微分する微分回路と、微分された前記伝送信号に基づく差動信号のうち前記伝送信号の立ち上がりに対応する信号を前記一次コイルの第 1 端に出力し、かつ前記伝送信号の立ち下がりに対応する信号を前記一次コイルの第 2 端に出力する駆動回路とを備えることが好ましい。

本発明の第 8 の形態の信号伝送回路は、第 1 ~ 第 7 のいずれかの形態の信号伝送回路において、前記第 3 ノードは、電気素子を介することなく前記二次素子に接続されており、前記第 4 ノードは、電気素子を介することなく前記二次素子に接続されていることが好ましい。

10

【 発明の効果 】

【 0 0 1 6 】

本発明は、一次回路にノイズが印加され、ノイズが二次回路に伝わっても、帰還回路により二次回路の一对の伝送線路間の中間電圧が基準電圧に収束するので、二次回路の入力電圧の変動を抑制することができる。したがって、本発明は、一次回路にノイズが印加されても、二次回路の誤動作を引き起こし難い。

【 図面の簡単な説明 】

【 0 0 1 7 】

20

【 図 1 】 実施形態に係る信号伝送回路の全体構成を示す概略ブロック図である。

【 図 2 】 実施形態に係る信号伝送回路の全体構成を示す概略回路図である。

【 図 3 】 実施形態に係る信号伝送回路の一次回路を示す概略回路図である。

【 図 4 】 実施形態に係る信号伝送回路における一次回路および一次素子の動作波形図である。

【 図 5 】 実施形態に係る信号伝送回路における二次回路および二次素子の動作波形図である。

【 図 6 】 図 6 A は、実施形態に係る信号伝送回路の帰還回路を示す概略ブロック図である。図 6 B は、実施形態に係る信号伝送回路の帰還回路を示す概略回路図である。

【 図 7 】 比較例に係る信号伝送回路の二次回路を示す概略回路図である。

30

【 図 8 】 比較例に係る信号伝送回路において、コモンモードノイズを印加したシミュレーションの結果を示す波形図である。

【 図 9 】 実施形態に係る信号伝送回路において、コモンモードノイズを印加したシミュレーションの結果を示す波形図である。

【 図 1 0 】 実施形態に係る信号伝送回路において、帰還回路の周波数特性を示す図である。

【 図 1 1 】 実施形態に係る信号伝送回路において、一次回路および絶縁回路の他の構成を示す概略回路図である。

【 発明を実施するための形態 】

【 0 0 1 8 】

40

本発明の実施形態に係る信号伝送回路 1 0 0 は、図 1、図 2 に示すように、一次コイル L 1 (一次素子) および二次コイル L 2 (二次素子) からなるトランスを有する絶縁回路 3 と、二次回路 2 と、帰還回路 4 とを備えている。一次コイル L 1 には、伝送信号 S 1 から生成される差動信号 S 2 1, S 2 2 が入力される。

【 0 0 1 9 】

二次コイル L 2 は、一次コイル L 1 と磁気結合し、差動信号 S 2 1, S 2 2 の交流成分を含む交流信号 S 3 1, S 3 2 を出力する。二次回路 2 は、二次コイル L 2 と電氣的に接続され、交流信号 S 3 1, S 3 2 が流れる一对の伝送線路 2 4, 2 5 を有している。また、二次回路 2 は、交流信号 S 3 1, S 3 2 から伝送信号 S 1 を抽出し、出力信号 S 5 として出力する。

50

【 0 0 2 0 】

そして、帰還回路 4 は、一対の伝送線路 2 4 , 2 5 間の電圧の中間電圧 V_{C1} を基準電圧 V_{R1} に収束させるように中間電圧 V_{C1} を帰還する。

【 0 0 2 1 】

以下、本実施形態の信号伝送回路 1 0 0 について詳細に説明する。ただし、以下に説明する構成は、本発明の一例に過ぎず、本発明は下記の実施形態に限定されることはなく、この実施形態以外であっても、本発明に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能である。

【 0 0 2 2 】

一次回路 1 は、一次コイル L_1 (一次素子) と電氣的に接続され、伝送信号 S_1 から差動信号 S_{21} , S_{22} を生成する。伝送信号 S_1 は、データ(ここでは、シリアルデータ)を電氣的に表現した信号である。一次回路 1 は、図 1、図 2 に示すように、波形整形回路 1 1 と、交流成分抽出回路 1 2 と、駆動回路 1 3 とを備えている。

10

【 0 0 2 3 】

波形整形回路 1 1 は、たとえばシュミットトリガ回路で構成されている。波形整形回路 1 1 は、伝送信号 S_1 の立ち上がりエッジおよび立ち下がりエッジを急峻に整形することで、伝送信号 S_1 の高調波成分を増幅する。なお、波形整形回路 1 1 をシュミットトリガ回路に限定する趣旨ではなく、波形整形回路 1 1 は他の構成であってもよい。

【 0 0 2 4 】

交流成分抽出回路 1 2 は、信号変換回路 1 4 と、微分回路 1 5 とを備えている。信号変換回路 1 4 は、差動アンプで構成されている。信号変換回路 1 4 は、図 3 に示すように、波形整形回路 1 1 から出力されるシングルエンドの信号 S_{11} を 2 つの差動信号 S_{12} , S_{13} に変換して出力する。差動信号 S_{13} は、図 4 に示すように、信号 S_{11} から僅かに位相が遅れている。また、差動信号 S_{12} は、図 4 に示すように、差動信号 S_{13} の位相を反転した信号である。

20

【 0 0 2 5 】

微分回路 1 5 は、図 3 に示すように、信号変換回路 1 4 から出力される差動信号 S_{12} , S_{13} を微分することで、差動信号 S_{12} , S_{13} の交流成分を抽出した差動信号 S_{14} , S_{15} を出力する。微分回路 1 5 は、2 つの NOT 素子 1 5 1 , 1 5 2 と、2 つの微分器 1 5 3 , 1 5 4 と、2 つのスイッチング素子 1 5 5 , 1 5 6 とを備えている。NOT 素子 1 5 1 , 1 5 2 は、それぞれ差動信号 S_{12} , S_{13} の位相を反転した信号を出力する。微分器 1 5 3 , 1 5 4 は、それぞれ NOT 素子 1 5 1 , 1 5 2 から出力される信号を微分して出力する。微分器 1 5 3 , 1 5 4 は、たとえば抵抗およびキャパシタを有する RC 回路で構成される。

30

【 0 0 2 6 】

スイッチング素子 1 5 5 , 1 5 6 は、それぞれ微分器 1 5 3 , 1 5 4 に並列に電氣的に接続される。スイッチング素子 1 5 5 , 1 5 6 は、それぞれ差動信号 S_{12} , S_{13} によりオン/オフが切り替えられる。つまり、スイッチング素子 1 5 5 , 1 5 6 は、それぞれ差動信号 S_{12} , S_{13} がハイレベルのときにオン、ローレベルのときにオフに切り替わる。

40

【 0 0 2 7 】

したがって、NOT 素子 1 5 1 , 1 5 2 から出力される信号は、それぞれ差動信号 S_{12} , S_{13} がハイレベルのときは微分器 1 5 3 , 1 5 4 を通過せず、ローレベルのときに微分器 1 5 3 , 1 5 4 を通過する。このため、差動信号 S_{14} は、図 4 に示すように、信号 S_{11} の立ち上がりエッジを微分した信号となる。また、差動信号 S_{15} は、図 4 に示すように、信号 S_{11} の立ち下がりエッジを微分した信号となる。なお、差動信号 S_{14} は、電源電位点 V_{dd} に一定電流を流す定電流源 I_{S3} により、オフセットが与えられている。また、差動信号 S_{15} は、回路グランド GND に一定電流を流す定電流源 I_{S4} により、オフセットが与えられている。

【 0 0 2 8 】

50

駆動回路 13 は、図 3 に示すように、微分回路 15 から出力される差動信号 $S_{12} \sim S_{15}$ に基づいて、絶縁回路 3 の一次コイル L_1 を駆動するための差動信号（電流信号） S_{21} , S_{22} を生成して出力する。駆動回路 13 は、4 つのスイッチング素子 $Q_1 \sim Q_4$ で構成されている。スイッチング素子 Q_1 , Q_2 は、 $n p n$ 型のバイポーラトランジスタである。スイッチング素子 Q_3 , Q_4 は、エンハンスメント型の n チャネル $M O S F E T$ (Metal-Oxide-Semiconductor Field-Effect Transistor) である。

【0029】

スイッチング素子 Q_1 , Q_2 のコレクタは、電源電位点 V_{dd} に電氣的に接続されている。スイッチング素子 Q_1 のベースには、差動信号 S_{14} が入力される（図 3 の「a」参照）。また、スイッチング素子 Q_2 のベースには、差動信号 S_{15} が入力される（図 3 の「b」参照）。スイッチング素子 Q_3 , Q_4 のソースは、回路グランド GND に電氣的に接続されている。スイッチング素子 Q_3 のゲートには、差動信号 S_{12} が入力される（図 3 の「c」参照）。また、スイッチング素子 Q_4 のゲートには、差動信号 S_{13} が入力される（図 3 の「d」参照）。スイッチング素子 Q_1 のエミッタおよびスイッチング素子 Q_3 のドレインの接続点は、一次コイル L_1 の第 1 端に電氣的に接続されている。また、スイッチング素子 Q_2 のエミッタおよびスイッチング素子 Q_4 のドレインの接続点は、一次コイル L_1 の第 2 端に電氣的に接続されている。

【0030】

駆動回路 13 により、図 4 に示すような波形の電流（差動信号 S_{21} ）が一次コイル L_1 の第 1 端に入力される。また、駆動回路 13 により、図 4 に示すような波形の電流（差動信号 S_{22} ）が一次コイル L_1 の第 2 端に入力される。そして、差動信号 S_{22} は、差動信号 S_{21} の位相を反転した信号である。したがって、一次コイル L_1 には、図 4 に示すような交流電圧 V_1 が印加される。

【0031】

言い換えれば、駆動回路 13 は、微分された差動信号 S_{21} , S_{22} のうち、伝送信号 S_1 の立ち上がりに対応する信号（差動信号 S_{21} ）を一次コイル L_1 の第 1 端に出力する。また、駆動回路 13 は、微分された差動信号 S_{21} , S_{22} のうち、伝送信号 S_1 の立ち下がりに対応する信号（差動信号 S_{22} ）を一次コイル L_1 の第 2 端に出力する。

【0032】

ところで、単にデータに応じた矩形波をトランス（一次コイル L_1 および二次コイル L_2 ）に入力する場合でも、一次コイル L_1 に入力される信号の交流成分が二次コイル L_2 に伝わる。しかしながら、トランスは直流成分に対してはインピーダンスが低いため、単にデータに応じた矩形波をトランスに入力した場合、一次コイル L_1 および一次回路 1 に電流が流れ続け、消費電力が増大するおそれがある。

【0033】

そこで、本実施形態の信号伝送回路 100 では、一次回路 1 に微分回路 15 を備えることで、一次コイル L_1 に入力される信号の直流成分を除いている。したがって、本実施形態の信号伝送回路 100 では、一次コイル L_1 および一次回路 1 に電流が流れ続けることなく、消費電力の低減を図ることができる。なお、微分回路 15 を備えるか否かは任意である。

【0034】

二次回路 2 は、図 1、図 2 に示すように、 A/D 変換回路 21 と、抽出回路 22 とを備えている。また、二次回路 2 は、交流信号 S_{31} , S_{32} がそれぞれ流れる一対の伝送線路 24 , 25 を有している。

【0035】

A/D 変換回路 21 は、二次コイル L_2 から出力されるアナログ信号である交流信号 S_{31} , S_{32} をデジタルのパルス信号 S_{41} , S_{42} に変換して出力する。 A/D 変換回路 21 は、第 1 コンパレータ 211 と、第 2 コンパレータ 212 と、分圧回路 23 とを備えている。

【0036】

10

20

30

40

50

第1コンパレータ211および第2コンパレータ212は、一对の伝送線路24, 25に電氣的に接続されている。第1コンパレータ211および第2コンパレータ212は、一对の伝送線路24, 25の各々から入力される交流信号S31, S32を比較する。

【0037】

第1コンパレータ211の反転入力端子(-)には、交流信号S31が入力される。第1コンパレータ211の非反転入力端子(+)には、オフセット電圧が重畳された交流信号S32が入力される。オフセット電圧は、抵抗R3および定電流源IS1により生成される。抵抗R3は、第1コンパレータ211の非反転入力端子(+)と伝送線路25との間に電氣的に接続される。定電流源IS1は、抵抗R3の一端および第1コンパレータ211の非反転入力端子(+)の接続点と、電源電位点Vddとの間に電氣的に接続される。

10

【0038】

第1コンパレータ211は、オフセット電圧が重畳された交流信号S32が交流信号S31よりも大きいときにハイレベル、それ以外のときにローレベルとなるパルス信号S41を出力する。パルス信号S41は、伝送信号S1が立ち下がるタイミングとほぼ同じタイミングでパルスが発生する信号となる。つまり、第1コンパレータ211は、伝送信号S1の立ち下がりに対応する信号(パルス信号S41)を出力する。

【0039】

第2コンパレータ212の反転入力端子(-)には、交流信号S32が入力される。第2コンパレータ212の非反転入力端子(+)には、オフセット電圧が重畳された交流信号S31が入力される。オフセット電圧は、抵抗R4および定電流源IS2により生成される。抵抗R4は、第2コンパレータ212の非反転入力端子(+)と伝送線路24との間に電氣的に接続される。定電流源IS2は、抵抗R4の一端および第2コンパレータ212の非反転入力端子(+)の接続点と、電源電位点Vddとの間に電氣的に接続される。

20

【0040】

第2コンパレータ212は、オフセット電圧が重畳された交流信号S31が交流信号S32よりも大きいときにハイレベル、それ以外のときにローレベルとなるパルス信号S42を出力する。パルス信号S42は、伝送信号S1が立ち上がるタイミングとほぼ同じタイミングでパルスが発生する信号となる。つまり、第2コンパレータ212は、伝送信号S1の立ち上がりに対応する信号(パルス信号S42)を出力する。

30

【0041】

上述のように、本実施形態の信号伝送回路100では、第1コンパレータ211および第2コンパレータ212の非反転入力端子(+)にオフセット電圧を与えている。このため、本実施形態の信号伝送回路100では、第1コンパレータ211および第2コンパレータ212でのチャタリングを防止することができる。

【0042】

なお、本実施形態の信号伝送回路100は、オフセット電圧を任意に調整することができるトリミング回路を備えていることが好ましい。この構成では、部品のばらつきなどにより第1コンパレータ211および第2コンパレータ212の感度に変動した場合に、トリミング回路により感度を調整することができる。トリミング回路は、たとえば定電流源IS1, IS2の流す電流の電流値を調整することで、オフセット電圧を任意に調整する。もちろん、トリミング回路を備えるか否か、さらには第1コンパレータ211および第2コンパレータ212にオフセット電圧を与える構成を備えるか否かは任意である。

40

【0043】

分圧回路23は、一对の伝送線路24, 25間の電圧を分圧するように構成されている。分圧回路23は、抵抗R1および抵抗R2の直列回路で構成されている。抵抗R1の第1端は、伝送線路24に電氣的に接続されている。抵抗R2の第1端は、伝送線路25に電氣的に接続されている。そして、抵抗R1の第2端および抵抗R2の第2端の接続点の電位が、一对の伝送線路24, 25間の中間電圧VC1となる。言い換えれば、中間電圧

50

V C 1 は、分圧回路 2 3 により分圧された電圧である。

【 0 0 4 4 】

ここで、中間電圧 V C 1 は、一対の伝送線路 2 4 , 2 5 間の電圧を分圧した電圧であればよく、抵抗 R 1 , R 2 の抵抗値は等しくなくてもよい。なお、抵抗 R 1 , R 2 の抵抗値を同じとすることにより、回路設計を簡素にできる。また、分圧回路 2 3 は、2 つの抵抗 R 1 , R 2 の直列回路のみならず、さらに多数の抵抗の直列回路で構成されていてもよい。また、分圧回路 2 3 は、抵抗の代わりに、複数のキャパシタの直列回路で構成されていてもよい。なお、本実施形態の信号伝送回路 1 0 0 が分圧回路 2 3 を備えるか否かは任意である。

【 0 0 4 5 】

抽出回路 2 2 は、たとえば R S フリップフロップ回路で構成されている。抽出回路 2 2 は、パルス信号 S 4 1 , S 4 2 に基づいて伝送信号 S 1 を抽出し、出力信号 S 5 として出力する。言い換えれば、抽出回路 2 2 は、コンパレータ (第 1 コンパレータ 2 1 1 および第 2 コンパレータ 2 1 2) の比較結果に基づいて伝送信号 S 1 を抽出する。

【 0 0 4 6 】

ここで、「伝送信号 S 1 を抽出する」とは、一次回路 1 から二次回路 2 に伝送されるデータを取り出すことのできる形で伝送信号 S 1 を抽出するという意味である。つまり、抽出回路 2 2 で抽出される伝送信号 S 1 は、一次回路 1 に入力される伝送信号 S 1 と同一の信号情報を有していればよく、伝送信号 S 1 の振幅などの波形の形状や遅延は同一でなくともよい。

【 0 0 4 7 】

具体的には、抽出回路 2 2 のリセット端子 (図 2 に示す「 R 」) にパルス信号 S 4 1 が入力され、セット端子 (図 2 に示す「 S 」) にパルス信号 S 4 2 が入力される。抽出回路 2 2 は、セット端子にパルス信号 S 4 2 のパルスが入力されるとハイレベルに、リセット端子にパルス信号 S 4 1 のパルスが入力されるとローレベルとなる出力信号 S 5 を出力する。ここで、既に述べたように、パルス信号 S 4 1 のパルスが発生するタイミングは、伝送信号 S 1 が立ち下がるタイミングとほぼ同じである。また、パルス信号 S 4 2 のパルスが発生するタイミングは、伝送信号 S 1 が立ち上がるタイミングとほぼ同じである。したがって、出力信号 S 5 は、伝送信号 S 1 とほぼ同じタイミングでローレベルとハイレベルを交互に切り替える信号となる。つまり、抽出回路 2 2 は、伝送信号 S 1 を抽出し、出力信号 S 5 として出力する。

【 0 0 4 8 】

帰還回路 4 は、図 6 A に示すように、差動増幅回路 4 1 と、制御回路 4 2 とを備えている。制御回路 4 2 は、第 1 バッファ 4 2 1 と、第 2 バッファ 4 2 2 とをさらに備えている。また、制御回路 4 2 は、一対の端子 T 1 1 , T 1 2 を有している。一対の端子 T 1 1 , T 1 2 は、それぞれノード 2 6 , 2 7 に電氣的に接続されている。ここで、ノード 2 6 , 2 7 は、図 2 に示すように、一対の伝送線路 2 4 , 2 5 のそれぞれに設けられている。なお、端子 T 1 1 , T 1 2 は、たとえば基板上に配線として形成された導体の一部であってもよい。

【 0 0 4 9 】

差動増幅回路 4 1 は、図 6 B に示すように、8 つのスイッチング素子 Q 5 ~ Q 1 2 と、定電流源 I S 5 とを備えている。スイッチング素子 Q 5 , Q 6 , Q 9 , Q 1 2 は、エンハンスメント型の n チャネル M O S F E T である。また、スイッチング素子 Q 7 , Q 8 , Q 1 0 , Q 1 1 は、エンハンスメント型の p チャネル M O S F E T である。スイッチング素子 Q 5 のゲートには、基準電圧 V R 1 が入力される。ここで、基準電圧 V R 1 は、たとえば B G R (Band Gap Reference) 回路で生成される電圧である。スイッチング素子 Q 6 のゲートには、中間電圧 V C 1 が入力される。スイッチング素子 Q 5 , Q 6 のソースは、定電流源 I S 5 に電氣的に接続されている。定電流源 I S 5 は、回路グランド G N D に一定電流を流す。

【 0 0 5 0 】

スイッチング素子Q 5のドレインは、スイッチング素子Q 7のドレインおよびゲートに電氣的に接続されている。スイッチング素子Q 7のゲートは、スイッチング素子Q 8のゲートに電氣的に接続されている。スイッチング素子Q 8のドレインは、スイッチング素子Q 9のドレインおよびゲートに電氣的に接続されている。スイッチング素子Q 7, Q 8のソースは、電源電位点V d dに電氣的に接続されている。スイッチング素子Q 9のソースは、回路グランドG N Dに電氣的に接続されている。つまり、スイッチング素子Q 5, Q 7 ~ Q 9は、カレントミラー回路を構成している。

【0051】

スイッチング素子Q 6のドレインは、スイッチング素子Q 10のドレインおよびゲートに電氣的に接続されている。スイッチング素子Q 10のゲートは、スイッチング素子Q 11のゲートに電氣的に接続されている。スイッチング素子Q 11のドレインは、スイッチング素子Q 12のドレインに電氣的に接続されている。スイッチング素子Q 12のゲートは、スイッチング素子Q 9のゲートに電氣的に接続されている。スイッチング素子Q 10, Q 11のソースは、電源電位点V d dに電氣的に接続されている。スイッチング素子Q 12のソースは、回路グランドG N Dに電氣的に接続されている。つまり、スイッチング素子Q 6, Q 10 ~ Q 12は、カレントミラー回路を構成している。

【0052】

差動増幅回路4 1は、中間電圧V C 1と基準電圧V R 1との差分に応じて増減する電流信号を、第1バッファ4 2 1および第2バッファ4 2 2に出力する。つまり、差動増幅回路4 1は、中間電圧V C 1が基準電圧V R 1を上回ると、出力する電流信号を大きくする。また、差動増幅回路4 1は、中間電圧V C 1が基準電圧V R 1を下回ると、出力する電流信号を小さくする。

【0053】

第1バッファ4 2 1は、図6 Bに示す3つのスイッチング素子Q 13 ~ Q 15と、キャパシタC 1と、定電流源I S 6とで構成されるカレントミラー回路である。スイッチング素子Q 13, Q 15は、エンハンスメント型のnチャネルM O S F E Tである。また、スイッチング素子Q 14は、エンハンスメント型のpチャネルM O S F E Tである。定電流源I S 6は、電源電位点V d dからスイッチング素子Q 13のドレインへと一定電流を流す。スイッチング素子Q 13のドレインおよびゲートは、電氣的に接続されている。スイッチング素子Q 13のゲートは、スイッチング素子Q 15のゲートに電氣的に接続されている。スイッチング素子Q 15のドレインは、スイッチング素子Q 14のドレインに電氣的に接続されている。スイッチング素子Q 14のゲート - ドレイン間には、キャパシタC 1が電氣的に接続されている。スイッチング素子Q 14のソースは、電源電位点V d dに電氣的に接続されている。スイッチング素子Q 13, Q 15のソースは、回路グランドG N Dに電氣的に接続されている。

【0054】

第2バッファ4 2 2は、図6 Bに示す3つのスイッチング素子Q 13, Q 16, Q 17と、キャパシタC 2と、定電流源I S 6とで構成されるカレントミラー回路である。スイッチング素子Q 16は、エンハンスメント型のpチャネルM O S F E Tである。また、スイッチング素子Q 17は、エンハンスメント型のnチャネルM O S F E Tである。つまり、第1バッファ4 2 1および第2バッファ4 2 2は、スイッチング素子Q 13と、定電流源I S 6とを共用している。スイッチング素子Q 17のゲートは、スイッチング素子Q 13のゲートに電氣的に接続されている。スイッチング素子Q 17のドレインは、スイッチング素子Q 16のドレインに電氣的に接続されている。スイッチング素子Q 16のゲート - ドレイン間には、キャパシタC 2が電氣的に接続されている。スイッチング素子Q 16のソースは、電源電位点V d dに電氣的に接続されている。スイッチング素子Q 17のソースは、回路グランドG N Dに電氣的に接続されている。

【0055】

制御回路4 2は、差動増幅回路4 1から出力される信号に応じて、ノード2 6, 2 7を流れる電流を制御する。つまり、制御回路4 2は、中間電圧V C 1が基準電圧V R 1を上

10

20

30

40

50

回ると、スイッチング素子 Q_{14} 、 Q_{16} のドレイン電流が定電流源 I_{S6} の流す電流よりも大きくなるため、端子 T_{11} 、 T_{12} からノード 26 、 27 へと電流を流すように制御する。また、制御回路 42 は、中間電圧 V_{C1} が基準電圧 V_{R1} を下回ると、スイッチング素子 Q_{14} 、 Q_{16} のドレイン電流が定電流源 I_{S6} の流す電流よりも小さくなるため、ノード 26 、 27 から端子 T_{11} 、 T_{12} へと電流を引き込むように制御する。

【0056】

このように、帰還回路 4 は、一対の伝送線路 24 、 25 のそれぞれに設けられるノード 26 、 27 に電氣的に接続されている。そして、帰還回路 4 は、中間電圧 V_{C1} と基準電圧 V_{R1} との差分に応じて、ノード 26 、 27 を流れる電流を制御することで、中間電圧 V_{C1} を帰還する。

10

【0057】

ここで、ノード 26 、 27 は、二次回路 2 の入力端 T_1 、 T_2 に直接的に接続されるのが好ましい。また、ノード 26 、 27 は、交流信号 S_{31} 、 S_{32} の発生元である二次コイル L_2 の両端に直接的に接続されるのが好ましい。つまり、ノード 26 、 27 は、ノード 26 、 27 と入力端 T_1 、 T_2 （または二次コイル L_2 の両端）との間に配線インピーダンスが介在しないように、入力端 T_1 、 T_2 （または二次コイル L_2 の両端）に接続されるのが好ましい。この構成では、一対の伝送線路 24 、 25 の配線インピーダンスの影響を極力避けるようにして、帰還回路 4 による中間電圧 V_{C1} の帰還を実行することができる。

【0058】

20

以下、本実施形態の信号伝送回路 100 の動作について簡単に説明する。一次回路 1 は、伝送信号 S_1 から差動信号 S_{21} 、 S_{22} を生成し、一次コイル L_1 に出力する。そして、差動信号 S_{21} 、 S_{22} が一次コイル L_1 に入力されることで、一次コイル L_1 に交流電流が流れる。二次コイル L_2 には、一次コイル L_1 に交流電流が流れることで、差動信号 S_{21} 、 S_{22} の交流成分を含む交流信号 S_{31} 、 S_{32} が発生する。

【0059】

二次回路 2 において、第 1 コンパレータ 211 は、交流信号 S_{31} 、 S_{32} を比較して、伝送信号 S_1 の立ち下がりに対応するパルス信号 S_{41} を出力する。また、第 2 コンパレータ 212 は、交流信号 S_{31} 、 S_{32} を比較して、伝送信号 S_1 の立ち上がりに対応するパルス信号 S_{42} を出力する。そして、抽出回路 22 は、パルス信号 S_{41} 、 S_{42} に基づいて伝送信号 S_1 を抽出し、出力信号 S_5 として出力する。

30

【0060】

つまり、本実施形態の信号伝送回路 100 では、一次回路 1 は、入力された伝送信号 S_1 から差動信号 S_{21} 、 S_{22} を生成し、絶縁回路 3 を介して二次回路 2 に伝送する。そして、二次回路 2 は、一次回路 1 から伝送された信号から伝送信号 S_1 を抽出することで、伝送信号 S_1 に相当する出力信号 S_5 を出力する。

【0061】

ところで、一次コイル L_1 （一次素子）と二次コイル L_2 （二次素子）の間には、図 2 に示すように、寄生容量 C_{p1} 、 C_{p2} が存在する。ここで、たとえば雷サージなどにより、ノイズ（コモンモードノイズ）が一次回路 1 に印加されると、寄生容量 C_{p1} 、 C_{p2} を介してノイズが二次回路 2 に伝わる可能性がある。

40

【0062】

以下、比較例の信号伝送回路の一次回路 1 にノイズが印加された場合について、図 7 、図 8 を用いて説明する。図 7 は、比較例の信号伝送回路の二次回路 200 を示す。図 7 に示すように、比較例の信号伝送回路は、帰還回路 4 を備えていないことを除いて、本実施形態の信号伝送回路 100 と同じ構成である。また、図 8 は、比較例の信号伝送回路の一次回路 1 にコモンモードノイズを印加したシミュレーションの結果を示す。

【0063】

比較例の信号伝送回路において、図 8 に示すように、コモンモードノイズを模擬した数十 kV の正極性の電圧 C_{N1} が、時刻 t_0 ～時刻 t_3 の間にかけて一次回路 1 に印加され

50

たと仮定する。時刻 t_0 ~ 時刻 t_1 の間 (たとえば $1 \mu s$) においては、中間電圧 V_{C1} が上がることで、相対的に交流信号 S_{31} , S_{32} の電圧レベルが下がる。このため、図 8 に示す例では、交流信号 S_{31} , S_{32} の電圧レベルが、第 1 コンパレータ 211 および第 2 コンパレータ 212 の許容される入力電圧の範囲から外れることで、第 1 コンパレータ 211 および第 2 コンパレータ 212 が誤動作する。

【0064】

同様に、時刻 t_2 ~ 時刻 t_3 の間 (たとえば $1 \mu s$) においては、中間電圧 V_{C1} が下がることで、相対的に交流信号 S_{31} , S_{32} の電圧レベルが上がる。このため、図 8 に示す例では、交流信号 S_{31} , S_{32} の電圧レベルが、第 1 コンパレータ 211 および第 2 コンパレータ 212 の許容される入力電圧の範囲から外れることで、第 1 コンパレータ 211 および第 2 コンパレータ 212 が誤動作する。

10

【0065】

このため、比較例の信号伝送回路では、抽出回路 22 に入力されるパルス信号 S_{41} , S_{42} に異常が生じるため、抽出回路 22 から出力信号 S_5 が正常に出力されなくなる。つまり、伝送信号 S_1 の伝送エラーが生じ易い。

【0066】

一方、本実施形態の信号伝送回路 100 の一次回路 1 にノイズが印加された場合について、図 9 を用いて説明する。図 9 は、本実施形態の信号伝送回路 100 の一次回路 1 にコモンモードノイズを印加したシミュレーションの結果を示す。

20

【0067】

本実施形態の信号伝送回路 100 では、図 9 に示すように、コモンモードノイズを模擬した正極性の電圧 C_{N1} が印加されても、中間電圧 V_{C1} は殆ど変動しない。なお、負極性の電圧 C_{N1} を印加した場合も、同様に中間電圧 V_{C1} は殆ど変動しない。帰還回路 4 により、中間電圧 V_{C1} が基準電圧 V_{R1} に収束するように中間電圧 V_{C1} が帰還されるからである。このため、交流信号 S_{31} , S_{32} は、電圧レベルも殆ど変動しないことから、第 1 コンパレータ 211 および第 2 コンパレータ 212 の許容される入力電圧の範囲から外れ難く、第 1 コンパレータ 211 および第 2 コンパレータ 212 が誤動作し難い。

【0068】

このため、本実施形態の信号伝送回路 100 では、抽出回路 22 に入力されるパルス信号 S_{41} , S_{42} にも異常が生じ難く、抽出回路 22 から出力信号 S_5 が正常に出力され易い。つまり、伝送信号 S_1 の伝送エラーが生じ難い。

30

【0069】

上述のように、本実施形態の信号伝送回路 100 では、一次回路 1 にノイズが印加され、ノイズが二次回路 2 に伝わっても、帰還回路 4 により中間電圧 V_{C1} が基準電圧 V_{R1} に収束する。このため、本実施形態の信号伝送回路 100 では、二次回路 2 の入力電圧 (とくに、第 1 コンパレータ 211 および第 2 コンパレータ 212 への入力電圧) の変動を抑制することができる。したがって、本実施形態の信号伝送回路 100 は、一次回路 1 にノイズが印加されても、二次回路 2 の誤動作を引き起こし難い。

【0070】

ところで、一次回路 1 へのノイズの印加による二次回路 2 の誤動作の可能性を低減する方法としては、たとえば絶縁回路 3 において、一次コイル L_1 および二次コイル L_2 で構成されるトランスを 2 組設けることが考えられる。しかしながら、この構成では、トランスを 2 組必要とすることから、回路の大型化やコストの増大化を招いてしまう。

40

【0071】

これに対して、本実施形態の信号伝送回路 100 では、トランスを 2 組設けずとも、帰還回路 4 を設けるだけで二次回路 2 の誤動作を引き起こし難くすることができるので、回路の大型化やコストの増大化を抑制することができる。

【0072】

ここで、本実施形態の信号伝送回路 100 において想定するノイズ (コモンモードノイズ) の周波数は、その発生頻度にもよるが、数百 MHz 以下である。一方、本実施形態の

50

信号伝送回路 100 において、二次コイル L2 (二次素子) から出力される交流信号 S31, S32 の周波数は、トランス (一次コイル L1 および二次コイル L2) の特性に合わせ、数百 MHz 以上または数 GHz 程度を想定している。

【0073】

ここで、交流信号 S31, S32 は差動信号であるため、原則、コモンモードノイズなどの同相成分を除去する帰還回路 4 で除去されることはないと考えられる。しかしながら、例外を考慮して、帰還回路 4 は、コモンモードノイズのみを除去し、交流信号 S31, S32 には応答しないように構成されるのが好ましい。

【0074】

そこで、本実施形態の信号伝送回路 100 では、帰還回路 4 は、交流信号 S31, S32 の通過を制限するように構成されているのが好ましい。たとえば、図 10 に示すように、コモンモードノイズの周波数領域を $0 \sim f_0$ [Hz]、交流信号 S31, S32 の周波数領域を $f_1 \sim f_2$ [Hz] と仮定する。このとき、帰還回路 4 は、遮断周波数 f_{c1} が f_0 と f_1 との間に位置するように構成されるのが好ましい。この構成では、遮断周波数 f_{c1} よりも低い周波数のコモンモードノイズに対して帰還回路 4 が応答し、遮断周波数 f_{c1} よりも高い周波数の交流信号 S31, S32 に対しては帰還回路 4 が応答し難くなる。

【0075】

遮断周波数 f_{c1} は、帰還回路 4 の有する容量成分および抵抗成分によって決定される。そして、容量成分及び抵抗成分は、たとえば帰還回路 4 の有するスイッチング素子 Q5 ~ Q17 のサイズや、定電流源 IS3 の流す電流を調整することで、適宜変更することが可能である。

【0076】

ところで、本実施形態の信号伝送回路 100 では、絶縁回路 3 は、一次コイル L1 (一次素子) と二次コイル L2 (二次素子) とが磁気結合した構成である。つまり、本実施形態の信号伝送回路 100 では、一次素子および二次素子は、互いに磁気結合されているが、他の構成であってもよい。たとえば、図 11 に示すように、絶縁回路 3 は、2 つのキャパシタ C11, C12 で構成されていてもよい。キャパシタ C11, C12 の一次回路 1 側の電極が一次素子、キャパシタ C11, C12 の二次回路 2 側の電極が二次素子となる。つまり、本実施形態の信号伝送回路 100 では、一次素子および二次素子は、互いに容量結合される構成であってもよい。この構成では、駆動回路 13 の代わりに、シングルエンド用のバッファ 16, 17 が、それぞれキャパシタ C11, C12 に電氣的に接続されていればよい。

【符号の説明】

【0077】

100 信号伝送回路

1 一次回路

13 駆動回路

15 微分回路

2 二次回路

211 第 1 コンパレータ (コンパレータ)

212 第 2 コンパレータ (コンパレータ)

22 抽出回路

23 分圧回路

24, 25 一对の伝送線路

26, 27 ノード

4 帰還回路

S1 伝送信号

S21, S22 差動信号

L1 一次コイル (一次素子)

10

20

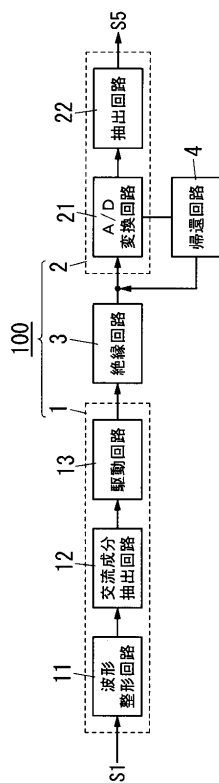
30

40

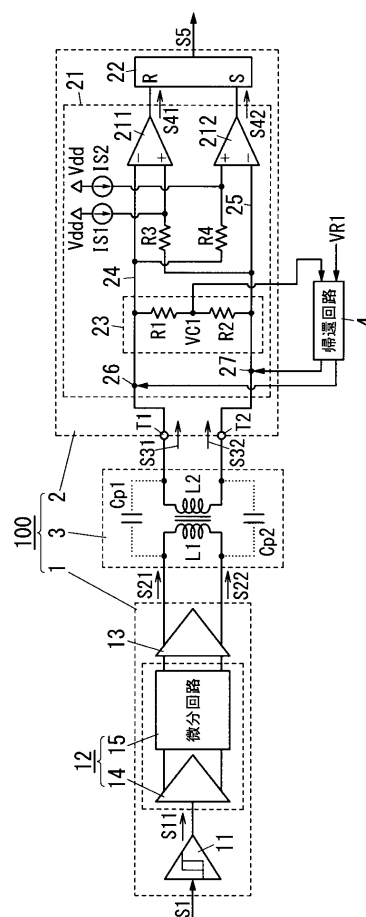
50

L 2 二次コイル (二次素子)
 S 3 1, S 3 2 交流信号
 V C 1 中間電圧
 V R 1 基準電圧
 T 1, T 2 入力端

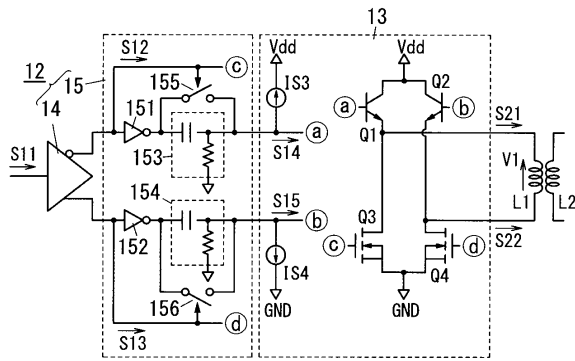
【図 1】



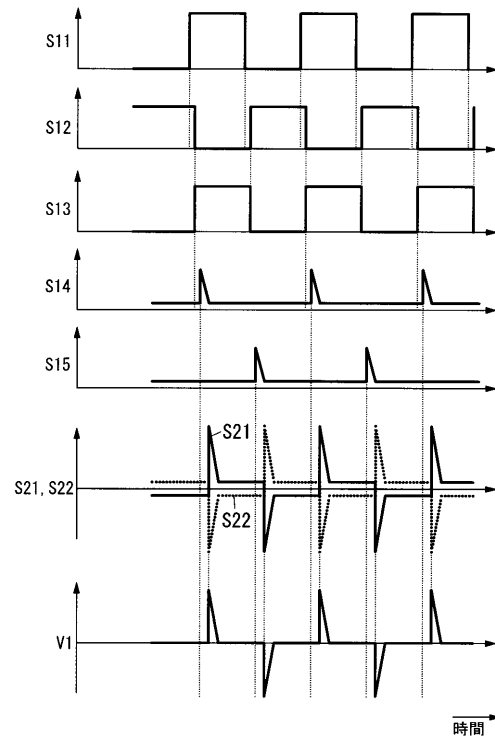
【図 2】



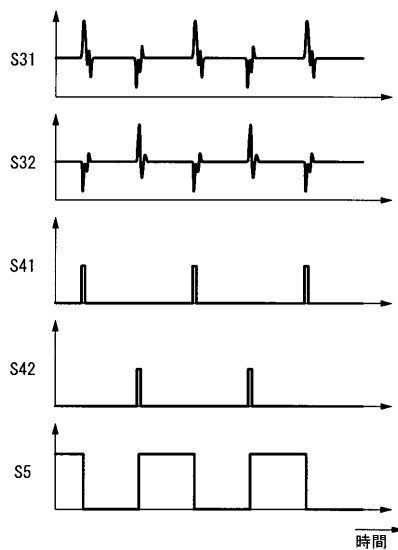
【図 3】



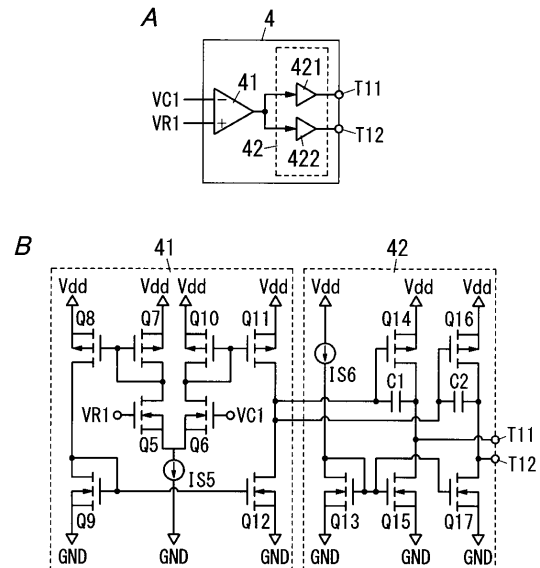
【図 4】



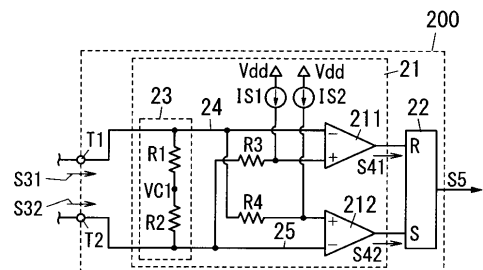
【図 5】



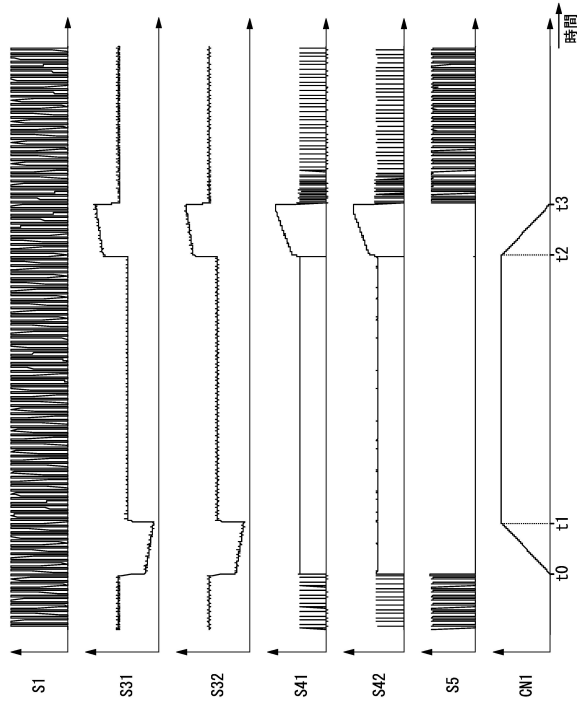
【図 6】



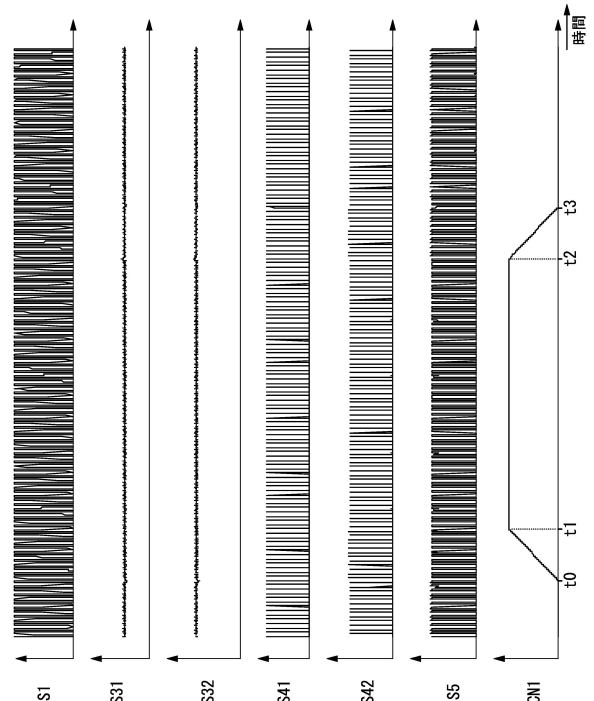
【図 7】



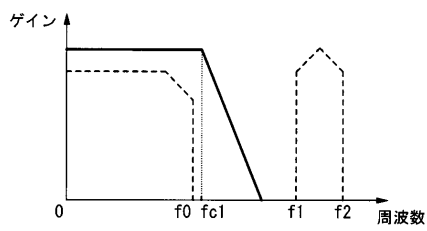
【図 8】



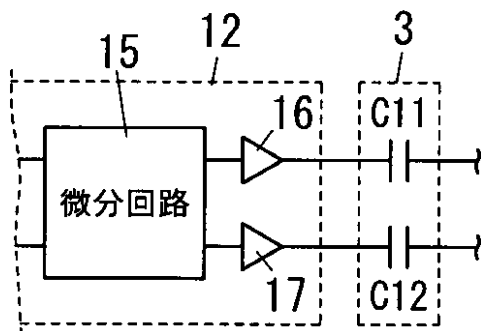
【図 9】



【図 10】



【図 11】



フロントページの続き

- (72)発明者 熊原 稔
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 リチャード ヴィゼ
オランダ 2565 シーピー デンハーグ ハウズブルームラーン 69
- (72)発明者 ガート ファン デル フォルン
オランダ 2623 シーティー デルフト フェルドマイゼンパト 1
- (72)発明者 ロニー ファン ローイ
オランダ 6042 ケージェイ ルールモント エルムブテルウェフ 9
- (72)発明者 プーヤン サキアン デスフリ
オランダ 5673 エムエックス ヌエネン フ라우ウェ セシリアラーン 26

審査官 及川 尚人

- (56)参考文献 特開2010-283817(JP,A)
特開2015-008423(JP,A)
米国特許出願公開第2013/0064326(US,A1)
特開2009-094576(JP,A)
特開2013-232719(JP,A)
米国特許出願公開第2008/0068062(US,A1)
特開2010-011220(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/00 - 19/096
H03K 17/00 - 17/70
H04B 5/02