



# (12) 发明专利申请

(10) 申请公布号 CN 116830241 A

(43) 申请公布日 2023. 09. 29

(21) 申请号 202180080102.7

(74) 专利代理机构 北京市金杜律师事务所  
11256

(22) 申请日 2021.11.29

专利代理师 李兴斌

(30) 优先权数据

63/119,541 2020.11.30 US

17/533,516 2021.11.23 US

(51) Int.Cl.

H01L 21/02 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.05.29

(86) PCT国际申请的申请数据

PCT/US2021/060973 2021.11.29

(87) PCT国际申请的公布数据

W02022/115683 EN 2022.06.02

(71) 申请人 超薄碳化硅公司

地址 美国加利福尼亚州

(72) 发明人 T·S·拉维 B·P·戈戈伊

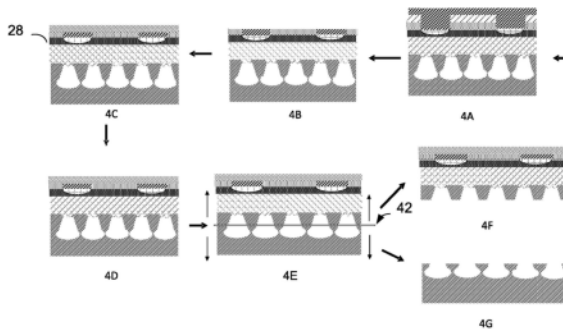
权利要求书2页 说明书8页 附图7页

## (54) 发明名称

用于低成本宽带隙半导体器件制造的集成方法

## (57) 摘要

公开了一种用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法。方法包括利用硬掩模材料涂覆衬底,执行光刻以在衬底的硬掩模材料中限定图案化开口,刻蚀衬底以从所限定的图案化开口形成图案化沟槽,使用化学工艺从衬底移除硬掩膜,清理具有图案化沟槽的衬底,对衬底执行外延以在图案化沟槽之上形成均匀单晶层从而产生多个微空隙,使用快速外延生长工艺对衬底执行另一外延以提供适合于制造SiC器件的有源器件外延层,以及在SiC器件的制造之后,切断多个微空隙以从SiC晶片的衬底提取SiC器件。



1. 一种用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,包括步骤:  
利用硬掩模材料涂覆所述衬底;  
执行光刻,以在所述衬底的所述硬掩模材料中限定图案化开口;  
刻蚀所述衬底,以从所限定的所述图案化开口形成图案化沟槽;  
使用化学工艺从所述衬底移除所述硬掩膜;  
清理具有所述图案化沟槽的所述衬底;  
对所述衬底执行外延,以在所述图案化沟槽之上形成均匀单晶层,从而产生多个微空隙;  
使用快速外延生长工艺对所述衬底执行另一外延,以提供适合于制作SiC器件的有源器件外延层;以及  
在所述SiC器件的制作之后,切断所述多个微空隙,以从所述SiC晶片的所述衬底提取所述SiC器件。
2. 根据权利要求1所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中所述衬底是被重新使用的经抛光的4H-SiC晶片。
3. 根据权利要求1所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中所述硬掩膜材料是氮化硅的层,并且所述涂覆步骤包括化学气相沉积。
4. 根据权利要求1所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中执行光刻包括步骤:使用光刻胶以用于将所述图案化开口图案转印到所述衬底。
5. 根据权利要求4所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中所述图案化开口能够是三角形或六角形暴露(1120)晶面。
6. 根据权利要求5所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中所述图案化开口在10纳米到1微米之间。
7. 根据权利要求1所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中刻蚀所述衬底包括步骤:反应离子刻蚀,以刻蚀所述硬掩膜材料和所述图案化开口,从而形成凹角沟槽。
8. 根据权利要求1所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中所述刻蚀所述衬底包括步骤:反应离子刻蚀和电化学或阳极蚀刻,以形成在顶部上具有更狭窄的开口并且在底部上具有更宽的开口的沟槽。
9. 根据权利要求1所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中执行外延包括步骤:使用合并式外延侧向过生长(MELO)在所述图案化沟槽之上形成所述均匀单晶层,从而产生所述多个微空隙。
10. 根据权利要求9所述的用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法,其中所述使用MELO包括步骤:到3-20微米的外延层厚度的快速缓冲层外延生长。
11. 一种用于使用SiC晶片上的GaN衬底来制造宽带隙半导体器件的方法,包括步骤:  
利用氮化硅的硬掩模材料涂覆衬底;  
执行光刻,以在所述衬底的所述硬掩模材料中限定图案化开口;  
刻蚀所述衬底,以从所限定的所述图案化开口形成图案化沟槽;  
在所述衬底和所述图案化沟槽的侧壁之上沉积保形层;  
从所述衬底的顶部表面移除所述保形层,从而在所述图案化沟槽的侧壁之上留下所述

保形层的间隔部；

刻蚀未由所述保形层的所述间隔部覆盖的所述图案化沟槽，以在所述间隔部之下形成球状开口；

从所述衬底移除所述硬掩膜和所述间隔部；

对所述衬底执行外延，以将Ga<sub>N</sub>沉积到包括所述图案化沟槽的所述衬底，从而形成空隙的阵列；

对所述衬底执行至少另一个外延，以沉积至少一个器件外延层；

在所述至少一个器件外延层中形成Ga<sub>N</sub>半导体器件；以及

切断所述空隙的阵列，以从所述SiC晶片的所述Ga<sub>N</sub>衬底提取所述Ga<sub>N</sub>半导体器件。

12. 根据权利要求1所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中刻蚀所述衬底包括步骤：刻蚀所述图案化开口，以形成1000-10000埃深度的沟槽。

13. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中所述图案化开口在500-5000埃的范围内。

14. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中在所述衬底和所述图案化沟槽的所述侧壁之上沉积所述保形层包括步骤：使用氮化硅的层的低压化学气相沉积(LPCVD)。

15. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中从所述衬底的顶部表面移除所述保形层包括步骤：反应离子刻蚀，以在所述图案化沟槽中形成所述间隔部。

16. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中刻蚀所述图案化沟槽包括步骤：将所述衬底浸泡在KOH溶液的溶液中，以刻蚀未由所述保形层的所述间隔部覆盖的所述图案化沟槽，从而在所述间隔部之下形成所述球状开口。

17. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中移除所述硬掩膜和所述间隔部包括步骤：将所述衬底浸泡在热磷酸中。

18. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中对所述衬底执行外延以沉积Ga<sub>N</sub>包括步骤：沉积一定厚度的Ga<sub>N</sub>，以在所述空隙的阵列之上形成连续外延层。

19. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中对所述衬底执行至少另一个外延以沉积至少一个外延层包括步骤：在所述至少一个外延层上形成二极管、晶体管、RF、电源管理、光学器件，或光电子器件。

20. 根据权利要求11所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，其中切断所述空隙的阵列以提取所述Ga<sub>N</sub>器件包括步骤：使用机械技术和热学技术从所述SiC晶片上的所述衬底切断所述器件。

21. 根据权利要求1所述的用于使用SiC晶片上的Ga<sub>N</sub>衬底来制造宽带隙半导体器件的方法，还包括步骤：重新使用所述SiC晶片上的所述Ga<sub>N</sub>衬底。

## 用于低成本宽带隙半导体器件制造的集成方法

### [0001] 交叉引用

[0002] 本申请要求来自于2020年11月30日提交的具有申请号第63/119,541号的临时专利申请“用于低成本宽带隙半导体器件制造的集成方法”的优先权。所述申请通过整体引用并入本文。

### 发明领域

[0003] 本发明涉及用于制造电力电子器件中的半导体的方法以及,尤其是用于在减少衬底成本的情况下制造宽带隙半导体的方法。

### 背景技术

[0004] 近年来,宽带隙(WBG)半导体在电力电子器件中的使用已经显著地增加。他们的以较高的电压、功率、温度,以及切换频率高效地操作的能力已经使得能够降低冷却要求、降低部件数量,以及使用较小的无源组件。基于WBG的电力电子器件可以进一步减少各种可再生能源电设备(诸如马达驱动和逆变器)的覆盖区以及潜在的系统成本。

[0005] 在用于电力电子器件的WBG半导体之中,碳化硅(SiC)现在已经越来越多地用于高电压驱动器(>1200V),而氮化镓(GaN)已经在较高功率应用和较高频率应用两者中经历了越来越多的使用。然而,与硅不同,针对WBG半导体器件的最终器件的成本由材料的成本主导。材料包括衬底和通过外延生长的有源层。衬底本身贡献了完成的WBG半导体器件的成本的一半以上的成本。

[0006] 从衬底的角度来看,由于SiC外延层和GaN外延层可以以减少的缺陷在SiC衬底上生长,4H-碳化硅(SiC)单晶衬底已经用于SiC器件和GaN器件两者。另一方面,GaN衬底无缺陷地生长是十分昂贵的并且没有跟上SiC衬底提供的缩放尺寸的增长。虽然近年中已经显著改善了SiC衬底质量,但是由于衬底制造是复杂的工艺,其开始于锭生长,之后是锭切割,然后是单独晶片的线锯,并且最后是衬底的研磨和抛光,并且截至目前,还没有消除这些前述步骤的任何步骤的被证明的实际方法,因此成本还没有下降。

[0007] 随着用于WBG半导体的半导体衬底被生产并且使用高电流的器件被制造,因为裸片尺寸更大并且任何缺陷将导致更显著的产量损失和潜在的较低可靠性,因此缺陷扮演了更大的角色并且是被放大的。因此,为了最大化裸片产量,关于衬底的任何成本减少活动是至关重要的,同时还在有源外延层中保持低缺陷密度。迄今为止,已经存在在保持低缺陷密度的同时,减少衬底对裸片成本的贡献的主要两种方法。

[0008] 第一种方法是生长更大的衬底。许多公司已经商业化了具有减少的缺陷的150mm SiC衬底并且还在努力进一步将衬底尺寸提高到200mm。然而,在其可以商业化之前200mm SiC预计将花费多年。晶片尺寸增加的大部分取决于下一代晶体生长系统的开发和部署。

[0009] 第二种方法是从锭无锯槽地(kerflessly)提取衬底。目前存在正在被探索和实现的几个工艺。第一个工艺涉及使用飞秒激光产生次表面损伤层并且使用次表面损伤层作为用于通过诸如冷分裂的方法来提取其之上的晶片的解理平面,由此突然的热冲击将允许解

理。第二个工艺是用于晶片分裂方法的称为SmartCut™的公知SOITEC方法,由此氢被注入衬底中以产生损伤区域并且施加热冲击以提取留在损伤区域之上的晶片。

[0010] 然而,由于产量损失在裂解过程期间升高,因此这些方法中的任一个方法都还远不能轻易地商业化。此外,通过飞秒激光或H<sub>2</sub>离子注入在表面之下产生损伤层的处理可能导致损伤层不深于150微米,限制了大于150微米的晶片的提取。尽管存在150微米限制,到目前为止,不清楚是否可以利用这样薄的SiC晶片制成有意义的半导体器件。

[0011] 因此,期望提供克服薄衬底限制、以及在对最终WBG半导体的产量或性能参数的影响最小的情况下减少衬底对最终裸片的贡献的用于制造WBG半导体的方法。

## 发明内容

[0012] 根据本发明的实施例,公开了一种用于使用SiC晶片的衬底来制造宽带隙半导体器件的方法。方法步骤包括利用硬掩模材料涂覆衬底,执行光刻以在衬底的硬掩模材料中限定图案化开口,刻蚀衬底以从所限定的图案化开口形成具有凹角轮廓的图案化沟槽,使用化学工艺从衬底移除硬掩膜,清理具有图案化沟槽的衬底,对衬底执行外延以在图案化沟槽之上形成均匀单晶层从而产生多个微空隙,使用快速外延生长工艺对衬底执行另一外延以提供适合于制造SiC器件的有源器件外延层,以及在SiC器件的制造之后,在多个微空隙处切断具有器件层的两个外延层。

[0013] 根据本发明的另一实施例,硬掩膜材料是氮化硅的层并且涂覆步骤包括化学气相沉积。

[0014] 根据本发明的另一实施例,执行光刻的步骤包括步骤:使用光刻胶以用于将图案化开口图案转印到衬底。

[0015] 根据本发明的又另一实施例,刻蚀衬底的步骤包括步骤:反应离子刻蚀,以刻蚀硬掩膜和图案化开口,从而形成凹角沟槽。反应离子刻蚀可以是各向同性的以在第一各向异性刻蚀之后实现凹角轮廓。这确保外延生长之后的微空隙。

[0016] 根据本发明的进一步实施例,执行外延的步骤包括步骤:使用合并式外延侧向过生长(MELO)在图案化沟槽之上形成均匀单晶层,从而产生多个微空隙。

[0017] 根据本发明的又另一实施例,使用MELO的步骤包括步骤:到5-20微米的外延层厚度的快速缓冲层外延生长。

## 附图说明

[0018] 在结合附图时,从本发明的优选实施例的以下详细描述将更全面的理解前述和发明的其他目的、方面和优点,其中:

[0019] 图1A图示了根据本发明的4H-碳化硅(SiC)单晶衬底;

[0020] 图1B图示了根据本发明的4H-SiC单晶衬底的侧视图;

[0021] 图2A图示了根据本发明的SiC衬底中通过光刻步骤限定的开口;

[0022] 图2B图示了根据本发明的具有外延侧向过生长的层的图案化SiC衬底;

[0023] 图3A-3F图示了用于在经制备的衬底上制造SiC肖特基势垒二极管的一般性处理示例;

[0024] 图4A-4G图示了根据本发明的用于制造SiC肖特基势垒二极管和切断用于提取二

极管的剥落层的一般性工艺的延续；

[0025] 图5A图示了根据本发明的SiC衬底上外延生长的Ga<sub>2</sub>N的厚层；

[0026] 图5B图示了根据本发明的Ga<sub>2</sub>N衬底上利用硬掩膜材料涂覆的Ga<sub>2</sub>N的厚层；

[0027] 图5C图示了根据本发明的用于在Ga<sub>2</sub>N衬底上形成剥落层的图案；

[0028] 图6A图示了根据本发明的在剥落层的形成之上的保形材料的沉积；

[0029] 图6B图示了根据本发明的刻蚀保形层以在图案化沟槽的侧壁上形成间隔部；

[0030] 图6C图示了根据本发明的各向同性地刻蚀暴露的Ga<sub>2</sub>N层以在侧壁上的间隔部下方形成球状开口；

[0031] 图7A图示了根据本发明的在移除保护性硬掩膜和侧壁上的间隔部之后的Ga<sub>2</sub>N层；

[0032] 图7B图示了根据本发明的从衬底外延生长Ga<sub>2</sub>N以形成连续外延层；

[0033] 图7C图示了根据本发明的在连续外延层之上生长器件外延层；

[0034] 图8A图示了根据本发明的在器件外延层上形成半导体器件；以及

[0035] 图8B图示了根据本发明的在空隙的阵列处剥落的半导体器件。

### 具体实施方式

[0036] 本发明的一个方面是用于在松散地附接于纳米图案化的SiC衬底的薄外延生长宽带隙衬底材料上部分地制造器件，以及从衬底提取单独裸片或多个裸片，之后利用附接于操作衬底的薄器件完成最终器件方法步骤的集成方法。本发明的另一方面描述了用于在SiC衬底上图案化可以用作解理层的表面层的方法，解理层用于提取所制造的器件。本发明的又一方面是用于在表面图案化层上生长薄侧向外延过生长层以呈现无缺陷表面从而生长器件外延层的方法。本发明的另一方面是使用纳米图案化碳化硅晶片作为用于SiC晶体和Ga<sub>2</sub>N晶体生长的模板并且使用弱化的纳米图案化层来无锯槽地从SiC衬底提取整个SiC晶片和Ga<sub>2</sub>N晶片，然后SiC衬底后续被重新使用。

[0037] 图1A图示了示例4H-碳化硅(SiC)单晶衬底或SiC晶片12。然后利用开口的阵列来图案化4H-SiC衬底，开口的阵列可以具有不同形状：正方形、矩形，条形等。可以使开口对于晶体结构的取向优化后续侧向外延生长，该后续侧向外延生长在根据本发明的衬底的形成中的后续步骤中被执行。作为示例，图案刻蚀可以作为三角形或六角形暴露(1120)或4H-SiC的等效晶面而出现。这些取向提供快速侧向外延过生长的形成，以在下方产生次表面空隙的同时，在(0001)晶面上实现后续高质量垂直外延。此外，开口之间的间隔可以被优化以促进高质量外延生长和最小化在根据本发明的制造处理的后续步骤中剥落衬底所需的力。开口的间隔可以在20nm到几个微米的范围中。在示例实施例中，4H-SiC单晶衬底包括多个硬掩膜100nm正方形，在硬掩膜正方形之间具有50nm间隙。图1A图示没有按比例。

[0038] 图1B图示了具有300-350微米的厚度的4H-SiC单晶衬底的侧视图。示出了4H-SiC单晶衬底12之上具有50nm间隙的多个100nm硬掩膜正方形15。根据本发明，衬底是以4度或8度切割的经抛光的4H-SiC晶片。如图1A和1B中所示，首先利用硬掩膜15涂覆SiC晶片12以用于后续光刻和刻蚀步骤。本领域技术人员将理解针对硬掩膜15的材料的选择由工艺期间并入的刻蚀处理确定。根据本发明，用于硬掩膜的材料是氮化硅或氧化铝或类似材料的层。沉积的方法可以是化学气相沉积(CVD)，原子层沉积(ALD)或类似方法。

[0039] 本发明中的下一步是用于在硬掩膜15中并且后续在SiC衬底中限定开口的光刻步

骤。使用光刻胶和传统的光学光刻或通过非传统的光刻(诸如电子束或纳米压印光刻)来实现转印。开口可以是不同形状,诸如形成栅结构的线型和间隔。根据另一实施例,硬掩膜中的开口可以是正方形或矩形。在又一实施例中,硬掩膜中的开口可以是定位于平面中的六角形或三角形或菱形形状,并且以竖直反应性离子刻蚀(RIE)刻蚀之后的所暴露的竖直平面将是(1120)类型的这种方式被图案化。在任何情况下,硬掩膜中以及后续衬底中开口的尺寸和形状将在后续处理步骤中提供晶体结构的侧向过生长。由光刻步骤所限定的开口的尺寸可以在10纳米到1微米之间。

[0040] 图2A图示了由光刻步骤所限定的开口。一旦开口由光刻处理所限定,则使用反应离子刻蚀(RIE)刻蚀硬掩膜。根据本发明,如果硬掩膜是氮化硅,则氟化学物RIE处理可以用于刻蚀硬掩膜。因此,诸如SF<sub>6</sub>、CHF<sub>3</sub>、CF<sub>4</sub>,以及类似气体的化合物可以用于刻蚀硬掩膜。一旦硬掩膜被刻蚀,刻蚀处理用于刻蚀穿过开口区域,以在下面的SiC衬底中形成沟槽。RIE刻蚀处理可以与电感耦合等离子体(ICP)一起使用,以形成具有柱状壁的凹角轮廓。在本发明的另一实施例中,可以使用电化学或阳极刻蚀来完成下面的SiC衬底中的沟槽形成。如本领域技术人员显而易见的,电化学刻蚀的方法可以用于通过改变电流密度、偏置电压、电极之间的间隔、功率或同时多个参数来改变沟槽开口的几何形状。因此,对在顶部中更狭窄并且在底部处更宽的沟槽进行限定是可能的,类似于利用RIE工艺实现的凹角轮廓。将RIE步骤与阳极氧化组合以实现具有在顶部上更狭窄的开口以及在底部上更宽的开口的沟槽也是可能的。根据本发明的实施例,沟槽的深度可以在1-3微米之间。

[0041] 在本发明的下一步中,使用化学处理移除硬掩膜15。如果硬掩膜材料是氮化硅,则用于移除硬掩膜的化学处理是发烟磷酸。

[0042] 在从晶片的表面移除硬掩膜之后,下一步是在外延生长之前清理衬底。具有在表面上的图案化沟槽的阵列的经清理的衬底被放置在外延生长反应器中,以用于SiC的沉积。

[0043] 参考图2B,在图案化SiC衬底12的清理之后,使用晶体生长的外延处理以在图案化衬底之上形成均匀单晶层24。根据本发明的实施例,单晶层24或缓冲外延层24是在5-20微米厚度之间的厚N<sup>+</sup>生长。可以通过调整外延前端的生长条件来使用外延侧向过生长(ELO)或合并式外延侧向过生长(MELO)的方法,以在沟槽之上合并或形成均匀单晶层,该沟槽在之前形成而现在密封在所合并的外延层的表面下方。所密封的沟槽形成刻意形成的微空隙26的区域,微空隙26用于在后续处理步骤中从衬底剥落顶部外延层。然后衬底可以被多次重新使用。对本领域技术人员将是明显的,通过调整生长条件,可以形成ELO的低缺陷层,然后其用作模板,该模板用于裸片衬底和后续制造步骤中所形成的器件的后续外延生长。

[0044] 在形成缓冲外延层24和用作表面下方的剥落或分离层的微空隙26的阵列之后,使用外延有源层生长处理来生长器件外延SiC 28的另一层。根据本发明的实施例,缓冲外延层24是厚N<sup>+</sup>快速Epi 4HSiC epi层。器件外延SiC层28通常是N<sup>-</sup>有源层Epi 4HSiC Epi生长。缓冲外延层24的厚度是要针对最终器件结构提供进行欧姆接触的方法。缓冲外延层24的厚度是大约5-20微米。在器件外延的层28的生长之前,可能需要已知为轻拂抛光(kiss polish)的精抛光(light polish)步骤以制备具有缓冲外延层24的衬底的表面。

[0045] 根据本发明的实施例,使用标准CVD外延生长处理或诸如高温CVD的经修改的体晶体(bulk crystal)生长处理或通过物理气相沉积(PVT)来生长厚缓冲外延层24。适用于SiC器件的形成的另一层的外延生长可以在器件外延层28的形成之后。由该层中形成的器件的

击穿电压确定器件外延层28的厚度。针对示例1200V器件,器件外延层的厚度是大约10-12微米。

[0046] 根据本发明的实施例,缓冲外延层24之上的器件外延层28的形成在半导体器件的形成之前完成了衬底12制备。所制造的任何器件可以使用标准制造工艺和设计。

[0047] 图3A-3F图示了用于在经制备的衬底上制造SiC肖特基势垒二极管的一般性处理。在衬底12上的有源器件外延层28上执行所有处理步骤。在图3B中,在衬底薄膜堆叠上沉积和烘焙抗蚀剂。接下来,在图3C中,使用光刻掩膜图案化并且显影抗蚀剂,之后是P<sup>+</sup>离子注入并且执行有源退火以从注入驱动掺杂物。图3D清理抗蚀剂并且沉积肖特基势垒金属。在图3E中,使用光刻胶图案化以及显影来图案化用于器件的顶部侧上的金属接触的沉积、暴露、以及显影抗蚀剂。图3F执行选择性的金属刻蚀。

[0048] 图4A-4G延续图3A-3F中描述的用于制造SiC肖特基势垒二极管的一般性处理。在图4A中,将厚氧化硅沉积到衬底上。在图4B中,执行用于剥离的抗蚀剂图案化。在图4C中,沉积金属沉积以形成前端接触。图4D通过激光执行多裸片分割以从衬底分离单独的裸片。可选地,可以从衬底释放整个部分完成的器件层。在图4E中,沿箭头42所描述的轴线对衬底与裸片或整个部分完成的器件层执行机械分离。通过首先将其附接到诸如便携式静电吸盘的分离结构或使用黏着剂附接于刚性把手,从衬底分离具有肖特基器件的整个器件层或单独的裸片。在图4F中,整个器件层或裸片从衬底分离并且现在准备好用于最终的背面金属沉积(back metal deposition)和欧姆接触形成。由于剥落的器件层或裸片现在附接于刚性把手,因此器件层或单独裸片的背面侧可以被清理并且被准备好用于背面金属欧姆接触形成和背面金属沉积。一旦完成背面金属化,则器件被完全完成。此时,整个器件层或单独裸片被附接于所谓的蓝色切割胶带。在整个器件层被附接于蓝色切割胶带的情况下,接下来可以发生单独裸片的分割。现在裸片准备好用于测试和筛选。在图4G中,剩余衬底被取回并且被重新使用。

[0049] 参考图4D-4G,恰在器件在器件外延层28上被完成之前,从SiC衬底12分割或切断裸片或多个裸片或大体上完成的器件。箭头42示出了沿着ELO下方产生的微空隙26的阵列的图案化层,微空隙26的阵列用作释放层或脱落层以用于从衬底12提取裸片。由于分割切割的深度是15-80微米,可以通过使用激光或切割锯来完成边缘释放剥落层。可以利用真空吸盘、静电吸盘或通过使用水喷射分离器来完成用于完成裸片或裸片的集合或整个晶片的释放的分割处理,水喷射分离器在由ELO外延层下方的微间隙26的阵列所形成的剥落层的平面中的晶片的边缘上冲击。

[0050] 根据本发明的实施例,处理中的下一步是使用简单化学处理来清理顶部晶片或裸片或裸片的集合。通过金属沉积来形成背面侧金属欧姆接触,之后是退火(诸如激光退火)。这之后是沉积更厚的金属,该更厚的金属有效地变成背面金属接触。可以通过喷溅、蒸发、电镀或类似方法来形成更厚的金属。针对器件的制造处理的细节由器件外延层中形成的特定半导体器件所限定。形成二极管、MOSFET和类似器件所需的特定步骤对于本领域技术人员是已知的。然后测试并且基于其性能筛选所完成的器件。

[0051] 在完成器件并且从所完成的衬底提取裸片或晶片之后,所切断或剥落的衬底被重新抛光和取回以用于后续使用。使用利用微空隙的剥落处理提取所完成的半导体器件之后剩下的所切断的衬底可以被多次重新使用以用于后续器件制造。执行化学机械抛光或电化

学抛光以使取回的衬底准备好用于重新使用。使用本实施例中描述的剥落方法来取回晶片以用于形成多个器件的能力以显著的量减少了SiC器件形成的成本,除了改善了器件的散热能力之外,同时还通过从体外延厚度层减少漏-源导通电阻(RDSON)贡献来改善了性能,从而改善了总体可靠性。

[0052] 根据本发明的另一实施例,具有微空隙的剥落层的图案化衬底可以用作用于厚SiC epi/晶片生长的种子表面。在生长大约200-400微米的SiC之后,可以释放边缘以从衬底分离外延晶片。由于体晶体生长可以用在图案化种子表面上,具有几乎零锯槽损失(kerf loss)的这种体生长的晶片的成本显著地低于传统的方法。针对SiC的体生长包括物理气相沉积(PVT)和高温化学气相沉积(HTCVD)。

[0053] 根据本发明的又另一实施例,器件层可以是直接生长在图案化碳化硅上并且在从SiC衬底被分割和剥落之前被处理成最终器件的GaN层。在薄GaN层需要被转印到高导热性衬底的情况下,使用该方法有助于使层转印变得容易。通过并入GaN外延侧向过生长处理,最终结构中的位错密度可以被进一步减少。

[0054] 根据参考图5A的本发明的实施例,衬底层可以是厚40-50微米的GaN(氮化镓)的层52,GaN的层52在SiC 12上外延生长,然后GaN的层52变为用于形成GaN器件的图案化剥落层的起始衬底。优点是随着GaN 52层生长地更厚,表面上的位错厚度被减少并且后续图案化进一步将位错密度减少到 $\sim 1E4/cm^2$ 水平。

[0055] 参考图5B,图5A的SiC 12上的GaN 52的起始衬底被清理并且然后利用硬掩膜材料15涂覆该起始衬底。根据本发明的实施例,硬掩膜材料15是使用化学气相沉积(CVD)处理(诸如低压化学气相沉积(LPCVD))而沉积的氮化硅。

[0056] 参考图5C,用于形成剥落层的图案在后续处理步骤中被制成。使用光刻胶和传统的光学光刻或非传统的光刻(诸如电子束光刻)或通过纳米压印光刻来完成用于形成剥落层的图案限定。一旦图案被转印到光刻胶,则使用反应离子刻蚀(RIE)来刻蚀硬掩膜15。氟化学物(诸如SF6)可以用于刻蚀硬掩膜。然后,对SiC上的GaN的下面的衬底进行刻蚀以形成深度可以是1000-5000埃的沟槽54。被转印的图案可以是线型、六角形,正方形或有助于外延侧向过生长(ELO)的后续处理的其他形状的形式。开口的尺寸可以在500-5000埃的范围中。可以基于后续ELO工艺的要求来调整GaN层中形成的沟槽的宽度和深度。

[0057] 一旦沟槽的阵列54已经在GaN衬底52中形成,图6图示了保形材料56在GaN衬底52之上的沉积。沉积的保形材料56是LPCVD氮化硅层。诸如LPCVD氧化物、高温氧化物(HTO)、低温氧化物(LTO),硅酸四乙酯(TEOS)的其他材料可以用于保形材料56。一个重要的方面是保形材料以保形的方式涂覆沟槽的阵列的侧壁。此外,可以使用原子层沉积(ALD)来沉积保形层。诸如AlN,Al<sub>2</sub>O<sub>3</sub>的ALD层可以用于保形层。在示例性实施例中,保形材料56是LPCVD氮化硅层。LPCVD氮化硅层的厚度在500-1000埃之间并且可以由处理设计者基于相关处理步骤确定。

[0058] 参考图6B,保形材料56被刻蚀以在图案化沟槽的侧壁上形成间隔部58。可以通过反应离子刻蚀(RIE)、离子铣削或类似处理来完成保形材料56的移除以形成间隔部。根据本发明的实施例,使用利用合适气体(诸如SF<sub>6</sub>,CHF<sub>3</sub>或类似气体)的RIE来刻蚀氮化硅的保形材料。刻蚀处理在沟槽的侧壁中形成氮化硅间隔部58,但是移除由衬底的顶部表面上的氮化硅层和沟槽的底部表面上的氮化硅层所组成的保形材料56。本质上,仅留下侧壁中的氮

化硅间隔部58。应当注意的是,如果第一硬掩膜层也由氮化硅组成,则保持第一氮化硅层的厚度是承受间隔部刻蚀处理的足够厚度很重要。间隔部沉积和刻蚀处理的完成保护了沟槽的阵列的侧壁,同时在沟槽的底部表面处暴露衬底材料GaN。此外,SiC衬底上的GaN的顶部表面和背面(未示出)由氮化硅的第一硬掩膜层保护。因此,SiC衬底上的GaN包括具有由氮化硅的层保护的侧壁和顶部和底部表面的沟槽的图案化阵列。

[0059] 参考图6C,使用基于 $Cl_2$ 的干燥化学反应离子刻蚀处理来构造GaN层52或将GaN层52浸没在浴中的包括KOH溶液的溶液中。KOH的浓度和温度适用于刻蚀暴露在沟槽的阵列的底部处的暴露的GaN表面,该沟槽的阵列具有由氮化硅的间隔部58保护的侧壁。KOH各向同性地刻蚀暴露的GaN以在间隔部保护的沟槽下方形成球状开口60。其他刻蚀技术(诸如电化学刻蚀(ECE)或光电化学刻蚀(PEC))可以用于刻蚀GaN衬底以形成开口的球状阵列。

[0060] 根据本发明,SiC上的衬底GaN的各向同性刻蚀在狭窄颈部的下方形成了球状开口60的阵列,该狭窄颈部由沟槽形成并且其侧壁由氮化硅间隔部58的层保护。下一步是移除保护性硬掩膜和侧壁间隔部材料58。由于硬掩膜15和氮化硅间隔部58是氮化硅,因此通过将衬底浸没在热磷酸中,移除衬底的顶部表面以及侧壁上的氮化硅,从而留下图7A中图示的沟槽的球状开口60。

[0061] 根据本发明的实施例,下一步是从衬底以及侧壁外延生长GaN以生长到足够合并生长前端的厚度,从而形成图7B中所示的连续外延层62。可以调整生长条件以确保外延前端合并。外延前端的合并最小化了外延层62的缺陷形成。合并的外延层62过生长的形成提供了表面下方球状开口或空隙60的阵列的形成并且产生剥落层。

[0062] 参考图7C,形成侧向外延层62过生长之后的下一步是生长器件外延层64。厚度、掺杂类型和浓度由要在器件外延层64中形成的半导体器件的类型确定。在一些情况下,针对器件外延层64可以生长外延半导体的多个层。

[0063] 参考图8A,形成器件外延层64之后的下一步是使用本领域公知的设计和处理来制造各种半导体器件66。可以在器件外延层64中形成诸如二极管、晶体管、发光二极管等器件的器件。还可以在器件外延层64中形成用于RF、电源管理、光学器件,光电子器件等的其他器件。

[0064] 在形成半导体器件之后,如图8A和图8B所图示,沿着衬底下方形成的空隙60的阵列从衬底剥落或切断器件68。各种机械方法和热学方法可以用于从衬底的剥落或切断。一种技术是使用激光从衬底分离单独裸片的多裸片分割。一旦被分离,则按需对器件的表面进行抛光和金属化。剩余衬底的表面被抛光并且被重新使用于形成其他器件。

[0065] 一旦提取了GaN器件层,则可以重新抛光具有SiC上的GaN的衬底以重复上述器件工艺步骤。如果SiC上的GaN为40-50微米的量级并且纳米空隙的阵列的深度为2微米的量级,则剩余衬底的重新使用可以发生多于20次迭代。一旦GaN层已经变薄到大约10微米,则其可以再次被变厚到40-50微米的厚度并且整个处理循环可以重复。因此,下面的SiC衬底本质上可以一次又一次地重复使用。为了生长40-50微米的GaN,可以以成本有效的方式使用诸如氢化物气相外延的方法。

[0066] 虽然已经参考某些优选实施例或方法描述了本发明,要理解的是,本发明不限于这些特定实施例或方法。更确切地说,发明人的争论在于,本发明应以其由所附权利要求反映的最广泛的含义来理解和解释。因此,这些权利要求应理解为不仅包括本文描述的优选

方法,而且包括本领域普通技术人员显而易见的所有那些其它和进一步的改变和修改。

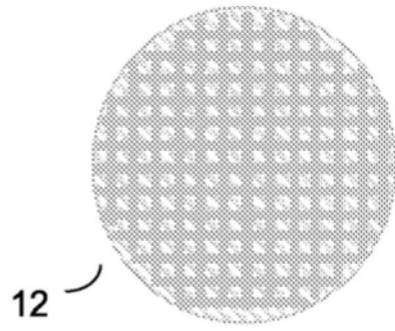


图1A

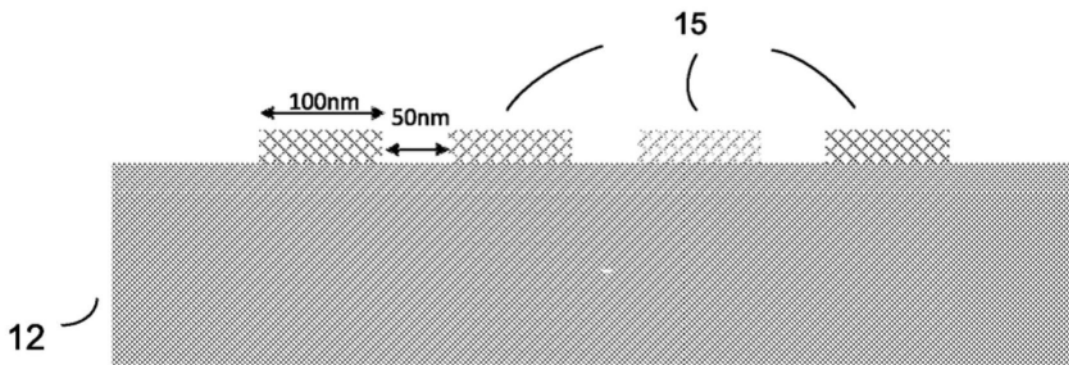


图1B

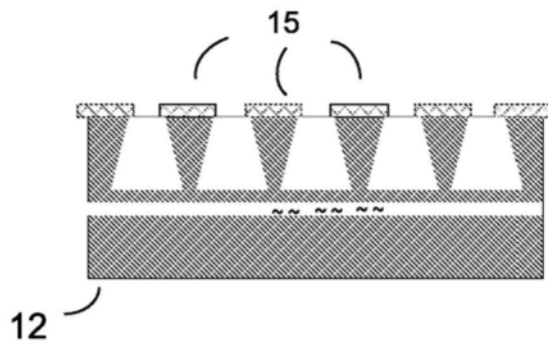


图2A

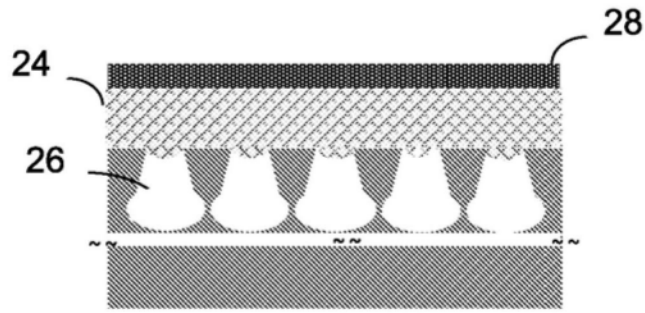


图2B

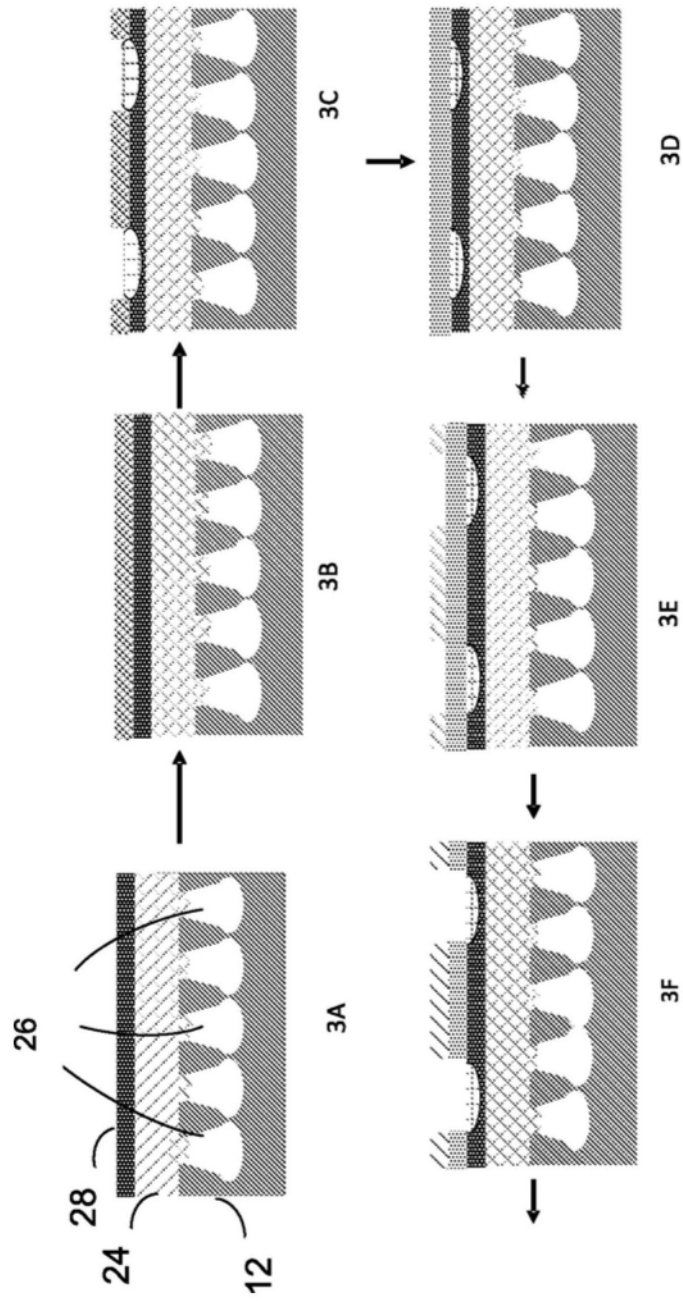


图3

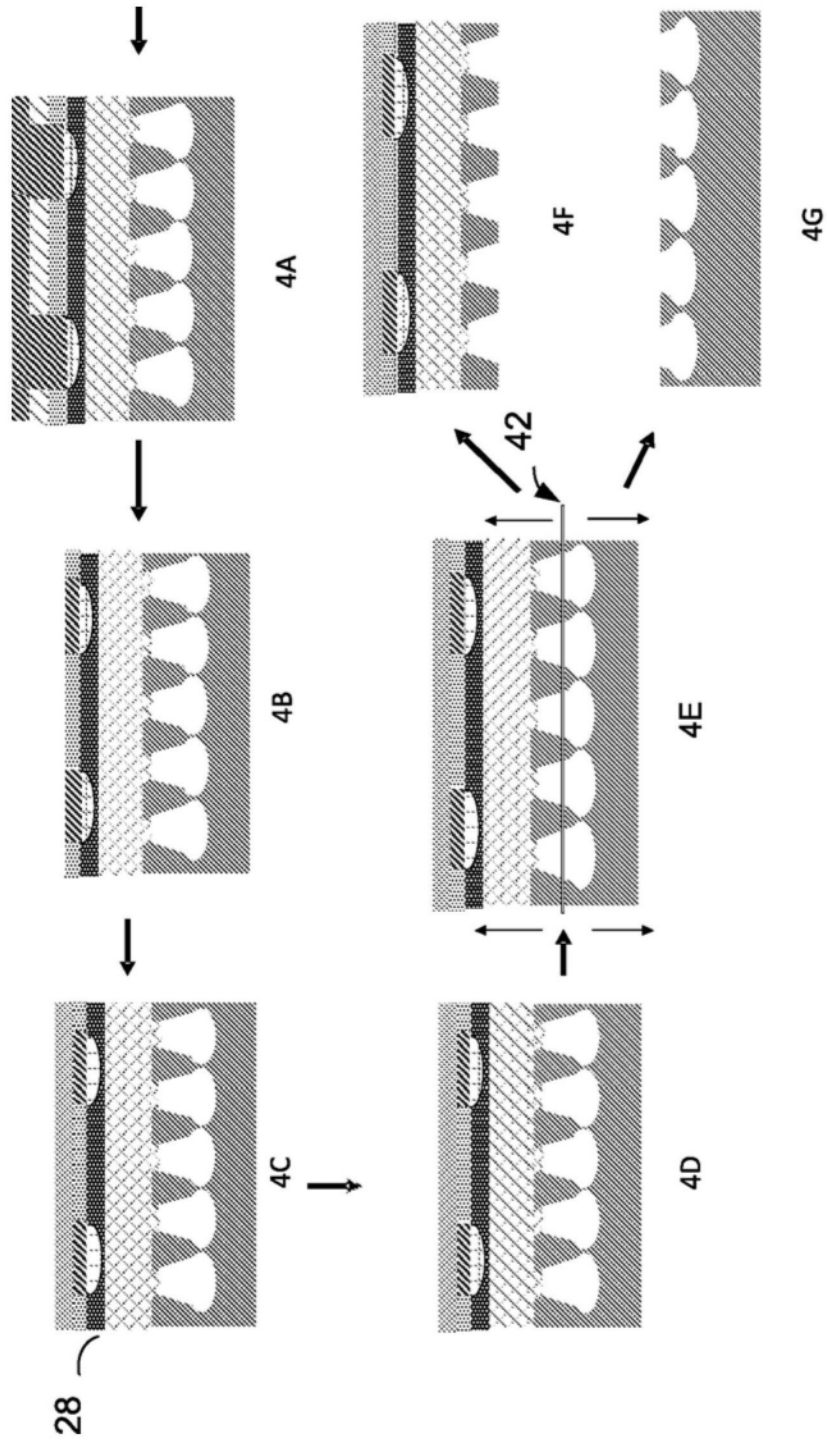


图4

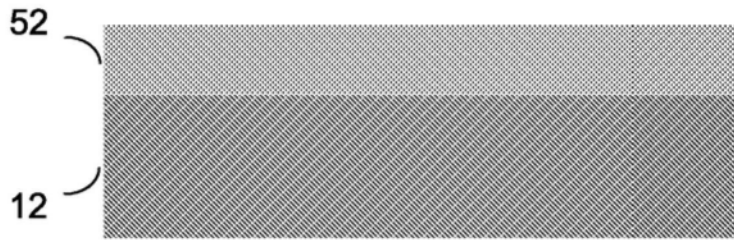


图5A



图5B

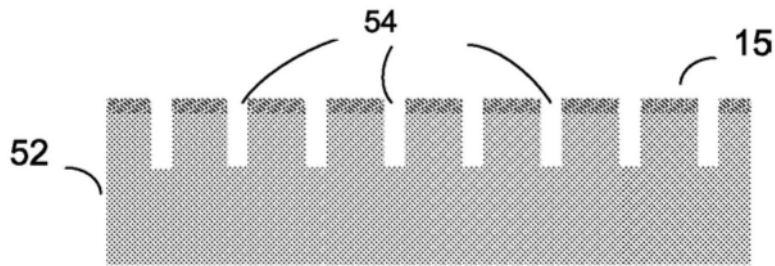


图5C



图6A

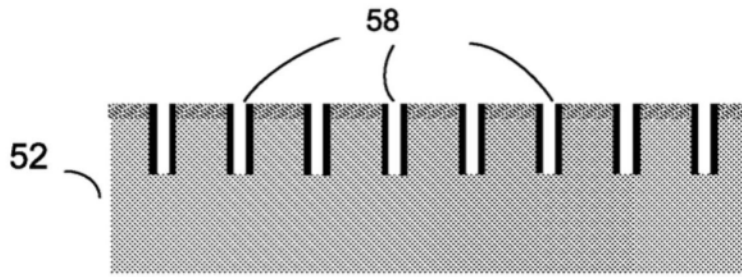


图6B

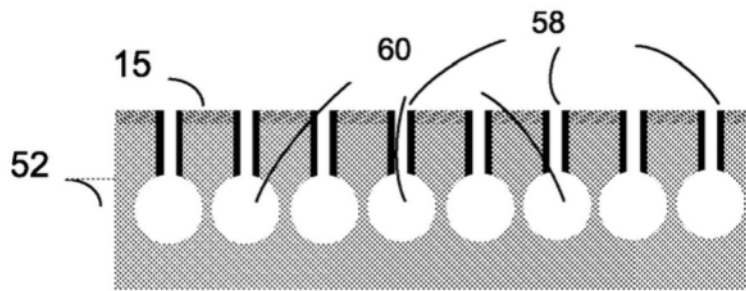


图6C

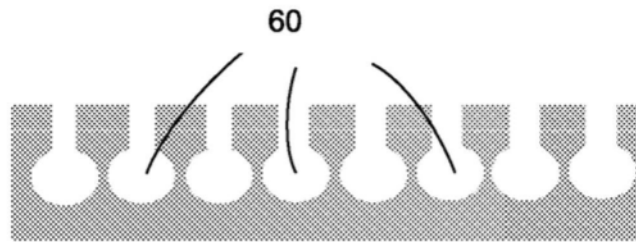


图7A

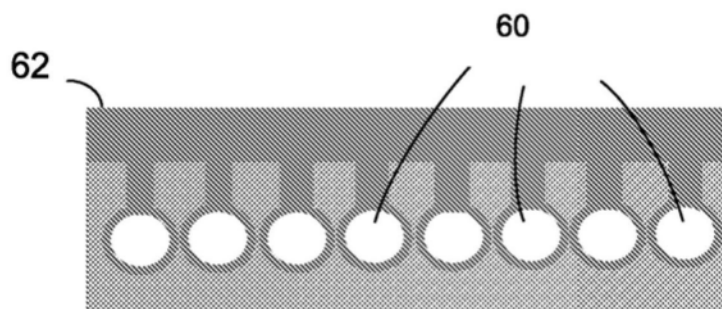


图7B

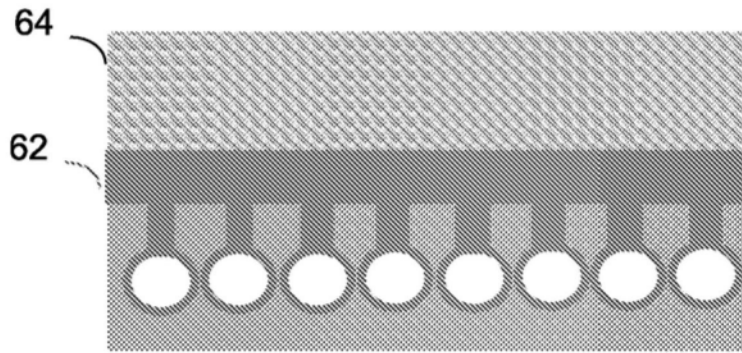


图7C

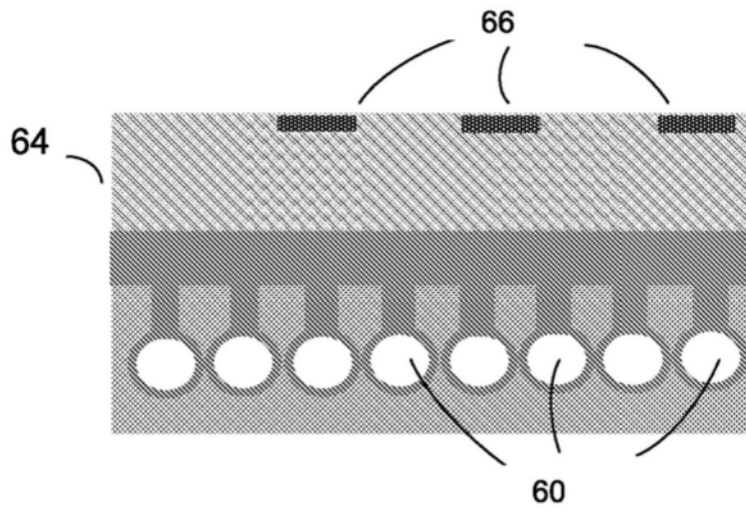


图8A

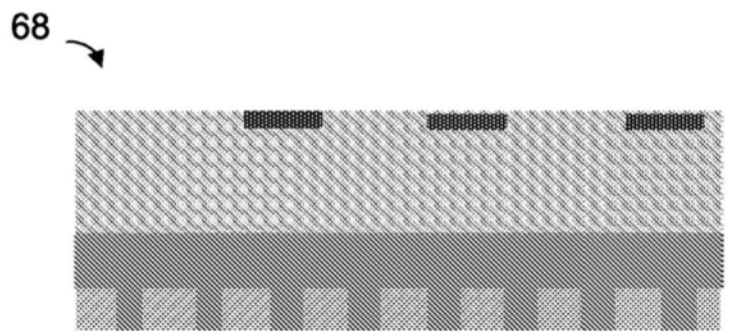


图8B