



(12)发明专利申请

(10)申请公布号 CN 105874586 A

(43)申请公布日 2016.08.17

(21)申请号 201480072114.5

(74)专利代理机构 上海专利商标事务所有限公司 31100

(22)申请日 2014.11.13

代理人 亓云

(30)优先权数据

61/923,482 2014.01.03 US

14/283,162 2014.05.20 US

(51)Int.Cl.

H01L 21/768(2006.01)

(85)PCT国际申请进入国家阶段日

2016.07.01

(86)PCT国际申请的申请数据

PCT/US2014/065529 2014.11.13

(87)PCT国际申请的公布数据

W02015/102753 EN 2015.07.09

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 S·S·宋 K·利姆 Z·王

J·J·徐 X·陈 C·F·耶普

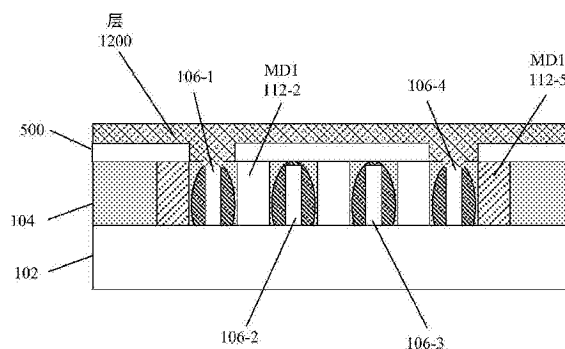
权利要求书2页 说明书8页 附图13页

(54)发明名称

导电层路由

(57)摘要

制造中部制程(MOL)层和包括MOL层的器件的方法。一种根据本公开的一方面的方法包括跨至半导体基板的诸半导体器件的端子的有源触点(112)来沉积硬掩模(500)。此种方法还包括图案化该硬掩模以选择性地暴露这些有源触点之中的一些(112-5)并选择地隔绝这些有源触点中的一些(112-2)。该方法还包括在经图案化的硬掩模和所暴露的有源触点上沉积导电材料(1100)以将所暴露的有源触点在这些半导体器件的有源区域上彼此耦合。



1. 一种制造中部制程(MOL)层的方法,包括:

跨至半导体基板的半导体器件的端子的多个有源触点来沉积硬掩模;

图案化所述硬掩模以选择性地暴露所述多个有源触点中的一些有源触点并选择地隔绝所述多个有源触点中的一些有源触点;以及

在经图案化的硬掩模和所述多个有源触点中的所暴露有源触点上沉积导电材料以在所述半导体器件的有源区域上将所述多个有源触点中的所暴露有源触点彼此耦合。

2. 如权利要求1所述的方法,其特征在于,所述硬掩模的厚度允许所述导电材料在所述多个有源触点中的所暴露有源触点上被共形沉积。

3. 如权利要求1所述的方法,其特征在于,所述导电材料是钨。

4. 如权利要求1所述的方法,其特征在于,所述多个有源触点中的所暴露有源触点包括源极触点、漏极触点和/或栅极触点。

5. 如权利要求1所述的方法,其特征在于,所述多个有源触点中的所暴露有源触点包括金属触点或多晶硅触点。

6. 如权利要求1所述的方法,其特征在于,所隔绝有源触点和所暴露有源触点彼此毗邻。

7. 如权利要求1所述的方法,其特征在于,图案化所述硬掩模创建矩形开口以选择性地暴露所述多个有源触点。

8. 如权利要求1所述的方法,其特征在于,耦合所述多个有源触点中的所暴露有源触点的所述导电材料跨所述多个有源触点中的未暴露有源触点延伸。

9. 如权利要求1所述的方法,其特征在于,沉积所述导电材料进一步包括化学机械抛光(CMP)所述导电材料。

10. 如权利要求1所述的方法,其特征在于,所述MOL层被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统(PCS)单元、便携式数据单元、和/或位置固定的数据单元中。

11. 一种包括中部制程(MOL)层的器件,所述MOL层包括:

掩模层,其选择性地暴露至半导体基板的半导体器件的端子的多个有源触点中的一些有源触点并选择性地隔绝所述多个有源触点中的一些有源触点;以及

导电材料,其耦合至经图案化的硬掩模和所述多个有源触点中的所暴露有源触点以在所述半导体器件的有源区域上将所述多个有源触点中的所暴露有源触点彼此耦合。

12. 如权利要求11所述的器件,其特征在于,所述掩模层的厚度允许所述导电材料在所述多个有源触点中的所暴露有源触点上被共形沉积。

13. 如权利要求11所述的器件,其特征在于,所述导电材料是钨或铜。

14. 如权利要求11所述的器件,其特征在于,所述多个有源触点中的所暴露有源触点包括源极触点、漏极触点和/或栅极触点。

15. 如权利要求11所述的器件,其特征在于,所述多个有源触点中的所暴露有源触点包括金属触点或多晶硅触点。

16. 如权利要求11所述的器件,其特征在于,所隔绝有源触点和所暴露有源触点彼此毗邻。

17. 如权利要求11所述的器件,其特征在于,所述掩模层创建矩形开口以选择性地暴露

所述多个有源触点。

18. 如权利要求11所述的器件,其特征在于,耦合至所述多个有源触点中的所暴露有源触点的所述导电材料跨所述多个有源触点中的未暴露有源触点延伸。

19. 如权利要求11所述的器件,其特征在于,所述器件被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统(PCS)单元、便携式数据单元、和/或位置固定的数据单元中。

20. 一种制造中部制程(MOL)层的方法,包括:

用于跨至半导体基板的半导体器件的端子的多个有源触点来沉积硬掩模的步骤;

用于图案化所述硬掩模以选择性地暴露所述多个有源触点中的一些有源触点并选择地隔绝所述多个有源触点中的一些有源触点的步骤;以及

用于在经图案化的硬掩模和所述多个有源触点中的所暴露有源触点上沉积导电材料以将所述多个有源触点中的所暴露有源触点彼此耦合的步骤。

21. 如权利要求20所述的方法,其特征在于,耦合所述多个有源触点中的所暴露有源触点的所述导电材料跨所述多个有源触点中的未暴露有源触点延伸。

22. 如权利要求20所述的方法,其特征在于,所述沉积导电材料的步骤进一步包括化学机械抛光(CMP)所述导电材料的步骤。

23. 如权利要求20所述的方法,其特征在于,所述MOL层被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统(PCS)单元、便携式数据单元、和/或位置固定的数据单元中。

24. 一种包括中部制程(MOL)层的器件,所述MOL层包括:

用于选择性地暴露至半导体基板的半导体器件的端子的多个有源触点中的一些有源触点并用于选择性地隔绝所述多个有源触点中的一些有源触点的装置;以及

用于耦合所述多个有源触点中的所暴露有源触点以将所述多个有源触点中的所暴露有源触点彼此耦合的装置。

25. 如权利要求24所述的器件,其特征在于,所述耦合装置跨所述多个有源触点中的未暴露有源触点延伸。

26. 如权利要求24所述的器件,其特征在于,所述暴露装置的厚度允许所述耦合装置在所述多个有源触点中的所暴露有源触点上被共形沉积。

27. 如权利要求24所述的器件,其特征在于,所述多个有源触点中的所暴露有源触点包括源极触点、漏极触点和/或栅极触点。

28. 如权利要求24所述的器件,其特征在于,所述多个有源触点中的所暴露有源触点包括金属触点或多晶硅触点。

29. 如权利要求24所述的器件,其特征在于,所隔绝有源触点和所暴露有源触点彼此毗邻。

30. 如权利要求24所述的器件,其特征在于,所述器件被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统(PCS)单元、便携式数据单元、和/或位置固定的数据单元中。

导电层路由

[0001] 相关申请的交叉引用

[0002] 本申请根据 35 U.S.C. §119(e) 的规定要求于 2014 年 1 月 3 日提交的题为“CONDUCTIVE LAYER ROUTING(导电层路由)”的美国临时专利申请 No. 61/923,482 的权益,并且该临时申请的公开通过援引被明确地整体纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开的诸方面涉及半导体器件,尤其涉及路由导电层,诸如集成电路内的中部制程层。

背景技术

[0006] 互连层通常被用于在集成电路设备上将不同器件连接在一起。因为电路的密度增大,所以导电层的数量已经增加,且此类导电层的路由已经变得更复杂。进一步,耦合电路上的特定触点而不电连接指定连接之间的其他触点可涉及大区域并且使得对电路的某些部件的功率接入变得困难。路由围绕此类结构的互连层可涉及附加区域以防止这些互连层电连接不期望的触点。路由围绕不期望触点的互连层可涉及这些互连层之间的附加通孔。互连层之间的附加通孔可能增加了制造的复杂性和成本。而且,互连层之间的附加通孔可增加电路的故障模式。

[0007] 概述

[0008] 制造中部制程(MOL)层的方法可包括跨至半导体基板的诸半导体器件的端子的有源触点来沉积硬掩模。此种方法还包括图案化该硬掩模以选择性地暴露这些有源触点中的一些并选择地隔绝这些有源触点中的一些。该方法还包括在经图案化的硬掩模和所暴露的有源触点上沉积导电材料以将所暴露的有源触点在这些半导体器件的有源区域上彼此耦合。

[0009] 包括中部制程(MOL)层的器件可包括掩模层,该掩模层选择性地暴露至半导体基板的诸半导体器件的端子的一些有源触点并选择性地隔绝一些有源触点。该器件还包括耦合至经图案化的硬掩模和所暴露的有源触点以将所暴露的有源触点在这些半导体器件的有源区域上彼此耦合的导电材料。

[0010] 包括中部制程(MOL)层的器件可包括用于选择性地暴露至半导体基板的诸半导体器件的端子的一些有源触点并用于选择性地隔绝一些有源触点的装置。该器件还包括用于将所暴露的有源触点彼此耦合的装置。

[0011] 这已较宽泛地勾勒出本公开的特征和技术优势以便下面的详细描述可以被更好地理解。本公开的附加特征和优点将在下文描述。本领域技术人员应该领会,本公开可容易地被用作修改或设计用于实施与本公开相同的目的的其他结构的基础。本领域技术人员还应认识到,这样的等效构造并不脱离所附权利要求中所阐述的本公开的教导。被认为是本公开的特性的新颖特征在其组织和操作方法两方面连同进一步的优点和优点在结合附图来考虑以下描述时将被更好地理解。然而,要清楚理解的是,提供每一幅附图均仅用于解说

和描述目的,且无意作为对本公开的限定的定义。

[0012] 附图简述

[0013] 为了更全面地理解本公开,现在结合附图参阅以下描述。

[0014] 图1解说了半导体电路的侧视图。

[0015] 图2解说了图1的半导体电路的俯视图。

[0016] 图3和4解说了用于连接半导体电路上的触点的可能办法。

[0017] 图5A和5B分别解说了根据本公开的一方面的包括中部制程互连的集成电路的侧视图和俯视图。

[0018] 图6A和6B分别解说了根据本公开的一方面的包括中部制程互连的图5A和5B的集成电路的侧视图和俯视图。

[0019] 图7A和7B分别解说了根据本公开的一方面的包括中部制程互连的图6A和6B的集成电路的侧视图和俯视图。

[0020] 图8A和8B分别解说了根据本公开的一方面的包括中部制程互连的图7A和7B的集成电路的侧视图和俯视图。

[0021] 图9A和9B分别解说了根据本公开的一方面的包括中部制程互连的图8A和8B的集成电路的侧视图和俯视图。

[0022] 图10A和10B分别解说了根据本公开的一方面的包括中部制程互连的图9A和9B的集成电路的侧视图和俯视图。

[0023] 图11A和11B分别解说了根据本公开的一方面的包括中部制程互连的图10A和10B的集成电路的侧视图和俯视图。

[0024] 图12A和12B分别解说了根据本公开的一方面的包括中部制程互连的集成电路的侧视图和俯视图。

[0025] 图13是解说根据本公开的一方面的在集成电路的中部制程层内路由导电层的过程的过程流程图。

[0026] 图14是示出其中可有利地采用本公开的配置的示例性无线通信系统的框图。

[0027] 图15是解说根据一种配置的用于半导体组件的电路、布局、以及逻辑设计的设计工作站的框图。

[0028] 详细描述

[0029] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免湮没此类概念。如本文所述的,术语“和/或”的使用旨在代表“可兼性或”,而术语“或”的使用旨在代表“排他性或”。

[0030] 半导体制造工艺通常被分为三个部分:前端制程(FEOL)、中部制程(MOL)和后端制程(BEOL)。前端制程工艺包括晶片制备、隔离、阱形成、栅极图案化、间隔物、和掺杂植入。中部制程包括栅极和端子触点形成。然而,中部制程的栅极和端子触点形成是制造流程的日益挑战部分,特别是对于光刻图案化而言。后端制程包括形成互连和电介质层用于耦合至FEOL器件。这些互连可以用使用等离子体增强化学气相沉积法(PECVD)来沉积的层间电介质(ILD)材料的双镶嵌工艺来制造。

[0031] 更近期来,用于电路系统的互连级的数量已经因如今在现代微处理器中被互连的大量晶体管而显著增加。用于支持增加数量的晶体管的互连级的增加数量涉及更错综复杂的中部制程工艺以执行栅极和端子触点形成。

[0032] 如本文所述,中部制程互连层可指代用于将集成电路的第一导电层(例如,金属1(M1))连接至该集成电路的氧化物扩散(OD)层以及用于将M1连接至该集成电路的有源器件的导电互连。用于将集成电路的M1连接至OD层的中部制程互连层可被称为“MD1”和“MD2”。用于将集成电路的M1连接至该集成电路的多晶硅栅极的中部制程互连层可被称为“MP”。

[0033] 路由围绕不期望触点的中部制程互连层可涉及这些中部制程互连层之间的附加通孔。中部制程互连层之间的附加通孔增加了制造的复杂性和成本。而且,中部制程互连层之间的附加通孔可增加电路的故障模式。在本公开的一个方面,第二MOL导电层使用现有的工艺技术来提供第二组本地互连(堆叠触点(MD2))。在该配置中,第二MOL导电层使用堆叠式触点MD2来互连指定的有源触点MD1,而不连接这些指定有源触点MD1之间的不期望触点。

[0034] 图1示出了根据本公开的一个方面的解说其中在中部制程(MOL)互连层110内执行导电层路由的集成电路(IC)器件100的横截面视图。该IC器件100包括具有浅沟槽隔离(STI)区103(例如,隔离材料104)的半导体基板(例如,硅晶片102)。在STI区和基板102内是有源区,其中形成了具有源极区、漏极区和栅极区(例如,多晶硅栅极106)的有源器件。

[0035] 在图1和2中,第一MOL互连层110包括使用现有工艺技术在基板102上制造的一组有源(氧化物扩散(OD))触点(MD1)112(MD1 112-1、MD1 112-2、MD1 112-3、MD1 112-4和MD1 112-5)。有源触点112可耦合至有源器件(例如,源极和漏极区)。在该配置中,可执行导电层的路由以耦合有源触点MD1 112-1和有源触点MD1 112-5。第一MOL导电层可由钨或其他类似导电材料构成。

[0036] 图3解说了用于在基板102上耦合触点的第一办法的俯视图。互连300被示为耦合有源触点MD1 112-1和MD1有源触点112-5,而不电耦合至有源触点MD1 112-2、MD1 112-3和MD1 112-4或多晶硅栅极106。然而,该办法使用隔离材料104上的大开放区域,这使得对有源触点112(例如,MD1 112-2 到MD1 112-4)和/或多晶硅栅极106的功率接入变得困难。

[0037] 图4解说了在基板102上耦合触点的第二办法的俯视图。互连302被示为跨有源触点MD1 112-2到MD1 112-4来耦合有源触点MD1 112-1和有源触点MD1 112-5,而不电耦合至有源触点MD1 112-2到MD1 112-4或多晶硅栅极106。尽管该办法节省了单元面积,但该办法可能将有源触点MD1 112-1和MD1 112-5耦合至有源触点MD1 112-2、MD1 112-3和MD1 112-4,并且有可能耦合至多晶硅栅极106,这通常是不期望的。

[0038] 图5A到13解说了根据本公开各方面的中部制程互连。在一种配置中,第二MOL导电层使用现有的工艺技术来提供第二组本地互连(堆叠式触点(MD2))120。在该配置中,形成堆叠式触点MD2的第二MOL导电层实现有源触点MD1 112-1和MD1 112-5的连接而不连接所指定的有源触点MD1 112-1和MD1 112-5之间的不期望触点(例如,MD1 112-2到MD1 112-4)。在本公开的该方面中,使用第二MOL导电层MD2来连接有源触点MD1 112-1和MD1 112-5是在该集成电路的诸半导体器件的有源区域上。

[0039] 图5A和5B分别解说了根据本公开的一方面的包括中部制程互连的集成电路的侧视图和俯视图。在图5A中,硬掩模500耦合至该集成电路的与基板102相对的表面。硬掩模500可以是光致抗蚀剂、氧化物层、氮化物层、薄膜、或其他类似材料或材料层。图5B解说了

其中硬掩模500覆盖有源触点112、以及多晶硅栅极106的部分的集成电路的俯视图。有源触点112以及多晶硅栅极106的所覆盖部分被示为虚线以指示硬掩模500覆盖有源触点112、以及多晶硅栅极106的部分。多晶硅栅极106的未覆盖部分被示为实线。

[0040] 图 6A和6B分别解说了根据本公开的一方面的包括中部制程互连的图5A和5B的集成电路的侧视图和俯视图。在图6A中,该侧视图示出了耦合至第二MOL互连层120内的硬掩模500的金属前介电层(PMD)。在图6B中,该俯视图示出金属前介电层600(PMD)覆盖硬掩模500的一部分,从而多晶硅栅极106的一部分未被金属前介电层600覆盖以实现多晶硅栅极106的后续暴露。

[0041] 图7A和7B分别解说了根据本公开的一方面的包括中部制程互连的图6A和6B的集成电路的侧视图和俯视图。如在图7B中最能看到的,该俯视图示出了金属前介电层600的图案化。硬掩模500选择性地通过蚀刻金属前介电层600来暴露。

[0042] 图8A和8B分别解说了根据本公开的一方面的包括中部制程互连的图7A和7B的集成电路的侧视图和俯视图。在图8A中,该侧视图示出了被耦合至硬掩模500的层800的图案化。层800可以是根据层800的图案化来阻断对一些有源触点112(例如,MD1 112-2、MD1 112-3和MD1 112-4)和/或多晶硅栅极106的接入的绝缘体或其他层。在该安排中,金属前介电层600的未蚀刻部分用虚线示为毗邻于层800,如在图8B中进一步解说的。

[0043] 如在图8B中的俯视图中所示,开口被选择为暴露有源触点MD1 112-1和MD1 112-5,而阻断有源触点112(例如,MD1 112-2、MD1 112-3和MD1 112-4)和多晶硅栅极106。在一种配置中,层800的图案可以是呈矩形的MD2图案,且层800的开口可以是正方形或矩形形状。在其他配置中,开口可以是其他形状。

[0044] 图9A和9B分别解说了根据本公开的一方面的包括中部制程互连的图8A和8B的集成电路的侧视图和俯视图。在图9A中,该侧视图示出了使用层800的图案来蚀刻硬掩模500以暴露有源触点MD1 112-1和MD1 112-5。未蚀刻的金属前介电层600用虚线被示为毗邻于层800。在图9B中,该俯视图进一步解说了有源触点MD1 112-1和MD1 112-5是通过蚀刻硬掩模500来暴露的,如由实线所示。

[0045] 图10A和10B分别解说了根据本公开的一方面的包括中部制程互连的图9A和9B的集成电路的侧视图和俯视图。在图10A中,该侧视图解说了层800的去除,其具有以虚线示出的毗邻于所暴露的MD1 112-1和MD1 112-5的金属前介电层600的未蚀刻部分。在图10B中,该俯视图解说了在有源触点MD1 112-2、MD1 112-3和MD1 112-4以及多晶硅栅极106上方从硬掩模500去除层800。有源触点MD1 112-1和MD1 112-5通过硬掩模500中的开口来暴露。

[0046] 图11A和11B分别解说了根据本公开的一方面的包括中部制程互连的图10A和10B的集成电路的侧视图和俯视图。在图11A中,该侧视图解说了仅耦合有源触点MD1 112-1和MD1 112-5的层1100的沉积。层1100可以是中部制程层,诸如M0层(例如,MD2)。在该安排中,层1100不接触(至少在电学的意义上不接触)有源触点MD1 112-2、MD1 112-3和MD1 112-4以及多晶硅栅极106。在图11B的俯视图中,取决于基板102上的器件、IC器件100的有源区或区域的朝向,层1100可以在IC器件100的有源区域上方或下方或侧边。

[0047] 在该配置中,层1100不接触邻近于IC器件100的有源区域的有源触点MD1 112-2、MD1 112-3和MD1 112-4,因为硬掩模500将层1100与邻近基板102上的IC器件100的有源器件的有源区域或区(在其上方、下方或侧边)的有源触点MD1 112-2、MD1 112-3和MD1 112-4

以及多晶硅栅极106隔绝。

[0048] 硬掩模500的厚度被选为允许层1100向有源触点112中的所暴露有源触点上的共形沉积。硬掩模500的厚度可以在例如五十(50)到两百(200)埃(Å)的范围中。层1100可通过湿法蚀刻、机械蚀刻、或化学机械抛光(CMP)或其他工艺来被抛光或进一步图案化。

[0049] 在本公开的另一方面,非毗邻多晶硅栅极可按类似于以上关于非毗邻有源触点描述的方式来耦合在一起。即,一些多晶硅栅极被与此耦合隔离。图12A和12B分别示出了根据本公开的该方面的包括中部制程互连的集成电路的侧视图和俯视图。图12A解说了仅耦合IC器件100的有源器件的多晶硅栅极106-1和多晶硅栅极106-4的层1200的沉积。层1200可以是中部制程层,诸如M0层(例如,MP)。如图12B中所示,层1200不接触(至少在电学意义上不接触)多晶硅栅极106-2和106-3。在本公开的该方面中,图5A到11B中示出的工艺被调整以使用硬掩模500来隔离多晶硅栅极106-2和106-3。结果,层1200耦合多晶硅栅极106-1和多晶硅栅极106-4,但不接触多晶硅栅极106-2和多晶硅栅极106-3,因为硬掩模500将多晶硅栅极106-2和多晶硅栅极106-3与层1200隔绝。

[0050] 图13是解说根据本公开的一方面的用于制造中部制程(MOL)层的方法1300的流程图。在框1302,跨至半导体基板的诸半导体器件的端子的触点来沉积硬掩模。例如,在图5A中,硬掩模500被沉积在集成电路的与基板102相对的表面上。在框1304,硬掩模被图案化以选择性地暴露这些触点中的一些并选择地隔绝这些触点中的一些。例如,图9B解说了有源触点MD1 112-1和MD1 112-5通过蚀刻硬掩模500来暴露,如由实线所示。

[0051] 再次参照图13,在框1306,导电材料被沉积在经图案化的硬掩模和所暴露触点上以将所暴露触点彼此耦合。例如,图11A解说了仅耦合有源触点MD1 112-1和MD1 112-5的层1100的沉积。层1100可以是中部制程层,诸如M0层(例如,MD2)。在另一示例中,图12A解说了仅耦合IC器件100的有源器件的多晶硅栅极106-1和多晶硅栅极106-4的层1200的沉积。层1200可以是中部制程层,诸如用于将集成电路的M1连接至多晶硅栅极的中部制程互连层(MP)。

[0052] 根据本公开的进一步方面,描述了一种包括中部制程(MOL)层的器件。在一种配置中,该器件包括用于选择性地暴露至半导体基板的诸半导体器件的端子的一些有源触点并用于选择性地隔绝一些有源触点的装置。该暴露装置可以是覆盖有源触点MD1 112-2、MD1 112-3和MD1 112-4以及多晶硅栅极106的硬掩模500。有源触点MD1 112-1和MD1 112-5通过硬掩模500中的开口来暴露,如图10A和10B中所示。该器件还包括用于耦合所暴露的有源触点以将所暴露的有源触点彼此耦合的装置。该耦合装置可以是仅耦合有源触点MD1 112-1和MD1 112-5的层1100。层1100可以是中部制程层,诸如M0层(例如,MD2),如图11A和11B中所示。在另一方面,前述装置可以是被配置成执行由前述装置所陈述的功能的任何层、任何接口或结构。

[0053] 图14是示出其中可有利地采用本公开的一方面的示例性无线通信系统1400的框图。出于解说目的,图14示出了三个远程单元1420、1430和1450以及两个基站1440。将认识到,无线通信系统可具有远多于此的远程单元和基站。远程单元1420、1430和1450包括IC器件1425A、1425C和1425B,这些IC器件包括所公开的器件。将认识到,其他设备也可包括所公开的器件,诸如基站、交换设备、和网络装备。图14示出了从基站1440到远程单元1420、1430和1450的前向链路信号1480,以及从远程单元1420、1430和1450到基站1440的反向链路信

号1490。

[0054] 在图14中,远程单元1420被示为移动电话,远程单元1430被示为便携式计算机,而远程单元1450被示为无线本地环路系统中的固定位置远程单元。例如,这些远程单元可以是移动电话、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数据助理)、启用GPS的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读数装置)、或者存储或取回数据或计算机指令的其他设备、或者其组合。尽管图14解说了根据本公开的各方面的远程单元,但本公开并不被限定于所解说的这些示例性单元。本公开的各方面可以合适地在包括所公开的器件的许多设备中使用。

[0055] 图15是解说用于半导体组件(诸如以上公开的器件)的电路、布局以及逻辑设计的设计工作站的框图。设计工作站1500包括硬盘1501,该硬盘1501包含操作系统软件、支持文件、以及设计软件(诸如Cadence或OrCAD)。设计工作站1500还包括促成对电路1510或半导体组件1512(诸如根据本公开的一方面的器件)的设计的显示器1502。提供存储介质1504以用于有形地存储电路1510或半导体组件1512的设计。电路1510或半导体组件1512的设计可以用文件格式(诸如GDSII或GERBER)存储在存储介质1504上。存储介质1504可以是CD-ROM、DVD、硬盘、闪存、或者其他合适的设备。此外,设计工作站1500包括用于从存储介质1504接受输入或者将输出写到存储介质1504的驱动装置1503。

[0056] 存储介质1504上记录的数据可指定逻辑电路配置、用于光刻掩模的图案数据、或者用于串写工具(诸如电子束光刻)的掩模图案数据。该数据可进一步包括与逻辑仿真相关联的逻辑验证数据,诸如时序图或网电路。在存储介质1504上提供数据通过减少用于设计半导体晶片的工艺数目来促成电路1510或半导体组件1512的设计。

[0057] 对于固件和/或软件实现,这些方法体系可以用执行本文所描述功能的模块(例如,规程、函数等等)来实现。有形地体现指令的机器可读介质可被用来实现本文所述的方法体系。例如,软件代码可被存储在存储器中并由处理器单元来执行。存储器可以在处理器单元内或在处理器单元外部实现。如本文所用的,术语“存储器”是指长期、短期、易失性、非易失性类型存储器、或其他存储器,而并不限于特定类型的存储器或存储器数目、或记忆存储在其上的介质的类型。

[0058] 如果以固件和/或软件实现,则功能可作为一条或多条指令或代码存储在计算机可读介质上。示例包括编码有数据结构的计算机可读介质和编码有计算机程序的计算机可读介质。计算机可读介质包括物理计算机存储介质。存储介质可以是能被计算机存取的可用介质。作为示例而非限定,此类计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其他介质;如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘常常磁性地再现数据,而碟用激光光学地再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0059] 除了存储在计算机可读介质上,指令和/或数据还可作为包括在通信装置中的传输介质上的信号来提供。例如,通信装置可包括具有指示指令和数据的信号的收发机。这些指令和数据被配置成使一个或多个处理器实现权利要求中叙述的功能。

[0060] 尽管已详细描述了本公开及其优势,但是应当理解,可在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本公开的技术。例如,诸如“上方”和“下

方”之类的关系术语是关于基板或电子器件使用的。当然,如果该基板或电子器件被颠倒,则上方变成下方,反之亦然。此外,如果是侧面取向的,则上方和下方可指代基板或电子器件的侧面。而且,本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤的特定配置。如本领域的普通技术人员将容易从本公开领会到的,根据本公开,可以利用现存或今后开发的与本文所描述的相应配置执行基本相同的功能或实现基本相同结果的过程、机器、制造、物质组成、装置、方法或步骤。因此,所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

[0061] 技术人员将进一步领会,结合本文的公开所描述的各种解说性逻辑框、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、以及步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的范围。

[0062] 结合本文的公开所描述的各种解说性逻辑框、模块、以及电路可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可被实现为计算设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或者任何其他此类配置。

[0063] 结合本公开所描述的方法或算法的步骤可直接在硬件中、在由处理器执行的软件模块中、或在这两者的组合中体现。软件模块可驻留在RAM、闪存、ROM、EPROM、EEPROM、寄存器、硬盘、可移动盘、CD-ROM或本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合到处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在用户终端中。替换地,处理器和存储介质可作为分立组件驻留在用户终端中。

[0064] 在一个或多个示例性设计中,所描述的功能可以在硬件、软件、固件、或其任何组合中实现。如果在软件中实现,则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或藉其进行传送。计算机可读介质包括计算机存储介质和通信介质两者,包括促成计算机程序从一地向另一地转移的任何介质。存储介质可以是可被通用或专用计算机访问的任何可用介质。作为示例而非限定,这样的计算机可读介质可以包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来携带或存储指令或数据结构形式的指定程序代码手段且能被通用或专用计算机、或者通用或专用处理器访问的任何其他介质。任何连接也被正当地称为计算机可读介质。例如,如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)、或者诸如红外、无线电和微波之类的无线技术从web网站、服务器、或者其他远程源传送而来,则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘(disk)往往以磁的方式再现数据而碟(disc)用激光以光学方式再现数据。上述的组合应

当也被包括在计算机可读介质的范围内。

[0065] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员而言将容易是显而易见的,并且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

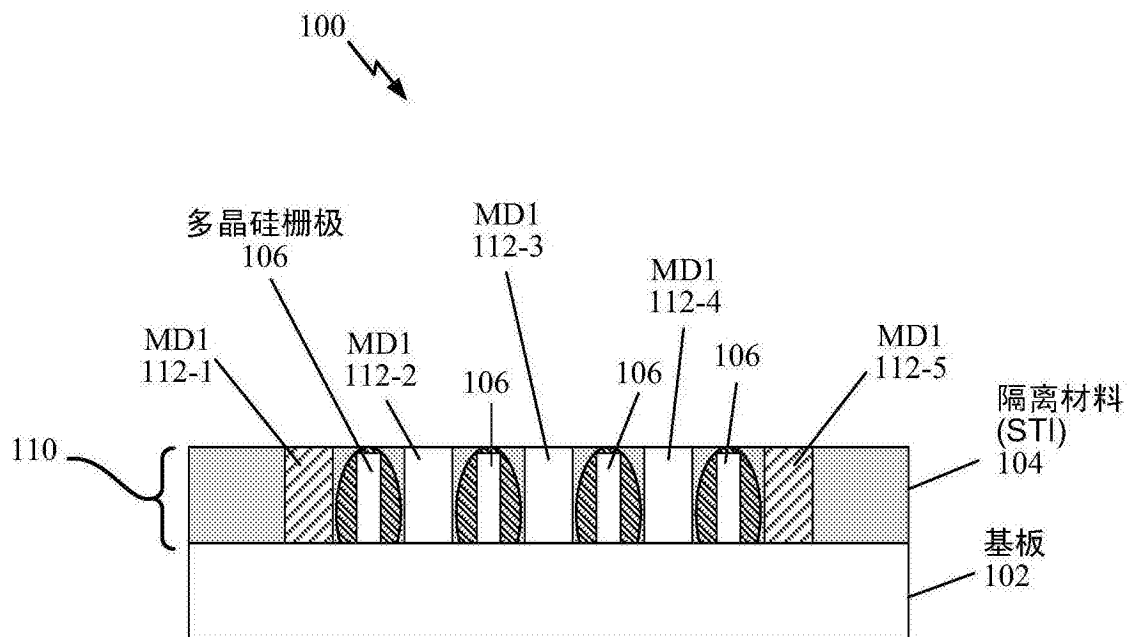


图1

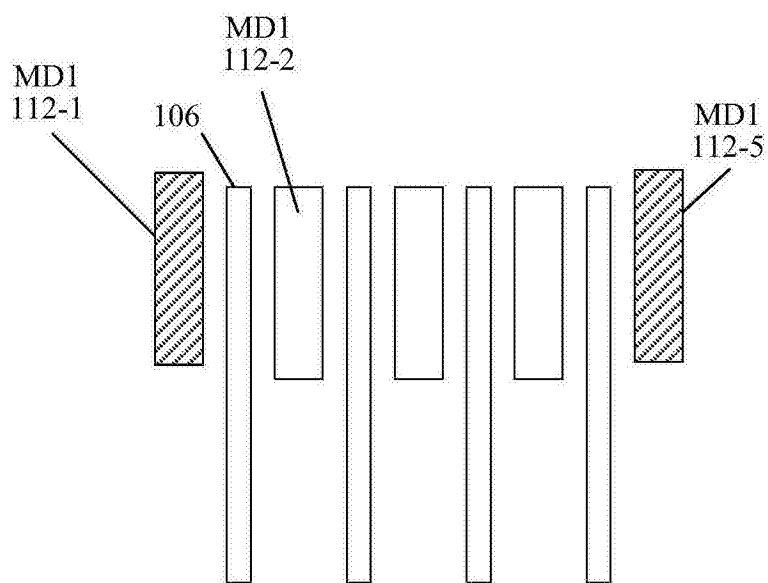


图2

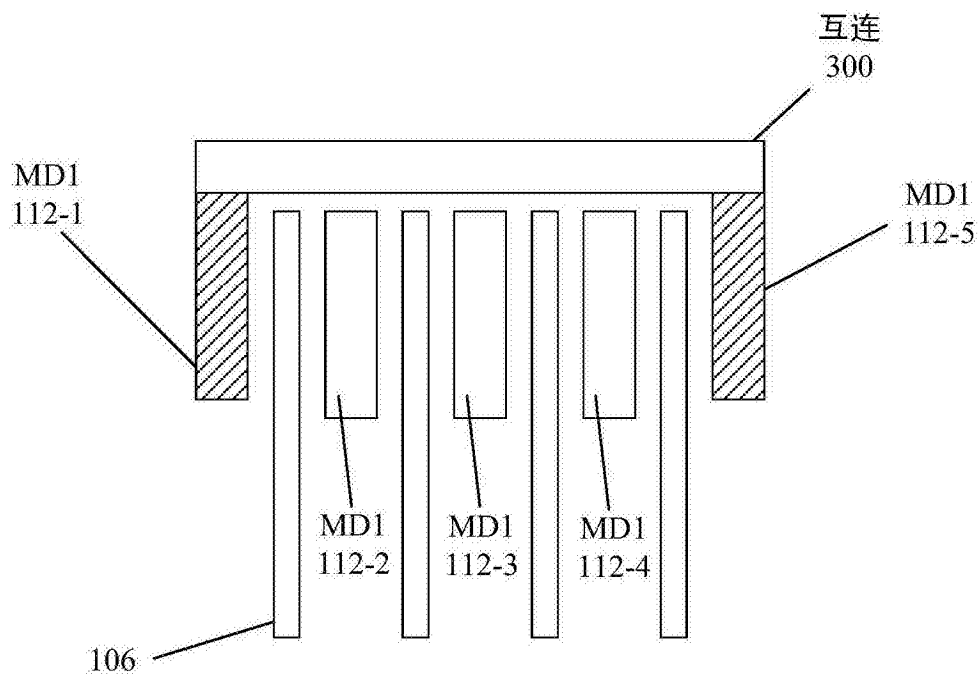


图3

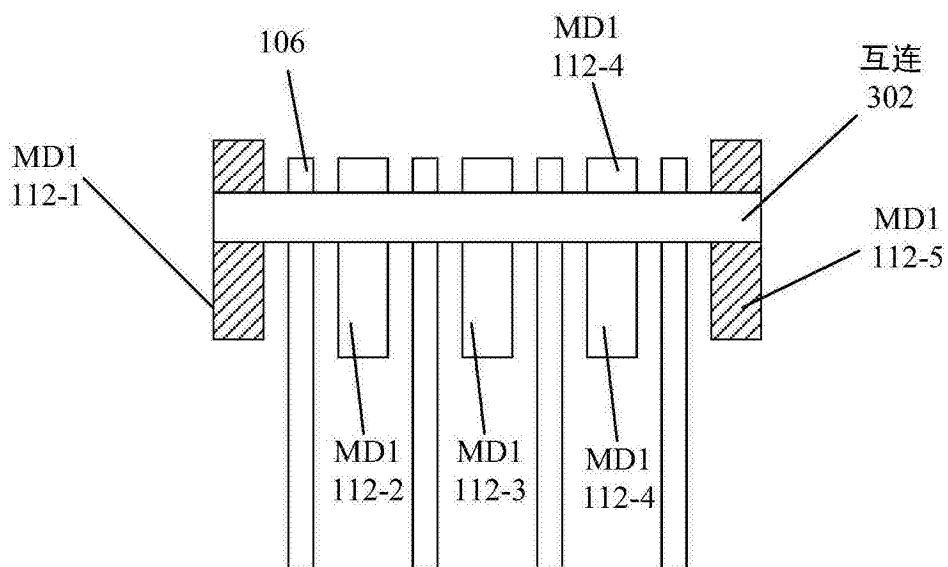


图4

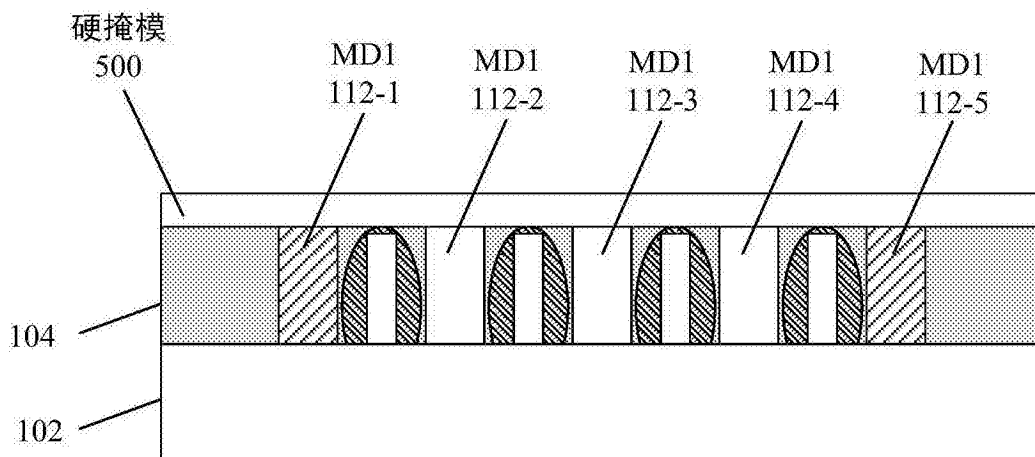


图5A

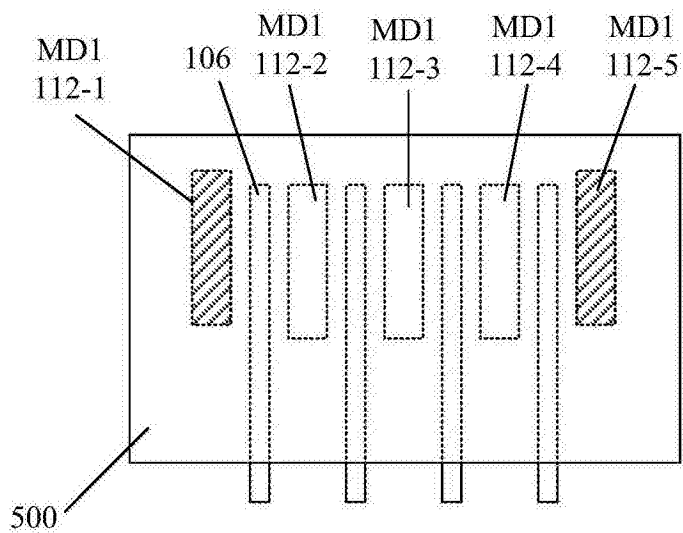


图5B

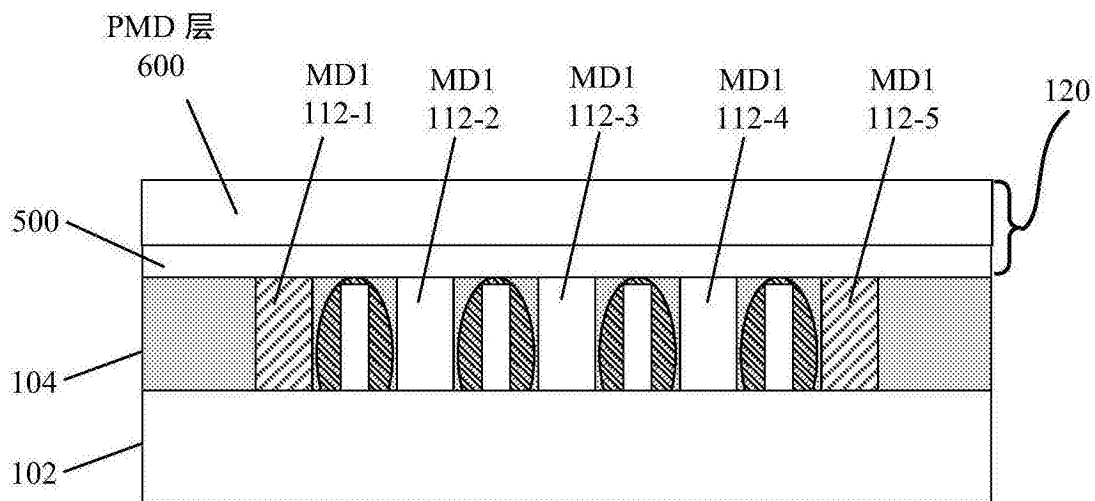


图6A

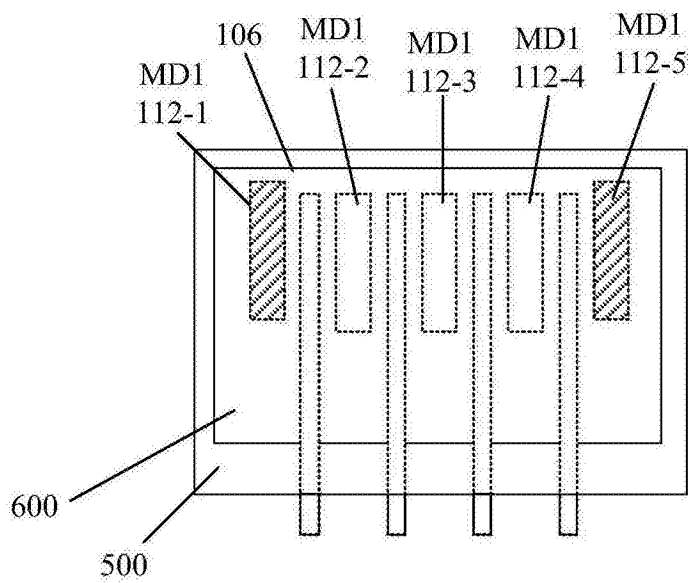


图6B

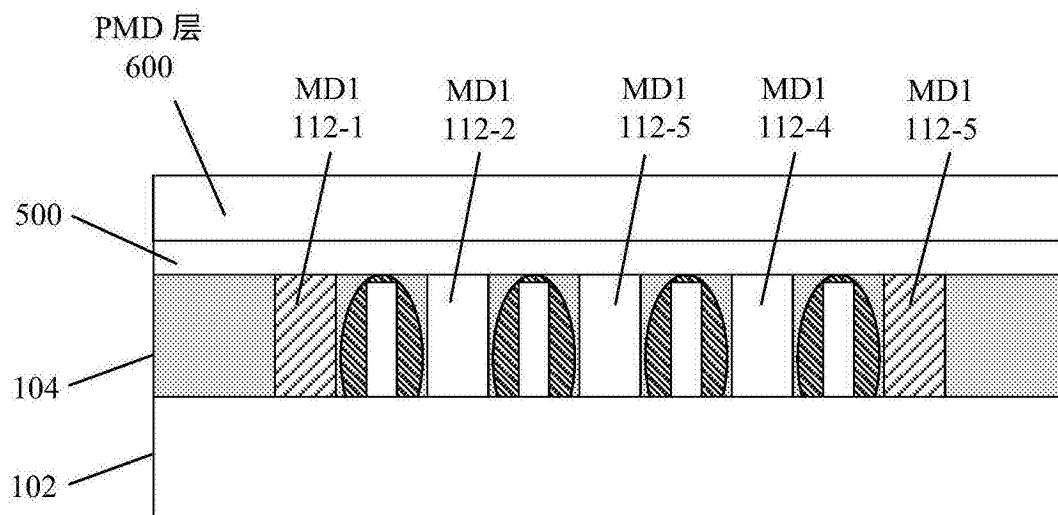


图7A

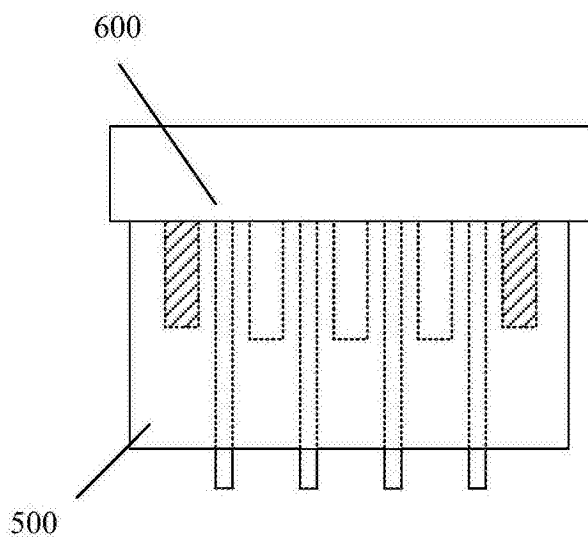


图7B

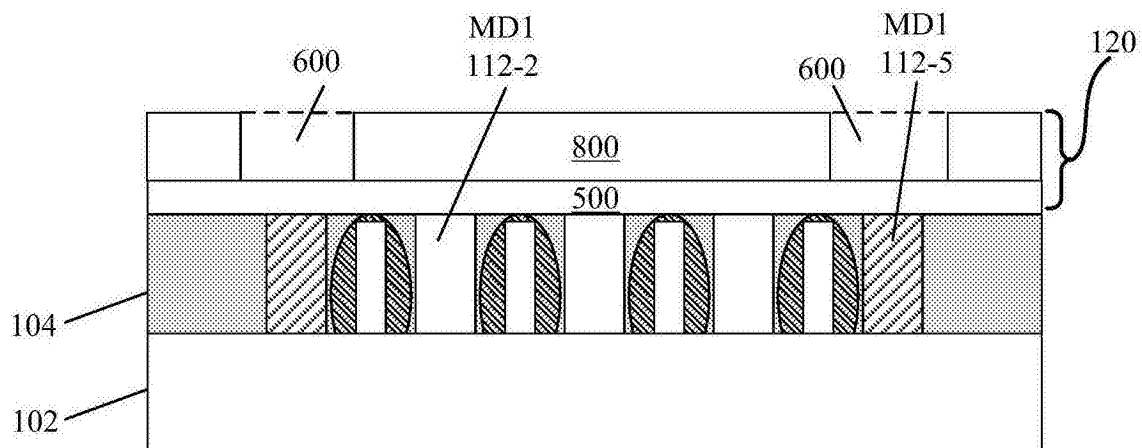


图8A

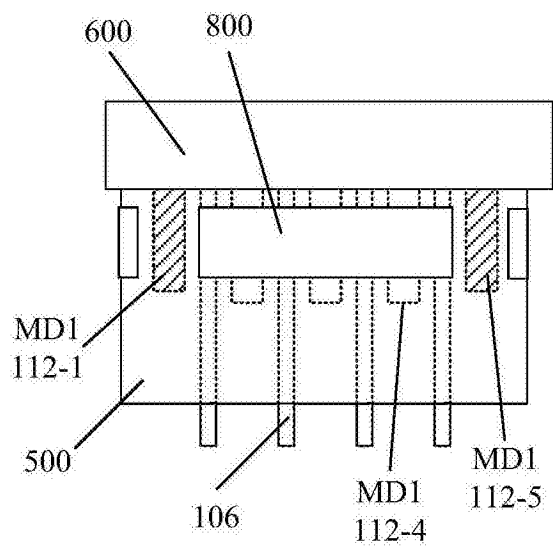


图8B

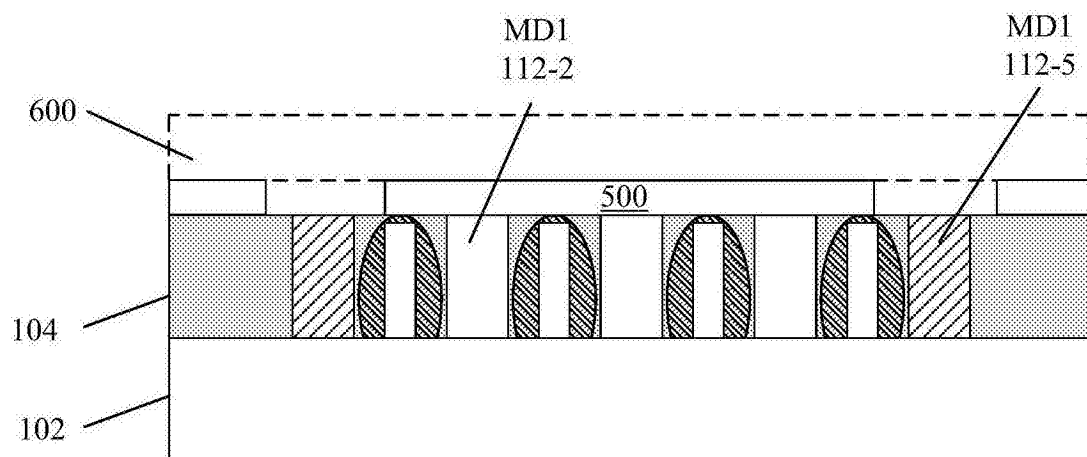


图10A

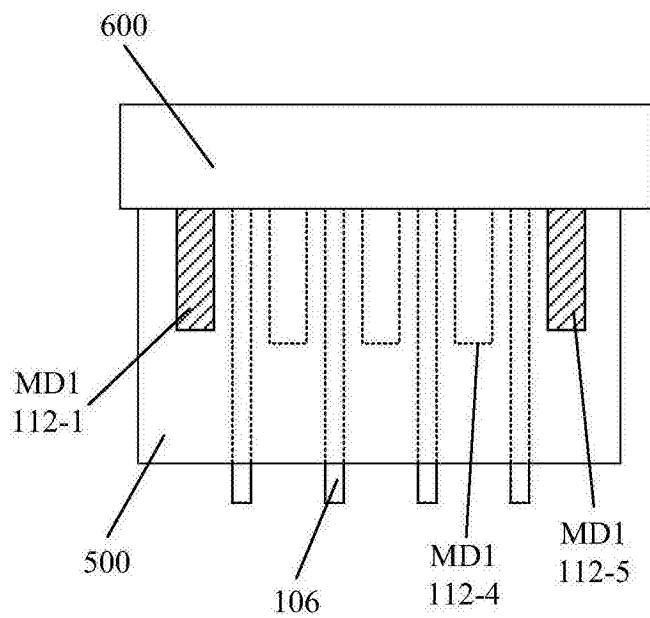


图10B

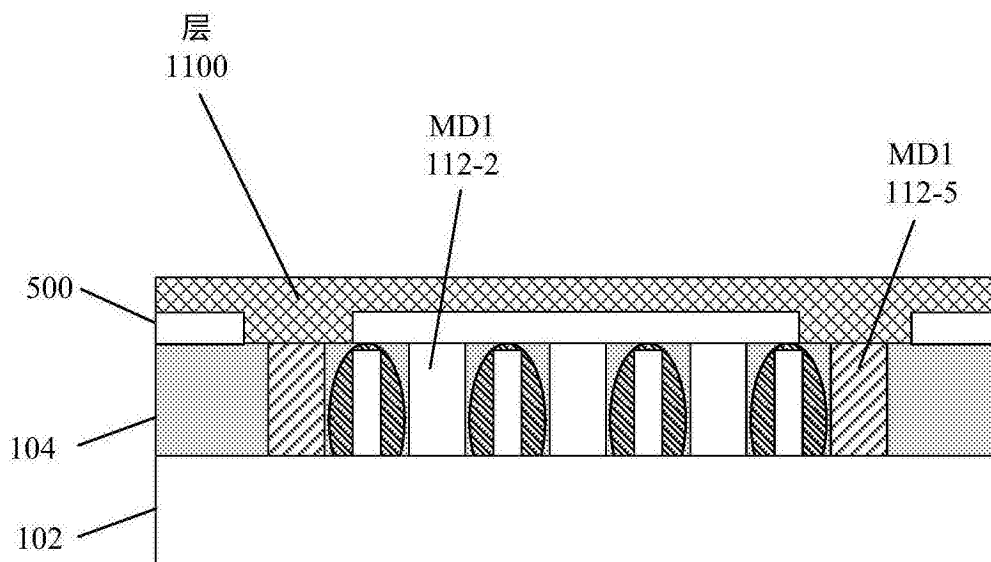


图11A

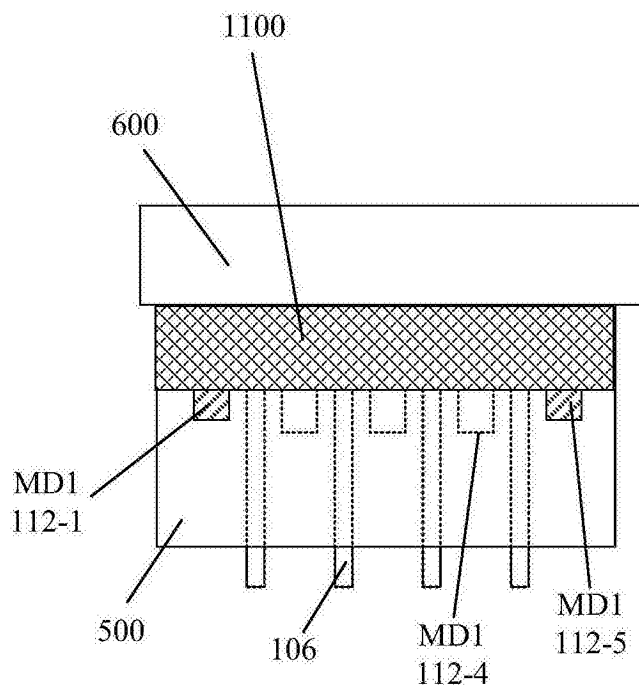


图11B

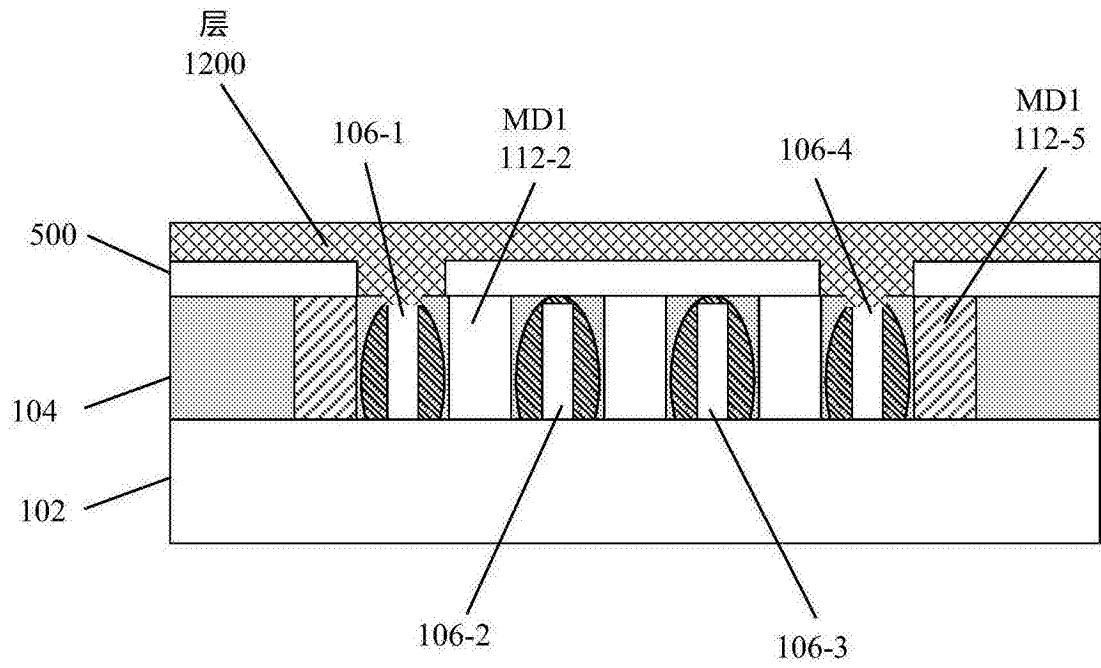


图12A

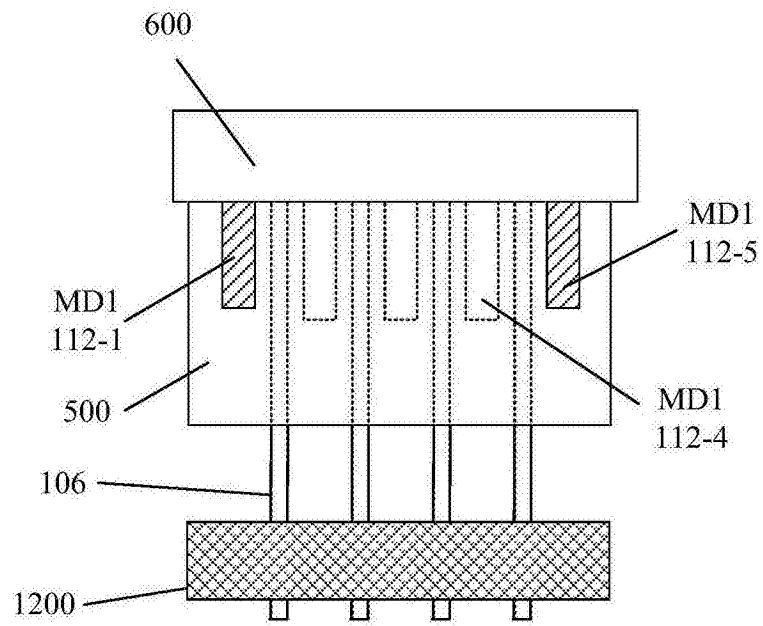


图12B

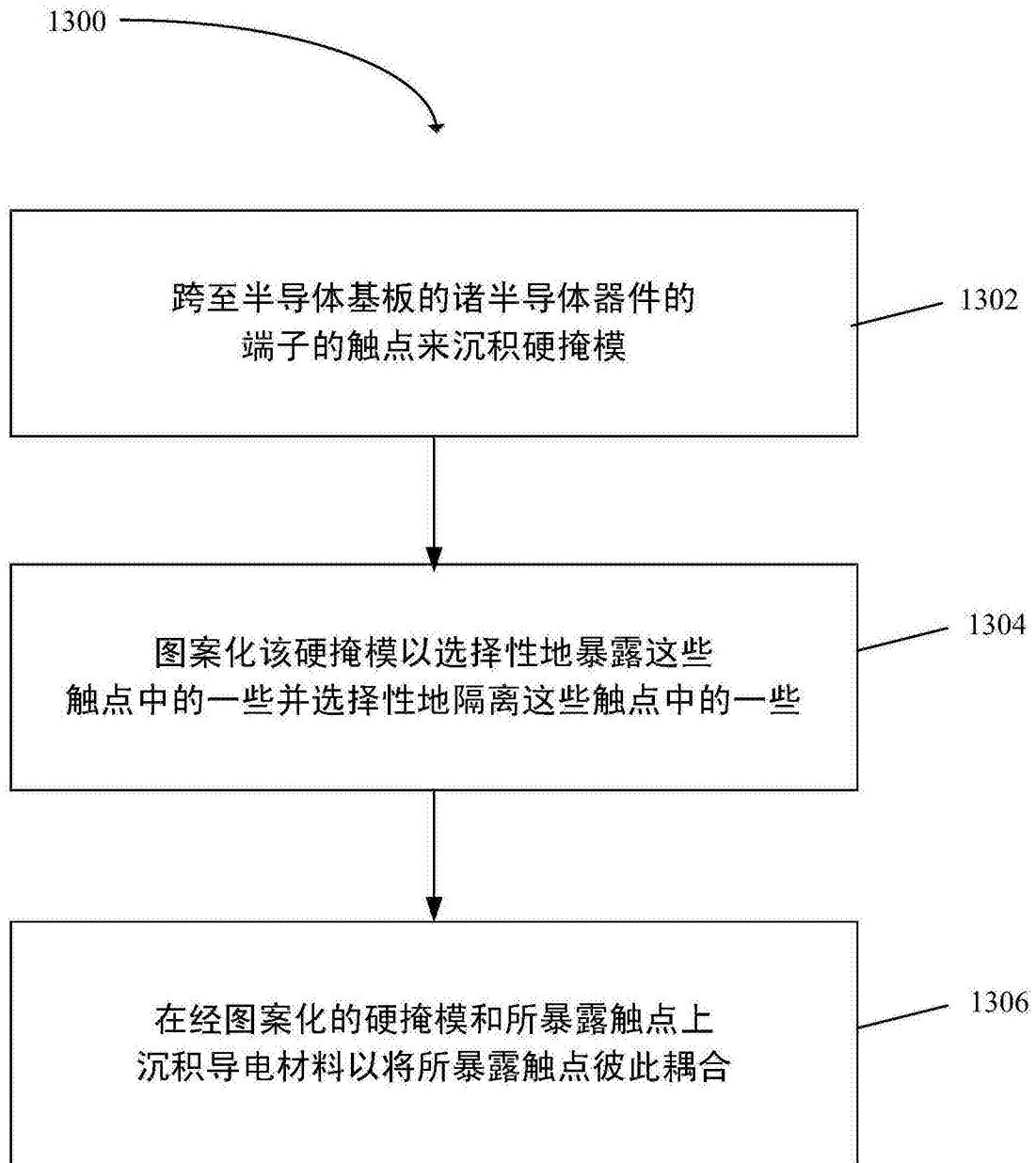


图13

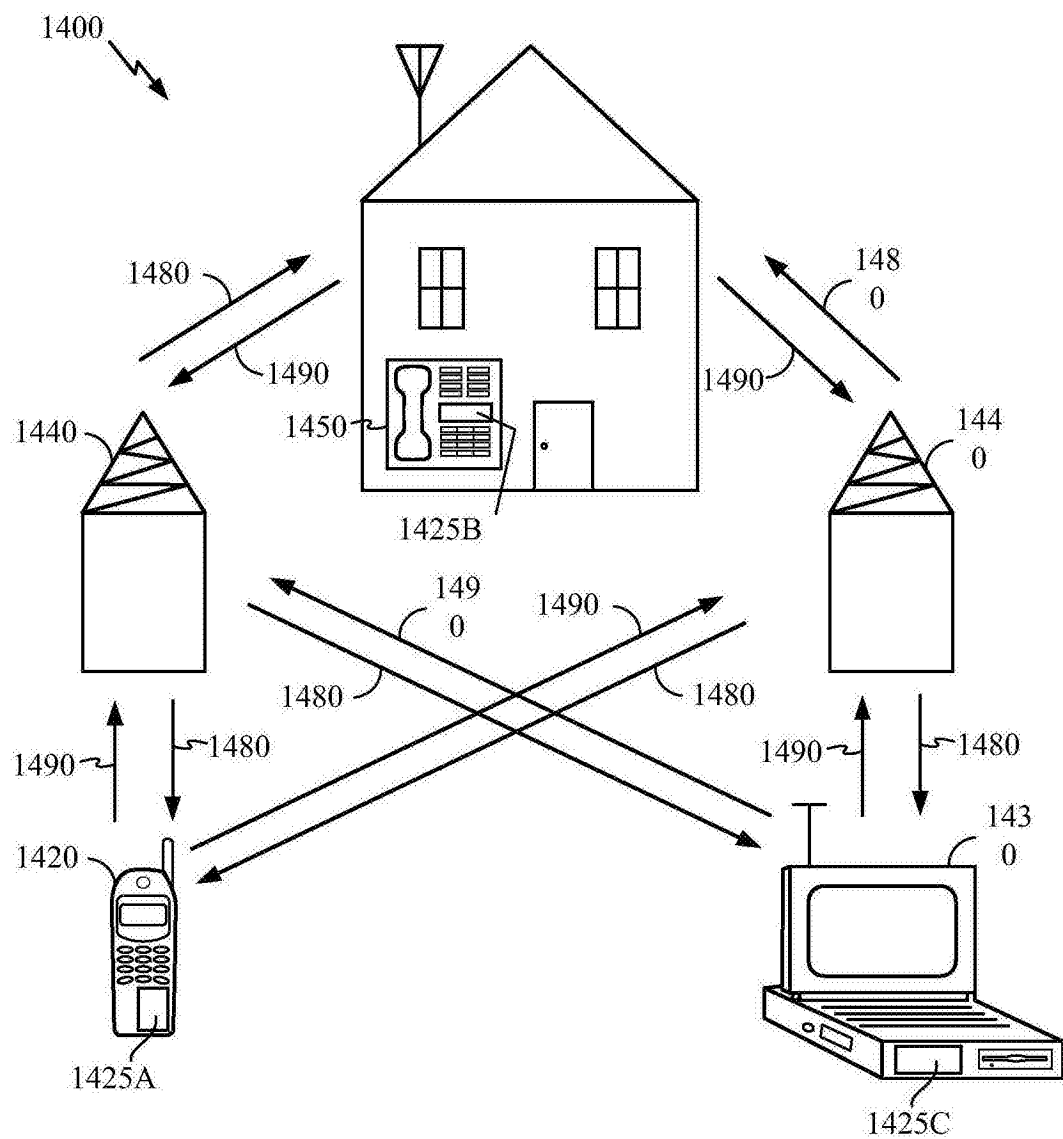


图14

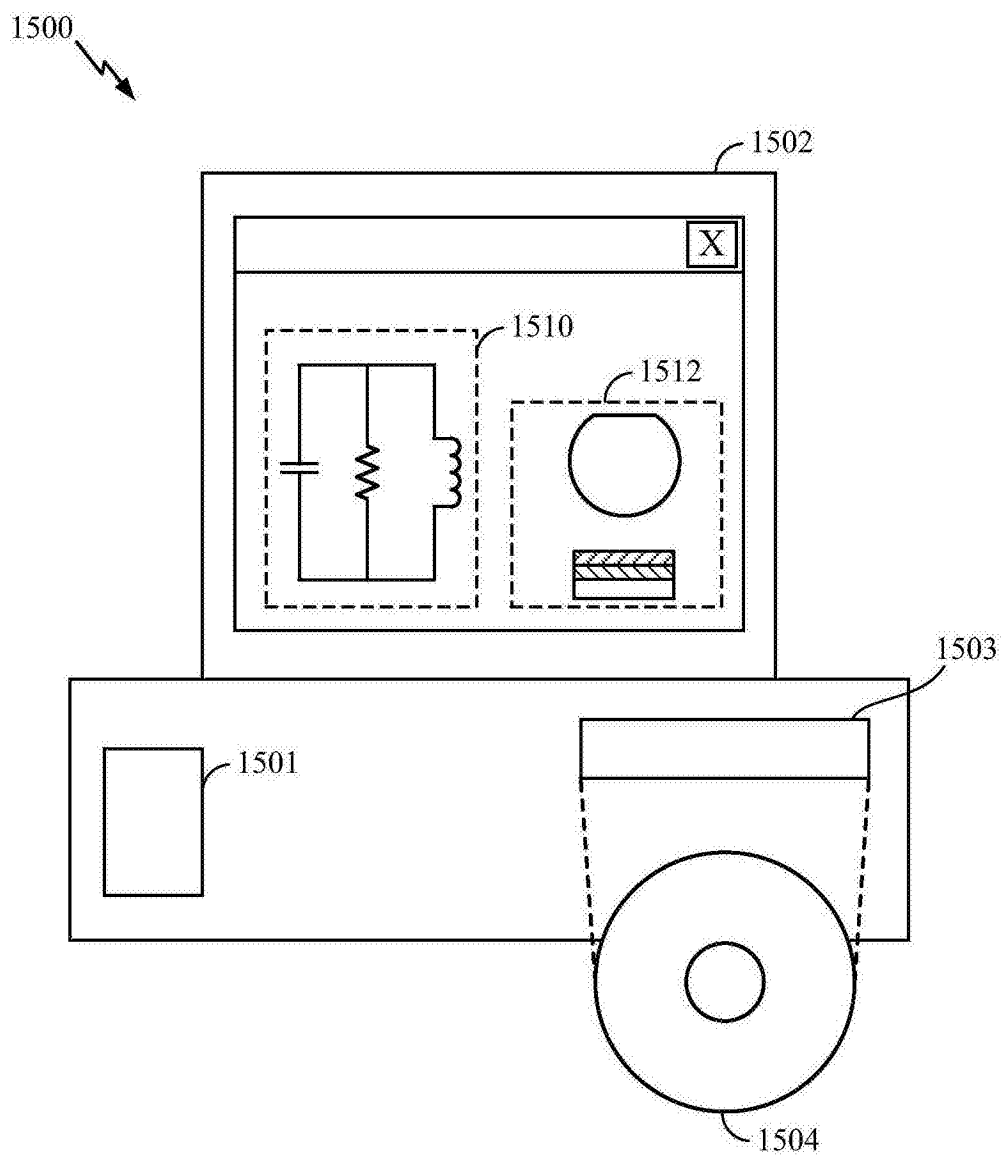


图15