(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-145531
(P2011-145531A)
(43)公開日　平成23年7月28日(2011.7.28)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K107
G09G 3/20	(2006.01)	G09G	3/20	622M	5C080
H01L 51/50	(2006.01)	G09G	3/20	622Q	5C380
		G09G	3/20	622R	
		G09G	3/20	612E	

審査請求 未請求　請求項の数 4　OL　（全 18 頁）　最終頁に続く

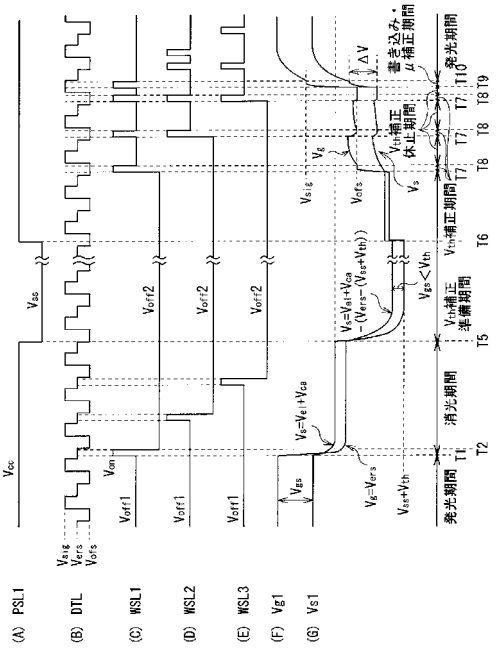
(21)出願番号　特願2010-6990(P2010-6990)
(22)出願日　平成22年1月15日(2010.1.15)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100098785
弁理士　藤島　洋一郎
(74)代理人　100109656
弁理士　三反崎　泰司
(74)代理人　100130915
弁理士　長谷部　政男
(74)代理人　100155376
弁理士　田名網　孝昭
(72)発明者　三並　徹雄
東京都港区港南１丁目７番１号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】表示装置およびその駆動方法ならびに電子機器

(57)【要約】
【課題】ユニットスキャンにおいてスジ状の模様が発生するのを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。
【解決手段】各ユニットＵに含まれる複数の走査線ＷＳＬに対して１つの第１パルス信号Ｐ１が順番に印加され、複数の有機ＥＬ素子１１がライン（画素行）ごとに順番に消光される。その後、電源線ＰＳＬ１の電圧がV_{cc}となっており、かつ信号線ＤＴＬの電圧がV_{ers}となっている時であって、かつ電源線ＰＳＬ１の電圧がV_{cc}からV_{ss}に変化する前に、各書込線ＷＳＬ１～ＷＳＬ３に１または複数の第２パルス信号Ｐ２が印加される。
【選択図】図５



【特許請求の範囲】
【請求項１】
行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、
各画素を駆動する駆動部と
を備え、
前記複数の電源線は、複数の画素行を１つのユニットとして、前記ユニットごとに１つずつ設けられ、
前記駆動部は、前記ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させる
表示装置。
【請求項２】
前記駆動部は、さらに、前記複数のユニットをオッドユニットと、イーブンユニットとに分け、前記オッドユニット内の各走査線の走査方向と、前記イーブンユニット内の各走査線の走査方向とを反転させる
請求項１に記載の表示装置。
【請求項３】
行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備え、
前記複数の電源線は、複数の画素行を１つのユニットとして、前記ユニットごとに１つずつ設けられた表示装置において、前記ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させる
表示装置の駆動方法。
【請求項４】
表示装置を備え、
前記表示装置は、
行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、
各画素を駆動する駆動部と
を有し、
前記複数の電源線は、複数の画素行を１つのユニットとして、前記ユニットごとに１つずつ設けられ、
前記駆動部は、前記ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させる
電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。
【背景技術】
【０００２】
近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機ＥＬ(Electro Luminescence)素子を用いた表示装置が開発され、商品化が進められている。有機ＥＬ素子は、液晶素子などと異なり自発光素子である。そのため、有機ＥＬ素子を用いた表示装置（有機ＥＬ表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。
【０００３】
有機ＥＬ表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マ

トリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を駆動トランジスタによって制御するものである。

【０００４】

一般に、駆動トランジスタの閾値電圧V_{th}や移動度μが経時的に変化したり、製造プロセスのばらつきによって閾値電圧V_{th}や移動度μが画素ごとに異なったりする場合がある。閾値電圧V_{th}や移動度μが画素ごとに異なる場合には、駆動トランジスタに流れる電流値が画素ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機ＥＬ素子の発光輝度がばらつき、画面の一様性（ユニフォーミティ）が損なわれる。そこで、閾値電圧V_{th}や移動度μの変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献１参照）。

【０００５】

ところで、アクティブマトリクス方式の表示装置では、信号線を駆動する信号線駆動回路や、各画素を順次選択する書込線駆動回路、各画素に電力を供給する電源線駆動回路は、いずれも基本的にシフトレジスタ（図示せず）で構成されており、画素の各列または各行に対応して、１段ごとに信号出力部（図示せず）を備えている。そのため、画素の列および行の数が増えると、それに従って信号線やゲート線の本数が増え、シフトレジスタの出力段数もその分増加するので、表示装置の周辺回路の大型化を招いていた。

【０００６】

そこで、シフトレジスタの出力段を共用し、周辺回路の大型化を低減する方策が従来から行われている。例えば特許文献２では、信号線を複数の画素で共用化する方式が提案されている。この様にすれば、信号線駆動回路内のシフトレジスタの出力段を複数の画素列で共用化でき、その分回路規模の縮小化、回路面積の縮小化、回路コストの低減化が可能になる。

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】特開２００８－０８３２７２号公報

【特許文献２】特開２００６－２５１３２２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００８】

特許文献２には、信号線駆動回路内のシフトレジスタの出力段を複数の画素列で共用化することが記載されていたが、書込線駆動回路や電源線駆動回路においてもシフトレジスタの出力段の共用化を図ることは表示装置のコストパフォーマンスを高める上で重要である。特に、電源線駆動回路については、電流供給能力の安定化のため、信号出力部のサイズを大きくとる必要があるので、電源線駆動回路内のシフトレジスタの出力段を複数の画素行で共用化し、信号出力部の数を少なくすることにより、表示装置の低コスト化および小型化を効果的に実現することができる。

【０００９】

図１７は、電源線駆動回路内の信号出力部が複数の画素行で共用化された表示装置の概略構成を表したものである。図１７に記載の表示装置１００では、電源線駆動回路１４０内の個々の信号出力部に電源線ＰＳＬ（ＤＳＬ１，ＤＳＬ２，……）が一つずつ接続されており、個々の電源線ＰＳＬ（ＤＳＬ１，ＤＳＬ２，……）に複数の画素行（図１７では３行）に属する画素１１１が接続されている。一方、信号線駆動回路１２０内の個々の信号出力部に信号線ＤＴＬ（ＤＴＬ１，ＤＴＬ２，……）が一つずつ接続されており、個々の信号線（ＤＴＬ１，ＤＴＬ２，……）に各行の画素１１１が一つずつ接続されている。また、書込線駆動回路１３０内の個々の信号出力部に書込線ＷＳＬ（ＷＳＬ１，ＷＳＬ２，……）が一つずつ接続されており、個々の書込線ＷＳＬ（ＷＳＬ１，ＷＳＬ２，……）

に各列の画素１１１が一つずつ接続されている。

【００１０】

図１８は、図１７に記載の表示装置１００における各種波形の一例を表したものである。図１８には、電源線ＰＳＬに２種類の電圧（V_{cc}、V_{ss}）が、書込線ＷＳＬ１～ＷＳＬ６に２種類の電圧（V_{on}、V_{off}）が印加されている様子が示されている。図１８からわかるように、表示装置１００では、複数の画素行（図１８では３行）を一つのユニットとして、電源線ＰＳＬ（ＤＳＬ１，ＤＳＬ２，……）から各画素１１２にユニットごとに共通のタイミングでV_{cc}とV_{ss}を印加するユニットスキャンが行われている。

【００１１】

図１８に示したように、同一ユニット内において、電源線ＰＳＬの電圧がV_{ss}からV_{cc}に上がった時（T_1）から閾値補正を開始する時（T_2）までの時間（待ち時間）がラインによって異なっている。例えば、同一ユニット内に３０ライン含まれている場合に、１ライン目の待ち時間と３０ライン目の待ち時間との差が２９Ｈとなる。この待ち時間の間、画素回路内において電流リークが生じているので、駆動トランジスタのソース電圧は、待ち時間が長ければ長いほど、上昇してしまう。そのため、同一のユニット内において、最後のラインの画素１１１のゲート－ソース間電圧は最初のラインの画素１１１のゲート－ソース間電圧よりも小さくなる。その結果、同一のユニットに含まれるライン数が多すぎると、時刻T_1～T_2の間、最後のラインの輝度は最初のラインの輝度よりも暗くなってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

【００１２】

また、図１８に示したように、同一ユニット内において、消光を開始した時（T_3）から電源線ＰＳＬの電圧がV_{cc}からV_{ss}に下がった時（T_4）までの時間（待ち時間）もラインによって異なっている。例えば、同一ユニット内に３０ライン含まれている場合に、１ライン目の待ち時間と３０ライン目の待ち時間との差が２９Ｈとなる。この待ち時間の間、ソース電圧が徐々に低下していくが、有機ＥＬ素子１１１Ｒ等の容量などに起因してゆっくり低下するので、時刻T_3～T_4の間、画素回路内には微弱な電流が流れている。その結果、同一のユニットに含まれるライン数が多すぎると、時刻T_3～T_4の間、最初のラインの輝度が最後のラインの輝度よりも明るくなってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

【００１３】

このように、従来では、ラインごとの待ち時間の違いによって、隣接するユニット間にスジ状の模様が発生してしまうという問題があった。

【００１４】

本発明はかかる問題点に鑑みてなされたもので、その目的は、ユニットスキャンにおいてスジ状の模様が発生するのを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

【００１５】

本発明の表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。複数の電源線は、複数の画素行を１つのユニットとして、ユニットごとに１つずつ設けられている。駆動部は、ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させるようになっている。

【００１６】

本発明の電子機器は、上記表示装置を備えたものである。

【００１７】

本発明の表示装置の駆動方法は、以下の構成を備えた表示装置において、ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させるステップを実行するものである。

【００１８】
上記駆動方法が用いられる表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。複数の電源線は、複数の画素行を１つのユニットとして、ユニットごとに１つずつ設けられている。
【００１９】
本発明の表示装置およびその駆動方法ならびに電子機器では、ユニット内の各走査線の走査方向がオッドフィールドと、イーブンフィールドとで反転する。これにより、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化する。
【発明の効果】
【００２０】
本発明の表示装置およびその駆動方法ならびに電子機器によれば、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化するようにした。これにより、ユニットスキャンにおいて、隣接するユニット間にスジ状の模様が発生するのを防止することができる。
【図面の簡単な説明】
【００２１】
【図１】本発明の一実施の形態に係る表示装置の一例を表す構成図である。
【図２】図１の画素の内部構成の一例を表す構成図である。
【図３】図１の表示装置のユニットスキャンの一態様について説明するための概念図である。
【図４】図１の表示装置の動作の一例について説明するための波形図である。
【図５】一の表示画素における動作の一例について説明するための波形図である。
【図６】図１の表示装置の動作の他の例について説明するための波形図である。
【図７】オッドフィールドとイーブンフィールドにおけるグラデーション（輝度分布）の一例について説明するための模式図である。
【図８】図１の表示装置の動作の他の例について説明するための波形図である。
【図９】図１の表示装置の動作のその他の例について説明するための波形図である。
【図１０】オッドフィールドとイーブンフィールドにおけるグラデーション（輝度分布）の他の例について説明するための模式図である。
【図１１】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。
【図１２】上記実施の形態の表示装置の適用例１の外観を表す斜視図である。
【図１３】（Ａ）は適用例２の表側から見た外観を表す斜視図であり、（Ｂ）は裏側から見た外観を表す斜視図である。
【図１４】適用例３の外観を表す斜視図である。
【図１５】適用例４の外観を表す斜視図である。
【図１６】（Ａ）は適用例５の開いた状態の正面図、（Ｂ）はその側面図、（Ｃ）は閉じた状態の正面図、（Ｄ）は左側面図、（Ｅ）は右側面図、（Ｆ）は上面図、（Ｇ）は下面図である。
【図１７】従来の表示装置の一例を表す構成図である。
【図１８】図１７の表示装置の動作の一例について説明するための波形図である。
【図１９】図１７の表示装置における電流リークについて説明するための回路図である。
【発明を実施するための形態】
【００２２】
以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．実施の形態（図１～図７）
２．変形例（図８～図１０）

３．モジュールおよび適用例（図１１～図１６）
４．従来例（図１７～図１９）

【００２３】
図１は、本発明の一実施の形態に係る表示装置１の全体構成の一例を表したものである。この表示装置１は、例えば、表示パネル１０（表示部）と、駆動回路２０（駆動部）とを備えている。

【００２４】
（表示パネル１０）
表示パネル１０は、発光色の互いに異なる３種類の有機ＥＬ素子１１Ｒ，１１Ｇ，１１Ｂ（発光素子）が２次元配置された表示領域１０Ａを有している。表示領域１０Ａとは、有機ＥＬ素子１１Ｒ，１１Ｇ，１１Ｂから発せられる光を利用して映像を表示する領域である。有機ＥＬ素子１１Ｒは赤色光を発する有機ＥＬ素子であり、有機ＥＬ素子１１Ｇは緑色光を発する有機ＥＬ素子であり、有機ＥＬ素子１１Ｂは青色光を発する有機ＥＬ素子である。なお、以下では、有機ＥＬ素子１１Ｒ，１１Ｇ，１１Ｂの総称として有機ＥＬ素子１１を適宜、用いるものとする。

【００２５】
（表示領域１０Ａ）
図２は、表示領域１０Ａ内の回路構成の一例を表したものである。表示領域１０Ａ内には、複数の画素回路１２が個々の有機ＥＬ素子１１と対となって２次元配置されている。なお、本実施の形態では、一対の有機ＥＬ素子１１および画素回路１２が１つの画素１３を構成している。より詳細には、図１に示したように、一対の有機ＥＬ素子１１Ｒおよび画素回路１２が１つの画素１３Ｒ（赤色用の画素）を構成し、一対の有機ＥＬ素子１１Ｇおよび画素回路１２が１つの画素１３Ｇ（緑色用の画素）を構成し、一対の有機ＥＬ素子１１Ｂおよび画素回路１２が１つの画素１３Ｂ（青色用の画素）を構成している。さらに、互いに隣り合う３つの画素１３Ｒ，１３Ｇ，１３Ｂが１つの表示画素１４を構成している。

【００２６】
各画素回路１２は、例えば、有機ＥＬ素子１１に流れる電流を制御する駆動トランジスタTr_1（第１トランジスタ）と、信号線ＤＴＬの電圧を駆動トランジスタTr_1に書き込む書き込みトランジスタTr_2（第２トランジスタ）と、保持容量C_sとによって構成されたものであり、２Ｔｒ１Ｃの回路構成となっている。駆動トランジスタTr_1および書き込みトランジスタTr_2は、例えば、ｎチャネルＭＯＳ型の薄膜トランジスタ（ＴＦＴ（Thin Film Transistor））により形成されている。駆動トランジスタTr_1または書き込みトランジスタTr_2は、例えば、ｐチャネルＭＯＳ型のＴＦＴであってもよい。

【００２７】
表示領域１０Ａにおいて、複数の書込線ＷＳＬ（走査線）が行状に配置され、複数の信号線ＤＴＬが列状に配置されている。表示領域１０Ａには、さらに、複数の電源線ＰＳＬ（電源電圧の供給される部材）が書込線ＷＳＬに沿って行状に配置されている。各信号線ＤＴＬと各走査線ＷＳＬとの交差点近傍には、有機ＥＬ素子１１が１つずつ設けられている。各信号線ＤＴＬは、後述の信号線駆動回路２３の出力端（図示せず）と、書き込みトランジスタTr_2のドレイン電極およびソース電極のいずれか一方（図示せず）に接続されている。各走査線ＷＳＬは、後述の書込線駆動回路２４の出力端（図示せず）と、書き込みトランジスタTr_2のゲート電極（図示せず）に接続されている。各電源線ＰＳＬは、後述の電源線駆動回路２５の出力端（図示せず）と、駆動トランジスタTr_1のドレイン電極およびソース電極のいずれか一方（図示せず）に接続されている。書き込みトランジスタTr_2のドレイン電極およびソース電極のうち信号線ＤＴＬに非接続の方（図示せず）は、駆動トランジスタTr_1のゲート電極（図示せず）と、保持容量C_sの一端に接続されている。駆動トランジスタTr_1のドレイン電極およびソース電極のうち電源線ＰＳＬに非接続の方（図示せず）と保持容量C_sの他端とが、有機ＥＬ素子１１のアノード電極（図示せず）に接続されている。有機ＥＬ素子１１のカソード電極（図示せず）は、例

えば、グラウンド線ＧＮＤに接続されている。

【００２８】

電源線ＰＳＬは、図１、図３に示したように、複数の画素行を一つのユニットＵとして、ユニットＵごとに一つずつ設けられている。なお、図３には、ユニットＵが５つ設けられている場合が例示されているが、ユニット数はそれに限られるものではない。また、図３では、５つのユニットＵに対して、電源線駆動回路２５の走査方向に向かうにつれて、１つずつ増えるサフィックスを付与している。従って、ユニットＵ１は走査方向の初回ユニットに相当し、ユニットＵ５は走査方向の最終ユニットに相当する。

【００２９】

（駆動回路２０）

次に、駆動回路２０内の各回路について、図１を参照して説明する。駆動回路２０は、タイミング生成回路２１、映像信号処理回路２２、信号線駆動回路２３、書込線駆動回路２４、および電源線駆動回路２５を有している。

【００３０】

タイミング生成回路２１は、映像信号処理回路２２、信号線駆動回路２３、書込線駆動回路２４、および電源線駆動回路２５が連動して動作するように制御するものである。タイミング生成回路２１は、例えば、外部から入力された同期信号２０Ｂに応じて（同期して）、上述した各回路に対して制御信号２１Ａを出力するようになっている。

【００３１】

映像信号処理回路２２は、外部から入力された映像信号２０Ａに対して所定の補正を行うと共に、補正した後の映像信号２２Ａを信号線駆動回路２３に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【００３２】

信号線駆動回路２３は、制御信号２１Ａの入力に応じて（同期して）、映像信号処理回路２２から入力された映像信号２２Ａ（信号電圧V_{sig}）を各信号線ＤＴＬに印加して、選択対象の画素１３に書き込むものである。なお、書き込みとは、駆動トランジスタTr_1のゲートに所定の電圧を印加することを指している。

【００３３】

信号線駆動回路２３は、例えばシフトレジスタ（図示せず）によって構成されており、画素１３の各列に対応して、１段ごとに信号出力部（図示せず）を備えている。この信号線駆動回路２３は、制御信号２１Ａの入力に応じて（同期して）、各信号線ＤＴＬに対して、３種類の電圧（V_{sig}、V_{ofs}、V_{ers}）を出力可能となっている。具体的には、信号線駆動回路２３は、各画素１３に接続された信号線ＤＴＬを介して、書込線駆動回路２４により選択された画素１３へ３種類の電圧（V_{sig}、V_{ofs}、V_{ers}）を順番に供給するようになっている。

【００３４】

ここで、V_{sig}は、映像信号２２Ａに対応する電圧値となっている。V_{sig}の最小電圧はV_{ofs}よりも低い電圧値となっており、V_{sig}の最大電圧はV_{ofs}よりも高い電圧値となっている。また、V_{ofs}は、映像信号２２Ａとは無関係な非階調信号であり、V_{ers}よりも低い電圧値（固定値）となっている。V_{ers}は、有機ＥＬ素子１１の閾値電圧V_{el}よりも低い電圧値（固定値）となっている。

【００３５】

書込線駆動回路２４は、例えばシフトレジスタ（図示せず）によって構成されており、画素１３の各行に対応して、１段ごとに信号出力部（図示せず）を備えている。この書込線駆動回路２４は、制御信号２１Ａの入力に応じて（同期して）、各書込線ＷＳＬに対して、３種類の電圧（V_{on}、V_{off1}、V_{off2}）を出力可能となっている。具体的には、書込線駆動回路２４は、各画素１３に接続された書込線ＷＳＬを介して、駆動対象の画素１３へ３種類の電圧（V_{on}、V_{off1}、V_{off2}）を供給し、書き込みトランジスタTr_2を制御するようになっている。

【００３６】
ここで、電圧V_{on}は、書き込みトランジスタTr_2のオン電圧以上の値となっている。V_{on}は、後述の消光時や閾値補正時に、書込線駆動回路２４から出力される電圧値である。V_{off1}、V_{off2}は、書き込みトランジスタTr_2のオン電圧よりも低い値となっている。V_{off2}は、V_{off1}よりも低い電圧値となっている。
【００３７】
電源線駆動回路２５は、例えばシフトレジスタ（図示せず）によって構成されており、各ユニット（Ｕ１～Ｕ５）に対応して、各ユニット（Ｕ１～Ｕ５）に含まれる行数と等しい数の段ごとに信号出力部（図示せず）を備えている。つまり、本実施の形態では、電源線駆動回路２５内のシフトレジスタの出力段がユニット（Ｕ１～Ｕ５）ごとに共用化されており、ユニットスキャン方式が採られている。そのため、各画素列に対応して１段ごとに信号出力部を設けた場合と比べて、電源線駆動回路２５内の信号出力部の数が少ない。
【００３８】
この電源線駆動回路２５は、制御信号２１Ａの入力に応じて（同期して）、２種類の電圧（V_{ss}、V_{cc}）を出力可能となっている。具体的には、電源線駆動回路２５は、各画素１３に接続された電源線ＰＳＬを介して、駆動対象の画素１３へ２種類の電圧（V_{ss}、V_{cc}）を供給し、有機ＥＬ素子１１の発光および消光を制御するようになっている。
【００３９】
ここで、V_{ss}は、有機ＥＬ素子１１の閾値電圧V_{el}と、有機ＥＬ素子１１のカソードの電圧V_{ca}とを足し合わせた電圧（$V_{el}+V_{ca}$）よりも低い電圧値である。また、V_{cc}は、電圧（$V_{el}+V_{ca}$）以上の電圧値である。
【００４０】
次に、本実施の形態の表示装置１の動作（消光から発光までの動作）の一例について説明する。本実施の形態では、駆動トランジスタTr_1の閾値電圧V_{th}や移動度μが経時変化したりしても、それらの影響を受けることなく、有機ＥＬ素子１１の発光輝度を一定に保つようにするために、閾値電圧V_{th}や移動度μの変動に対する補正動作が組み込まれている。
【００４１】
図４は、表示装置１における各種波形の一例を表したものである。図４には、電源線ＰＳＬに２種類の電圧（V_{ss}、V_{cc}）が、書込線ＷＳＬ１～ＷＳＬ６に３種類の電圧（V_{on}、V_{off1}、V_{off2}）が印加されている様子が示されている。図１、図４からわかるように、表示装置１では、電源線ＰＳＬ（ＰＳＬ１，ＰＳＬ２，……）から各画素１３に、ユニット（Ｕ１～Ｕ５）ごとに共通のタイミングでV_{ss}、V_{cc}が印加される。
【００４２】
図５は、表示装置１の一のユニットＵに印加される電圧波形の一例を表したものである。具体的には、電源線ＰＳＬに２種類の電圧（V_{ss}、V_{cc}）が、信号線ＤＴＬに３種類の電圧（V_{sig}、V_{ers}、V_{ofs}）が、書込線ＷＳＬに３種類の電圧（V_{on}、V_{off1}、V_{off2}）が印加されている様子が示されている。さらに、図５には、電源線ＰＳＬ１、信号線ＤＴＬおよび書込線ＷＳＬ１への電圧印加に応じて、駆動トランジスタTr_1のゲート電圧V_gおよびソース電圧V_sが時々刻々変化している様子が示されている。
【００４３】
（消光期間）
まず、有機ＥＬ素子１１の消光を行う。具体的には、電源線ＰＳＬの電圧がV_{cc}となっており、かつ信号線ＤＴＬの電圧がV_{ers}となっている時に、書込線駆動回路２４が書込線ＷＳＬの電圧をV_{off1}からV_{on}に上げ（T_1）、駆動トランジスタTr_1のゲートを信号線ＤＴＬに接続する。すると、駆動トランジスタTr_1のゲート電圧V_gが下がり始め、保持容量C_sを介したカップリングにより駆動トランジスタTr_1のソース電圧V_sも下がり始める。その後、ゲート電圧V_gがV_{ers}となり、ソース電圧V_sが$V_{el}+V_{ca}$（V_{ca}は有機ＥＬ素子１１のカソード電圧）となり、有機ＥＬ素子１１が消光したときに書込線駆動回路２４が書込線ＷＳＬの電圧をV_{on}からV_{off1}に下げ、駆動トランジスタTr_1のゲー

トをフローティングにする（T_2）。

【００４４】

（閾値補正準備期間）

次に、閾値補正の準備を行う。具体的には、書込線ＷＳＬの電圧がV_{off2}となっている時に、電源線駆動回路２５が電源線ＰＳＬの電圧をV_{cc}からV_{ss}に下げる（T_3）。すると、駆動トランジスタTr_1の電源線ＰＳＬ側がソースとなって駆動トランジスタTr_1のドレイン－ソース間に電流I_dが流れ、ゲート電圧V_gが$V_{ss}+V_{th}$となったところで、電流I_dが止まる。このとき、ソース電圧V_sが$V_{el}+V_{ca}-(V_{ers}-(V_{ss}+V_{th})$となっており、電位差$V_{gs}$が$V_{th}$よりも小さくなっている。

【００４５】

続いて、電源線駆動回路２５が電源線ＰＳＬの電圧をV_{ss}からV_{cc}に上げる（T_4）。すると、駆動トランジスタTr_1のドレイン－ソース間に電流I_dが流れ、ゲート電圧V_{g1}およびソース電圧V_sが、駆動トランジスタTr_1のゲート－ドレイン間の寄生容量と、保持容量C_sとの容量結合によって上昇する。このとき、電位差V_{gs}は依然としてV_{th}よりも小さくなっている。

【００４６】

（最初の閾値補正期間）

次に、閾値補正を行う。具体的には、電源線ＰＳＬの電圧がV_{cc}となっており、かつ信号線ＤＴＬの電圧がV_{ofs}（波高値の固定された閾値補正信号）となっている時に、書込線駆動回路２４が書込線ＷＳＬの電圧をV_{off2}からV_{on}に上げて、書込線ＷＳＬに選択パルスを印加する（T_5）。すると、駆動トランジスタTr_1のドレイン－ソース間に電流I_dが流れ、ゲート電圧V_gおよびソース電圧V_sが、駆動トランジスタTr_1のゲート－ドレイン間の寄生容量と、保持容量C_sとの容量結合によって上昇する。ここで、保持容量C_sが有機ＥＬ素子１１の素子容量よりも極めて小さく、ソース電圧V_sの上昇量がゲート電圧V_gの上昇量よりも十分に小さいので、電位差V_{gs}が大きくなる。そして、電位差V_{gs}がV_{th}よりも大きくなった段階で、書込線駆動回路２４が書込線ＷＳＬの電圧をV_{on}からV_{off1}に下げる（T_6）。すると、駆動トランジスタTr_1のゲートがフローティングとなり、閾値補正が一旦停止する。

【００４７】

（最初の閾値補正休止期間）

閾値補正が休止している期間中は、例えば、先の閾値補正を行った行（画素）とは異なる他の行（画素）において、信号線ＤＴＬの電圧のサンプリングが行われる。なお、このとき、先の閾値補正を行った行（画素）において、ソース電圧V_sが$V_{ofs}-V_{th}$よりも低いので、閾値補正休止期間中にも、先の閾値補正を行った行（画素）において、駆動トランジスタTr_1のドレイン－ソース間に電流I_dが流れ、ソース電圧V_sが上昇し、保持容量C_sを介したカップリングによりゲート電圧V_gも上昇する。

【００４８】

（２回目の閾値補正期間）

閾値補正休止期間が終了した後、閾値補正を再び行う。具体的には、信号線ＤＴＬの電圧がV_{ofs}となっており、閾値補正が可能となっている時に、書込線駆動回路２４が書込線ＷＳＬの電圧をV_{off1}からV_{on}に上げ（T_5）、駆動トランジスタTr_1のゲートを信号線ＤＴＬに接続する。このとき、ソース電圧V_sが$V_{ofs}-V_{th}$よりも低い場合（閾値補正がまだ完了していない場合）には、駆動トランジスタTr_1がカットオフするまで（電位差V_{gs}がV_{th}になるまで）、駆動トランジスタTr_1のドレイン－ソース間に電流I_dが流れる。その後、信号線駆動回路２３が信号線ＤＴＬの電圧をV_{ofs}からV_{sig}に切り替える前に、書込線駆動回路２４が書込線ＷＳＬの電圧をV_{on}からV_{off1}に下げる（T_6）。すると、駆動トランジスタTr_1のゲートがフローティングとなるので、電位差V_{gs}を信号線ＤＴＬの電圧の大きさに拘わらず一定に維持することができる。

【００４９】

なお、この閾値補正期間において、保持容量C_sがV_{th}に充電され、電位差V_{gs}がV_{th}

となった場合には、閾値補正を終了するが、電位差V_{gs}がV_{th}にまで到達しなかった場合には、電位差V_{gs}がV_{th}に到達するまで、閾値補正と、閾値補正休止とを繰り返し実行する。

【００５０】

（書き込み・μ補正期間）

閾値補正休止期間が終了した後、書き込みとμ補正を行う。具体的には、信号線ＤＴＬの電圧がV_{sig}となっている間に、書込線駆動回路２４が書込線ＷＳＬの電圧をV_{off1}からV_{on}に上げ（T_7）、駆動トランジスタTr_1のゲートを信号線ＤＴＬに接続する。すると、駆動トランジスタTr_1のゲートの電圧がV_{sig}となる。このとき、有機ＥＬ素子１１のアノードの電圧はこの段階ではまだ有機ＥＬ素子１１の閾値電圧V_{el}よりも小さく、有機ＥＬ素子１１はカットオフしている。そのため、電流I_dは有機ＥＬ素子１１の素子容量に流れ、素子容量が充電されるので、ソース電圧V_sがΔＶだけ上昇し、やがて電位差V_{gs}が$V_{sig}+V_{th}-\Delta V$となる。このようにして、書き込みと同時にμ補正が行われる。

【００５１】

（発光）

最後に、書込線駆動回路２４が書込線ＷＳＬの電圧をV_{on}からV_{off1}に下げる（T_8）。すると、駆動トランジスタTr_1のゲートがフローティングとなり、駆動トランジスタTr_1のドレイン－ソース間に電流I_dが流れ、ソース電圧V_sが上昇する。その結果、有機ＥＬ素子１１が所望の輝度で発光する。

【００５２】

（フィールド反転駆動）

ところで、書込線駆動回路２４は、ユニットＵ内の各走査線ＷＳＬの走査方向をオッド（ｏｄｄ）フィールドと、イーブン（ｅｖｅｎ）フィールドとで反転させるフィールド反転駆動を行う。書込線駆動回路２４は、オッドフィールドにおいて、例えば、図４（Ｂ）～（Ｄ）に示したように、ユニットＵの走査方向（電源線駆動回路２５の走査方向）と同一方向に走査し、イーブンフィールドにおいて、例えば、図６（Ｂ）～（Ｄ）に示したように、ユニットＵの走査方向（電源線駆動回路２５の走査方向）とは反対方向に走査する。

【００５３】

本実施の形態の表示装置１では、上記のようにして、各画素１３において画素回路１２がオンオフ制御され、各画素１３の有機ＥＬ素子１１に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こり、その光が外部に取り出される。その結果、表示パネル１０の表示領域１０Ａにおいて画像が表示される。

【００５４】

ところで、例えば、図１７に示したような従来の表示装置１００におけるユニットスキャン方式では、例えば、図１８に示したように、同一ユニット内において、電源線ＰＳＬの電圧がV_{ss}からV_{cc}に上がった時（T_1）から閾値補正を開始する時（T_2）までの時間（待ち時間）がラインによって異なっている。例えば、同一ユニット内に３０ライン含まれている場合に、１ライン目の待ち時間と３０ライン目の待ち時間との差が２９Ｈとなる。この待ち時間の間、例えば、図１９に示したように、駆動トランジスタTr_1のリーク電流I_{Dr}と、有機ＥＬ素子１１のリーク電流I_{EL}とが生じているので、駆動トランジスタTr_1のソース電圧V_sは、待ち時間が長ければ長いほど、上昇してしまう。そのため、一のユニット内において、最後のラインの画素１１１のゲート－ソース間電圧（電位差V_{gs}）は最初のラインの画素１１１のゲート－ソース間電圧（電位差V_{gs}）よりも小さくなる。その結果、一のユニットに含まれるライン数が多すぎると、時刻T_1～T_2の間、最後のラインの輝度は最初のラインの輝度よりも暗くなってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

【００５５】

また、図１８に示したように、同一ユニット内において、消光を開始した時（T_3）か

ら電源線ＰＳＬの電圧がV_{cc}からV_{ss}に下がった時（T_4）までの時間（待ち時間）もラインによって異なっている。例えば、同一ユニット内に３０ライン含まれている場合に、１ライン目の待ち時間と３０ライン目の待ち時間との差が２９Ｈとなる。この待ち時間の間、ソース電圧V_sが徐々に低下していくが、有機ＥＬ素子１１１の容量などに起因してゆっくり低下するので、時刻T_3～T_4の間、画素回路１１２内には微弱な電流が流れている。その結果、一のユニットに含まれるライン数が多すぎると、時刻T_3～T_4の間、最初のラインの輝度が最後のラインの輝度よりも明るくなってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

【００５６】

このように、従来の方式では、ラインごとの待ち時間の違いによって、隣接するユニット間にスジ状の模様が発生してしまうという問題があった。

【００５７】

一方、本実施の形態の表示装置１では、ユニットＵ内の各書込線ＷＳＬの走査方向をオッドフィールドと、イーブンフィールドとで反転させるフィールド反転駆動が行われる。これにより、例えば、図７（Ａ）に示したように、オッドフィールドでは、ユニットＵ内の初段の輝度が最も高く、後段に向かうにつれて輝度が低下するグラデーションとなる。一方、例えば、例えば、図７（Ｂ）に示したように、イーブンフィールドでは、ユニットＵ内の初段の輝度が最も低く、後段に向かうにつれて輝度が上がるグラデーションとなる。つまり、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに反対となっている。従って、これらを交互に発光させることにより、例えば、図７（Ｃ）に示したように、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化する。従って、ユニットスキャンにおいてスジ状の模様が発生するのを防止することができる。

【００５８】

＜変形例＞

上記実施の形態では、ユニットＵ内の各書込線ＷＳＬの走査方向をオッドフィールドと、イーブンフィールドとで反転させるフィールド反転駆動を行っていたが、さらに、ユニットＵをオッド（ｏｄｄ）ユニットと、イーブン（ｅｖｅｎ）ユニットとに分け、オッドユニット内の各書込線ＷＳＬの走査方向と、イーブンユニット内の各書込線ＷＳＬの走査方向とを反転させるユニット反転駆動を行うようにしてもよい。例えば、図８に示したように、書込線駆動回路２４は、オッドフィールドのオッドユニットにおいて、ユニットＵの走査方向（電源線駆動回路２５の走査方向）と同一方向に走査し、オッドフィールドのイーブンユニットにおいて、ユニットＵの走査方向（電源線駆動回路２５の走査方向）とは反対方向に走査する。また、例えば、図９に示したように、書込線駆動回路２４は、イーブンフィールドのオッドユニットにおいて、ユニットＵの走査方向（電源線駆動回路２５の走査方向）とは反対方向に走査し、イーブンフィールドのイーブンユニットにおいて、ユニットＵの走査方向（電源線駆動回路２５の走査方向）と同一方向に走査する。

【００５９】

これにより、例えば、図１０（Ａ），（Ｂ）に示したように、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに反対となっている。従って、これらを交互に発光させることにより、例えば、図１０（Ｃ）に示したように、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化する。従って、ユニットスキャンにおいてスジ状の模様が発生するのを防止することができる。

【００６０】

＜モジュールおよび適用例＞

以下、上記実施の形態および変形例で説明した表示装置１の適用例について説明する。上記実施の形態等の表示装置１は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力

された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【００６１】

（モジュール）

上記実施の形態等の表示装置１は、例えば、図１１に示したようなモジュールとして、後述する適用例１～５などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板２の一辺に、表示領域１０Ａを封止する部材（図示せず）から露出した領域２１０を設け、この露出した領域２１０に、駆動回路２０の配線を延長して外部接続端子（図示せず）を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板（ＦＰＣ；Flexible Printed Circuit）２２０が設けられていてもよい。

【００６２】

（適用例１）

図１２は、上記実施の形態等の表示装置１が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル３１０およびフィルターガラス３２０を含む映像表示画面部３００を有しており、この映像表示画面部３００は、上記実施の形態等に係る表示装置１により構成されている。

【００６３】

（適用例２）

図１３は、上記実施の形態等の表示装置１が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部４１０、表示部４２０、メニュースイッチ４３０およびシャッターボタン４４０を有しており、その表示部４２０は、上記実施の形態等に係る表示装置１により構成されている。

【００６４】

（適用例３）

図１４は、上記実施の形態等の表示装置１が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体５１０，文字等の入力操作のためのキーボード５２０および画像を表示する表示部５３０を有しており、その表示部５３０は、上記実施の形態等に係る表示装置１により構成されている。

【００６５】

（適用例４）

図１５は、上記実施の形態等の表示装置１が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部６１０，この本体部６１０の前方側面に設けられた被写体撮影用のレンズ６２０，撮影時のスタート／ストップスイッチ６３０および表示部６４０を有しており、その表示部６４０は、上記実施の形態等に係る表示装置１により構成されている。

【００６６】

（適用例５）

図１６は、上記実施の形態等の表示装置１が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体７１０と下側筐体７２０とを連結部（ヒンジ部）７３０で連結したものであり、ディスプレイ７４０，サブディスプレイ７５０，ピクチャーライト７６０およびカメラ７７０を有している。そのディスプレイ７４０またはサブディスプレイ７５０は、上記実施の形態等に係る表示装置１により構成されている。

【００６７】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【００６８】

例えば、上記実施の形態等では、表示装置１がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路１２の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路１２に

追加してもよい。その場合、画素回路１２の変更に応じて、上述した信号線駆動回路２３、書込線駆動回路２４、電源線駆動回路２５のほかに、必要な駆動回路を追加してもよい。

【００６９】

また、上記実施の形態等では、信号線駆動回路２３、書込線駆動回路２４、電源線駆動回路２５の駆動をタイミング制御回路２２が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路２３、書込線駆動回路２４、電源線駆動回路２５の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【００７０】

また、上記実施の形態等では、画素回路１２が、２Ｔｒ１Ｃの回路構成となっていたが、デュアルゲート型のトランジスタが有機ＥＬ素子１１に直列に接続された回路構成を含んでいるものであれば、２Ｔｒ１Ｃの回路構成以外の回路構成となっていてもよい。

【００７１】

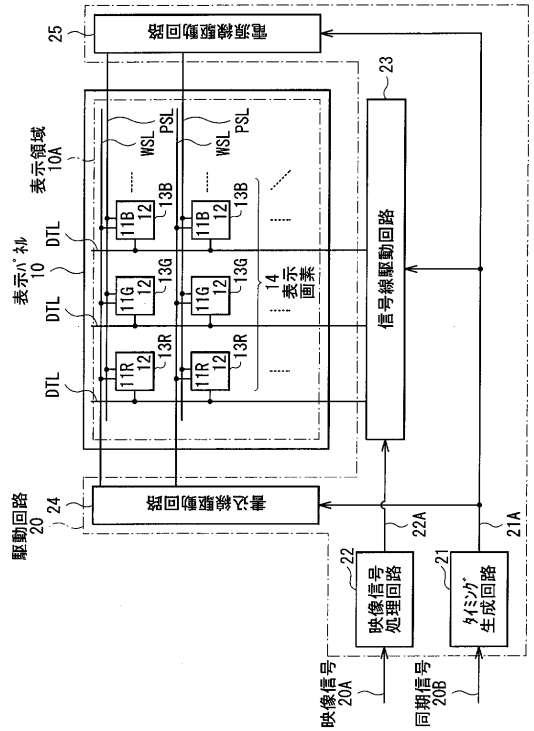
また、上記実施の形態等では、駆動トランジスタTr_1，書き込みトランジスタTr_2は、ｎチャネルＭＯＳ型の薄膜トランジスタにより形成されている場合が例示されていたが、ｐチャネルトランジスタ（例えばｐチャネルＭＯＳ型のＴＦＴ）により形成されていてもよい。ただし、その場合には、トランジスタTr_2のソースおよびドレインのうち電源線ＰＳＬと未接続の方と保持容量C_sの他端とを有機ＥＬ素子１１のカソードに接続し、有機ＥＬ素子１１のアノードをＧＮＤなどに接続することが好ましい。

【符号の説明】

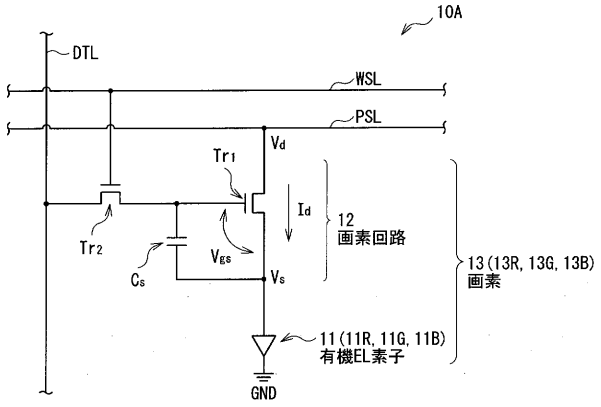
【００７２】

１，１００…表示装置、１０，１１０…表示パネル、１０Ａ…表示領域、１１，１１Ｒ，１１Ｇ，１１Ｂ，１１１Ｒ，１１１Ｇ，１１１Ｂ…有機ＥＬ素子、１２…画素回路、１３，１３Ｒ，１３Ｇ，１３Ｂ，１１１…画素、１４…表示画素、２０…駆動回路、２０Ａ，２２Ａ…映像信号、２０Ｂ…同期信号、２１…タイミング生成回路、２１Ａ…制御信号、２２…映像信号処理回路、２３，１２０…信号線駆動回路、２４，１３０…書込線駆動回路、２５，１４０…電源線駆動回路、３１…基板、３２…封止用基板、２１０…領域、２２０…ＦＰＣ、３００…映像表示画面部、３１０…フロントパネル、３２０…フィルターガラス、４１０…発光部、４２０，５３０，６４０…表示部、４３０…メニュースイッチ、４４０…シャッターボタン、５１０…本体、５２０…キーボード、６１０…本体部、６２０…レンズ、６３０…スタート／ストップスイッチ、７１０…上側筐体、７２０…下側筐体、７３０…連結部、７４０…ディスプレイ、７５０…サブディスプレイ、７６０…ピクチャーライト、７７０…カメラ、C_s…保持容量、ＤＴＬ（ＤＴＬ１，ＤＴＬ２，……）…信号線、I_d…電流、ＧＮＤ…グラウンド線、ＰＳＬ（ＰＳＬ１，ＰＳＬ２，……）…電源線、Tr_1…駆動トランジスタ、Tr_2…書き込みトランジスタ、Ｕ，Ｕ１～Ｕ５…ユニット、V_{ca}…カソード電圧、V_g…ゲート電圧、V_{gs}…電位差、V_s…ソース電圧、V_{sig}…信号電圧、V_{cc}，V_{ers}，V_{off1}，V_{off2}，V_{ofs}，V_{on}，V_{ss}，ΔV…電圧、V_{th}，V_{el}…閾値電圧、ＷＳＬ（ＷＳＬ１，ＷＳＬ２，……）…書込線、μ…移動度。

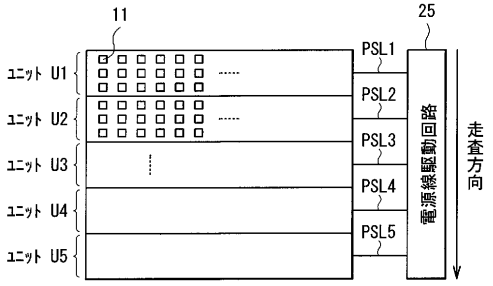
【図１】


1 表示装置
25
電源線駆動回路
23
信号線駆動回路
表示領域 10A
表示ﾊﾟﾈﾙ 10
DTL
WSL
PSL
11R 12
11G 12
11B 12
13R
13G
13B
14 表示画素
書込線駆動回路
駆動回路 20
24
22
映像信号処理回路
21
ﾀｲﾐﾝｸﾞ生成回路
22A
21A
映像信号 20A
同期信号 20B

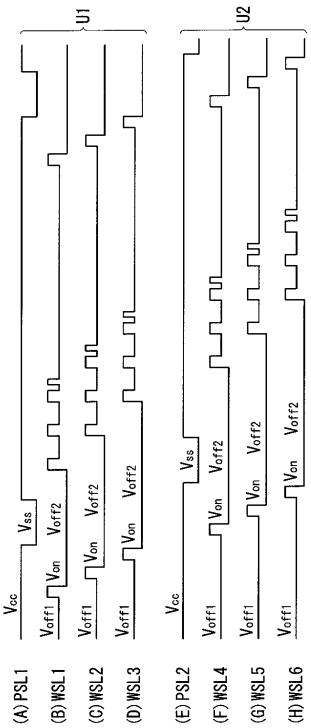
【図２】


10A
DTL
WSL
PSL
Vd
Tr1
Tr2
Id
12 画素回路
Cs
Vgs
Vs
13 (13R, 13G, 13B) 画素
11 (11R, 11G, 11B) 有機EL素子
GND

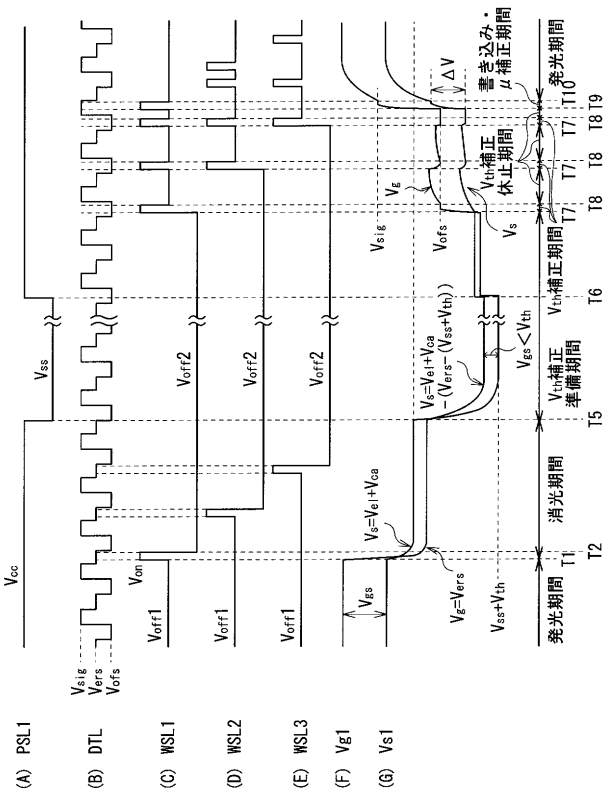
【図３】


11
25
ユニット U1
ユニット U2
ユニット U3
ユニット U4
ユニット U5
PSL1
PSL2
PSL3
PSL4
PSL5
電源線駆動回路
走査方向

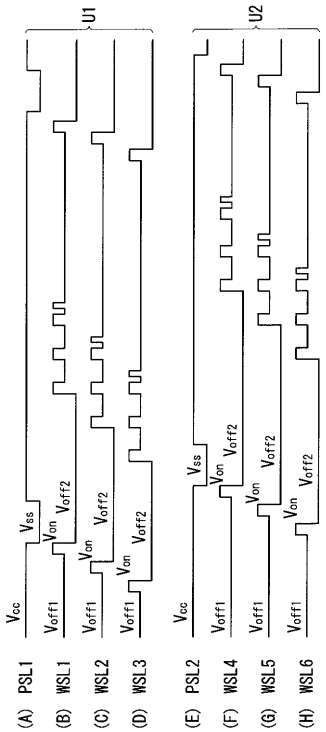
【図４】


U1
U2
Vcc
Vss
Voff1
Von
Voff2
(A) PSL1
(B) WSL1
(C) WSL2
(D) WSL3
(E) PSL2
(F) WSL4
(G) WSL5
(H) WSL6

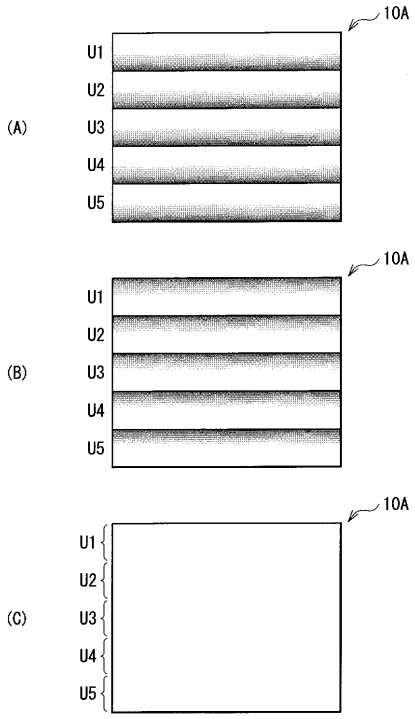
【図５】


Vcc
Vss
Von
Voff1
Voff2
Vsig
Vers
Vofs
Vgs
Vs=Vel+Vca
Vg=Vers
Vss+Vth
Vg
Vs
ΔV
Vgs<Vth
Vs=Vel+Vca -(Vers-(Vss+Vth))
書き込み・μ補正期間
Vth補正休止期間
Vth補正期間
Vth補正準備期間
消光期間
発光期間
(A) PSL1
(B) DTL
(C) WSL1
(D) WSL2
(E) WSL3
(F) Vg1
(G) Vs1
T1 T2 T5 T6 T7 T8 T9 T10

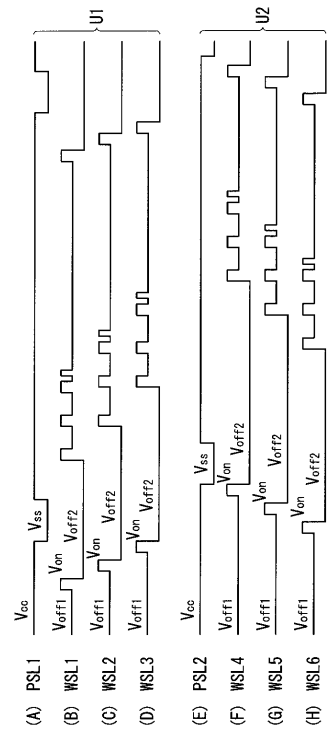
【図６】


U1
U2
(A) PSL1
(B) WSL1
(C) WSL2
(D) WSL3
(E) PSL2
(F) WSL4
(G) WSL5
(H) WSL6
Vcc
Vss
Von
Voff1
Voff2

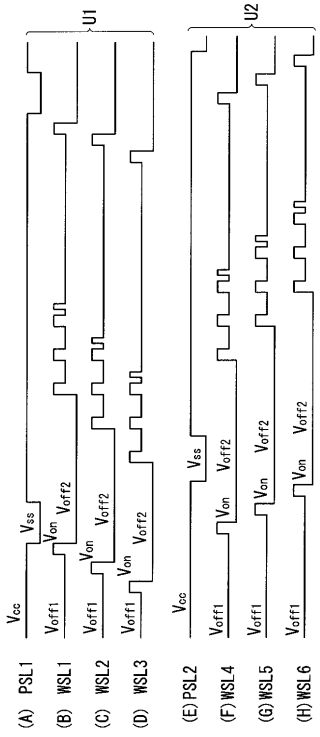
【図７】


10A
(A)
(B)
(C)
U1
U2
U3
U4
U5

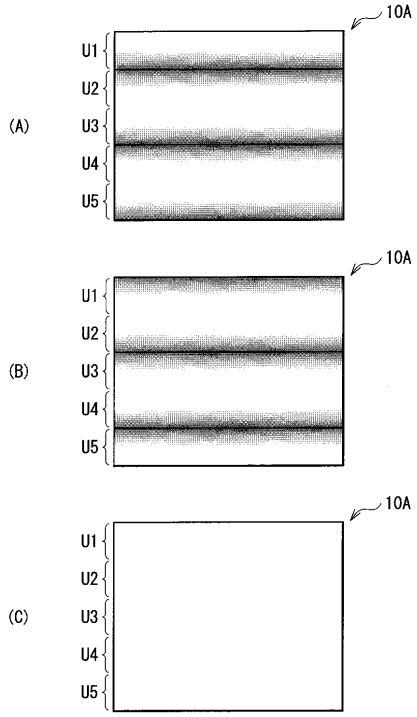
【図８】


U1
U2
(A) PSL1
(B) WSL1
(C) WSL2
(D) WSL3
(E) PSL2
(F) WSL4
(G) WSL5
(H) WSL6
Vcc
Vss
Von
Voff1
Voff2

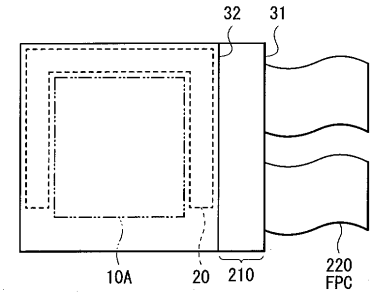
【図９】


U1
U2
(A) PSL1
(B) WSL1
(C) WSL2
(D) WSL3
(E) PSL2
(F) WSL4
(G) WSL5
(H) WSL6
Vcc
Vss
Von
Voff1
Voff2

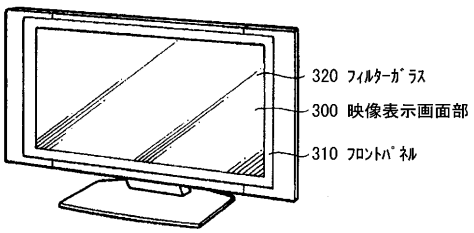
【図１０】



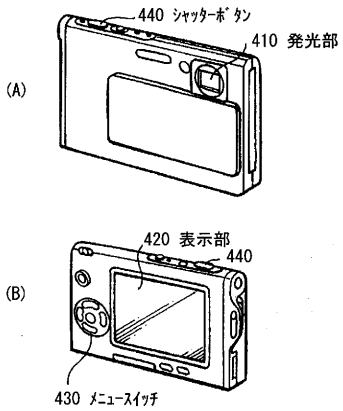
【図１１】



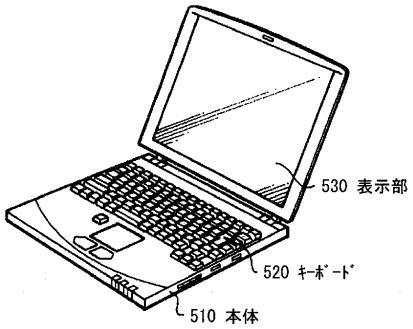
【図１２】



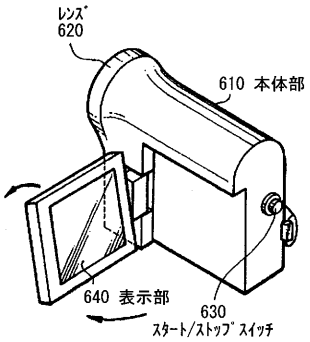
【図１３】



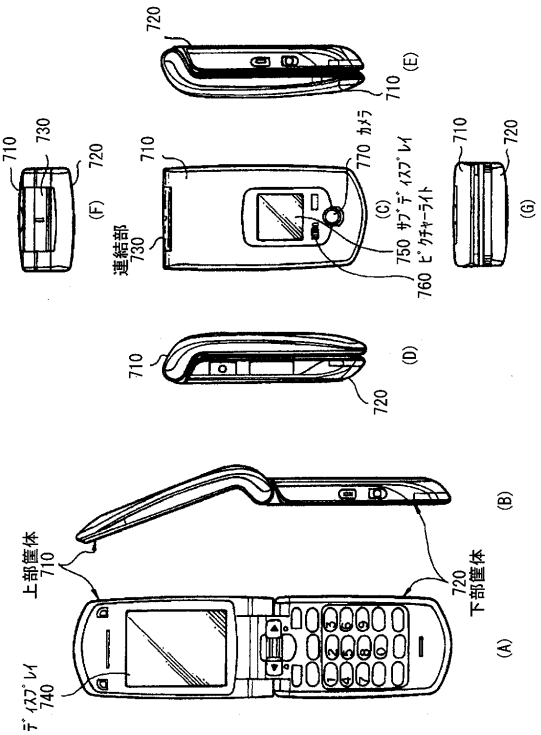
【図１４】



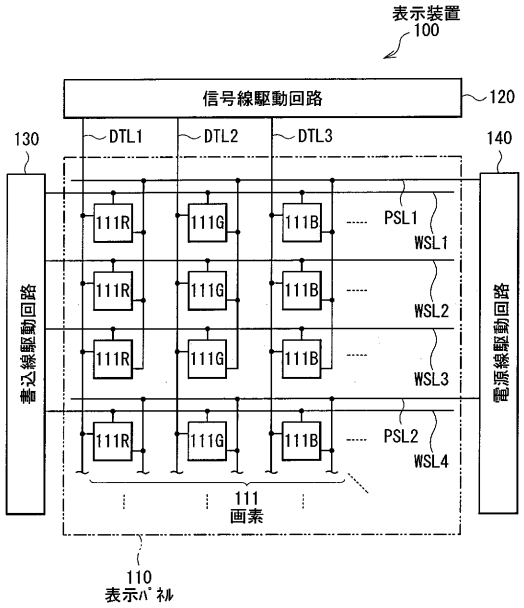
【図１５】



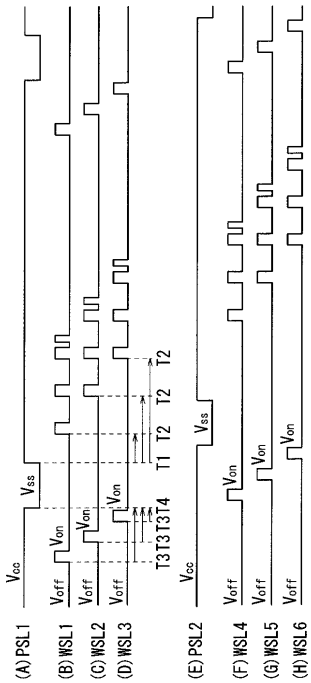
【図１６】



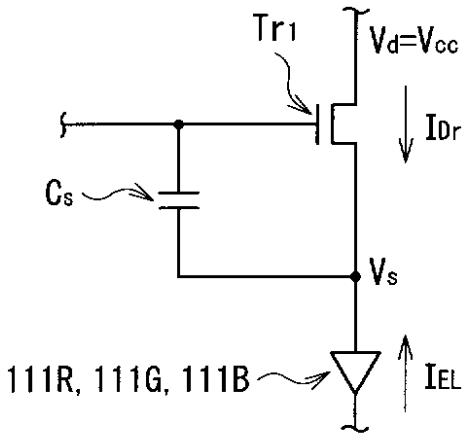
【図１７】



【図１８】



【図１９】



フロントページの続き

(51)Int.Cl.	F I		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６２４Ｚ	
	Ｇ０９Ｇ 3/20	６２４Ｂ	
	Ｇ０９Ｇ 3/20	６１１Ｆ	
	Ｇ０９Ｇ 3/20	６４２Ａ	
	Ｈ０５Ｂ 33/14	Ａ	

(72)発明者　内野　勝秀
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考) 3K107 AA01 BB01 CC31 CC33 CC43 CC45 EE03 HH02 HH04
5C080 AA06 BB05 CC03 DD05 DD22 DD27 EE29 EE30 FF11 GG05
GG07 HH10 JJ01 JJ02 JJ03 JJ04 JJ06 KK02 KK07 KK43
KK47
5C380 AA01 AB06 AB27 AB34 AB39 AB45 AB46 AC07 AC08 AC09
AC11 BA10 BA11 BA12 BA14 BA21 BA30 BA38 BA39 BB02
BB05 BC20 BD02 CA12 CA53 CA54 CB20 CB26 CB30 CB31
CC02 CC03 CC04 CC06 CC07 CC26 CC27 CC30 CC33 CC41
CC63 CD012 CE20 CF07 DA02 DA06 DA47 DA57