

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6366687号
(P6366687)

(45) 発行日 平成30年8月1日(2018.8.1)

(24) 登録日 平成30年7月13日(2018.7.13)

(51) Int.Cl.	F I		
HO 1 L 21/337 (2006.01)	HO 1 L 29/80	P	
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	H	
HO 1 L 29/808 (2006.01)	HO 1 L 29/80	E	
HO 1 L 29/812 (2006.01)	HO 1 L 29/80	W	
HO 1 L 29/778 (2006.01)	HO 1 L 29/80	L	
請求項の数 21 (全 14 頁) 最終頁に続く			

(21) 出願番号	特願2016-512060 (P2016-512060)	(73) 特許権者	397050741
(86) (22) 出願日	平成26年5月2日 (2014.5.2)		マイクロチップ テクノロジー インコーポレイテッド
(65) 公表番号	特表2016-521008 (P2016-521008A)		MICROCHIP TECHNOLOGY INCORPORATED
(43) 公表日	平成28年7月14日 (2016.7.14)		アメリカ合衆国 85224-6199
(86) 国際出願番号	PCT/US2014/036499		アリゾナ チャンドラー ウェスト チャンドラー ブルヴァード 2355
(87) 国際公開番号	W02014/179651	(74) 代理人	100078282
(87) 国際公開日	平成26年11月6日 (2014.11.6)		弁理士 山本 秀策
審査請求日	平成29年4月27日 (2017.4.27)	(74) 代理人	100113413
(31) 優先権主張番号	61/819, 252		弁理士 森下 夏樹
(32) 優先日	平成25年5月3日 (2013.5.3)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	14/267, 185		
(32) 優先日	平成26年5月1日 (2014.5.1)		
(33) 優先権主張国	米国 (US)		
最終頁に続く			

(54) 【発明の名称】 コンパクトな静電放電 (ESD) 保護構造

(57) 【特許請求の範囲】

【請求項 1】

静電放電 (ESD) 保護素子であって、
ドレイン、少なくとも2つのゲート、およびソースを有する第1の電界効果トランジスタであって、前記第1の電界効果トランジスタの前記ドレインは、ESDイベントから保護されるように回路のノードに結合される、第1の電界効果トランジスタと、
前記第1の電界効果トランジスタの前記ソースと共通ノードとの間に結合される少なくとも1つの第1のダイオードと、
前記少なくとも2つのゲートのうちの第1のゲートと前記共通ノードとの間に直列に結合される第1および第2の抵抗器であって、前記第1の抵抗器と前記第2の抵抗器との間の第1のノードは、前記少なくとも2つのゲートのうちの第2のゲートと結合される、第1および第2の抵抗器と
を備え、
前記第2の抵抗器は、前記少なくとも2つのゲートのうちの前記第2のゲートと前記共通ノードとの間に結合され、
前記回路の前記ノードに蓄積された負の静電電荷は、前記第2の抵抗器を通して前記共通ノードに排出される、ESD保護素子。

【請求項 2】

前記共通ノードは、電源共通である、請求項1に記載のESD保護素子。

【請求項 3】

ドレイン、少なくとも2つのゲート、およびソースを有する第2の電界効果トランジスタであって、前記第2の電界効果トランジスタの前記ドレインは、電源コモンに結合される、第2の電界効果トランジスタと、

前記少なくとも1つの第1のダイオードのカソードに結合されるカソードを有する少なくとも1つの第2のダイオードと、

前記第2の電界効果トランジスタの第1のゲートと前記コモンノードとの間に直列に結合される第3および第4の抵抗器であって、前記第3の抵抗器と前記第4の抵抗器との間の第2のノードは、前記第2の電界効果トランジスタの第2の1つのゲートと結合される、第3および第4の抵抗器と

をさらに備える、請求項1に記載のESD保護素子。

10

【請求項4】

前記第1の電界効果トランジスタの前記少なくとも2つのゲートのうちの一方は、トリガゲートであり、前記少なくとも2つのゲートのうちの別の一方は、放電ゲートである、請求項1に記載のESD保護素子。

【請求項5】

前記第1および第2の電界効果トランジスタの前記少なくとも2つのゲートのうちの一方は、トリガゲートであり、前記少なくとも2つのゲートのうちの別の一方は、放電ゲートである、請求項3に記載のESD保護素子。

【請求項6】

前記第1の電界効果トランジスタは、空乏モード電界効果トランジスタである、請求項1に記載のESD保護素子。

20

【請求項7】

前記第1および第2の電界効果トランジスタは、空乏モード電界効果トランジスタである、請求項3に記載のESD保護素子。

【請求項8】

前記少なくとも1つの第1のダイオードは、前記第1の電界効果トランジスタの前記ソースと前記コモンノードとの間に直列に接続される2つのダイオードである、請求項1に記載のESD保護素子。

【請求項9】

前記少なくとも1つの第1および第2のダイオードはそれぞれ、前記第1または第2の電界効果トランジスタの前記ソースと前記コモンノードとの間に直列に接続される2つのダイオードである、請求項3に記載のESD保護素子。

30

【請求項10】

前記電源コモンは、電気接地に結合される、請求項2に記載のESD保護素子。

【請求項11】

前記空乏モード電界効果トランジスタは、高電子移動度トランジスタ(HEMT)である、請求項6または7に記載のESD保護素子。

【請求項12】

前記HEMTは、シュドモルフィック型HEMT(pHEMT)である、請求項11に記載のESD保護素子。

40

【請求項13】

前記HEMTは、メタモルフィック型HEMT(mHEMT)である、請求項11に記載のESD保護素子。

【請求項14】

前記第1の電界効果トランジスタ、前記少なくとも1つの第1のダイオード、ならびに前記第1および第2の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合される、請求項1に記載のESD保護素子。

【請求項15】

前記第1および第2の電界効果トランジスタ、前記第1および第2のダイオード、ならびに前記第1、第2、第3および第4の抵抗器は、集積回路ダイ上に加工され、前記集積

50

回路ダイの外部接続に結合される前記回路のノードに結合される、請求項 3 に記載の E S D 保護素子。

【請求項 1 6】

前記第 1 の電界効果トランジスタ、前記少なくとも 1 つの第 1 のダイオード、ならびに、前記第 1 および第 2 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力 / 出力、デジタル入力 / 出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、請求項 2 に記載の E S D 保護素子。

【請求項 1 7】

前記第 1 および第 2 の電界効果トランジスタ、前記少なくとも 1 つの第 1 および第 2 のダイオード、ならびに、前記第 1、第 2、第 3 および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力 / 出力、デジタル入力 / 出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、請求項 3 に記載の E S D 保護素子。

【請求項 1 8】

前記第 1 の電界効果トランジスタ、前記少なくとも 1 つの第 1 のダイオード、ならびに、前記第 1 および第 2 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号入力を備える、請求項 2 に記載の E S D 保護素子。

【請求項 1 9】

前記第 1 および第 2 の電界効果トランジスタ、前記少なくとも 1 つの第 1 および第 2 のダイオード、ならびに、前記第 1、第 2、第 3 および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号入力を備える、請求項 3 に記載の E S D 保護素子。

【請求項 2 0】

前記第 1 の電界効果トランジスタ、前記少なくとも 1 つの第 1 のダイオード、ならびに、前記第 1 および第 2 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号出力を備える、請求項 2 に記載の E S D 保護素子。

【請求項 2 1】

前記第 1 および第 2 の電界効果トランジスタ、前記少なくとも 1 つの第 1 および第 2 のダイオード、ならびに、前記第 1、第 2、第 3 および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号出力を備える、請求項 3 に記載の E S D 保護素子。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

(関連特許出願)

本願は、Pei - Ming Daniel Chow, Yon - Lin Kok, Jing Zhu、および Steven Schell による、“ Compact E S D Protection Structure , ” と題され、2 0 1 2 年 5 月 3 日に出版された、共有に係る米国仮特許出願第 6 1 / 8 1 9 , 2 5 2 号に対する優先権を主張するものであり、該米国仮特許出願は、あらゆる目的のために、参照により本明細書中に援用される。

【0 0 0 2】

本開示は、半導体保護構造に関し、特に、静電放電 (E S D) 保護構造に関する。

10

20

30

40

50

【背景技術】

【0003】

ショットキーゲート空乏モード電界効果素子は、その繊細な金属ゲート構造（ $0.5\mu\text{m}$ またはそれより短い金属ゲート長）に起因して、ESD損傷に敏感である。CMOSシリコンまたはバイポーラトランジスタプロセスと異なり、コンパクトなESD保護ダイオードを形成するために、高電子移動度トランジスタ（HEMT）プロセスにおいて利用可能なロバストなP-N接合ダイオードは存在しない。ヘテロ構造FET（HFET）または変調ドープFET（MODFET）としても知られる、HEMTは、ドープ領域（概して、MOSFETの場合）の代わりに、チャネルとして異なるバンドギャップ（すなわち、ヘテロ接合）を伴う2つの材料間の接合を組み込む、電界効果トランジスタである。いくつかのバージョンのHEMTが存在し、例えば、シュードモルフィック型HEMT（pHEMT）、メタモルフィック型HEMT（mHEMT）、誘導HEMT等が挙げられる。pHEMT素子のゲートとともに形成される、いくつかの大型ショットキーダイオードは、アクティブHEMT回路を適正に保護するために直列にカスケード化される必要がある。これらの複数のショットキーダイオードは、高価なGaAs集積回路ダイ内において広い面積を消費する。

10

【0004】

ホットキャリアダイオードとしても知られる、ショットキーダイオードは、低順方向電圧降下および超高速切替作用を有する、半導体ダイオードである。電流がダイオードを通して流動するとき、ダイオード端子を横断してわずかな電圧降下が存在する。通常ダイオードは、 $0.6\sim 1.7$ ボルトの電圧降下を有するであろう一方、ショットキーダイオード電圧降下は、通常、 $0.15\sim 0.45$ ボルトである。このようなより低い電圧降下は、より優れたシステム効率およびより高い切替スピードを提供する。ショットキーダイオードでは、半導体-金属接合は、半導体と金属との間に形成され、したがって、ショットキー障壁を生成する。N型半導体は、ショットキーダイオードのカソードとして作用し、金属側は、アノードとして作用する。本ショットキー障壁は、低順方向電圧降下および超高速切替の両方をもたらす。ESD保護は、いくつかの大型ショットキーダイオードをカスケード化することによって提供されることができ、ショットキーダイオードの低ターンオン電圧に起因して、いくつかのスタックされたダイオードが、動作電圧に対処するために要求され、広い面積が、電流に対処するために要求される。したがって、ショットキーダイオード構成の使用は、広いダイ面積を要求する。

20

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

したがって、ショットキーダイオードの使用を要求しない、HEMTおよび他の半導体素子と互換性がある、効率的かつコンパクトなESD保護構造の必要性が存在する。

【課題を解決するための手段】

【0006】

ある実施形態によると、静電放電（ESD）保護素子は、ドレイン、少なくとも2つのゲート、およびソースを有する、電界効果トランジスタ（FET）であって、そのドレインは、ESDイベントから保護されるように、回路のノードに結合され得る、電界効果トランジスタと、FETのソースと電源コモンとの間に結合される、少なくとも1つのダイオードと、FETの少なくとも2つのゲート間に結合される、第1の抵抗器と、少なくとも2つのゲートのうちの一方および電源コモンに結合される、第2の抵抗器とを備えてもよい。

40

【0007】

さらなる実施形態によると、少なくとも2つのゲートのうちの一方は、トリガゲートであってもよく、少なくとも2つのゲートのうちの別の一方は、放電ゲートであってもよい。さらなる実施形態によると、FETは、空乏モードFETであってもよい。さらなる実施形態によると、少なくとも1つのダイオードは、FETのソースと電源コモンとの間に

50

直列に接続される２つのダイオードであってもよい。さらなる実施形態によると、電源コモンは、電気接地に結合されてもよい。さらなる実施形態によると、空乏モードＦＥＴは、高電子移動度トランジスタ（ＨＥＭＴ）であってもよい。さらなる実施形態によると、ＨＥＭＴは、シュードモルフィック型ＨＥＭＴ（ｐＨＥＭＴ）であってもよい。さらなる実施形態によると、ＨＥＭＴは、メタモルフィック型ＨＥＭＴ（ｍＨＥＭＴ）であってもよい。さらなる実施形態によると、ＨＥＭＴは、誘導ＨＥＭＴであってもよい。

【０００８】

さらなる実施形態によると、ＦＥＴ、少なくとも１つのダイオード、ならびに第１および第２の抵抗器は、集積回路ダイ上に加工され、集積回路ダイの外部接続に結合され得る、回路ノードに結合されてもよい。さらなる実施形態によると、集積回路ダイの外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力／出力、デジタル入力／出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択されてもよい。

10

【０００９】

別の実施形態によると、静電放電（ＥＳＤ）保護素子は、ドレイン、少なくとも２つのゲート、およびソースを有する、第１の電界効果トランジスタ（ＦＥＴ）であって、そのドレインは、ＥＳＤイベントから保護されるように回路のノードに結合され得る、第１の電界効果トランジスタと、第１のＦＥＴのソースに結合されるアノードを有する、少なくとも１つの第１のダイオードと、第１のＦＥＴの少なくとも２つのゲート間に結合される、第１の抵抗器と、少なくとも２つのゲートのうち的一方および少なくとも１つの第１のダイオードのカソードに結合される、第２の抵抗器と、ドレイン、少なくとも２つのゲート、およびソースを有する、第２の電界効果トランジスタ（ＦＥＴ）であって、そのドレインは、電源コモンに結合され得る、第２の電界効果トランジスタと、少なくとも１つの第１のダイオードのカソードに結合されるカソードを有する、少なくとも１つの第２のダイオードと、第２のＦＥＴの少なくとも２つのゲート間に結合される、第３の抵抗器と、第２のＦＥＴの少なくとも２つのゲートのうち的一方および少なくとも１つの第２のダイオードのカソードに結合される、第４の抵抗器とを備えてもよい。

20

【００１０】

さらなる実施形態によると、第１および第２のＦＥＴの少なくとも２つのゲートのうち的一方は、トリガゲートであってもよく、第１および第２のＦＥＴの少なくとも２つのゲートのうちの別の一方は、放電ゲートであってもよい。さらなる実施形態によると、第１および第２のＦＥＴは、空乏モードＦＥＴであってもよい。さらなる実施形態によると、少なくとも１つの第１および第２のダイオードは、それぞれ、第１および第２のＦＥＴのソース間に直列に接続される、２つのダイオードであってもよい。さらなる実施形態によると、電源コモンは、電気接地に結合されてもよい。さらなる実施形態によると、第１および第２の空乏モードＦＥＴは、高電子移動度トランジスタ（ＨＥＭＴ）であってもよい。さらなる実施形態によると、ＨＥＭＴは、シュードモルフィック型ＨＥＭＴ（ｐＨＥＭＴ）、メタモルフィック型ＨＥＭＴ（ｍＨＥＭＴ）および誘導ＨＥＭＴから成る群から選択されてもよい。

30

【００１１】

さらなる実施形態によると、第１および第２のＦＥＴ、少なくとも１つの第１および第２のダイオード、ならびに第１、第２、第３、および第４の抵抗器は、集積回路ダイ上に加工され、集積回路ダイの外部接続に結合され得る、回路ノードに結合されてもよい。さらなる実施形態によると、集積回路ダイの外部接続の機能は、無線周波数信号入力を備えてもよい。さらなる実施形態によると、集積回路ダイの外部接続の機能は、無線周波数信号出力を備えてもよい。

40

本発明は、例えば、以下を提供する。

（項目１）

静電放電（ＥＳＤ）保護素子であって

ドレイン、少なくとも２つのゲート、およびソースを有する、電界効果トランジスタ（

50

F E T) であって、そのドレインは、E S D イベントから保護されるように、回路のノードに結合される、電界効果トランジスタと、

前記 F E T のソースと電源コモンとの間に結合される、少なくとも 1 つのダイオードと

、

前記 F E T の少なくとも 2 つのゲート間に結合される、第 1 の抵抗器と、

前記少なくとも 2 つのゲートのうちの一方および前記電源コモンに結合される、第 2 の抵抗器と、

を備える、E S D 保護素子。

(項目 2)

前記少なくとも 2 つのゲートのうちの一方は、トリガゲートであって、前記少なくとも 2 つのゲートのうちの別の一方は、放電ゲートである、項目 1 に記載の E S D 保護素子。

(項目 3)

前記 F E T は、空乏モード F E T である、項目 1 に記載の E S D 保護素子。

(項目 4)

前記少なくとも 1 つのダイオードは、前記 F E T のソースと電源コモンとの間に直列に接続される 2 つのダイオードである、項目 1 に記載の E S D 保護素子。

(項目 5)

前記電源コモンは、電気接地に結合される、項目 1 に記載の E S D 保護素子。

(項目 6)

前記空乏モード F E T は、高電子移動度トランジスタ (H E M T) である、項目 3 に記載の E S D 保護素子。

(項目 7)

前記 H E M T は、シュードモルフィック型 H E M T (p H E M T) である、項目 6 に記載の E S D 保護素子。

(項目 8)

前記 H E M T は、メタモルフィック型 H E M T (m H E M T) である、項目 6 に記載の E S D 保護素子。

(項目 9)

前記 H E M T は、誘導 H E M T である、項目 6 に記載の E S D 保護素子。

(項目 1 0)

前記 F E T 、前記少なくとも 1 つのダイオード、ならびに前記第 1 および第 2 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される回路ノードに結合される、項目 1 に記載の E S D 保護素子。

(項目 1 1)

前記集積回路ダイの外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力 / 出力、デジタル入力 / 出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、項目 1 0 に記載の E S D 保護素子。

(項目 1 2)

静電放電 (E S D) 保護素子であって、

ドレイン、少なくとも 2 つのゲート、およびソースを有する、第 1 の電界効果トランジスタ (F E T) であって、そのドレインは、E S D イベントから保護されるように、回路のノードに結合される、第 1 の電界効果トランジスタと、

前記第 1 の F E T のソースに結合されるアノードを有する、少なくとも 1 つの第 1 のダイオードと、

前記第 1 の F E T の少なくとも 2 つのゲート間に結合される、第 1 の抵抗器と、

前記少なくとも 2 つのゲートのうちの一方および前記少なくとも 1 つの第 1 のダイオードのカソードに結合される、第 2 の抵抗器と、

ドレイン、少なくとも 2 つのゲート、およびソースを有する、第 2 の電界効果トランジスタ (F E T) であって、そのドレインは、電源コモンに結合される、第 2 の電界効果トランジスタと、

10

20

30

40

50

前記少なくとも1つの第1のダイオードのカソードに結合されるカソードを有する、少なくとも1つの第2のダイオードと、

前記第2のFETの少なくとも2つのゲート間に結合される、第3の抵抗器と、

前記第2のFETの少なくとも2つのゲートのうち的一方および前記少なくとも1つの第2のダイオードのカソードに結合される、第4の抵抗器と、

を備える、ESD保護素子。

(項目13)

前記第1および第2のFETの少なくとも2つのゲートのうち的一方は、トリガゲートであって、前記第1および第2のFETの少なくとも2つのゲートのうちの別の一方は、放電ゲートである、項目12に記載のESD保護素子。

10

(項目14)

前記第1および第2のFETは、空乏モードFETである、項目12に記載のESD保護素子。

(項目15)

前記少なくとも1つの第1および第2のダイオードは、それぞれ、前記第1および第2のFETのソース間に直列に接続される、2つのダイオードである、項目12に記載のESD保護素子。

(項目16)

前記電源コモンは、電気接地に結合される、項目12に記載のESD保護素子。

(項目17)

前記第1および第2の空乏モードFETは、高電子移動度トランジスタ(HEMT)である、項目14に記載のESD保護素子。

20

(項目18)

前記HEMTは、シュドモルフィック型HEMT(pHEMT)、メタモルフィック型HEMT(mHEMT)および誘導HEMTから成る群から選択される、項目17に記載のESD保護素子。

(項目19)

前記第1および第2のFET、前記第1および第2の少なくとも1つのダイオード、ならびに前記第1、第2、第3、および第4の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される回路ノードに結合される、項目12に記載のESD保護素子。

30

(項目20)

前記集積回路ダイの外部接続の機能は、無線周波数信号入力を備える、項目19に記載のESD保護素子。

(項目21)

前記集積回路ダイの外部接続の機能は、無線周波数信号出力を備える、項目19に記載のESD保護素子。

【図面の簡単な説明】

【0012】

本開示のより完全な理解は、付随の図面と関連して検討される以下の説明を参照することによって得られ得る。

40

【0013】

【図1】図1は、本開示の教示による、HEMT素子の概略等角断面図を図示する。

【図2】図2は、直流(DC)および制御ポートのための従来技術の単一極性空乏モードFET ESD保護素子の概略図を図示する。

【図3】図3は、本開示の具体的例示的实施形態による、直流(DC)および制御ポートのための単一極性多重ゲートショットキー空乏モードFET ESD保護素子の概略図を図示する。

【図4】図4は、図2に示されるESD保護素子のための従来技術の構造の概略平面図を図示する。

50

【図5】図5は、本開示の具体的例示の実施形態による、図3に示されるESD保護素子の構造の概略平面図を図示する。

【図6】図6は、本開示の具体的例示の実施形態による、図3に示されるESD保護素子のための構造のより詳細な概略平面図を図示する。

【図7】図7は、本開示の別の具体的例示の実施形態による、無線周波数(RF)ポートのための二重極性多重ゲートショットキー空乏モードFET ESD保護素子の概略図を図示する。

【図8】図8および8Aは、本開示の具体的例示の実施形態による、図7に示されるESD保護素子のための構造の概略平面図を図示する。

【図8A】図8および8Aは、本開示の具体的例示の実施形態による、図7に示されるESD保護素子のための構造の概略平面図を図示する。

【0014】

本開示は、種々の修正および代替形態を受け入れ可能であるが、その具体的例示の実施形態が、図面に示され、本明細書に詳細に説明される。しかしながら、具体的例示の実施形態の本明細書における説明は、本開示を本明細書に開示される特定の形態に限定することを意図するものではなく、対照的に、本開示は、添付の請求項によって定義される全修正および均等物を網羅することを理解されたい。

【発明を実施するための形態】

【0015】

種々の実施形態によると、ヘテロ構造FETまたは変調ドープFETとしても知られる、シュドモルフィック型高電子移動度トランジスタ(pHEMT)が、本明細書に開示される種々の実施形態による、コンパクトなESD保護素子の概念を説明するために、本明細書では実施例として使用される。従来、いくつかの大型ショットキーダイオードは、電圧を増加させ、アクティブ回路を適正に保護するために、pHEMT素子のゲートともに形成され、直列にカスケード化されていた。これらの複数のダイオード素子は、高価なGaAs集積回路ダイ内で広い面積を消費していた。本開示の種々の実施形態によると、多重ゲートHEMTを使用して、コンパクトなESD保護素子を形成することが提案されている。HEMT素子の多重ゲートは、ESD保護素子および構造に続く回路の保護のためのESDトリガおよび電荷排出経路を形成するために使用されてもよい。ESD保護素子構造は、複数のダイオードESD素子構造よりはるかに小さい面積内にレイアウトされることができ、種々のタイプのHEMT素子、例えば、pHEMT、mHEMT、誘導HEMT等が、本明細書に開示されるESD保護素子と併用されてもよいことが検討され、本開示の範囲内である。

【0016】

ここで図面を参照すると、例示の実施形態の詳細が、図式的に図示される。図面中の同一要素は、同一番号によって表され、類似要素は、異なる小文字添え字を伴う同一番号によって表されるであろう。

【0017】

図1を参照すると、描写されるのは、本開示の教示による、HEMT素子の概略等角断面図である。pHEMTは、例証目的のために示されるが、他のHEMT素子も同様に、本開示の教示に従って使用され得ることが検討され、本発明の範囲内である。HEMT素子は、基板112と、2次元電子ガス層110と、スペーサ108と、障壁106と、キャッピング層104と、金属ドレイン、ソース、およびゲート電極102とを備えてもよい。ソース、ゲート、およびドレイン金属102は、限定ではないが、金を備えてもよい。障壁106は、限定ではないが、アルミニウムガリウムヒ素(AlGaAs)を備えてもよい。スペーサ108は、限定ではないが、ガリウムヒ素(GaAs)を備えてもよい。2次元電子ガス層110は、限定ではないが、インジウムガリウムヒ素(InGaAs)を備えてもよい。基板は、限定ではないが、高抵抗率GaAsを備えてもよい。第1の抵抗器210は、約500オーム~約2000オームの抵抗値を有してもよい。第2の抵抗器212は、約2000オームの抵抗値を有してもよい。

【0018】

図2および4を参照すると、描写されるのは、直流(DC)および制御ポートのための従来技術の単一極性空乏モードFET ESD保護素子の概略図と、図2に示されるESD保護素子のための従来技術の構造の概略平面図である。単一極性単一ゲートESD保護素子202が、集積回路パッケージ(図示せず)の回路206の制御信号および/またはバイアス供給ノード(ピン)を保護するために使用されている。ESD保護素子202は、ドレイン(D)、ソース(S)、および単一ゲート(G)を有する、電界効果トランジスタ(FET)208と、第1および第2のショットキーダイオード214および216と、第3のダイオード218と、第1および第2のゲート抵抗器210および212とを備えてもよい。第3のダイオード218は、ESDイベントが生じると、伝導し(なだれ降伏状態になる)、それによって、トランジスタ208をオンにする、トリガダイオードである。ショットキーダイオード214および216は、電圧レベルシフトのために使用され、空乏モードトランジスタ208が、通常動作の間にオンになって電流を伝導させることを防止する。

10

【0019】

図3、5、および6を参照すると、描写されるのは、本開示の具体的例示的实施形態による、直流(DC)および制御ポートのための単一極性多重ゲートショットキー空乏モードFET ESD保護素子の概略図と、図3に示される、ESD保護素子のための構造の概略平面図である。ショットキー多重ゲートを有する単一極性ESD保護素子302は、集積回路パッケージ(図示せず)の回路306の制御信号および/またはバイアス供給ノード(ピン)を保護するために使用されてもよい。ESD保護素子302は、ドレイン(D)と、ソース(S)と、第1および第2のトリガゲート(G1およびG2)と、第1および第2のダイオード314および316と、第1および第2のゲート抵抗器310および312とを有する、多重ゲートショットキー空乏モード電界効果トランジスタ(FET)308、例えば、HEMT素子を備えてもよい。FET308は、2つまたはそれを上回るゲートを有し得ることも検討され、本開示の範囲内である。少なくとも1つのレベルシフトダイオードは、FETのソース308と電源コモン、例えば、電気接地との間に結合されてもよい。FET308のドレインは、集積回路(IC)パッケージ(図示せず)の外部接続(ピン)に結合され得る、ノード304に結合されてもよい。ICパッケージの外部接続(ピン)は、例えば、限定ではないが、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力/出力、デジタル入力/出力、電力接続、バイアス入力、外部補償キャパシタ等として使用されてもよい。

20

30

【0020】

負の静電電荷が、ノード304に蓄積すると、第2のトリガゲート(G2)は、順方向にバイアスされ、これらの電荷を第2のゲート抵抗器312を通して接地に排出する。正の静電電荷が、ノード304に蓄積すると、正の電位が、第1のトリガゲート(G1)が逆方向降伏状態になるまで、蓄積されるであろう。本降伏電流は、接地に流動し、第2のゲート抵抗器312を横断して、正の電位を確立するであろう。したがって、十分な電圧の提供は、ゲート/ソース電位が、直列に接続された第1および第2のダイオード314および316のターンオン電圧より正となると、その第2のゲートG2を用いて、FET308をオンにする。これらの第1および第2のダイオード314および316は、FETのソース308と電源コモン、例えば、接地との間に結合され、電圧レベルシフトを提供し、空乏モードトランジスタが、オンになる(伝導しない)ことを防止する。FET308のドレイン電流は、ノード304における正の静電電荷を消散させるための別の経路を提供し、第1のトリガゲートG1が、第1のトリガゲートG1を損傷し得る、過剰降伏電流を有することを防止するのに役立つ。

40

【0021】

故に、多重ゲート構造FET308は、トリガダイオード素子および放電ゲートFETを組み合わせ、貴重な集積回路ダイ面積を節約するための独特な方法である。加えて、3つのアクティブ素子面積のみが、単一極性多重ゲートESD保護素子302のために必要

50

である(1)FET308、2)および3)第1および第2のダイオード314および316)。従来技術のESD保護素子202は、4つのアクティブ素子面積(1)FET208、2)トリガ第3のダイオード218、3)および4)レベルシフトダイオード214および216)を要求する。したがって、従来技術のESD保護素子202は、本開示の教示による、同一ESD保護レベルを達成するために、集積回路ダイ(図示せず)上に、単一極性多重ゲートESD保護素子302より広いアクティブ素子面積を要求する。

【0022】

図7、8、および8Aを参照すると、描写されるのは、本開示の別の具体的例示的实施形態による、無線周波数(RF)ポートのための二重極性多重ゲートショットキー空乏モードFET ESD保護素子の概略図と、図7に示されるESD保護素子のための構造の概略平面図である。二重極性多重ゲートショットキー空乏モードFET ESD保護素子702は、集積回路パッケージ(図示せず)の回路706の制御、信号、および/またはバイアス供給ノード(ピン)を保護するために使用されてもよい。ESD保護素子702は、ドレイン、ソース、および第1および第2のゲート(G1およびG2)を有する、第1のHEMT素子308と、第1および第2のダイオード314および316と、第1および第2のゲート抵抗器310および312と、ドレイン、ソース、および第1および第2のゲート(G1およびG2)を有する、第2のHEMT素子708と、第3および第4のダイオード714および716と、第3および第4のゲート抵抗器710および712とを備えてもよい。ESD保護素子702は、有利には、高RF電力素子と関連付けられたRFポートと併用されてもよい。本ESD保護回路は、大規模な正および負のRF電圧振幅の存在下で使用されてもよい。本二重極性多重ゲートFET ESD保護素子702の作用原理は、実質的に、単一極性多重ゲートESD保護素子308のものに類似する。要素708 - 716は、要素308 - 316の鏡像として機能する。

【0023】

本開示の実施形態が、本開示の例示的实施形態を参照することによって、描写、説明、および定義されたが、そのような参照は、本開示の限定を含意するものではなく、そのような限定は、推測されない。開示される主題は、当業者および本開示の利益を有する者に想起されるであろうように、形態および機能において、少なからず修正、改変、および均等物が可能である。本開示の描写および説明される実施形態は、実施例にすぎず、本開示の範囲の包括ではない。

10

20

30

【図 1】

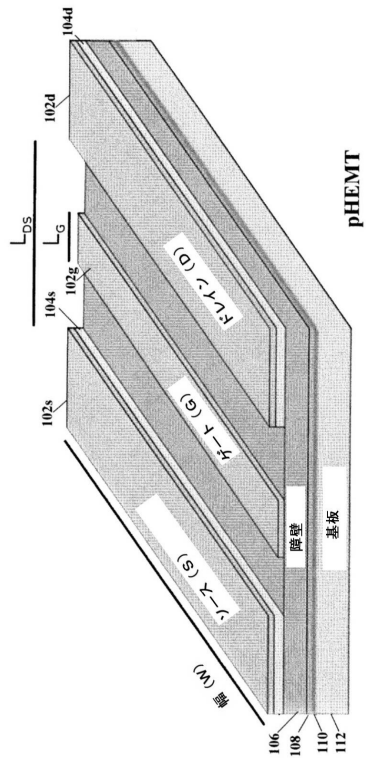


FIGURE 1

【図 2】

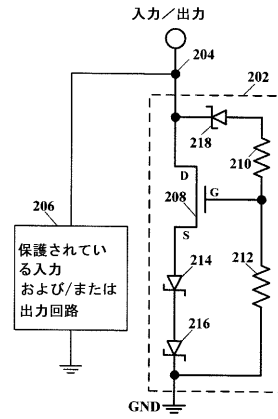


FIGURE 2 (従来技術)

【図 3】

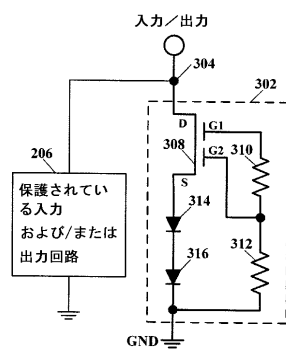


FIGURE 3

【図 4】

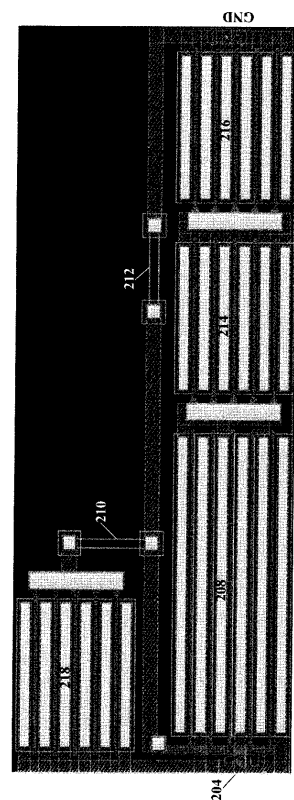
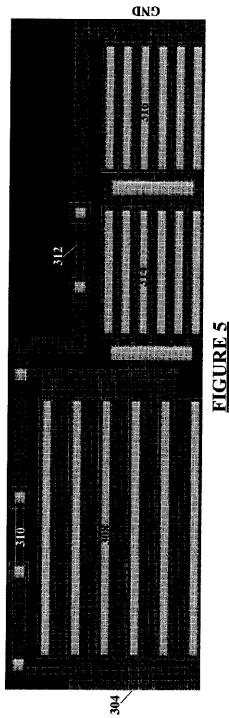


FIGURE 4 (従来技術)

【図 5】



【図 6】

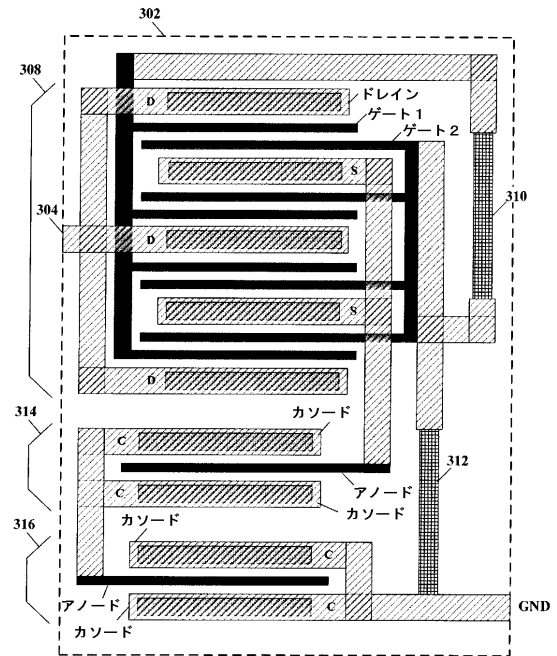


FIGURE 6

【図 7】

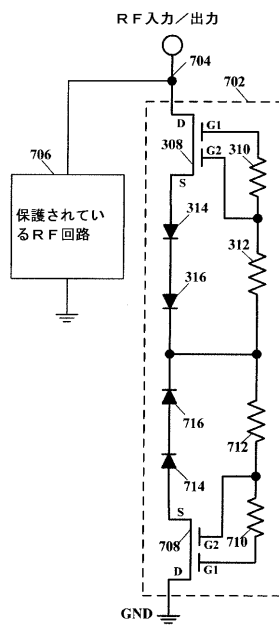


FIGURE 7

【図 8】

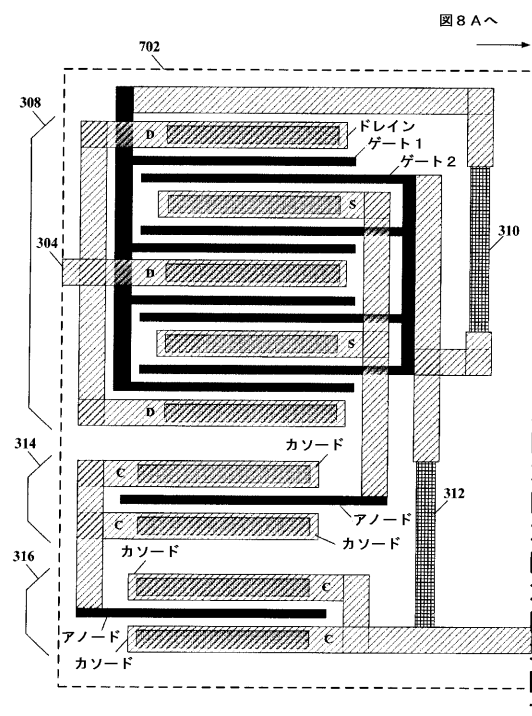


FIGURE 8

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/822 (2006.01) H 0 1 L 27/04 H
H 0 1 L 27/04 (2006.01) H 0 1 L 27/06 F
H 0 1 L 21/8232 (2006.01)
H 0 1 L 27/06 (2006.01)

(72)発明者 チョウ, ペイ - ミン ダニエル
アメリカ合衆国 カリフォルニア 9 0 0 2 5 , ロサンゼルス, マニング アベニュー 2 0
5 1

(72)発明者 コク, ヨン - リン
アメリカ合衆国 カリフォルニア 9 0 7 0 3 , セリトス, スターク アベニュー 1 8 9 0
9

(72)発明者 ズー, ジン
アメリカ合衆国 カリフォルニア 9 0 4 0 4 , サンタ モニカ, カンザス アベニュー 2
5 4 6 , アpartment 1 0 4

(72)発明者 シェル, スティーブン
アメリカ合衆国 カリフォルニア 9 0 5 0 3 , トーランス, トムリー アベニュー 2 0 6
0 1

審査官 恩田 和彦

(56)参考文献 米国特許第07881029 (US, B1)
特開2003-347417 (JP, A)
米国特許出願公開第2012/0262828 (US, A1)
特開2006-165182 (JP, A)
特表2007-521651 (JP, A)
特表2010-503217 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 7
H 0 1 L 2 1 / 3 3 8
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 3 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 9 / 7 7 8
H 0 1 L 2 9 / 8 0 8
H 0 1 L 2 9 / 8 1 2