

1. 一种有线通信的方法,其特征在于,所述方法包括:
将本地物理层内的以太网媒体独立接口数据从四比特数据包流转换到三比特数据包流;
将所述媒体独立接口数据的三比特数据包流映射到一个或多个三进制比特流;
在所述一个或多个三进制比特流之前插入比特流起始定界符;
在所述一个或多个三进制比特流之后插入数据流结束定界符;以及
通过一根或多根双绞线传送给远端物理层。
2. 根据权利要求1所述的方法,其特征在于,所述一个或多个三进制比特流包括第一三进制比特流和第二三进制比特流。
3. 根据权利要求1所述的方法,其特征在于,所述方法进一步包括利用PAM-3传送给所述远端物理层。
4. 根据权利要求1所述的方法,其特征在于,所述方法进一步包括在进行所述映射之前,对所述三比特数据包流进行加扰。
5. 根据权利要求1所述的方法,其特征在于,所述方法进一步包括在进行所述映射的过程中,调整所述三比特数据包流。
6. 一种有线通信的系统,其特征在于,包括:
本地物理层,将以太网媒体独立接口数据从四比特数据包流转换到三比特数据包流;
所述本地物理层将所述媒体独立接口数据的三比特数据包流映射到一个或多个三进制比特流;
所述本地物理层在所述一个或多个三进制比特流之前插入比特流起始定界符;
所述本地物理层在所述一个或多个三进制比特流之后插入数据流结束定界符;以及
所述本地物理层通过一根或多根双绞线传送给远端物理层。
7. 根据权利要求6所述的系统,其特征在于,所述一个或多个三进制比特流包括第一三进制比特流和第二三进制比特流。
8. 根据权利要求6所述的系统,其特征在于,所述本地物理层利用PAM-3与所述远端物理层通信。

一种有线通信的方法和系统

技术领域

[0001] 本发明涉及高速有线通信,更具体地说,涉及一种以太网线路码(Ethernetline code)范围扩展的方法和系统。

背景技术

[0002] 由于连接至数据网络的设备的数量的增加,需要更高的传输速率,在现有的铜导线架构上实现更高的传输速率的新技术逐渐成为新的需要。在这点上,人们作出了很多努力,包括使得传输速率在现有线缆上超过千兆比特/秒(Gbps)的技术。例如,IEEE 802.3 标准定义了 100 米长的双绞铜线上以 10Mbps、100Mbps、1Gbps 和 10Gbps 的速率传输的以太网连接的中介访问控制(MAC)接口和物理层(PHY)。每增加 10x 的速率,将需要更复杂的信号处理以维持 100 米标准线缆范围。然而,长于 100 米的连接将需要使用光纤或在连接中间布置以太网交换机、集线器和/或转发器,以维持所有线缆长度小于 100 米。

[0003] 作出的其他努力还包括,发展双绞线上的 10Gbps 以太网传输标准(10GBASE-T)。新兴的 10GBASE-T PHY 规范在最多 182 英尺的现有双绞线上实现 10Gbps 的连接,并且,在新的线缆上可以最多延伸至 330 英尺。为了在 4 对双绞铜线上实现 10Gbps 的全双工传输,需要精细的数字信号处理技术来移除或降低四对双绞铜线之间的严重的依赖于频率的信号衰减、信号反射、近端和远端串扰,以及来自临近传输链路或其它外部噪音源的接入所述四对双绞线的外部信号。此外,正在开发新的线缆规范,以减少外部电磁干扰的影响。

[0004] 对支持 1Gbps 或 10Gbps 传输率的 PHY 收发器结构做最小的改变来扩展标准以太网 PHY 设备的范围,可使得新的以太网 PHY 设备可应用于宽带接入市场,并很有可能应用于住宅和企业应用中。

[0005] 比较本发明后续将要结合附图介绍的系统,现有技术的其它局限性和弊端对于本领域的普通技术人员来说是显而易见的。

发明内容

[0006] 本发明提供了一种以太网线路码范围扩展的系统 and / 或方法,结合至少一幅附图进行了充分的展现和描述,并在权利要求中得到了更完整的阐述。

[0007] 根据本发明的一个方面,本发明提供了一种有线通信的方法,包括:

[0008] 将本地物理层内的以太网媒体独立接口(media independent interface,缩写为 MII)数据从 4 比特的数据包流转换到 3 比特的数据包流;以及

[0009] 将所述 MII 数据的 3 比特数据包流映射到一个或多个三进制比特流以通过一根或多根双绞线传送给远端物理层。

[0010] 优选地,所述一个或多个三进制比特流包括第一三进制比特流和第二三进制比特流。

[0011] 优选地,所述方法进一步包括利用 PAM-3 传送给所述远端物理层。

[0012] 优选地,所述方法进一步包括在进行所述映射之前,对所述 3 比特的数据包流进

行加扰。

[0013] 优选地,所述方法进一步包括在进行所述映射的过程中,调整所述 3 比特的数据包流。

[0014] 优选地,所述方法进一步包括当采用单根双绞线时,将所述的一个或多个三进制比特流多路复用为单个流。

[0015] 优选地,所述方法进一步包括在所述一个或多个三进制比特流之前插入比特流起始定界符(start-stream delimiters,缩写为 SSD)。

[0016] 优选地,所述方法进一步包括在所述一个或多个三进制比特流之后插入比特流结束定界符(end-stream delimiters,缩写为 ESD)。

[0017] 优选地,所述方法进一步包括在所述插入的数据流结束定界符之后插入空闲信号(idle signals)。

[0018] 根据本发明的一个方面,本发明提供了一种机器可读存储器,其内存储的计算机程序包括至少一个用于有线通信的代码段,所述至少一个代码段由机器 执行而使得所述机器执行如下操作步骤:

[0019] 将本地物理层内的以太网 MII 数据从 4 比特的数据包流转换到 3 比特的数据包流;以及

[0020] 将所述 MII 数据的 3 比特数据包流映射到一个或多个三进制比特流以通过一根或多根双绞线传送给远端物理层。

[0021] 优选地,所述一个或多个三进制比特流包括第一三进制比特流和第二三进制比特流。

[0022] 优选地,所述机器可读存储器进一步包括用于利用 PAM-3 与所述远端物理层通信的代码。

[0023] 优选地,所述机器可读存储器进一步包括在进行所述映射之前对所述 3 比特数据包流加扰的代码。

[0024] 优选地,所述机器可读存储器进一步包括在进行所述映射过程中调整所述 3 比特的数据包流的代码。

[0025] 优选地,所述机器可读存储器进一步包括当采用单根双绞线时将所述一个或多个三进制比特流多路复用为单个流的代码。

[0026] 优选地,所述机器可读存储器进一步包括用于在所述一个或多个三进制比特流之前插入比特流起始定界符的代码。

[0027] 优选地,所述机器可读存储器进一步包括用于在所述一个或多个三进制比特流之后插入比特流结束定界符的代码。

[0028] 优选地,所述机器可读存储器进一步包括用于在所述插入的比特流结束定界符之后插入空闲信号的代码。

[0029] 根据本发明的一个方面,本发明还提供了一种有线通信的系统,所述系统包括:

[0030] 本地物理层,将以太网 MII 数据从 4 比特的数据包流转换到 3 比特的数据包流;以及

[0031] 所述本地物理层将所述 MII 数据的 3 比特数据包流映射到一个或多个三进制比特流以通过一根或多根双绞线传送给远端物理层。

- [0032] 优选地,所述一个或多个三进制比特流包括第一三进制比特流和第二三进制比特流。
- [0033] 优选地,所述本地物理层利用 PAM-3 与所述远端物理层通信。
- [0034] 优选地,所述本地物理层在进行所述映射之前对所述 3 比特的数据包流加扰。
- [0035] 优选地,所述本地物理层在进行所述映射过程中调整所述 3 比特的数据包流。
- [0036] 优选地,当采用单根双绞线时,所述本地物理层将所述的一个或多个三进制比特流多路复用为单个流。
- [0037] 优选地,所述系统进一步包括在所述一个或多个三进制比特流之前插入比特流起始定界符。
- [0038] 优选地,所述系统进一步包括在所述一个或多个三进制比特流之后插入比特流结束定界符。
- [0039] 优选地,所述系统进一步包括在插入的所述比特流结束定界符之后插入空闲信号。
- [0040] 本发明的各种优点、各个方面和创新特征,以及其中所示例的实施例的细节,将在以下的说明书和附图中进行详细介绍。

附图说明

- [0041] 图 1 是根据本发明本地连接方和远端连接方之间的双绞线上以太网连接的模块图；
- [0042] 图 2 是本发明以太网收发器多速率 PHY 层架构的一个示例的模块图；
- [0043] 图 3 是本发明吉比特以太网系统中展示 ECHO、NEXT 和 FEXT 信道条件的模块图；
- [0044] 图 4A 是本发明吉比特以太网中接收到的信号的信号处理模块图；
- [0045] 图 4B 是本发明图 4A 中描述的吉比特以太网中均衡和解码操作独立进行的模块图；
- [0046] 图 4C 是本发明图 4A 中描述的吉比特以太网中均衡和解码操作联合进行的模块图；
- [0047] 图 5A 是本发明在 4 对双绞线上以 1000Mbps 运行的以太网连接的模块图；
- [0048] 图 5B 是本发明多速率 PHY 中回波抵消器的模块图；
- [0049] 图 6 是根据本发明实施例在 2 对双绞线上以 100Mbps 的速率运行的以太网连接的模块图；
- [0050] 图 7 是根据本发明实施例生成范围扩展的以太网线路码的示意框图；
- [0051] 图 8 是根据本发明实施例的侧流 (side stream) 扰频器的示意框图；
- [0052] 图 9 是根据本发明实施例的侧流解扰器的示意框图；
- [0053] 图 10 是根据本发明实施例的传输流中 SSD/ESD 码的示意框图；
- [0054] 图 11 是根据本发明实施例的发送错误的示意框图；
- [0055] 图 12 是根据本发明实施例的以太网线路码范围扩展操作的流程图。
- [0056] 具体实施方式
- [0057] 本发明的实施例涉及以太网线路码范围扩展的系统和方法。本发明的系统包括可用于将以太网媒体独立接口 (MII) 数据从 4 比特数据包流转换到 3 比特数据包流的本地物

理层。所述 3 比特数据包流被映射到第一和第二三进制比特流以通过一根或多根双绞线利用 PAM-3 传送给远端物理层。例如, PAM-3 可用于支持一根或两根双绞线的系统。进行映射之前, 可对所述 3 比特数据包流进行加扰和 / 或调整。当采用单根双绞线时, 本地物理层可将该三进制比特流多路复用为单个流。在所述三进制比特流之前可插入比特流起始定界符 (SSD), 在所述三进制比特流之后可插入比特流结束定界符 (ESD)。在插入的所述 ESD 之后、MMI 数据的下一帧的起始端之前, 可插入空闲信号。

[0058] 对于扩展范围的应用, 以太网线路码可降低线路速率以支持更长的或扩展的电缆范围。在这一点上, 可最小化线路码的冗余以扩展运行的范围。例如, 对各个线对上的传输采用 PAM-3 配置可获得合适的冗余和信噪比 (SNR)。用于扩展以太网应用范围的 PAM-3 符号可认为是三进制比特。以太网线路码传送数据流始于 4 比特的 MII 数据流, 所述 4 比特 MII 数据流可重定格式化为 3 比特的二进制数据流 (4b3b), 并进一步转化为 2 个三进制比特流 (3b2t)。所述 2 个三进制比特流可表示 9 个可能值, 其中只要 8 个值就足以表示该 3 比特二进制数据。在这一点上, 所述三进制比特数据中出现的多余的第九个值用于表示流控制码的起始和 / 或结束, 并还可用于指示传输错误。该三进制比特数据中的第 9 个值还可用于解决通过单个双绞线连接传送的三进制符号流的排序。MII 数据帧之间可插入特定的置闲码 (IDLE code), 该置闲码可用于指示本地物理层到远端链接方的连接可靠性。该置闲码后跟有数据帧, 该数据帧开始于 SSD, 结束于 ESD。经过特定编码的 ESD 可用于在数据流的传送过程中发送传输错误。

[0059] 图 1 是本发明本地连接方和远端连接方之间的双绞线以太网连接的模块图。参照图 1, 展示了系统 100, 包括本地连接方 102 和远端连接方 104。本地连接方 102 和远端连接方 104 通过线缆 112 通信。线缆 112 可包括多达 4 根无屏蔽双绞 (UTP) 铜缆或线缆。本地连接方 102 和远端连接方 104 可通过线缆 112 内的一根或多根双绞线进行通信。UTP 铜线的特定的性能和 / 或规范已被标准化。例如, 第三类线缆可提供双绞线上 10Mbps 以太网传输 (10BASE-T) 的必要性能。在另一个例子中, 第五类线缆可提供双绞线上 1000Mbps 或 1Gbps 以太网传输 (1000BASE-T) 的必要性能。在大多数例子中, 较低类别的线缆可通常具有比较高类别的线缆更大的插入损失。

[0060] 本地连接方 102 包括计算机系统 106a、中介访问控制 (MAC) 控制器 108a 和收发器 104a。远端连接方 104 包括计算机系统 106b、MAC 控制器 108b 和收发器 110b。然而本发明不限于此。

[0061] 收发器 110a 包括恰当的逻辑、电路和 / 或编码, 可进行通信, 例如, 在本地连接方 102 和连接方例如远端连接方 104 之间传输和接收数据。同样, 收发器 110b 包括恰当的逻辑、电路和 / 或编码, 可在远端连接方 104 和连接方例如本地连接方 102 之间进行通信。收发器 110a 和 110b 可支持例如以太网操作。收发器 110a 和 110b 可进行多速率通信, 例如, 10Mbps、100Mbps、1000Mbps (或 1Gbps) 和 / 或 10Gbps。在这点上, 收发器 110a 和 110b 可支持标准数据速率和 / 或非标准数据速率。此外, 收发器 110a 和 110b 可支持标准以太网链路长度或运行范围和 / 或扩展的运行范围。收发器 110a 和 110b 可利用链路发现信令 (link discovery signaling, 缩写为 LDS) 来探测其它连接方内的活动状态操作, 从而实现本地连接方和远端连接方之间的通信。在这一点上, LDS 操作可适用于标准以太网操作和 / 或扩展范围的以太网操作。此外, 收发器 110a 和 110b 可实现以太网线路码操作, 调试线路码速率

以支持扩展范围的运行。收发器 110a 和 110b 可使用多级信令。故而收发器 110a 和 110b 可使用不同级别的脉冲幅度调制 (PAM), 以表示将被传输的各种符号。例如, 对于 1000Mbps 以太网应用, PAM5 传输方案可用于每根双绞线中, 其中 PAM5 指的是具有 5 个级别 $\{-2, -1, 0, 1, 2\}$ 的 PAM。对于支持 PAM-3 的以太网线路码操作, 可在每根双绞线上使用 PAM-3 传输方案, 其中 PAM-3 是指具有三级 $\{-1, 0, 1\}$ 的 PAM。

[0062] 收发器 110a 和 110b 发送和 / 或接收的数据可根据已知的 OSI 协议标准进行格式化。OSI 模型将操作性和功能分割为 7 个不同且分等级的层。通常, OSI 模型中每个层可直接较高接口层提供服务。例如, 第一层或物理 (PHY) 层, 可向第二层提供服务, 而第二层可向第三层提供服务。发送的数据可包括以太网媒体独立接口 (MII) 数据帧, 所述数据帧可由数据流起始定界符和结束定界符进行定界。发送的数据还可包括有置闲码, 在数据帧之间进行传送。

[0063] 图 1 展示的本发明的一个实施例中, 计算机系统 106a 和 106b 可代表第三层及其之上的层, MAC 控制器 108a 和 108b 可代表第二层及其之上的层, 收发器 110a 和 110b 可代表第一层或 PHY 层的操作性和 / 或功能。在这点上, 收发器 110a 和 110b 可看作物理层设备或物理层收发器。计算机系统 106a 和 106b 包括恰当的逻辑、电路和 / 或编码, 可为将通过线缆 112 发送的数据包实现 5 个最高功能层的操作和 / 或功能。因为 OSI 模型中每个层向直接较高接口层提供服务, MAC 控制器 108a 和 108b 可向计算机系统 106a 和 106b 提供必要的服务以确保数据包被恰当地格式化并传输至收发器 110a 和 110b。在发送过程中, 每层对从比其高的接口层传来的数据加入其自有的报头。然而, 在接收过程中, 具有类似 OSI 堆栈的兼容设备在消息从较低层传输至较高层的过程中去除该报头。

[0064] 收发器 110a 和 110b 可设置为处理所有物理层要求, 包括但不限于, 在需要的情況中, 进行数据包化、数据传输和串连 / 解串连 (SERDES)。收发器 110a 和 110b 分别从 MAC 控制器 108a 和 108b 接收的数据包可包括有数据和上述 6 个功能层中每一个的报头信息。收发器 110a 和 110b 可设置为对将通过线缆 112 传送的数据包进行编码和 / 或对通过线缆 112 接收的数据包进行解码。

[0065] MAC 控制器 108a 包括恰当的逻辑、电路和 / 或编码, 可处理本地连接方 102 内的数据链路层、第 2 层操作和 / 或功能。同样, MAC 控制器 108b 包括恰当的逻辑、电路和 / 或编码, 可处理远端连接方 104 内的第 2 层操作和 / 或功能。MAC 控制器 108a 和 108b 可设置为实现以太网协议, 例如, 基于 IEEE 802.3 标准的协议。然而, 本发明不限于此。MAC 控制器 108a 还可生成调整信号, 所述信号可用于调整支持扩展的电缆或链路范围长度的以太网线路码操作内的数据。

[0066] MAC 控制器 108a 可通过接口 114a 与收发器 110a 通信, 并通过总线控制器接口 116a 与计算机系统 106a 通信。MAC 控制器 108b 可通过接口 114b 与收发器 110b 通信, 并可通过总线控制器接口 116b 与计算机系统 106b 通信。接口 114a 和 114b 对应以太网接口, 包括协议和 / 或链路管理控制信号。接口 114a 和 114b 可以是多速率接口。总线控制器接口 116a 和 116b 可对应 PCI 或 PCI-X 接口。然而本发明不限于此。

[0067] 图 2 是本发明以太网收发器多速率 PHY 层架构的模块图。参照图 2, 展示了连接方 200, 包括收发器 202 或物理层设备 202、MAC 控制器 204、计算机系统 206、接口 208 和总线控制器接口 210。收发器 202 可以是集成设备, 包括多速率 PHY 模块 212, 多个发送器 214a、

214c、214e 和 214g, 多个接收器 214b、214d、214f 和 214h, 存储器 216 和存储器接口 218。收发器 202 的操作与图 1 中描述的收发器 110a 和 110b 相同或基本近似。在这点上, 收发器 202 可提供第一层或 PHY 操作和 / 或功能, 实现与远端物理层设备的通信。同样, MAC 控制器 204、计算机系统 206、接口 208 和总线控制器 210 的操作可分别与 MAC 控制器 108a 和 108b、计算机系统 106a 和 106b、接口 114a 和 114b 和总线控制器接口 116a 和 116b 近似。MAC 控制器 204 可包括有多速率接口 204a, 其包括恰当的逻辑、电路和 / 或编码, 通过接口 208 以多个数据传输速率与收发器 202 的通信。

[0068] 收发器 202 中的多速率 PHY 模块 212 包括恰当的逻辑、电路和 / 或编码, 可实现 PHY 层要求的操作和 / 或功能。在这一点上, 多速率 PHY 模块 212 可生成合适的链路发现信令, 用于与远端连接方的收发器或 PHY 设备建立通信。此外, 多速率 PHY 模块 212 可生成合适的以太网线路码操作以支持扩展范围的应用。多速率 PHY 模块 212 通过接口 208 与 MAC 控制器 204 通信。在本发明的一个方面, 为了达到较高的操作速率, 例如 1Gbps 或 10Gbps, 接口 208 可设置为使用多个串连数据线路, 用于从多速率 PHY 模块 212 接收数据和 / 或传输数据至多速率 PHY 模块 212。多速率 PHY 模块 212 可设置为运行于一个或多个通信模式, 其中每个通信模式执行不同的通信协议。所述通信模式可包括但不限于 IEEE 802.3、10GBASE-T 和其它近似的协议。在初始化后或运行中, 多速率 PHY 模块 212 可设置为运行在特定的操作模式。多速率 PHY 模块 212 也可设置为运行在扩展范围模式。

[0069] 在某些例子中, 收发器 202 可使用自动协商方案指示或告知远端连接方, 收发器 202 正运行在扩展范围模式下。自动协商方案可在链路发现信令操作之后执行或因链路发现信令操作而执行。然后远端连接方可将其自己设置为适当的扩展范围模式。通过标准的自动协商, 网络链路可配置为仅从一端扩展, 以确保扩展范围后的以太网收发器和传统设备之间的可操作性。在这一点上, 可改变链路发现信号用于可扩展范围的以太网设备和传统设备之间的通信。在这一点上, 链路发现信令适用于实现可扩展范围的以太网设备和传统设备之间通信的建立。在某些例子中, 可对链路进行预设置, 并且收发器固定在扩展范围模式内。

[0070] 多速率 PHY 模块 212 可通过存储器接口 218 连接至存储器 216, 存储器接口 218 可以是串行接口或总线。存储器 216 包括恰当的逻辑、电路和 / 或编码, 可对完成多速率 PHY 模块 212 的操作的参数和 / 或编码等信息进行存储或编程。所述参数包括设置数据, 所述编码包括运行编码, 例如软件和 / 或固件, 但所述信息不限于此。此外, 所述参数可包括自适应性滤波器和 / 或模块系数, 由多速率 PHY 模块 212 使用。

[0071] 发送器 214a、214c、214e 和 214g 包括有恰当的逻辑、电路和 / 或编码, 用于实现通过图 1 中的线缆 212 从连接方 200 至远端连接方的数据传输。接收器 214b、214d、214f 和 214h 包括有恰当的逻辑、电路和 / 或编码, 可由连接方 200 从远端连接方接收数据。收发器 202 中的 4 对发送器和接收器每对对应于线缆 212 中 4 根电线之一。例如, 发送器 214a 和接收器 214b 用于通过线缆 212 中的第一电线对与远端连接方通信。近似地, 发送器 214g 和接收器 214h 用于通过线缆 212 中的第四根双绞线与远端连接方通信。在这点上, 4 对发送器 / 接收器中的至少一对可提供合适的传输速率。当四根双绞线线缆中至少一根处于活动状态时, 链路发现信令操作可实现扩展范围模式内的通信。

[0072] 图 3 是本发明吉比特以太网系统中展示 ECHO、NEXT 和 FEXT 信道条件的模块图。

参照图 3,展示了吉比特以太网系统 300,包括本地连接方 301a 和远端连接方 301b。本地连接方 301a 和远端连接方 301b 可以全双工模式通过四对双绞线 310 通信。四对双绞线 310 中的每对可支持 250Mbps 的数据传输率以提供 1Gbps 的整体数据传输率。本地连接方 301a 可包括 4 个混合电路 (hybrid) 306。本地连接方 301a 的每个混合电路 306 可连接至发送器 302、接收器 304,并连接至 4 对双绞线 310 其中之一。同样,本地连接方 301b 可包括 4 个混合电路 (hybrid) 306。本地连接方 301b 的每个混合电路 306 可连接至发送器 302、接收器 304,并连接至 4 对双绞线 310 其中之一。图 3 中展示的本地连接方 301a 和远端连接方 301b 的一部分分别对应于本地连接方 301a 和远端连接方 301b 所支持的 PHY 层操作的一部分。

[0073] 本地连接方 301a 或远端连接方 301b 的每个混合电路 306 可连接至转换器 308,或包括有转换器 308。混合电路 306 包括有恰当的逻辑、电路和 / 或编码,可分离通过双绞线 310 发送和接收的信号。发送器 302 包括有恰当的逻辑、电路和 / 或编码,可通过混合电路 306 和双绞线 310 将生成的信号发送至链路另一端的连接方。接收器 304 包括有恰当的逻辑、电路和 / 或编码,可处理通过双绞线 310 和混合电路 306 从链路另一端的连接方接收的信号。

[0074] 在运行中,双绞线 310 的每对中会发生各种情况。例如,频率相关电线衰减会导致符号间干扰 (ISI)。如图 3 所示,双绞线 310 内接收到 ECHO 成分,该 ECHO 成分源自本地发送器 302 在同一双绞线 310 上产生的回波 (echo)。双绞线 310 中还可接收到源自同一连接方中对应 3 个临近的双绞线 310 的本地发送器 302 的近端干扰 (NEXT) 成分。此外,双绞线 310 内还可接收到源自链路另一端的连接方内的远程发送器 302 的远端干扰 (FEXT) 成分。尽管图 3 中所公开的是吉比特以太网系统 300,但本发明并不限于此。

[0075] 图 4A 是本发明吉对比特以太网对接收的信号的处理模块图。参照图 4A,展示了信号处理系统 400,提供以太网收发器中的物理层 (PHY) 操作所执行的部分信号处理。例如,信号处理系统 400 可实现在多速率 PHY 模块 212 和 / 或图 2 中展示的接收器 214b、214d、214f 和 214h 内。信号处理系统 400 可包括模数转换器 (A/D) 402、自适应前馈均衡器 (FFE) 404、3 NEXT 消除器 406、加法器 408、ECHO 消除器 410 和均衡器 / 网格解码器 412。

[0076] A/D 402 可包括恰当的逻辑、电路和 / 或编码,将通过双绞线接收的模拟信号转换为数字信号。A/D 402 的输出可传输至 FFE 404。FFE 404 可包括恰当的逻辑、电路和 / 或编码,用于移除先兆 (precursor) ISI,以得到信道最小相位并白化信道噪音。3 NEXT 消除器 406 可包括恰当的逻辑、电路和 / 或编码,用于消除双绞线内接收的来自对应于 3 个临近双绞线的本地发送器的 NEXT 成分的至少一部分。ECHO 消除器 410 可包括恰当的逻辑、电路和 / 或编码,用于消除双绞线内接收的来自同一双绞线上本地发送器的 ECHO 成分的至少一部分。

[0077] 加法器 408 可包括恰当的逻辑、电路和 / 或编码,用于将 FFE 404、3 NEXT 消除器 406 和 / 或 ECHO 消除器的输出相加,以生成后兆 (postcursor) 信道脉冲响应 $z_{n,1}$ 。均衡器 / 网格解码器 412 可包括恰当的逻辑、电路和 / 或编码,用于对因后兆脉冲响应产生的 ISI 进行均衡,并对网格编码进行解码。均衡器 / 网格解码器 412 可接收对应于其它双绞线的后兆信道脉冲响应 $z_{n,2}$ 、 $z_{n,3}$ 和 $z_{n,4}$ 作为输入。均衡器 / 网格解码器 412 可生成对应于接收的模拟信号的检测比特。

[0078] 图 4B 是本发明图 4A 中描述的吉比特以太网中均衡和解码操作单独进行的模块图。参照图 4B, 展示了均衡器 / 网格解码器 412, 实现为单独的均衡和网格解码操作。均衡器 / 网格解码器 412 包括 4 个决策 - 反馈均衡器 (DFE) 420 和一个网格编码调制 (TCM) 解码器 422。DFE 420 包括恰当的逻辑、电路和 / 或编码, 用于移除每个双绞线的后兆 ISI。TCM 解码器 422 包括恰当的逻辑、电路和 / 或编码, 用于可对编码网格执行维特比 (Viterbi) 算法以对网格编码符号进行解码。TCM 解码器 422 可使用并行决策 - 反馈解码结构实现。独立的均衡和网格解码方法的实现复杂性较低, 并且可轻易地达到 1Gbps 的数据传输率。

[0079] 图 4C 是本发明图 4A 中描述的吉比特以太网中均衡和解码操作联合进行的模块图。参照图 4C, 展示了均衡器 / 网格解码器 412, 实现为均衡和网格解码操作联合执行。均衡器 / 网格解码器 412 包括决策 - 反馈预滤波器 (DFP) 模块 450 和预测并行决策 - 反馈解码器 (LA-PDFD) 452。DFP 模块 450 包括 4 个 DFP 454, 每个双绞线一个。DFP 454 包括恰当的逻辑、电路和 / 或编码, 用于缩减后兆信道存储器。LA-PDFD 452 包括恰当的逻辑、电路和 / 或编码, 用于以预测方式计算分支度量 (branch metrics)。信道系数的训练和适应可用于改善图 4D 中均衡器 / 网格解码器 412 的性能。

[0080] 图 5A 是本发明 4 对双绞线上以 1000Mbps 运行的以太网连接的模块图。参照图 5A, 展示了以太网系统 500, 以 1000Mbps 或 1Gbps 的速率运行, 包括有本地连接方 501a 和远端连接方 501b。本地连接方 501a 和远端连接方 501b 可通过多达 4 根活动状态的双绞线线缆 310 以全双工操作通信。当所有 4 根双绞线线缆都处于活动状态时, 4 根双绞线线缆 310 中的每根可支持 250Mbps 的数据传输率, 从而提供总共 1Gbps 的总体数据传输率。当四根双绞线线缆 310 中的一根或两根处于活动状态时, 以太网系统 500 所支持的数据率分别为 250Mbps 和 500Mbps。本地连接方 501a 包括 4 个混合电路 502。混合电路 502 的操作与图 3 中的混合电路 302 的操作近似或相同。然而, 本发明不限于此, 并可支持各种混合电路的实施。本地连接方 501a 的每个混合电路 502 可连接至发送器 302、接收器 304 并连接至 4 个双绞线 310 其中之一。与本地连接方 501a 中每个混合电路 502 相联的还有回波消除器 504a 和减法器 506a。本地连接方 501a 还包括有解多路复用器 (demux) 508a、校准器 510a 和多路复用器 (mux) 512a。

[0081] 同样地, 远端连接方 501b 包括 4 个混合电路 502。远端连接方 501b 的每个混合电路 502 连接至发送器 302、接收器 304 并连接至 4 个双绞线 310 其中之一。与远端连接方 501b 的每个混合电路 502 相关联的还有回波消除器 504b 和减法器 506b。远端连接方 501b 还包括有解多路复用器 (demux) 508b、校准器 510b 和多路复用器 (mux) 512b。图 5A 中所示的本地连接方 501a 和远端连接方 501b 的部分可分别对应于本地连接方 501a 和远端连接方 501b 所支持的物理层操作的一部分。

[0082] 解多路复用器 508a 和 508b 包括恰当的逻辑、电路和 / 或编码, 用于分离 1Gbps 的信号为 4 个 250Mbps 的信号, 以便在 4 个双绞线上传输。校准器 510a 和 510b 包括恰当的逻辑、电路和 / 或编码, 用于对从 4 个双绞线中每个接收的 250Mbps 的信号进行校准。多路复用器 512a 和 512b 包括恰当的逻辑、电路和 / 或编码, 用于将来自校准器 510 的经校准 250Mbps 信号合并, 生成 1Gbps 的接收信号。

[0083] 回波消除器 504a 和 504b 包括恰当的逻辑、电路和 / 或编码, 用于处理将通过发送器 302 传输的信号, 以便至少部分地消除对应的通过与同一双绞线相关的接收器 304 接收

的信号内的回波成分。减法器 506a 和 506b 包括恰当的逻辑、电路和 / 或编码,用于消除接收的信号中的回波成分。

[0084] 操作中,本地连接方 501b 通过解多路复用器 508a 将将要传送的 1Gbps 信号分离为 4 个 250Mbps 的信号。在通过混合电路 502 传输至对应的双绞线之前,每个将被传送的信号可由发送器 302 先进行处理。4 个发送的信号将到达本地连接方 501a,然后在由对应的回波消除器 504a 和减法器 506a 进行回波消除之前,其中的每个信号均由接收器 304 进行处理。接着,在校准器 510a 中对四个接收的 250Mbps 信号进行校准,然后再在多路复用器 512a 中将其合并成 1Gbps 的接收信号。

[0085] 图 5B 是本发明多速率 PHY 中回波消除器的模块图。参照图 5B,展示了 1Gbps 或 10 Gbps 模式下 PHY 层操作的回波消除部分,包括发送器 520、接收器 522、混合电路 502 和回波消除模块 524。回波消除模块 524 包括由自适应数字滤波器 526 和减法器 528。发送器 520 包括恰当的逻辑、电路和 / 或编码,用于生成信号,该信号将通过混合电路 502 和对应的双绞线传送给链路另一端的连接方。在这点上,发送器 520 可用于发送与链路发现信令操作相关的信号。接收器 522 包括恰当的逻辑、电路和 / 或编码,用于处理通过对应双绞线和混合电路 502 从链路另一端的连接方接收到的经过回波消除的信号。在这点上,接收器 522 可用于接收与链路发现信令操作相关的信号。

[0086] 自适应数字滤波器 526 包括恰当的逻辑、电路和 / 或编码,用于至少部分地消除接收的信号中的回波成分。在这点上,自适应数字滤波器 526 可使用关于发送的和接收的信号的信息。自适应数字滤波器 526 可以是自适应横向数字滤波器,执行相关算法、随机迭代算法和 / 或符号算法。

[0087] 操作中,信号通过混合电路 502 接收。自适应信号滤波器 526 可使用与通过发送器 520 发送的信号相关的信息来确定与回波成分相关的噪音成分,以在减法器 528 中将其从接收的信号中去除。减法器 528 的输出可传送至接收器 522 和自适应数字滤波器 526 以执行反复的回波消除操作。

[0088] 图 6 是本发明在 2 对双绞线上以 100Mbps 的速率运行的以太网连接的模块图。参照图 6,展示了以太网系统 600,以 100Mbps 全双工模式运行,包括本地连接方 601a 和远端连接方 601b。本地连接方 601a 和远端连接方 601b 通过 2 个双绞线 310 通信,其中每个双绞线是单向的。发送和接收操作在每根双绞线线缆上执行。而 2 个额外的双绞线尚未被使用。由于使用中的每根双绞线 310 可支持全双工 50Mbps 的数据率,总的通信速率为 100Mbps。本地连接方 601a 包括 PHY 收发器 602。远端连接方 601b 包括 PHY 收发器 604。

[0089] PHY 收发器 602 和 604 可包括合适的逻辑、电路和 / 或代码,用于在双绞线线缆上传输。在某些实施例中,PHY 收发器 602 和 604 可通过与发送器通信连接的变换器 (transformer) 308 发送信号。PHY 收发器 602 和 604 可从双绞线线缆接收信号。在某些实施例中,PHY 收发器 602 和 604 可通过与接收器通信连接的变换器 308 接收信号

[0090] 当至少一根双绞线处于活动状态时,可支持扩展范围的应用。此外,在单个方向上的活动状态双绞线线缆连接操作内或图 6 所示的全双工连接内,可支持扩展范围应用。为实现扩展范围应用,PHY 或本地收发器需要提供合适的以太网线路码操作。

[0091] 图 7 是根据本发明实施例生成范围扩展的以太网线路码的示意框图。参照图 7,显示了以太网线路码系统 700,包括校准器 (aligner) 702、映射到三进制模块 704、SSD/ESD/

IDLE 插入模块 706、多路复用器 708、切换器 710、第一发送器 712a、第二发送器 712b、数据加扰器 714、比特格式重定器 (bitre-formatter) 716、比特加扰器 718、数据及符号加扰器 720 和侧流加扰器 722。

[0092] 侧流加扰器 722 可包括合适的逻辑、电路和 / 或代码, 用于生成可传送给数据和符号加扰器的侧扰值流 Sc_{r_n} 。在这一点上, 侧流干扰器 722 可用于与第一吉比特以太网物理层内使用的侧流加扰操作类似的扩展范围应用。例如, 当物理层作主设备运行时, 侧流加扰器 722 使用来生成侧扰值 Sc_{r_n} 的主加扰器多项式可为 $gM(x) = 1+x^{13}+x^{33}$ 。当物理层作从属设备运行时, 侧流加扰器 722 使用来生成侧扰值 Sc_{r_n} 的从加扰器多项式为 $g_s(x) = 1+x^{20}+x^{33}$ 。

[0093] 数据及符号加扰器 720 可包括合适的逻辑、电路和 / 或代码, 用于接收来自侧流加扰器 722 的侧扰值 Sc_{r_n} , 并生成数据及符号加扰值流 Sy_n 。在本发明的典型实施例中, 数据及符号加扰值 Sy_n 可为 3 比特的值。数据及符号加扰器 720 可采用以下表达式生成数据及符号加扰值流 Sy_n :

$$[0094] \quad g(x) = x^3 \wedge x^8,$$

$$[0095] \quad Sy_n[0] = Sc_{r_n}[0]$$

$$[0096] \quad Sy_n[1] = g(Sc_{r_n}[0]) = Sc_{r_n}[3] \wedge Sc_{r_n}[8], \text{ 并且}$$

$$[0097] \quad Sy_n[2] = g2(Sc_{r_n}[0]) = Sc_{r_n}[6] \wedge Sc_{r_n}[16]$$

[0098] 比特加扰器 718 可包括合适的逻辑、电路和 / 或代码, 用于接收来自数据和符号加扰器 720 的数据及符号加扰值流并生成加扰比特值流 Sc_n 。在本发明的典型实施例中, 加扰比特值 Sc_n 可为 3 比特的值。比特加扰器 718 可采用以下表达式生成加扰比特值流 Sc_n :

$$[0099] \quad Sc_n[2:1] = \begin{bmatrix} [0 \ 0] \text{ if}(tx_mod \ e = SEND_Z) \\ Sy_n[2:1] \text{ else if}(n - n0) = 0 \pmod{e2} \\ (Sy_{n-1}[2:1] \wedge [1 \ 1]) \text{ else} \end{bmatrix}$$

[0100] 且

$$[0101] \quad Sc_n[0] = \begin{bmatrix} 0 \text{ if}(tx_mod \ e = SEND_Z) \\ Sy_n[0] \text{ else} \end{bmatrix}$$

[0102] 其中信号 tx_mode 可由比特加扰器 718 从本地 PHY 的其它部分和 / 或从 MAC 层设备接收到。

[0103] 比特格式重定器 (bit re-formatter) 716 可包括合适的逻辑、电路和 / 或代码, 用于接收用于传输的 MII 数据即 MII_TXD, 并将 4 比特的 MII 数据包流转换成 3 比特 MII 数据包流 $txd3b_n$, 该 3 比特 MII 数据包流 $txd3b_n$ 将传输到数据加扰器 714。数据加扰器 714 可包括合适的逻辑、电路和 / 或代码, 用于接收来自比特加扰器 718 的加扰比特值流 Sc_n 以及转换后的 3 比特 MII 数据包流 $txd3b_n$, 生成数据加扰值流 Sd_n 。在本发明的典型实施例中, 数据加扰值 Sd_n 可为 3 比特的值。数据加扰器 714 可采用以下表达式生成数据加扰值流 Sd_n

$$[0104] \quad Sd_n[2] = \begin{bmatrix} Sc_n[2] \wedge txd3b_n[2] \text{ if}(tx_enable_{n-3} = 1) \\ Sc_n[2] \wedge 1 \text{ else if}[2] \wedge \text{if}(loc_rcvr_status = OK) \\ Sc_n[2] \text{ else} \end{bmatrix}$$

[0105] 且

$$[0106] \quad Sd_n[1:0] = \begin{cases} Sc_n[1:0] \wedge txdb_n[1:0] & \text{if } (tx_enable_{n-3} = 1) \\ Sc_n[1:0] & \text{else} \end{cases}$$

[0107] 其中 tx_enable_{n-3} 可是表示发送可用状态的信号, loc_rcvr_status 可是表示本地接收器当前状态的信号。

[0108] 校准器 702 可包括合适的逻辑、电路和 / 或代码, 用于从发射可用 (TX_EN) 和 / 或发射错误 (TX_ER) 信号生成至少一个调整信号用于补偿以太网线路码操作导致的失调 (misalignment)。例如, 经过 4 比特到 3 比特的转换后, MII 数据的比特数不会总是 3 的倍数, 所以发送器可通过在插入 ESD 三进码比特 {0,0}、{0,0} 和 {1,1} 前在数据流的末端添加 1 或 2 个比特来调整 MII TXD 数据到 3 比特的边界。在接收器端, 接收到的转换三进制符号得到的二进制比特可最终转换回 4 比特 MII 接收器 (RXD) 数据。因解码的数据流与 4 比特的边界对准, 在三进制符号 {0,0} 之前, 可能仍有 1 或 2 个多余比特不能与 4 比特边界对准, 接收器将截掉这些比特。校准器 702 可传输至少一个调整信号到映射到三进制模块 704 和 / 或 SSD/ESD/IDLE 插入模块 706。

[0109] 映射到三进制模块 704 可包括合适的逻辑、电路和 / 或代码, 用于根据数据加扰器 714 生成的数据加扰值流 Sd_n 并根据校准器 702 生成的至少一个调整信号, 生成第一三进制比特流 A 和第二三进制比特流 B。如表格 1 所示, 用于表示 3 比特加扰值得三进制比特流 A 和 B 可产生 9 个可能值, 其中的 8 个可能值足够用于完全表示该数据加扰值。在这一点上, 三进制比特 {0,0} 提供的结果可用于控制码以表示数据流的起始或结束, 和 / 或发射和错误。

[0110] 对置闲 (IDLE) 码或排列 (pattern), 映射到三进制的执行有些不同。IDLE 排列的序列必须进行标准化, 并且 IDLE 的内容可用于同步远端设备接收器内的解扰器和本地设备解扰器。在 IDLE 状态, 侧流加扰器 722 可生成 3 比特二进制 IDLE 排列。当 IDLE 排列的最低有效位是“0”时, 一个三进制比特如三进制比特 A, 可赋予非零三进制值, 如“-1”或“1”。否则, IDLE 排列的最低有效位是“1”时, 可为合适的三进制比特赋予三进制值“0”。这样的规则或方法可通过转换接收到的对应三进制比特 A 的符号为二进制比特并将转换后的值馈送给解扰器移位寄存器来实现接收器侧的解扰器与加扰流同步。

[0111]

$Sd_n[2:0]$	三进制 A	三进制 B
0	-1	-1
1	-1	0
2	-1	1
3	0	-1
未定义	0	0
4	0	1
5	1	-1
6	1	0
7	1	1

[0112] 表 1 数据传输中的二进制到三进制比特映射

[0113] 相同或类似的规则或方法可用于识别哪根双绞线正在传输三进制比特 A。在这一点上, 可采用试错机制 (trial and error mechanism)。例如, 当解扰器的比特“0”最终匹配输入的符号时, 三进制比特 A 便被识别出来。这样的方法也可用于解决当通过单根双绞

线传输三进制比特 A 和三进制比特 B 时,可能在 AB 或 BA 排序时产生的任何三进制比特或三进制符号对准问题。

[0114] 当发送 IDLE 码或排列时,包含 IDLE 信息的数据加扰值 S_{dn} 的映射需要 6 个三进制比特或三进制符号,如表 2 中所示。在本发明一个实施例中, IDLE 码传输过程中不需要三进制符号 $\{0,0\}$ 、 $\{-1,-1\}$ 和 $\{1,1\}$ 。

[0115]

$S_{dn}[2:0]$	三进制 A	三进制 B
000	-1	0
001	0	1
010	-1	1
011	0	1
100	1	0
101	0	-1
110	1	-1
111	0	-1

[0116] 表 2 IDLE 传输中的二进制到三进制比特映射

[0117] SSD/ESD/IDLE 插入模块 706 可包括合适的逻辑、电路和 / 或代码,用于对将从 PHY 设备发送的信息流插入数据流起始定界符 (SSD)、数据流结束定界符 (ESD)、错误码 `xmt_error` 和 / 或 IDLE 码。在这一点上, SSD/ESD/IDLE 插入模块 706 可接收映射到三进制模块 704 生成的三进制比特 A 和 B 并依据校准器 702 生成的至少一个调整信号插入合适的代码。在这一点上,三个控制码 SSD、ESD 和 `xmt_error` 在数据和 IDLE 流中是显而易见的。例如,三进制比特或符号 $\{0,0\}$ $\{0,0\}$ $\{1,1\}$ 可用作 ESD 定界符,三进制比特或符号 $\{0,0\}$ $\{0,0\}$ $\{0,0\}$ 可用作 SSD 定界符,三进制比特或符号 $\{0,0\}$ $\{0,0\}$ $\{-1,-1\}$ 可用于指示传输错误或 `xmt_error`。当同时断言 (assert) TX-ER 和 TX-EN 信号时,三进制比特或符号 $\{0,0\}$ $\{0,0\}$ $\{-1,-1\}$ 可替换 ESD 以指出前一数据包具有传输错误。例如,当接收器检测这些符号时,接收器可在解除 RX-DV 信号的断言之前断言 RX-ER 信号。

[0118] 发送器 712a 和 712b 可包括合适的逻辑、电路和 / 或代码,用于通过双绞线线缆向远端连接方发送三进制比特。在某些实施例中,包含三进制比特 A 的数据流和包含三进制比特 B 的数据流可通过不同的发送器发送。在另一些实施例中,可将包含三进制比特 A 的数据流和包含三进制比特 B 的数据流合并后通过单个发送器发送。在这一点上,多路复用器 708 可包括合适的逻辑、电路和 / 或代码,用于生成单个数据流,该单个数据流包含三进制比特 A 数据流的内容和三进制比特 B 数据流的内容。可调整多路复用器 708 的输出,使三进制比特 A 在前,如 ABABABA... ,或三进制比特 B 在前,如 BABABAB... 。尽管如此,单个数据流也可包括多于两个合并的三进制比特或符号流。切换器 710 可包括合适的逻辑、电路和 / 或代码,用于多路复用器 708 生成的三进制比特 A 和 B 的合并数据流的传输选择或针对三进制比特 A 和 B 的单个数据流的传输选择。在这一点上,当将传输单个数据流时,切换器 710 可选择通过发送器 712a 或 712b 传输。如当传输合并而成的单个数据流时,相应的发送器可以两倍的数率运行。

[0119] 图 8 是根据本发明实施例的侧流加扰器的示意框图。参照图 8,显示了与图 7 所公开的侧流加扰器 722 相对应的侧流加扰器 800。当物理层设备作为主机设备运行时,侧流加扰器 800 可用于生成主加扰器多项式 (master scrambler polynomial);当物理层

设备作为从设备运行时,侧流加扰器 800 可用于生成从加扰器多项式 (slave scrambler polynomial)。在这一点上,侧流加扰器 800 的上部可包括合适的逻辑、电路和 / 或代码,用于实现如图 7 所示的主加扰器多项式。侧流加扰器 800 的上部可包括加法器 804 和多个延时器 802,用于生成 $Scr_n[0], \dots, Scr_n[12], \dots$ 和 $Scr_n[32]$,以用于主加扰器多项式。此外,侧流加扰器 800 的下部可包括合适的逻辑、电路和 / 或代码,用于实现如图 7 所示的从加扰器多项式。侧流加扰器 800 的下部可包括加法器 808 和多个延时器 804,用于生成 $Scr_n[0], \dots, Scr_n[19], \dots$ 和 $Scr_n[32]$,以用于从加扰器多项式。

[0120] 图 9 是根据本发明实施例的侧流解扰器的示意框图。参照图 9,显示了侧流解扰器 900,由接收器解扰被图 7 中公开的侧流加扰器 722 生成的数据加扰的数据。当物理层设备作为主机设备运行时,侧流解扰器 900 可用于生成主解扰器多项式 (master descrambler polynomial);当物理层设备作为从设备运行时,侧流解扰器 900 可用于生成从解扰器多项式 (slave descrambler polynomial)。在这一点上,侧流解扰器 900 的上部可包括合适的逻辑、电路和 / 或代码,用于实现对应于如图 7 所示的主加扰器多项式的主解扰器多项式。例如,侧流解扰器 900 的上部可包括选择器 903、加法器 804 和多个延时器 802,用于生成 $Scr_n[0], \dots, Scr_n[12], \dots$ 和 $Scr_n[32]$,以用于主解扰器多项式。当对应的三进制符号是“0”时,给选择器 903 的输入信号 PCS_{AP} 是“1”。

[0121] 此外,侧流解扰器 900 的下部可包括合适的逻辑、电路和 / 或代码,用于实现对应于图 7 所示的从加扰器多项式的从解扰器多项式。侧流解扰器 900 的下部可包括选择器 907、加法器 808 和多个延时器 806,用于生成 $Scr_n[0], \dots, Scr_n[19], \dots$ 和 $Scr_n[32]$,以用于从解扰器多项式。在这一点上,选择器 903 和 907 的操作基本一致。

[0122] 图 10 是根据本发明实施例的传输流中 SSD/ESD 码的示意框图。参照图 10,显示了在不同的双绞线上传输的一对数据流,对应于三进制比特 A 流和三进制比特 B 流。每个数据流均包括包体 1000、包尾 1002、IDLE 码部分 1004 和包头 1006 和下一包体 1008。包体 1000 和下一包体 1008 对应于在两根双绞线线缆上发送的 PAM3-MII 数据的连续帧。包尾 1002 对应于数据流结束定界符 (ESD),表示包体 1000 结束。ESD 中的三进制符号序列 {0、0、1} 可显示出之前传输无错。IDLE 码部分 1000 对应于在连续数据帧之间传输的 IDLE 码序列。包头 1006 对应于数据流起始定界符 (SSD),表示包体 1008 的开始。SSD 中的三进制符号序列 {0、0、0} 可表示下一数据帧的开始。尽管图 10 中公开了 SSD 和 / 或 ESD 码的使用,本发明并不限于此。此外,当包含三进制比特 A 和三进制比特 B 的合并数据流通过单根双绞线传输时,也可采用类似的数据流结构。

[0123] 图 11 是根据本发明实施例的发送错误的示意框图。参照图 11,显示了如图 10 公开的在不同的双绞线上传输的对应三进制比特 A 流和三进制比特 B 流的一对数据流。在这个典型实施例中,包尾 1002 采用三进制符号序列 {0, 0, -1}, 向接收器显示前一传输发生错误。虽然图 11 中公开了 ESD 中传输错误码的使用,本发明并不限于此。此外,当包括三进制比特 A 和三进制比特 B 的合并数据流通过单根双绞线传输时,也可采用类似的数据流结构。

[0124] 图 12 是根据本发明实施例的以太网线路码范围扩展操作的流程图。参照图 12,示出了描述如图 7-11 中公开的针对扩展范围运行的以太网线路码运作的流程图 1200。开始步骤 1202 之后,在步骤 1204 中,传输 MII 数据流之前,SSD/ESD/IDLE 插入模块 706 插入

数据流起始定界符 (SSD) 以表示将要传输一个新的数据帧。在步骤 1206 中, 比特格式重定器 (bit re-formatter) 716 接收用于传输的 MII TXD 数据。在步骤 1208 中, 比特格式重定器 716 可转换来自 MII TXD 数据流的 4 比特 MII 数据包为传送给数据加扰器 714 的 3 比特数据包。在步骤 1210 中, 数据加扰器 714 根据比特加扰器 718、数据及符号加扰器 720 和 / 或侧流加扰器 722 的运行结果对来自比特格式重定器 716 的 3 比特数据包加扰。在步骤 1212 中, 映射到三进制模块 704 将数据加扰器 714 生成加扰数据值流映射到如表 1 中所示的两个三进制比特 A 和 B。在步骤 1206 中, 由加扰数据值的映射生成的三进制比特 A 和 B 数据流在插入 SSD 之后被传送。

[0125] 在步骤 1214 中, 当接收到将在当前帧传输的 MII TXD 数据并对其进行传输处理后, 进入步骤 1216。在步骤 1216 中, SSD/ESD/IDLE 插入模块 706 插入数据流结束定界符 (ESD), 以表示数据帧的尾端已经发送出去。ESD 也可指示出是否发生了传输错误。在步骤 1218 中, 插入 ESD 之后, 可生成 IDLE 码, 映射到三进制比特并插入传输流内, 如结合图 7-11 所述。返回到步骤 1214, 没有完整地接收到将在当前帧传输的 MII TXD 数据并对其进行处理时, 处理流程返回到步骤 1206。

[0126] 在步骤 1220 中, 当传输发生在单根双绞线上时, 处理流程可进入步骤 1222。在步骤 1222 中, 多路复用器 708 合并三进制比特流, 切换器 710 实现通过发送器 712a 和 712b 其中之一传送三进制比特 A 和 B 的单个数据流。返回步骤 1220, 当传输将发生在两根双绞线上时, 处理流程进入步骤 1224。在步骤 1224 中, 切换器 710 和多路复用器 708 在各自正常操作模式下运行, 并通过发送器 712a 和 712b 实现三进制比特 A 流和三进制比特 B 流的传输。

[0127] 因此, 本发明可以通过硬件、软件, 或者软、硬件结合来实现。本发明可以在至少一个计算机系统中以集中方式实现, 或者由分布在几个互连的计算机系统不同部分以分散方式实现。任何可以实现方法的计算机系统或其它设备都是可适用的。常用软硬件的结合可以是安装有计算机程序的通用计算机系统, 通过安装和执行程序控制计算机系统, 使其按方法运行。

[0128] 本发明还可以通过计算机程序产品进行实施, 程序包含能够实现本发明方法的全部特征, 当其安装到计算机系统中时, 可以实现本发明的方法。本文件中的计算机程序所指的是: 可以采用任何程序语言、代码或符号编写的一组指令的任何表达式, 该指令组使系统具有信息处理能力, 以直接实现特定功能, 或在进行下述一个或两个步骤之后实现特定功能: a) 转换成其它语言、编码或符号; b) 以不同的格式再现。

[0129] 虽然本发明是通过具体实施例进行说明的, 本领域技术人员应当明白, 在不脱离本发明范围的情况下, 还可以对本发明进行各种变换及等同替代。另外, 针对特定情形或材料, 可以对本发明做各种修改, 而不脱离本发明的范围。因此, 本发明不局限于所公开的具体实施例, 而应当包括落入本发明权利要求范围内的全部实施方式。

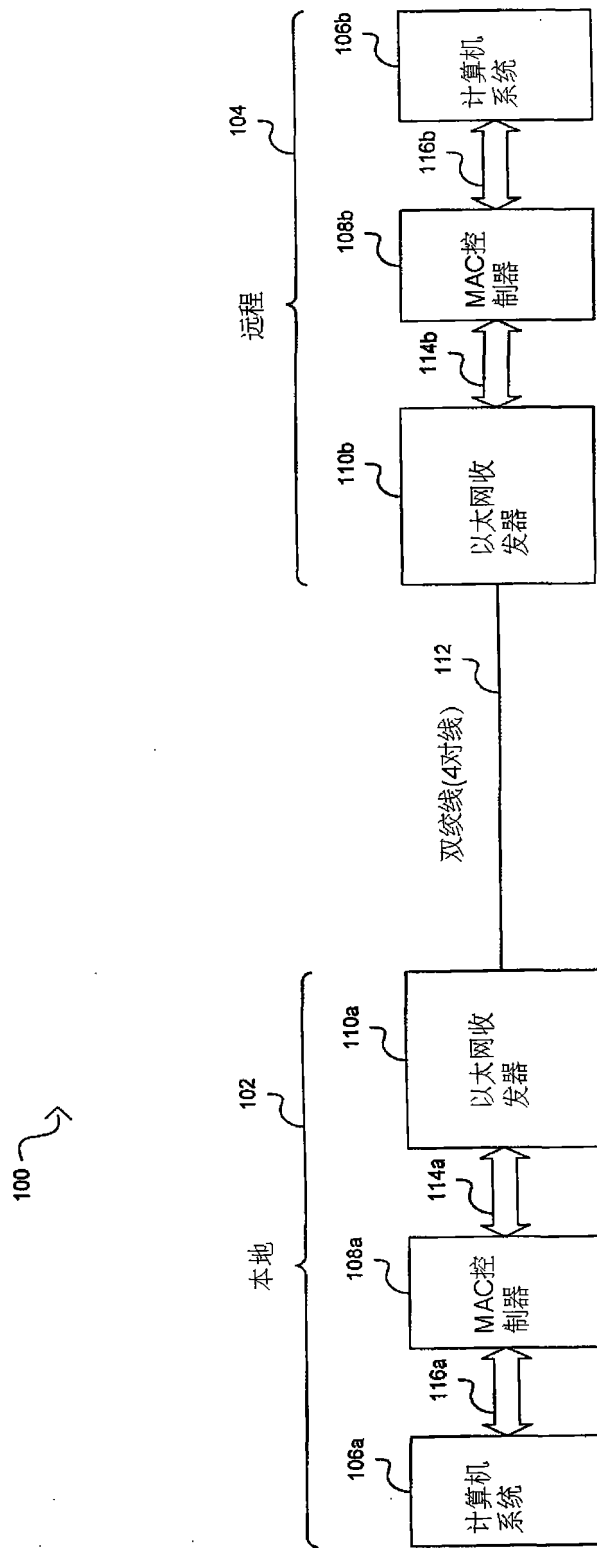


图 1

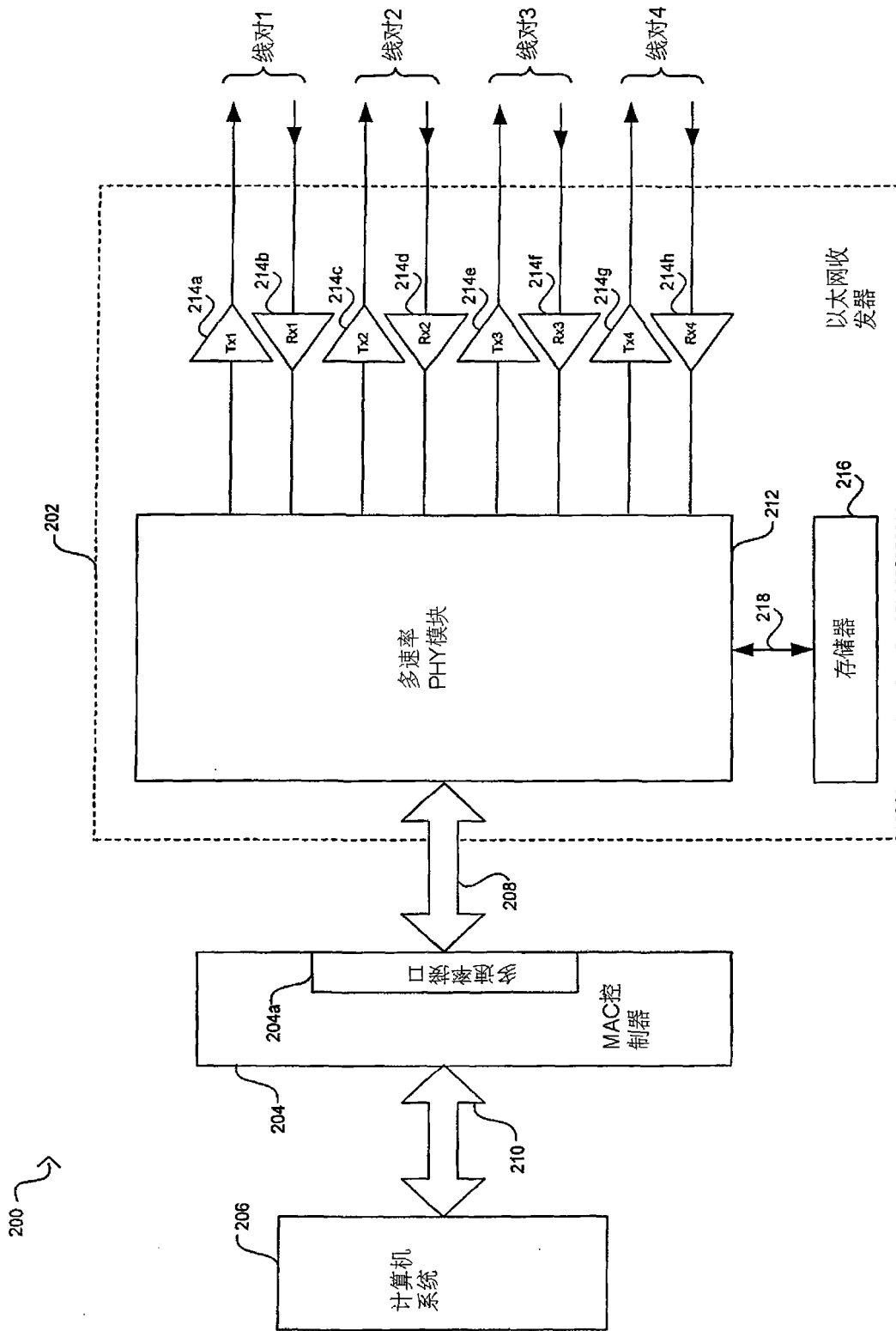


图 2

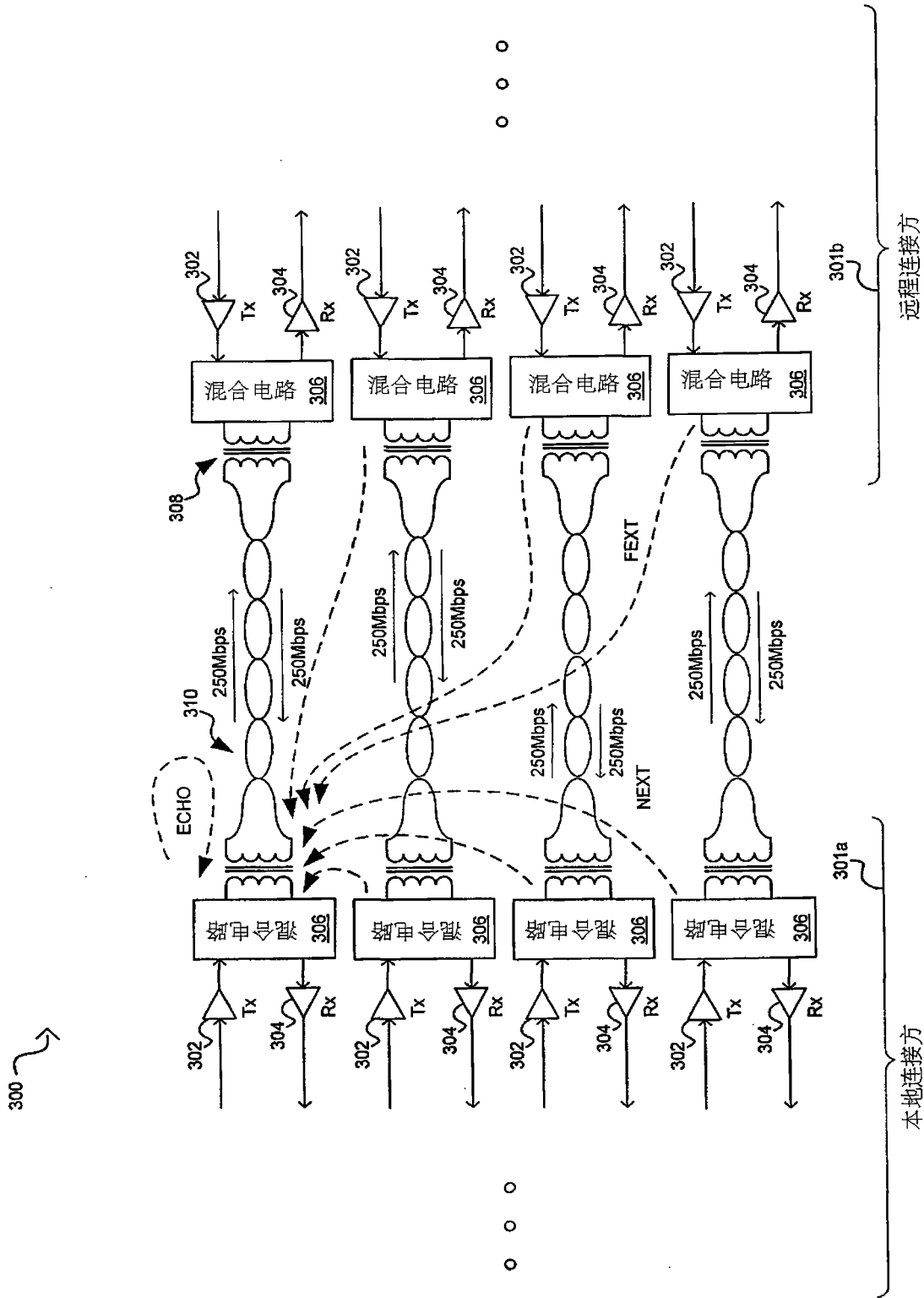


图 3

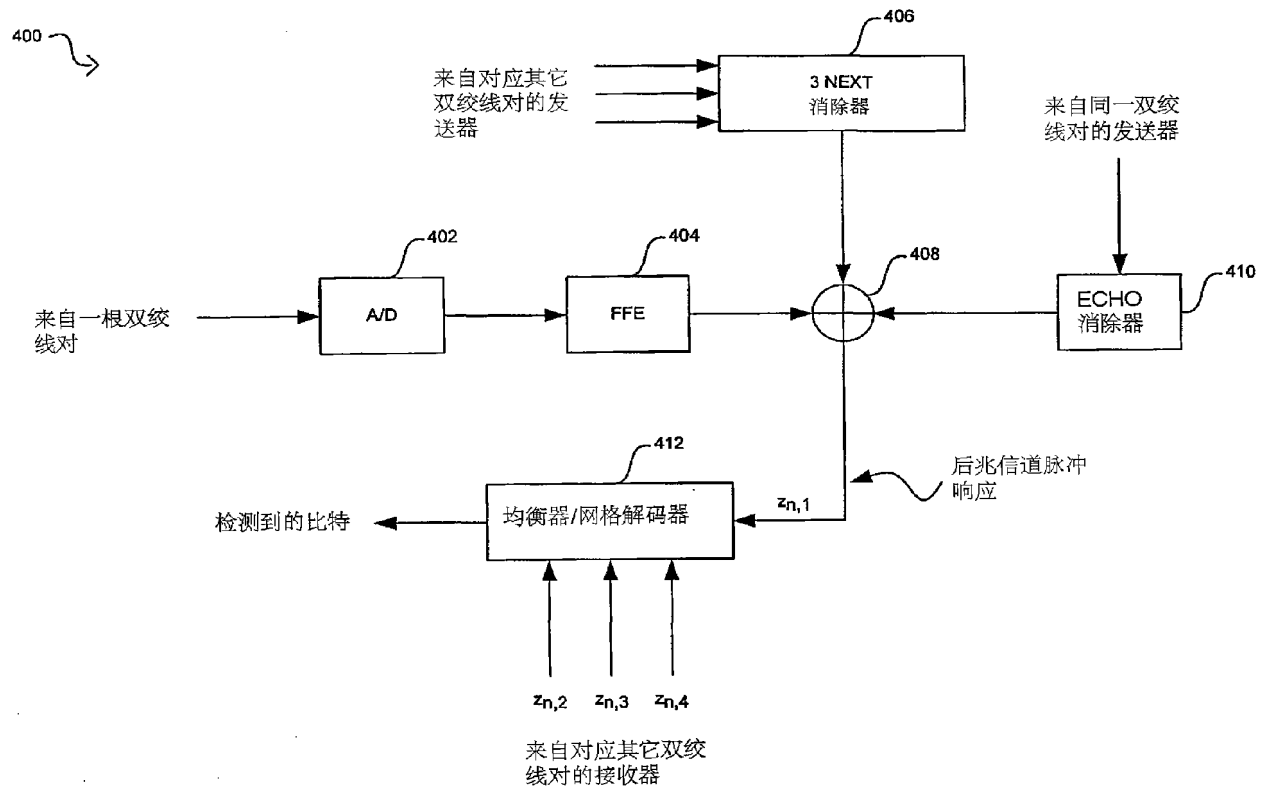


图 4A

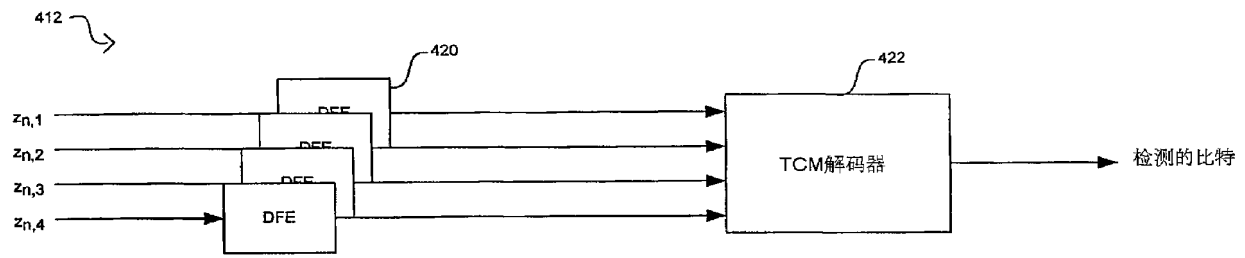


图 4B

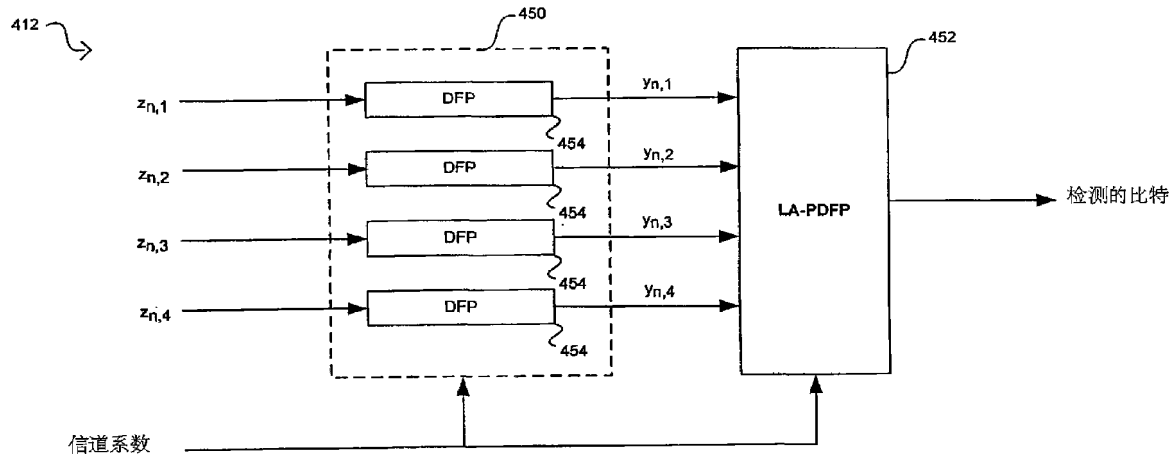


图 4C

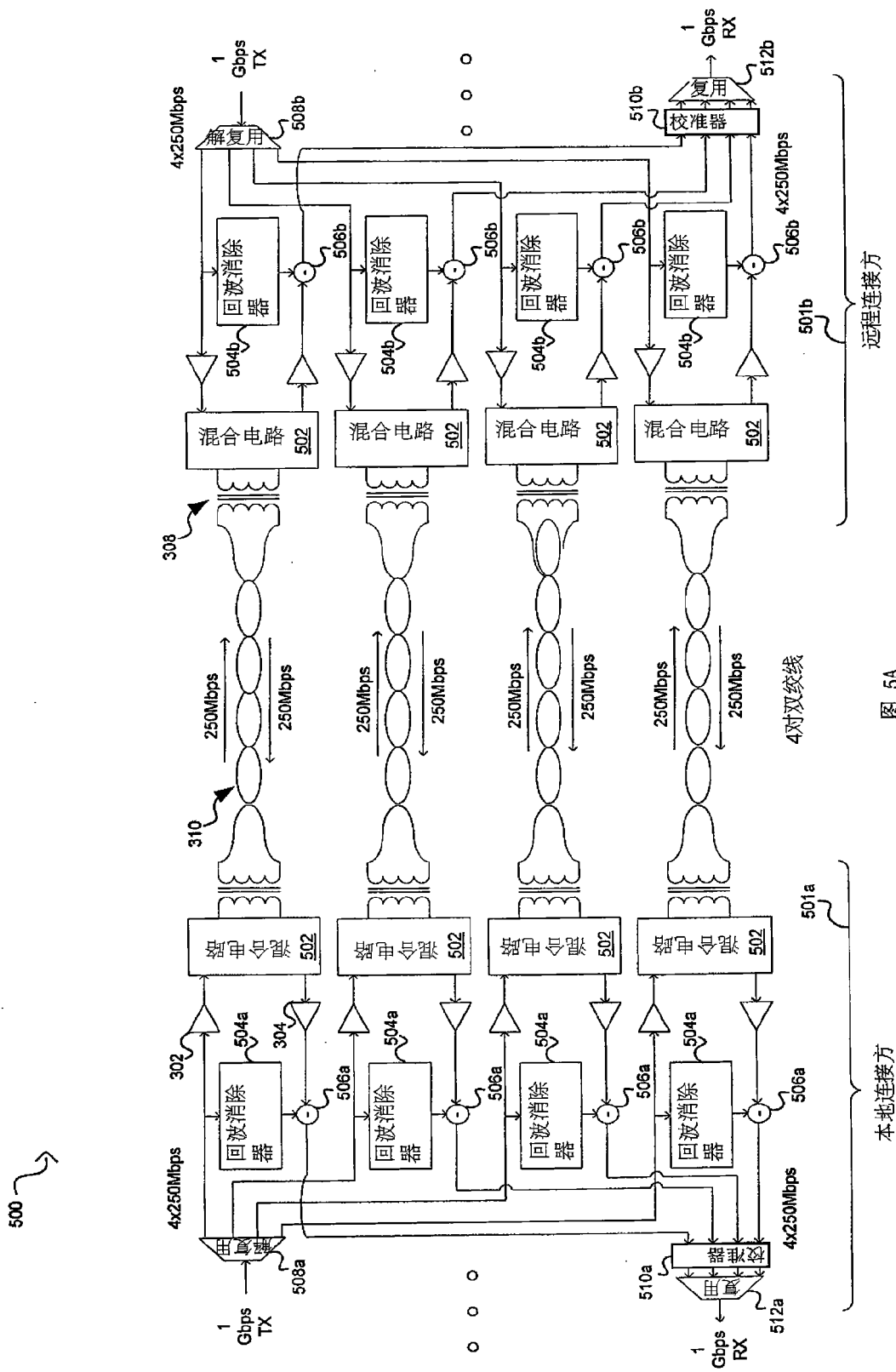


图 5A

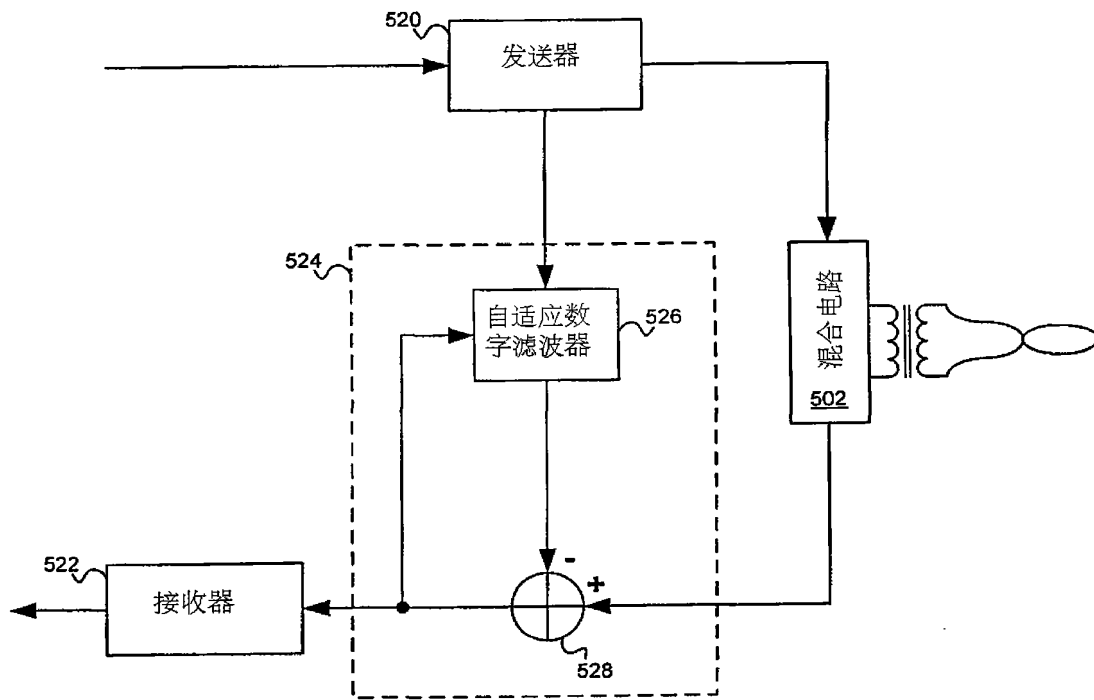


图 5B

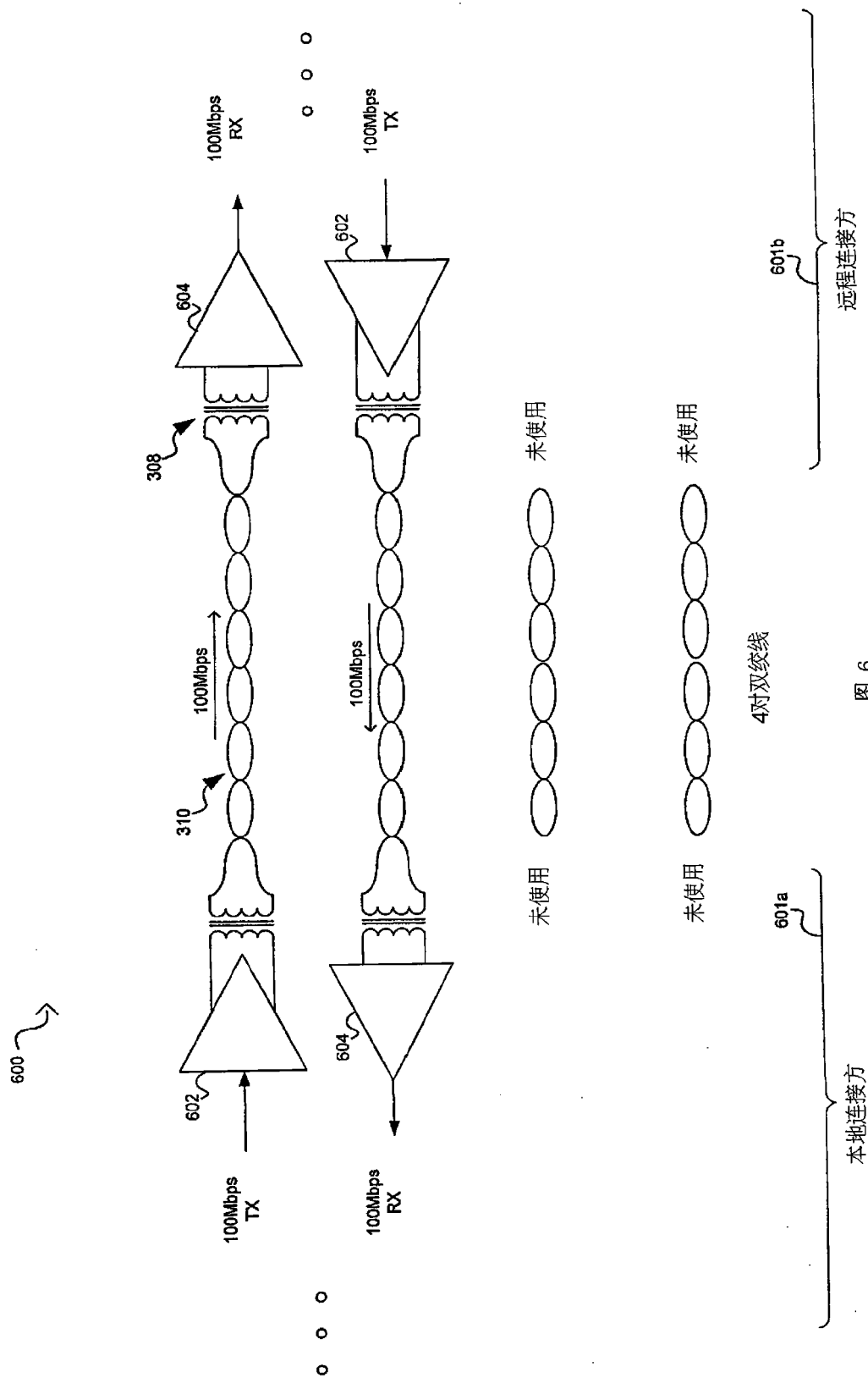


图 6

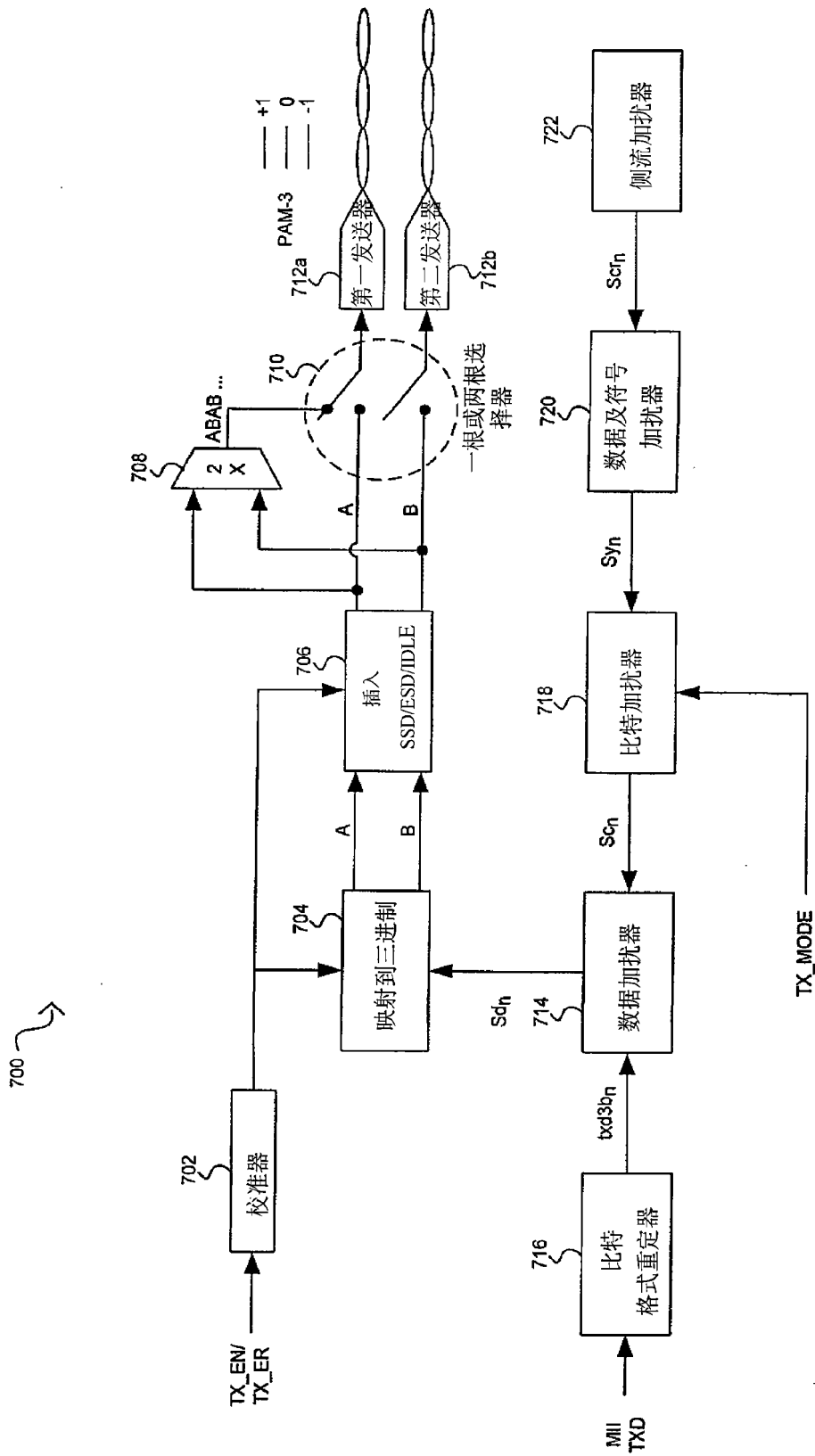


图 7

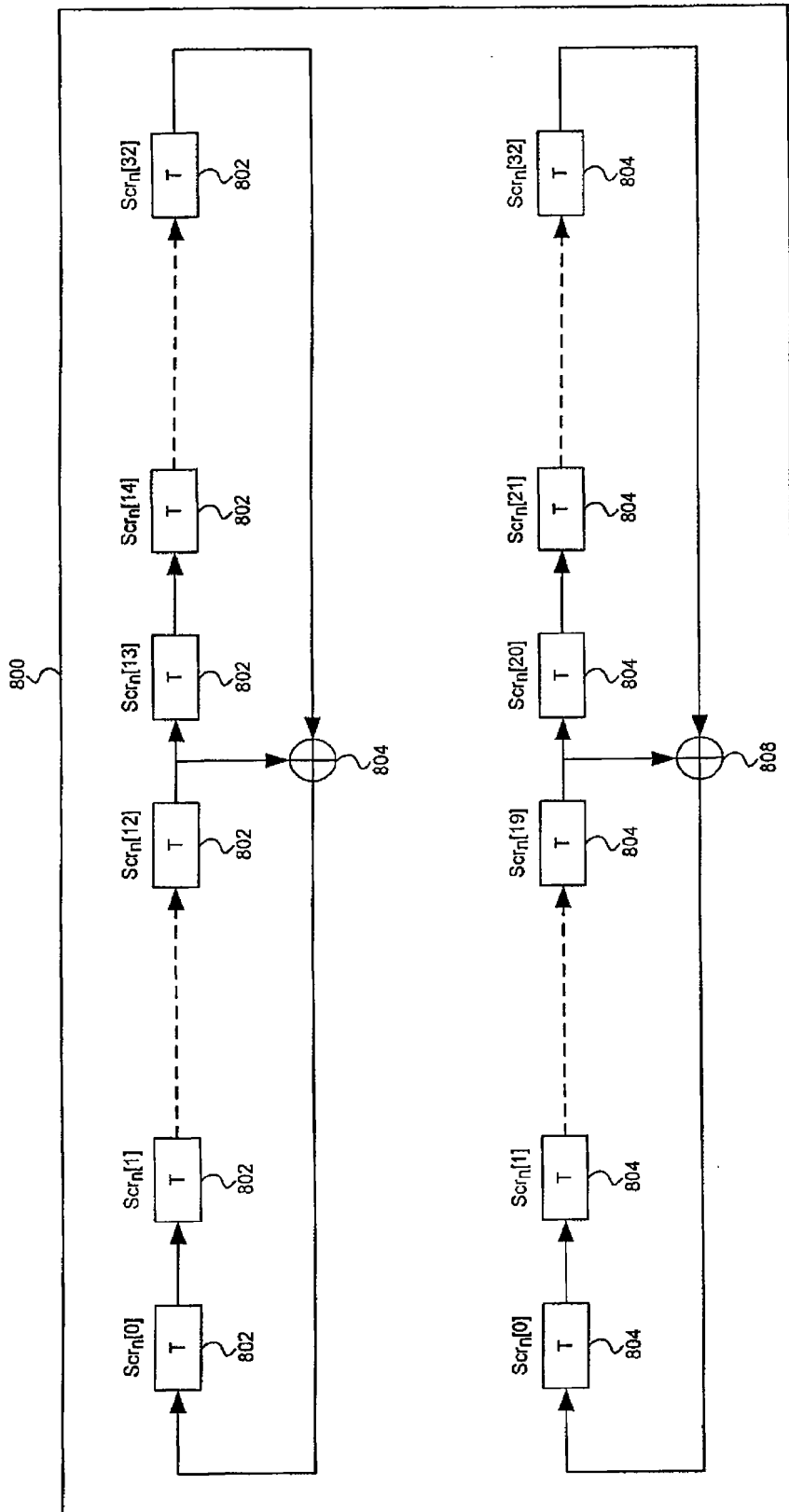


图 8

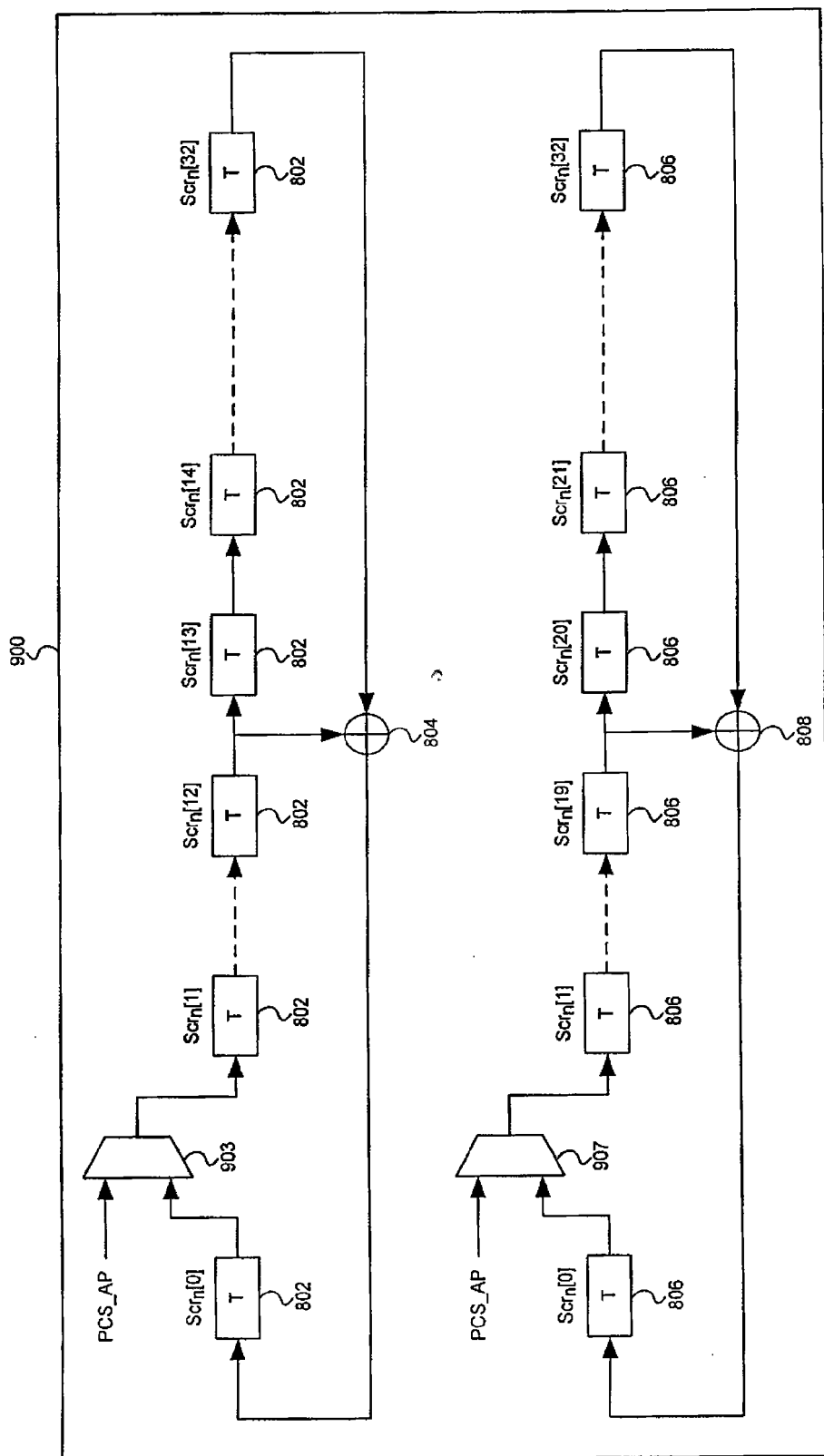


图 9

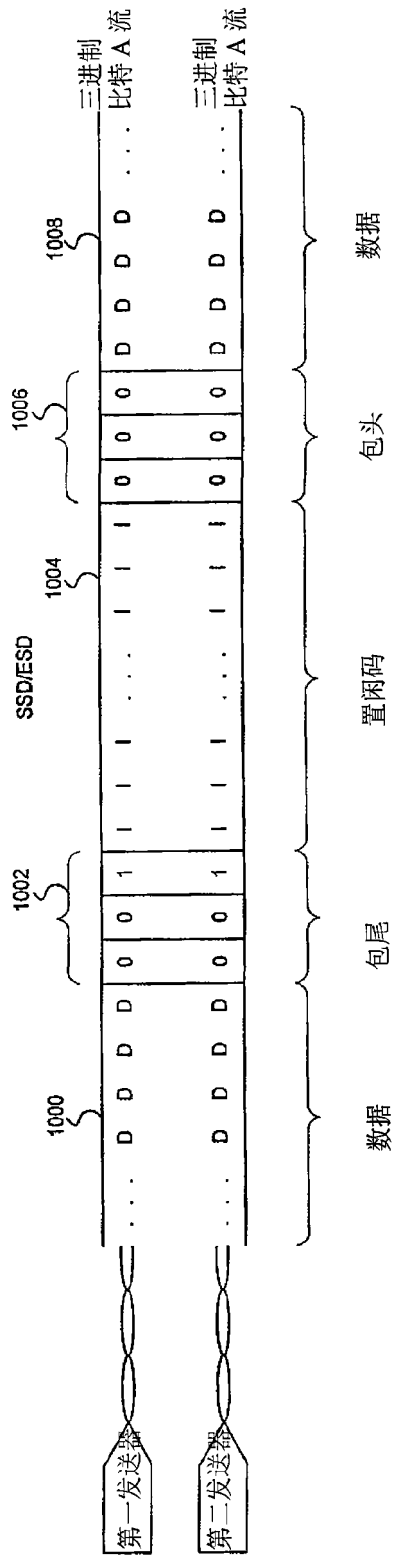


图 10

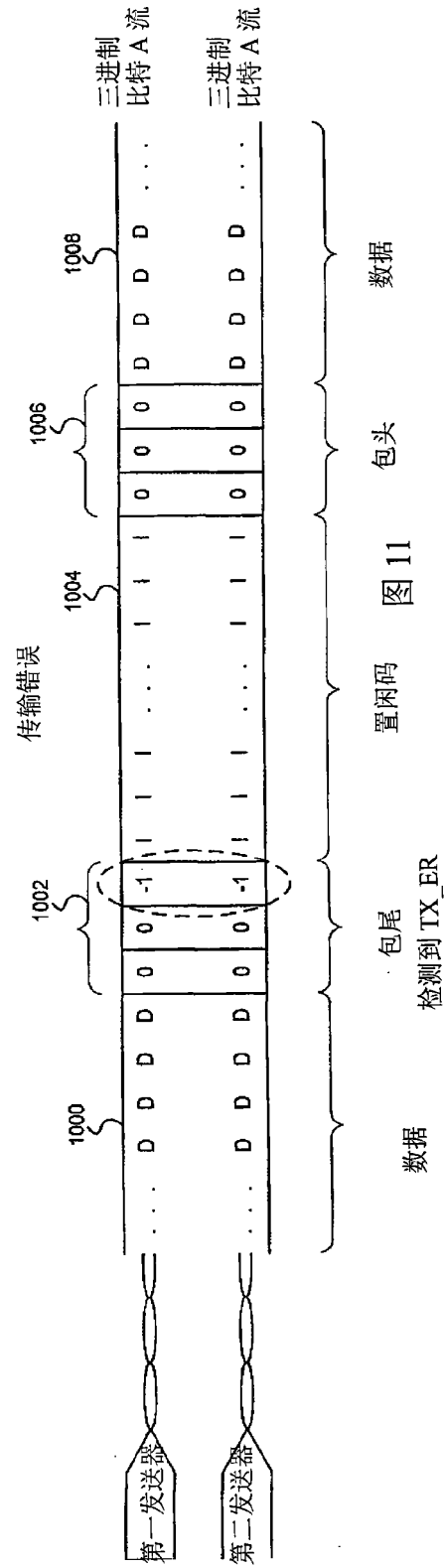


图 11

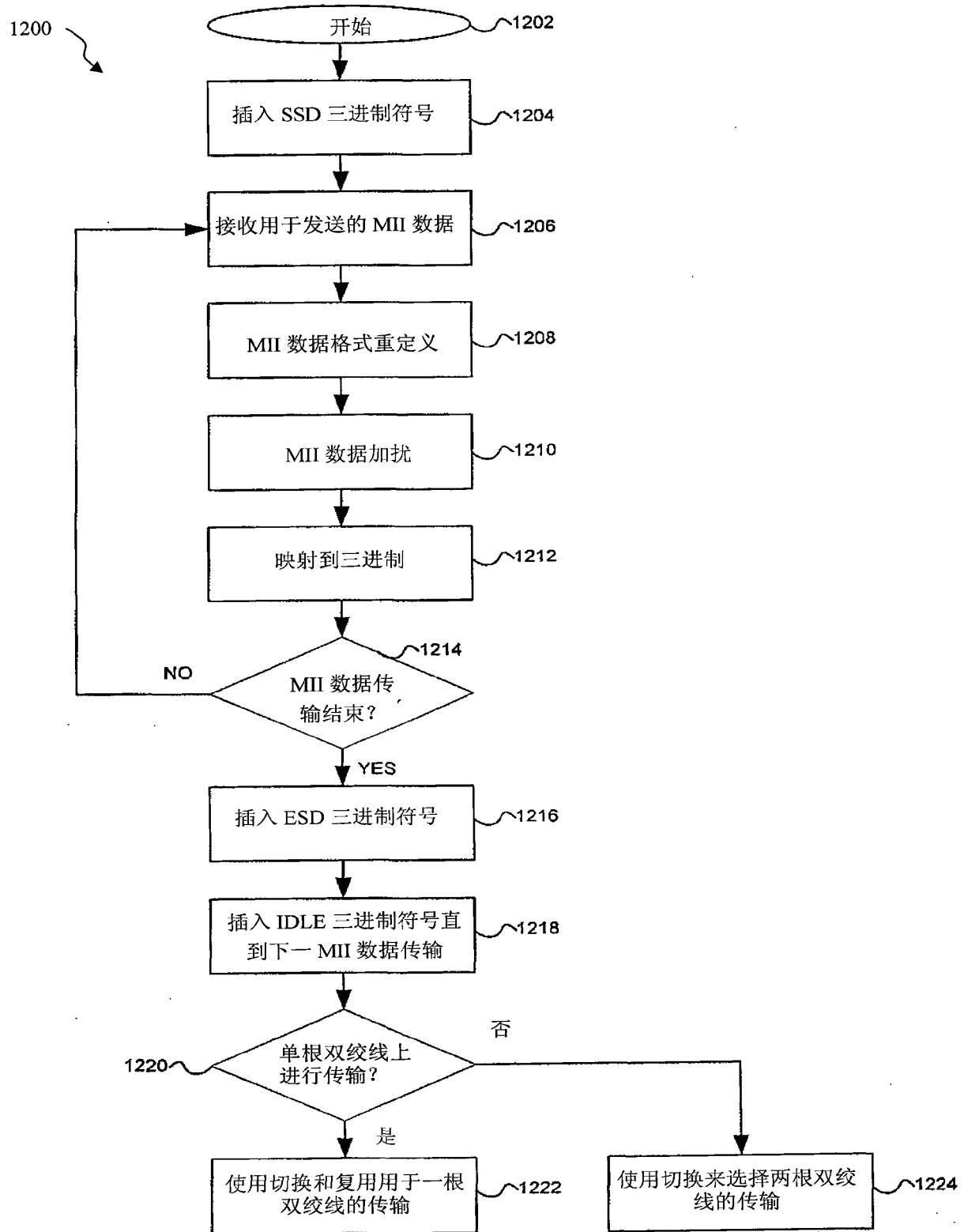


图 12