



(12) 发明专利

(10) 授权公告号 CN 102142268 B

(45) 授权公告日 2014. 04. 30

(21) 申请号 201010121046. 0

CN 1941165 A, 2007. 04. 04, 全文.

(22) 申请日 2010. 02. 02

US 20070139085 A1, 2007. 06. 21, 全文.

(73) 专利权人 慧荣科技股份有限公司
地址 中国台湾新竹县竹北市台元街三十六号八楼之一

审查员 张会

(72) 发明人 蓝仕宏

(74) 专利代理机构 深圳市顺天达专利商标代理有限公司 44217

代理人 易钊

(51) Int. Cl.

G11C 7/10(2006. 01)

(56) 对比文件

CN 1106560 A, 1995. 08. 09, 全文.

CN 1487669 A, 2004. 04. 07, 全文.

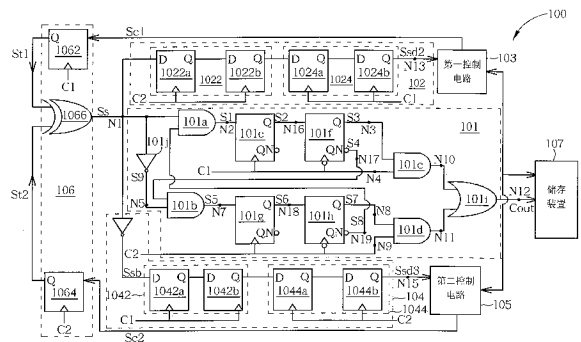
权利要求书2页 说明书10页 附图5页

(54) 发明名称

控制装置与其相关控制方法

(57) 摘要

本发明涉及一种控制装置,包含有:一第一延迟电路,具有一第一延迟量,用来依据一选择讯号来选择性地延迟一第一输入时钟以及一第二输入时钟中之一以产生一输出时钟至一储存装置;一第二延迟电路,用来对该选择讯号延迟一第二延迟量以产生一第二延迟选择讯号;一第一控制电路,用来依据该第二延迟选择讯号来选择性地存取该储存装置;一第三延迟电路,用来对该选择讯号延迟一第三延迟量以产生一第三延迟选择讯号;以及一第二控制电路,用来依据该第三延迟选择讯号来选择性地存取该储存装置。本发明还涉及一种控制方法。本发明不仅具有较快的反应时间,亦同时克服了时钟突发讯号的问题,提高了一控制电路存取一单端口先进先出存储器的速度。



1. 一种控制装置,其特征在于,包含有:

一第一延迟电路,具有一第一延迟量,用来依据一选择讯号来选择性地延迟一第一输入时钟以及一第二输入时钟中之一以产生一输出时钟至一储存装置;

一第二延迟电路,耦接于该第一延迟电路,用来对该选择讯号延迟一第二延迟量以产生一第二延迟选择讯号;

一第一控制电路,操作于该第一输入时钟并耦接于该第二延迟电路,用来依据该第二延迟选择讯号来选择性地存取该储存装置;

一第三延迟电路,耦接于该第一延迟电路,用来对该选择讯号延迟一第三延迟量以产生一第三延迟选择讯号;以及

一第二控制电路,操作于该第二输入时钟并耦接于该第三延迟电路,用来依据该第三延迟选择讯号来选择性地存取该储存装置;

进一步的,该第二延迟量、第三延迟量大于该第一延迟量;该第一延迟量、第二延迟量和第三延迟量都与第一输入时钟的时钟周期和第二输入时钟的时钟周期相关。

2. 根据权利要求1所述的控制装置,其特征在于,其中当该第二延迟选择讯号允许该第一控制电路存取该储存装置时,该第三延迟选择讯号不允许该第二控制电路存取该储存装置。

3. 根据权利要求1所述的控制装置,其特征在于,其中该第二延迟电路包含有:

多个第一特定延迟单元,前后串接以分别提供一延迟量,该多个第一特定延迟单元包含有至少一第一延迟单元以及一第二延迟单元,其中该第一延迟单元操作于该第一输入时钟之下,以及该第二延迟单元操作于该第二输入时钟之下。

4. 根据权利要求3所述的控制装置,其特征在于,其中该第一延迟单元与该第二延迟单元的延迟量总和等于该第二延迟量。

5. 根据权利要求1所述的控制装置,其特征在于,其中该第三延迟电路包含有:

多个第二特定延迟单元,前后串接以分别提供一延迟量,该多个第二特定延迟单元包含有至少一第三延迟单元以及一第四延迟单元,其中该第三延迟单元操作于该第一输入时钟之下,以及该第四延迟单元操作于该第二输入时钟之下;以及

一反相器,串接于该多个第二特定延迟单元中一延迟单元。

6. 根据权利要求5所述的控制装置,其特征在于,其中该第三延迟单元以及该第四延迟单元的延迟量总和等于该第三延迟量。

7. 根据权利要求1所述的控制装置,其特征在于,另包含有:

一选择电路,耦接于该第一延迟电路、该第二延迟电路、该第三延迟电路、该第一控制电路以及该第二控制电路,用来依据由该第一控制电路所产生一第一控制讯号以及该第二控制电路所产生的一第二控制讯号来产生该选择讯号至该第一延迟电路、该第二延迟电路以及该第三延迟电路。

8. 根据权利要求7所述的控制装置,其特征在于,其中该第二延迟电路、该第三延迟电路以及该选择电路为纯硬件电路。

9. 根据权利要求7所述的控制装置,其特征在于,其中该选择电路包含有:

一第一触发电路,受控于该第一输入时钟,用来依据该第一控制讯号来触发一第一触发输出讯号;

一第二触发电路,受控于该第二输入时钟,用来依据该第二控制讯号来触发一第二触发输出讯号;以及

一逻辑门,耦接于该第一触发电路以及该第二触发电路,用来依据该第一触发输出讯号以及该第二触发输出讯号来产生该选择讯号。

10. 根据权利要求 9 所述的控制装置,其特征在于,其中该逻辑门为一异或门。

11. 一种控制方法,其特征在于,包含有:

依据一选择讯号以及一第一延迟量来选择性地延迟一第一输入时钟以及一第二输入时钟其中之一以产生一输出时钟至一储存装置;

对该选择讯号延迟一第二延迟量以产生一第二延迟选择讯号;

依据该第二延迟选择讯号来指示一操作于第一输入时钟的第一控制电路选择性地存取该储存装置;

对该选择讯号延迟一第三延迟量以产生一第三延迟选择讯号;以及

依据该第三延迟选择讯号来指示一操作于第二输入时钟的第二控制电路选择性地存取该储存装置;

进一步的,该第二延迟量、第三延迟量大于该第一延迟量;该第一延迟量、第二延迟量和第三延迟量都与第一输入时钟的时钟周期和第二输入时钟的时钟周期相关。

控制装置与其相关控制方法

技术领域

[0001] 本发明涉及控制装置与其相关控制方法技术领域,更具体地说,涉及一单端口先进先出存储器的控制装置与其相关控制方法。

背景技术

[0002] 在一存取系统中,一储存装置,例如一单端口先进先出(One-port FIFO)存储器,通常会被指派给具有不同时钟特性(例如不同时钟频率或工作周期)的控制电路来进行存取的动作。以该单端口先进先出存储器为例,该单端口先进先出存储器的一输入输出端口就必须常常在不同的控制电路之间进行切换。然而,在切换的过程中,为了避免时钟突发讯号(Glitch)的产生,传统的存取系统的韧体(firmware)会执行一保护机制来确保不会产生突发讯号。更进一步来说,当具有一第一时钟的一第一控制电路正在存取该单端口先进先出存储器时,该韧体欲切换存取(使用)该单端口先进先出存储器的电路,将存取(使用)该单端口先进先出存储器的电路从第一控制电路切换至一第二控制电路。其中该第一控制电路具有一第一控制时钟以及该第二控制电路具有一第二控制时钟,此时传统存取系统的韧体会将输入该单端口先进先出存储器的该第一控制时钟切换为该第二控制时钟。接着,该韧体会计数一特定延迟时间后,才控制该第二控制电路得以开始存取该单端口先进先出存储器。换句话说,该特定延迟时间必须够长才能保证该单端口先进先出存储器所接收到的该第一控制时钟成功切换为该第二控制时钟之后,该第二控制电路才开始存取该单端口先进先出存储器以避免产生时钟突发讯号。然而,当该第一控制时钟以及该第二控制时钟的时钟频率为高频率时,则其周期时间相对的减少了,因此该第一控制时钟切换为该第二控制时钟所需的时间亦减少了。但是,若此时该特定延迟时间仍维持不变的话,则该特定延迟时间就显得过长而产生不必要的时间浪费,进而拖慢了一控制电路存取一单端口先进先出存储器的速度。因此,要如何可适性地调整该特定延迟时间以提高一控制电路存取一单端口先进先出存储器的速度已成为一存取系统所亟需解决的问题。

发明内容

[0003] 本发明要解决的技术问题在于,针对现有技术的上述缺陷,提供一单端口先进先出存储器的控制装置与其相关控制方法,以解决习知技术所面临的问题。

[0004] 本发明解决其技术问题所采用的技术方案之一是:构造一种控制装置。该控制装置包含有一第一延迟电路、一第二延迟电路、一第一控制电路、一第三延迟电路以及一第二控制电路。该第一延迟电路具有一第一延迟量,并用来依据一选择讯号来选择性地延迟一第一输入时钟以及一第二输入时钟中之一以产生一输出时钟至一储存装置。该第二延迟电路耦接于该第一延迟电路,并用来对该选择讯号延迟一第二延迟量以产生一第二延迟选择讯号。该第一控制电路操作于该第一输入时钟并耦接于该第二延迟电路,并用来依据该第二延迟选择讯号来选择性地存取该储存装置。该第三延迟电路耦接于该第一延迟电路,并用来对该选择讯号延迟一第三延迟量以产生一第三延迟选择讯号。该第二控制电路操作于

该第二输入时钟并耦接于该第三延迟电路,并用来依据该第三延迟选择讯号来选择性地存取该储存装置。

[0005] 本发明所述的控制装置,其中当该第二延迟选择讯号允许该第一控制电路存取该储存装置时,该第三延迟选择讯号不允许该第二控制电路存取该储存装置。

[0006] 本发明所述的控制装置,其中该第二延迟量以及该第三延迟量中至少其一大于该第一延迟量。

[0007] 本发明所述的控制装置,其中该第二延迟电路包含有:

[0008] 多个第一特定延迟单元,前后串接以分别提供一延迟量,该多个第一特定延迟单元包含有至少一第一延迟单元以及一第二延迟单元,其中该第一延迟单元操作于该第一输入时钟之下,以及该第二延迟单元操作于该第二输入时钟之下。

[0009] 本发明所述的控制装置,其中该第一延迟单元与该第二延迟单元的延迟量总和大致上等于该第二延迟量。

[0010] 本发明所述的控制装置,其中该第三延迟电路包包含有:

[0011] 多个第二特定延迟单元,前后串接以分别提供一延迟量,该多个第二特定延迟单元包含有至少一第三延迟单元以及一第四延迟单元,其中该第三延迟单元操作于该第一输入时钟之下,以及该第四延迟单元操作于该第二输入时钟之下;以及

[0012] 一反相器,串接于该多个第二特定延迟单元中一延迟单元。

[0013] 本发明所述的控制装置,其中该第三延迟单元以及该第四延迟单元的延迟量总和大致上等于该第三延迟量。

[0014] 本发明所述的控制装置,另包含有:

[0015] 一选择电路,耦接于该第一延迟电路、该第二延迟电路、该第三延迟电路、该第一控制电路以及该第二控制电路,用来依据由该第一控制电路所产生一第一控制讯号以及该第二控制电路所产生的一第二控制讯号来产生该选择讯号至该第一延迟电路、该第二延迟电路以及该第三延迟电路。

[0016] 本发明所述的控制装置,其中该第二延迟电路、该第三延迟电路以及该选择电路为纯硬件电路。

[0017] 本发明所述的控制装置,其中该选择电路包含有:

[0018] 一第一触发(toggle)电路,受控于该第一输入时钟,用来依据该第一控制讯号来触发一第一触发输出讯号;

[0019] 一第二触发电路,受控于该第二输入时钟,用来依据该第二控制讯号来触发一第二触发输出讯号;以及

[0020] 一逻辑门,耦接于该第一触发电路以及该第二触发电路,用来依据该第一触发输出讯号以及该第二触发输出讯号来产生该选择讯号。

[0021] 本发明所述的控制装置,其中该逻辑门为一异或门。

[0022] 本发明解决其技术问题所采用的技术方案之二是:构造一种控制方法。该控制方法包含有下列步骤:依据一选择讯号来选择性地延迟一第一输入时钟以及一第二输入时钟之一以产生一输出时钟至一储存装置;对该选择讯号延迟一第二延迟量以产生一第二延迟选择讯号;依据该第二延迟选择讯号来指示一第一控制电路选择性地存取该储存装置;对该选择讯号延迟一第三延迟量以产生一第三延迟选择讯号;以及依据该第三延迟选择讯

号来指示一第二控制电路选择性地存取该储存装置。

[0023] 本发明所述的控制方法,其中当该第二延迟选择讯号指示该第一控制电路允许存取该储存装置时,该第三延迟选择讯号指示该第二控制电路不允许存取该储存装置。

[0024] 本发明所述的控制方法,其中该第二延迟量以及该第三延迟量中至少其一大于该第一延迟量。

[0025] 本发明所述的控制方法,另包含有:

[0026] 依据一第一控制讯号以及一第二控制讯号来产生该选择讯号。

[0027] 本发明所述的控制方法,其中依据该第一控制讯号以及该第二控制讯号来产生该选择讯号的步骤包含有:

[0028] 依据该第一控制讯号来触发一第一触发输出讯号;

[0029] 依据该第二控制讯号来触发一第二触发输出讯号;以及

[0030] 依据该第一触发输出讯号以及该第二触发输出讯号来产生该选择讯号。

[0031] 实施本发明的控制装置及其控制方法,具有以下有益效果:本发明可以纯硬件电路而不需通过韧体的方式来加以实作,不仅具有较快的反应时间(亦即时钟切换时间),亦同时克服了时钟突发讯号的问题,提高了一控制电路存取一单端口先进先出存储器的速度。

附图说明

[0032] 下面将结合附图及实施例对本发明作进一步说明,附图中:

[0033] 图1是本发明一种控制装置的一实施例示意图;

[0034] 图2是本发明一第一延迟电路的一选择讯号、一第一输入时钟、一第二输入时钟以及其多个讯号的时序图;

[0035] 图3是本发明该控制装置的一第一控制讯号、一第二控制讯号、一第一触发输出讯号、一第二触发输出讯号以及该选择讯号的一波形时序图;

[0036] 图4是本发明该控制装置的一第一延迟电路的另一实施例示意图;

[0037] 图5是依据本发明一种控制方法的一实施例流程图。

[0038] 【主要组件符号说明】

[0039] 100 控制装置

[0040] 101、201 第一延迟电路

[0041] 102 第二延迟电路

[0042] 103 第一控制电路

[0043] 104 第三延迟电路

[0044] 105 第二控制电路

[0045] 106 选择电路

[0046] 107 储存装置

[0047] 101a、101b、101c、101d、201a、201b、201c、201d 与门

[0048] 101e、101f、101g、101h、201e、201f、1022a、1022b、1024a、1024b、1042a、1042b、1044a、1044b D型正反器

[0049] 101i、201g 或门

- [0050] 101j 反相器
- [0051] 1022 第一延迟单元
- [0052] 1024 第二延迟单元
- [0053] 1042 第三延迟单元
- [0054] 1044 第四延迟单元
- [0055] 1062 第一触发电路
- [0056] 1064 第二触发电路
- [0057] 1066 逻辑门

具体实施方式

[0058] 在说明书及后续的申请专利范围当中使用了某些词汇来指称特定的组件。所属领域中具有通常知识者应可理解,硬件制造商可能会用不同的名词来称呼同一个组件。本说明书及后续的申请专利范围并不以名称的差异来作为区分组件的方式,而是以组件在功能上的差异来作为区分的准则。在通篇说明书及后续的请求项当中所提及的「包含」为一开放式的用语,故应解释成「包含但不限于」。此外,「耦接」一词在此包含任何直接及间接的电气连接手段,因此,若文中描述一第一装置耦接于一第二装置,则代表该第一装置可直接电气连接于该第二装置,或者通过其它装置或连接手段间接地电气连接至该第二装置。

[0059] 请参考图 1。图 1 所示依据本发明一种控制装置 100 的一实施例示意图。控制装置 100 包含有一第一延迟电路 101、一第二延迟电路 102、一第一控制电路 103、一第三延迟电路 104、一第二控制电路 105 以及一选择电路 106。

[0060] 第一延迟电路 101 具有一第一延迟量 $D1$, 用来依据一选择讯号 Ss 来选择性地延迟一第一输入时钟 $C1$ 以及一第二输入时钟 $C2$ 中之一以产生一输出时钟 $Cout$ 至一储存装置 107。

[0061] 第二延迟电路 102 耦接于第一延迟电路 101, 用来对选择讯号 Ss 延迟一第二延迟量 $D2$ 以产生一第二延迟选择讯号 $Ssd2$ 。第一控制电路 103 操作于第一输入时钟 $C1$ 并耦接于第二延迟电路 102, 用来依据第二延迟选择讯号 $Ssd2$ 来选择性地存取储存装置 107。

[0062] 第三延迟电路 104 耦接于第一延迟电路 101, 用来对选择讯号 Ss 延迟一第三延迟量 $D3$ 以产生一第三延迟选择讯号 $Ssd3$ 。第二控制电路 105 操作于第二输入时钟 $C2$ 并耦接于第三延迟电路 104, 用来依据第三延迟选择讯号 $Ssd3$ 来选择性地存取储存装置 107。

[0063] 选择电路 106 耦接于第一延迟电路 101、第二延迟电路 102、第三延迟电路 104、第一控制电路 103 以及第二控制电路 105, 用来依据由第一控制电路 103 所产生一第一控制讯号 $Sc1$ 以及第二控制电路 105 所产生的一第二控制讯号 $Sc2$ 来产生选择讯号 Ss 至第一延迟电路 101、第二延迟电路 102 以及第三延迟电路 104。在本实施例中, 储存装置 107 以一单埠先进先出 (One-portFIFO) 存储器来加以实作, 然其并不作为本发明的限制所在。

[0064] 第一延迟电路 101 包含有与门 (And Gate) 101a、101b、101c、101d、D 型正反器 (D Flip-Flop) 101e、101f、101g、101h、一或门 (Or Gate) 101i 以及一反相器 101j。D 型正反器 101e、101f 互相串接, 用来依据第一输入时钟 $C1$ 来提供一延迟量 $1.5Ta$, 其中 Ta 为第一输入时钟 $C1$ 的周期。D 型正反器 101g、101h 互相串接, 用来依据第二输入时钟 $C2$ 来提供一延迟量 $1.5Tb$, 其中 Tb 为第二输入时钟 $C2$ 的周期。与门 101a 的一输入端 $N1$ 用来接收选择讯

号 Ss, 一输出端 N2 耦接于 D 型正反器 101e 的一输入端。D 型正反器 101f 的一正相输出端 N3 耦接于与门 101c 的一输入端。与门 101c 另一输入端 N4 接收第一输入时钟 C1。此外, 反相器 101j 耦接于输入端 N1 与与门 101b 的一输入端 N5 之间。与门 101b 的另一输入端 N6 耦接于 D 型正反器 101f 的一反相输出端, 与门 101b 的一输出端 N7 耦接于 D 型正反器 101g 的一输入端。D 型正反器 101h 的一正相输出端 N8 耦接于与门 101d 的一输入端。与门 101d 的另一输入端 N9 接收第二输入时钟 C2。与门 101c 和与门 101d 个别的输出端 N10、N11 分别耦接于或门 (Or Gate) 101i 的二输入端。或门 101i 的输出端 N12 用来输出输出时钟 Cout。请注意, 第一延迟电路 101 的细部连接关系请参照本发明图 1, 在此不另赘述。

[0065] 由于第一延迟电路 101 的结构, 故自第一控制电路 103/ 第二控制电路 105 产生第一控制讯号 Sc1/ 第二控制讯号 Sc2 以表示欲存取 (使用) 储存装置 107 起, 直到储存装置 107 收到改变后的输出时钟 Cout 为止, 共将需要 $1.5T_a+1.5T_b$ 的延迟时间。由于在切换时钟时常常会产生时钟突发讯号 (Glitch), 为了避免储存装置 107 收到具有时钟突发讯号的时钟讯号而误动作, 故利用第一延迟电路 101 延迟一段时间 (例如 $1.5T_a+1.5T_b$), 待时钟改变后的时钟信号稳定后再输入储存装置 107。图 1 所示的第一延迟电路 101 仅为示范性实施例, 而非本发明的限制, 熟悉此项技艺者当得在本发明的教导之下, 改变第一延迟电路 101 中的 D 型正反器数目, 而以各种变化例实现第一延迟电路 101, 例如可产生 $2.5T_a+1.5T_b$ 的第一延迟电路 101 或可产生 $2.5T_a+2.5T_b$ 第一延迟电路 101 等。

[0066] 第二延迟电路 102 包含有多个第一特定延迟单元, 其前后串接以分别提供一延迟量。在本实施例中, 该多个第一特定延迟单元包含有一第一延迟单元 1022 以及一第二延迟单元 1024, 其中第一延迟单元 1022 操作于第二输入时钟 C2 之下, 以及第二延迟单元 1024 操作于第一输入时钟 C1 之下。第一延迟单元 1022 包含有 D 型正反器 1022a、1022b, 其前后串接以提供一延迟量 $2T_b$ 。第二延迟单元 1024 包含有 D 型正反器 1024a、1024b, 其前后串接以提供一延迟量 $2T_a$ 。请注意, 在本实施例中 D 型正反器 1022a、1022b、1024a、1024b 的串接顺序仅为说明之用, 而非本发明之限制, D 型正反器 1022a、1022b、1024a、1024b 的串接顺序得任意调整。在本实施例中, 第一延迟单元 1022 与第二延迟单元 1024 的延迟量总和大致上等于第二延迟量 D_2 , 亦即 $2T_a+2T_b = D_2$ 。换句话说, 第二延迟电路 102 用来提供延迟量 $2T_a+2T_b$ 于选择讯号 Ss, 并延迟后所产生的第二延迟选择讯号 Ssd2 输出于 D 型正反器 1024b 的一输出端 N13。

[0067] 另一方面, 第三延迟电路 104 包含有多个第二特定延迟单元, 其前后串接以分别提供一延迟量。在本实施例中, 该多个第二特定延迟单元包含有一第三延迟单元 1042 以及一第四延迟单元 1044, 其中第三延迟单元 1042 操作于第一输入时钟 C1 之下, 以及第四延迟单元 1044 操作于第二输入时钟 C2 之下。第三延迟单元 1042 包含有 D 型正反器 1042a、1042b, 其前后串接以提供一延迟量 $2T_a$ 。第四延迟单元 1044 包含有 D 型正反器 1044a、1044b, 其前后串接以提供一延迟量 $2T_b$ 。请注意, 在本实施例中 D 型正反器 1042a、1042b、1044a、1044b 的串接顺序仅为说明之用, 而非本发明之限制, D 型正反器 1042a、1042b、1044a、1044b 的串接顺序得任意调整。此外, 本发明的第三延迟电路 104 另包含有一反相器 1046 耦接于输入端 N1 与 D 型正反器 1042a 的一输入端 N14 之间以依据选择讯号 Ss 来产生一反相选择讯号 Ssb。在本实施例中, 第三延迟单元 1042 与第四延迟单元 1044 的延迟量总和大致上等于第三延迟量 D_3 , 亦即 $2T_a+2T_b = D_3$ 。换句话说, 第三延迟电路 104 用

来提供延迟量 $2T_a+2T_b$ 于反相选择讯号 S_{sb} , 并将延迟后所产生的第三延迟选择讯号 S_{sd3} 输出于 D 型正反器 1044b 的一输出端 N15。请注意, 本发明并未限制反相器 1046 的耦接方式, 换句话说, 只要是串接于第三延迟单元 1042 与第四延迟单元 1044 均为本发明的范畴所在。举例来说, 反相器 1046 亦可以耦接于第四延迟单元 1044 与第二控制电路 105 之间。

[0068] 此外, 本实施例的选择电路 106 包含有一第一触发 (toggle) 电路 1062、一第二触发电路 1064 以及一逻辑门 1066。第一触发电路 1062 操作于第一输入时钟 C1 之下, 用来依据第一控制讯号 S_{c1} 来触发一第一触发输出讯号 S_{t1} 。第二触发电路 1064 操作于第二输入时钟 S_{c2} 之下, 用来依据第二控制讯号 S_{c2} 来触发一第二触发输出讯号 S_{t2} 。逻辑门 1066 耦接于第一触发电路 1062 以及第二触发电路 1064, 用来依据第一触发输出讯号 S_{t1} 以及第二触发输出讯号 S_{t2} 来产生选择讯号 S_s 。在本实施例中, 逻辑门 1066 以一异或 (ExclusiveOR) 门加以实作。

[0069] 请参考图 2。图 2 为本发明实施例第一延迟电路 101 的选择讯号 S_s 、第一输入时钟 C1、第二输入时钟 C2、讯号 S1、讯号 S2、讯号 S3、讯号 S4、讯号 S5、讯号 S6、讯号 S7、讯号 S8、讯号 S9 的时序图, 其中讯号 S1 为与门 101a 的输出端 N2 的讯号, 讯号 S2 为 D 型正反器 101e 的一输出端 N16 的讯号, 讯号 S3 为 D 型正反器 101f 的输出端 N3 的讯号、讯号 S4 为 D 型正反器 101f 的反相输出端 N17 的讯号, 讯号 S5 为与门 101b 的输出端 N7 的讯号, 讯号 S6 为 D 型正反器 101g 的一输出端 N18 的讯号, 讯号 S7 为 D 型正反器 101h 的输出端 N8 的讯号、讯号 S8 为 D 型正反器 101h 的反相输出端 N19 的讯号、讯号 S9 为反相器 101j 的输出端 N5 的讯号。

[0070] 为了更叙述本发明的精神所在, 本实施例假设第一输入时钟 C1 同步于第二输入时钟 C2。当选择讯号 S_s 于时间 T1 从一低电压准位切换至一高电压准位时, 讯号 S9 以及讯号 S5 亦会从该高电压准位切换至该低电压准位。由于 D 型正反器 101g 为一上升边缘触发的 D 型正反器, 因此第二输入时钟 C2 会于时间 T2 触发 D 型正反器 101g 以使得讯号 S6 从该高电压准位切换至该低电压准位。接着, 由于 D 型正反器 101h 为一下降边缘触发的 D 型正反器, 因此第二输入时钟 C2 会于时间 T3 触发 D 型正反器 101h 以使得讯号 S7 从该高电压准位切换至该低电压准位。同时, D 型正反器 101h 的讯号 S8 会从该低电压准位切换至该高电压准位, 进而使得讯号 S1 从该低电压准位切换至该高电压准位。同理, 第一输入时钟 C1 会于时间 T4 触发 D 型正反器 101e (D 型正反器 101e 为一上升边缘触发的 D 型正反器) 以使得讯号 S2 从该低电压准位切换至该高电压准位。接着, 第一输入时钟 C1 会于时间 T5 触发 D 型正反器 101f (D 型正反器 101f 为一下降边缘触发的 D 型正反器) 以使得讯号 S3 从该低电压准位切换至该高电压准位。因此, 在时间 T5 以后, 与门 101d 的输出讯号就会为该低电压准位, 而与门 101c 的输出讯号就会为第一输入时钟 C1。换句话说, 在时间 T5 以后, 输出时钟 C_{out} (亦即或门 101i 的输出端) 就会从第二输入时钟 C2 切换为第一输入时钟 C1。

[0071] 另一方面, 请再次参考图 2, 当选择讯号 S_s 于时间 T6 从该高电压准位切换至该低电压准位时 (即, 欲将输出时钟 C_{out} 从第一输入时钟 C1 切换为第二输入时钟 C2), 讯号 S1 亦会从该高电压准位切换至该低电压准位。由于 D 型正反器 101e 为一上升边缘触发的 D 型正反器, 因此第一输入时钟 C1 会于时间 T7 触发 D 型正反器 101e 以使得讯号 S2 从该高电压准位切换至该低电压准位。接着, 由于 D 型正反器 101f 为一下降边缘触发的 D 型正反器,

因此第一输入时钟 C1 会于时间 T8 触发 D 型正反器 101f 以使得讯号 S3 从该高电压准位切换至该低电压准位。同时, D 型正反器 101f 的讯号 S4 会从该低电压准位切换至该高电压准位, 进而使得讯号 S5 从该低电压准位切换至该高电压准位。同理, 第二输入时钟 C2 会于时间 T9 触发 D 型正反器 101g 以使得讯号 S6 从该低电压准位切换至该高电压准位。接着, 第二输入时钟 C2 会于时间 T10 触发 D 型正反器 101h 以使得讯号 S7 从该低电压准位切换至该高电压准位。因此, 在时间 T10 以后, 与门 101c 的输出讯号就会为该低电压准位, 而与门 101d 的输出讯号就会为第二输入时钟 C2。换句话说, 在时间 T10 以后, 输出时钟 Cout (亦即或门 101i 的输出端) 就会从第一输入时钟 C1 切换为第二输入时钟 C2。

[0072] 更进一步来说, D 型正反器 101g 以及 101h 所构成的延迟单元最长可对讯号 S5 延迟 $1.5T_b$, 而 D 型正反器 101e 以及 101f 所构成的延迟单元最长可对讯号 S1 延迟 $1.5T_a$, 因此第一延迟电路 101 的第一延迟量 D1 最长可具有 $1.5T_a+1.5T_b$ 的延迟时间。换句话说, 当选择讯号 Ss 从该低电压准位切换至该高电压准位时, 输出时钟 Cout 最久不会超过 $1.5T_a+1.5T_b$ 的延迟时间就会从第二输入时钟 C2 切换为第一输入时钟 C1。反之, 当选择讯号 Ss 从该高电压准位切换至该低电压准位时, 输出时钟 Cout 最久不会超过 $1.5T_a+1.5T_b$ 的延迟时间就会从第一输入时钟 C1 切换为第二输入时钟 C2。因此, 当选择讯号 Ss 从该低电压准位切换至该高电压准位时, 只要第一控制电路 103 能够在超过第一延迟电路 101 的延迟时间 ($1.5T_a+1.5T_b$) 后才对储存装置 107 进行存取的话, 则储存装置 107 (亦即输出端 N12) 就可以避免因时钟突发讯号 (Glitch) 的产生而造成的误动作。请注意, 熟悉此项技艺者, 在本发明的教导之下, 当得改变第一延迟电路 101 中正反器的数目、类型 (D 型正反器或其它类型的正反器) 及触发态样 (上升边缘触发或下降边缘触发) 以改变第一延迟电路 101 的延迟时间。

[0073] 因此, 针对于选择讯号 Ss, 本实施例的第二延迟电路 102 就提供了 $2T_a+2T_b$ 的延迟时间, 来产生第二延迟选择讯号 Ssd2。而第一控制电路 103 就会依据第二延迟选择讯号 Ssd2 来存取储存装置 107。从图 1 可以得知, 第二延迟电路 102 中的 D 型正反器 1022a、1022b 提供了 $2T_b$ 的延迟时间, 而 D 型正反器 1024a、1024b 提供了 $2T_a$ 的延迟时间, 故第二延迟电路 102 总共提供了 $2T_a+2T_b$ 的延迟时间。

[0074] 另一方面, 针对于选择讯号 Ss, 第三延迟电路 104 亦提供了 $2T_a+2T_b$ 的延迟时间, 来产生第三延迟选择讯号 Ssd3, 其原因如同第二延迟电路 102, 故不另赘述。请注意, 本发明并不受限于上述的实施方式, 只要第二延迟电路 102 以及第三延迟电路 104 所提供的延迟时间比第一延迟电路 101 所提供的延迟时间来得长的电路组合均为本发明的范畴所在, 亦即, 熟悉此项技艺者, 在本发明的教导之下, 当得改变第二延迟电路 102 或第三延迟电路 104 中正反器的数目、类型及触发态样以改变第一延迟电路 101 的延迟时间。因此, 经过了第一延迟量 D1 (亦即 $2T_a+2T_b$), 第二延迟选择讯号 Ssd2 就会从该低电压准位切换至该高电压准位以允许第一控制电路 103 存取储存装置 107。请注意, 此领域具有通常知识者在阅读完上述所揭露的技术内容后, 应可了解控制装置 100 对应的运作, 亦即当选择讯号 Ss 从一高电压准位切换至一低电压准位时的运作, 其亦具有上述所描述的优点, 故在此不另赘述。

[0075] 请注意, 本实施例控制装置 100 的第二延迟电路 102、第三延迟电路 104 以及选择电路 106 为纯硬件电路。换句话说, 在一实施例中, 控制装置 100 可不通过韧体 (Firmware) 的方式来控制第一控制电路 103 或第二控制电路 105 以存取储存装置 107。因此, 当第一控

制电路 103 需要存取储存装置 107 时,第一控制电路 103 就会产生第一控制讯号 Sc1 至选择电路 106 来产生选择讯号 Ss。同理,当第二控制电路 105 需要存取储存装置 107 时,第二控制电路 105 就会产生第二控制讯号 Sc2 至选择电路 106 来产生选择讯号 Ss。举例来说,假设当第二控制电路 105 正在存取储存装置 107,而第一控制电路 103 欲存取储存装置 107 时,第一控制电路 103 就会先产生第一控制讯号 Sc1 至第一触发电路 1062,其中第一控制讯号 Sc1 为一脉波讯号,如图 3 所示。

[0076] 图 3 为本发明实施例控制装置 100 的第一控制讯号 Sc1、第二控制讯号 Sc2、第一触发输出讯号 St1、第二触发输出讯号 St2 以及选择讯号 Ss 的一波形时序图。当第一控制电路 103 于时间 T_0 产生第一控制讯号 Sc1 时,第一触发电路 1062 就会被第一控制讯号 Sc1 所触发而于时间 T_x 将第一触发输出讯号 St1 从一低电压准位切换至一高电压准位。接着,逻辑门 1066 (亦即该异或门) 就会依据第一触发输出讯号 St1 以及第二触发输出讯号 St2 来产生选择讯号 Ss。由于此时第二触发输出讯号 St2 的电压准位为该低电压准位,因此逻辑门 1066 就会于时间 T_b 将选择讯号 Ss 从该低电压准位切换至该高电压准位。接着,第一延迟电路 101 就会执行如图 2 所示的运作来将输出时钟 Cout 从第二输入时钟 C2 切换为第一输入时钟 C1。接着,经过了第一延迟量 $D1$ (亦即 $2T_a+2T_b$) 后,第一控制电路 103 就被允许存取储存装置 107 了。

[0077] 反之,当第一控制电路 103 正在存取储存装置 107,而第二控制电路 105 欲存取储存装置 107 时,第二控制电路 105 就会先产生第二控制讯号 Sc2 至第二触发电路 1064,其中第二控制讯号 Sc2 亦为一脉波讯号,如图 3 所示。当第二控制电路 105 于时间 T_0' 产生第二控制讯号 Sc2 时,第二触发电路 1064 就会被第二控制讯号 Sc2 所触发而于时间 T_y 将第二触发输出讯号 St2 从一低电压准位切换至一高电压准位。由于此时第一触发输出讯号 St1 以及第二触发输出讯号 St2 的电压准位为该高电压准位,因此逻辑门 1066 就会于时间 T_y 将选择讯号 Ss 从该高电压准位切换至该低电压准位。同理,第一延迟电路 101 就会执行如图 2 所示的运作来将输出时钟 Cout 从第一输入时钟 C1 切换为第二输入时钟 C2。接着,经过了第一延迟量 $D1$ (亦即 $2T_a+2T_b$) 后,第二控制电路 105 就被允许存取储存装置 107 了。因此,通过选择电路 106 内第一触发电路 1062、第二触发电路 1064 以及逻辑门 1066 互相搭配的运作,第一控制电路 103 以及第二控制电路 105 就可以不需依据韧体的控制来选择性地存取储存装置 107。因此,相较于传统的储存装置存取系统,本发明的控制装置 100 不仅具有较快的反应时间 (亦即时钟切换时间),亦同时克服了时钟突发讯号的问题。

[0078] 请参考图 4。图 4 所示为本发明控制装置 100 的第一延迟电路 101 的另一实施例示意图,该另一实施例以标号 201 来标示。第一延迟电路 201 包含有与门 201a、201b、201c、201d、D 型正反器 201e、201f、一或门 201g 以及一反相器 201h。D 型正反器 101e 依据一第一输入时钟 $C1'$ 来提供一延迟量 $0.5T_a'$,其中 T_a' 为第一输入时钟 $C1'$ 的周期。D 型正反器 201f 用来依据一第二输入时钟 $C2'$ 来提供一延迟量 $0.5T_b'$,其中 T_b' 为第二输入时钟 $C2'$ 的周期。与门 201a 的一输入端 $N1'$ 用来接收一选择讯号 Ss' ,一输出端 $N2'$ 耦接于 D 型正反器 201e 的一输入端。D 型正反器 201e 的一正相输出端 $N3'$ 耦接于与门 201c 的一输入端,与门 201c 另一输入端 $N4'$ 接收第一输入时钟 $C1'$ 。此外,反相器 201h 耦接于输入端 $N1'$ 与与门 201b 的一输入端 $N5'$ 之间。与门 201b 的另一输入端 $N6'$ 耦接于 D 型正反器 201e 的一反相输出端,与门 201b 的一输出端 $N7'$ 耦接于 D 型正反器 201f 的一输入端。D

型正反器 201f 的一正相输出端 N8' 耦接于与门 201d 的一输入端。与门 201d 的另一输入端 N9' 接收第二输入时钟 C2'。与门 201c 和与门 201d 分别输出端 N10'、N11' 分别耦接于或门 201g 的二输入端。或门 201g 的输出端 N12' 用来输出输出时钟 Cout'。参照关于第一延迟电路 101 的运作,此领域具有通常知识者应可了解第一延迟电路 201 最长可具有 $0,5Ta' + 0,5Tb'$ 的延迟时间。换句话说,当选择讯号 Ss' 从该低电压准位切换至该高电压准位时,输出时钟 Cout' 最久不会超过 $0,5Ta' + 0,5Tb'$ 的延迟时间就会从第二输入时钟 C2' 切换为第一输入时钟 C1'。反之,当选择讯号 Ss' 从该高电压准位切换至该低电压准位时,输出时钟 Cout' 最久不会超过 $0,5Ta' + 0,5Tb'$ 的延迟时间就会从第一输入时钟 C1' 切换为第二输入时钟 C2'。因此,以利用第一延迟电路 201 来构成控制装置 100 的实施例来说,当选择讯号 Ss' 从该低电压准位切换至该高电压准位时,只要第一控制电路 103 能够在超过 $0,5Ta' + 0,5Tb'$ 的延迟时间后才对储存装置 107 进行存取的话,则储存装置 107 (亦即输出端 N12) 就可以避免时钟突发讯号 (Glitch) 所造成的问题。换句话说,在此一实施例中,只要将第二延迟电路 102 的第二延迟量 D2 以及第三延迟电路 103 的第三延迟量 D3 设定为比 $0,5Ta' + 0,5Tb'$ 来得长 (例如 $1Ta' + 1Tb'$) 的话就可以避免时钟突发讯号的产生了。

[0079] 请参考图 5。图 5 所示为依据本发明一种控制方法 500 的一实施例流程图。为了更清楚说明本发明的精神所在,控制方法 500 以图 1 的实施例控制装置 100 来加以实作,但所提供的实施例并不用以限制本发明所涵盖的范围。此外,倘若大体上可达到相同的结果,并不需要一定照图 5 所示的流程中的步骤顺序来进行,且图 5 所示的步骤不一定要连续进行,亦即其它步骤亦可插入其中。控制方法 500 包含有下列的步骤:

[0080] 步骤 501:产生第一控制讯号 Sc1 以及第二控制讯号 Sc2 至少其中之一;

[0081] 步骤 502:依据第一控制讯号 Sc1 或第二控制讯号 Sc2 来分别触发第一触发输出讯号 St1 以及第二触发输出讯号 St2;

[0082] 步骤 503:依据第一触发输出讯号 St1 以及第二触发输出讯号 St2 来产生选择讯号 Ss,跳至步骤 504;

[0083] 步骤 504:依据选择讯号 Ss 对第一输入时钟 C1 以及第二输入时钟 C2 中之一延迟一第一延迟量 D1 以产生输出时钟 Cout 至储存装置 107;

[0084] 步骤 505:对选择讯号 Ss 延迟第二延迟量 D2 以产生第二延迟选择讯号 Ssd2;

[0085] 步骤 506:依据第二延迟选择讯号 Ssd2 来选择性地存取储存装置 107;

[0086] 步骤 507:对选择讯号 Ss 延迟第三延迟量 D3 以产生第三延迟选择讯号 Ssd3;

[0087] 步骤 508:依据第三延迟选择讯号 Ssd3 来选择性地存取储存装置 107。

[0088] 在步骤 501 中,当第一控制电路 103 和第二控制电路 105 中一控制电路欲对储存装置 107 进行存取时,该控制电路就会产生一控制讯号至第一触发电路 1062 或第二触发电路 1064。例如,当第一控制电路 103 欲对储存装置 107 进行存取时,第一控制电路 103 就会产生一控制讯号 Sc1 至第一触发电路 1062。当第二控制电路 105 欲对储存装置 107 进行存取时,第二控制电路 105 就会产生一控制讯号 Sc2 至第二触发电路 1064。接着,受到该控制讯号所触发的触发电路就会将其输出讯号 (第一触发输出讯号 St1 或第二触发输出讯号 St2) 的电压准位进行切换 (步骤 502)。接着,在步骤 503 中,逻辑门 1066 就会依据第一触发输出讯号 St1 以及第二触发输出讯号 St2 来产生选择讯号 Ss。相应地,选择讯号 Ss 可表示出第一控制电路 103 或第二控制电路 105 中哪一个电路欲对储存装置 107 进行存取。

参照关于控制装置 100 的操作叙述,选择讯号 Ss 会经过三个延迟电路(亦即第一延迟电路 101(步骤 504)、第二延迟电路 102(步骤 505)以及第三延迟电路 104(步骤 507))来分别产生三个输出讯号(亦即输出时钟 Cout、第二延迟选择讯号 Ssd2 以及第三延迟选择讯号 Ssd3),其中第二延迟电路 102 以及第三延迟电路 104 的延迟时间(D2、D3)大于第一延迟电路 101 的延迟时间(D1)。接着,若输出时钟 Cout 为第一输入时钟 C1,则第一控制电路 103 就会依据第二延迟选择讯号 Ssd2 的指示,开始存取储存装置 107(步骤 506)。反之,若输出时钟 Cout 为第二输入时钟 C2,则第二控制电路 105 就会依据第三延迟选择讯号 Ssd3 的指示,开始存取储存装置 107(步骤 508)。请注意,控制装置 100 依据选择讯号 Ss 产生三个输出讯号(亦即输出时钟 Cout、第二延迟选择讯号 Ssd2 以及第三延迟选择讯号 Ssd3),其中第二延迟选择讯号 Ssd2 用来指示第一控制电路 103 何时开始存取储存装置 107,第三延迟选择讯号 Ssd3 用来指示第二控制电路 105 何时开始存取储存装置 107。在正常运作下,当第二延迟选择讯号 Ssd2 指示第一控制电路 103 存取储存装置 107 时,第三延迟选择讯号 Ssd3 则指示第二控制电路 105 不对储存装置 107 进行存取,反之亦然。由于当第一控制电路 103 或第二控制电路 105 开始存取储存装置 107 时,对应的输入时钟已于较早被传送至储存装置 107,因此储存装置 107 就可以避免时钟突发讯号所造成的问题。

[0089] 综上所述,相较于传统的储存装置存取系统,本发明的控制装置 100 以及其控制方法 500 可以纯硬件电路而不需通过韧体的方式来加以实作,此举不仅具有较快的反应时间(亦即时钟切换时间),亦同时克服了时钟突发讯号的问题。

[0090] 以上所述仅为本发明的较佳实施例,凡依本发明申请专利范围所做的均等变化与修饰,皆应属本发明的涵盖范围。

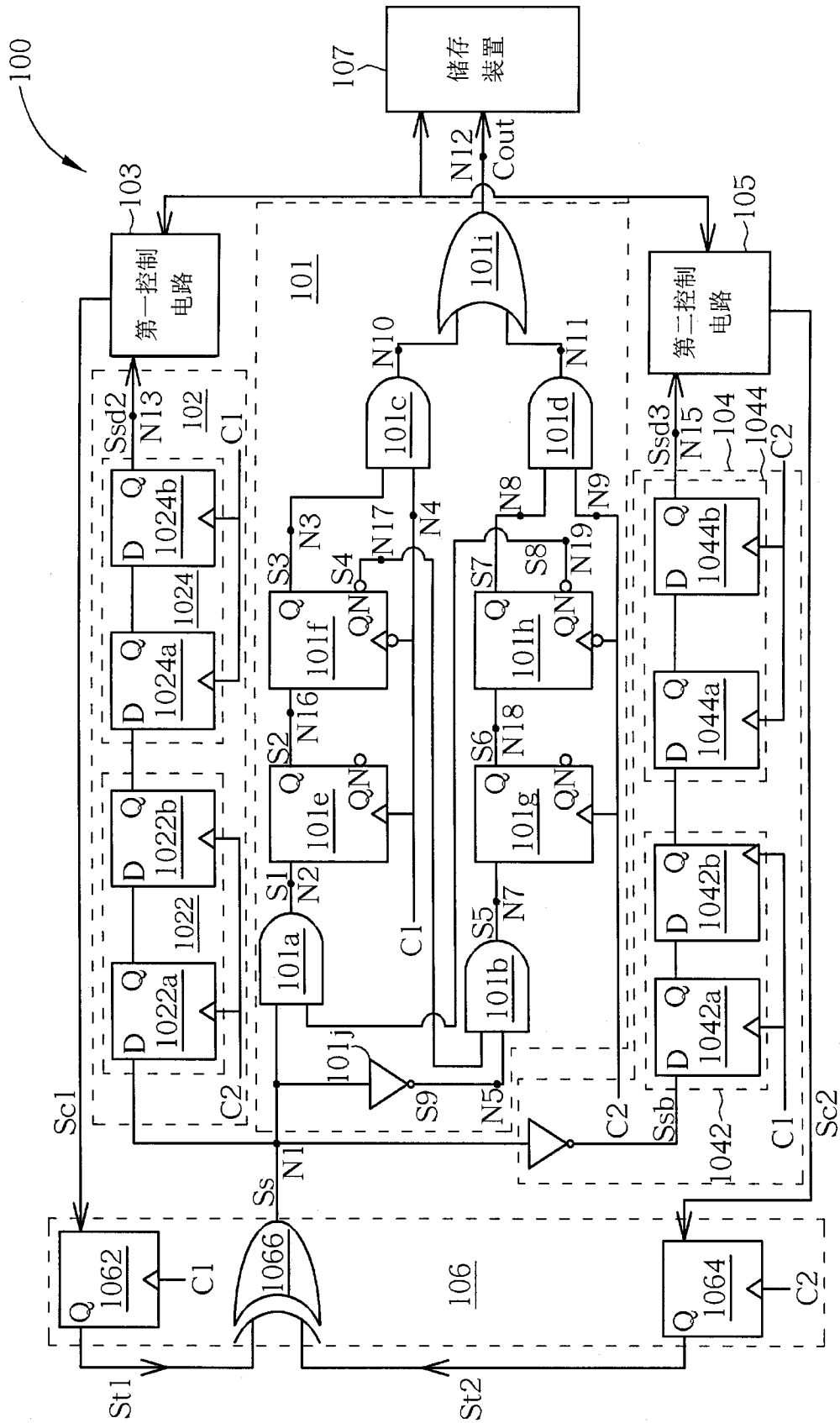


图 1

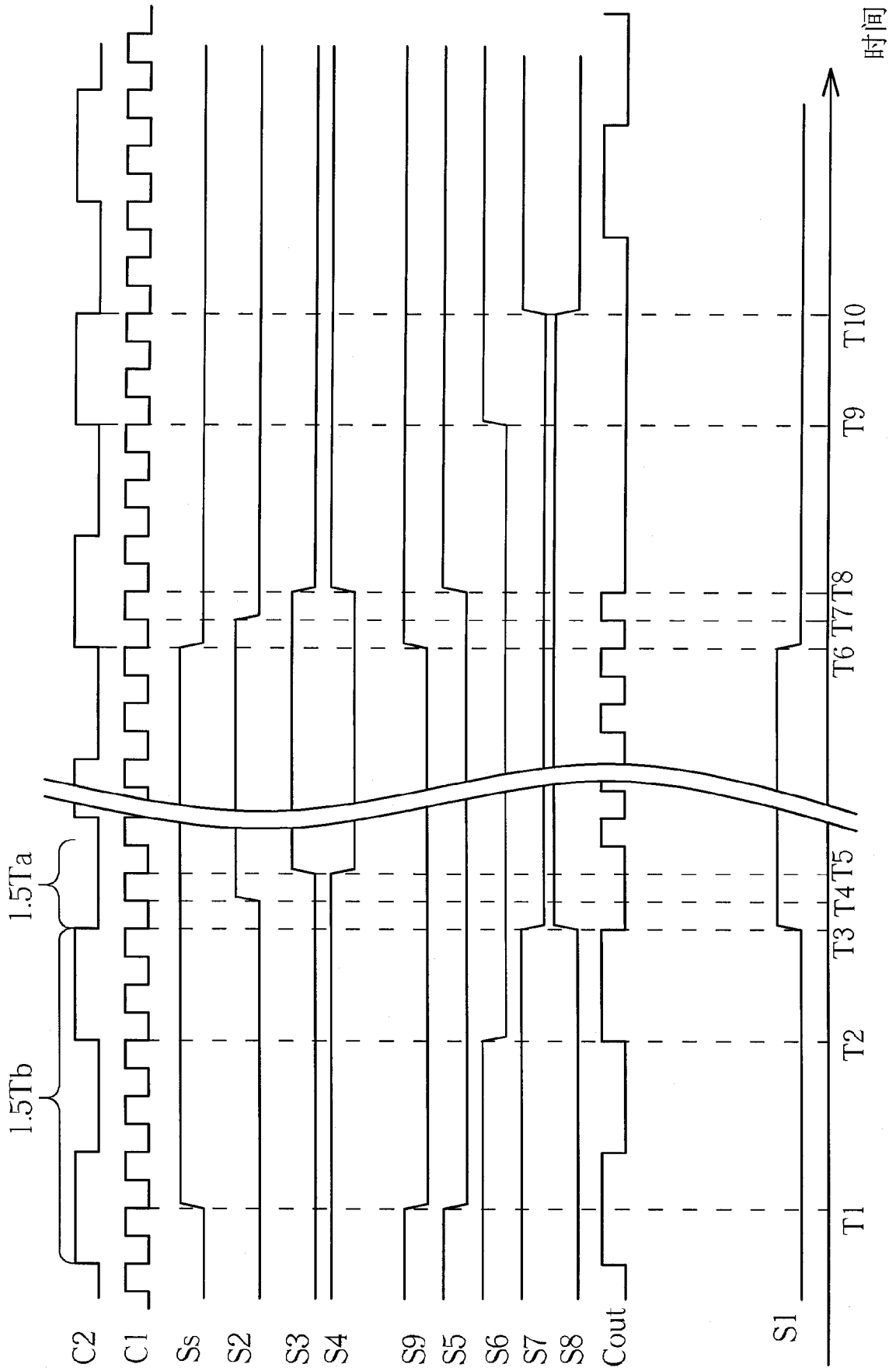


图 2

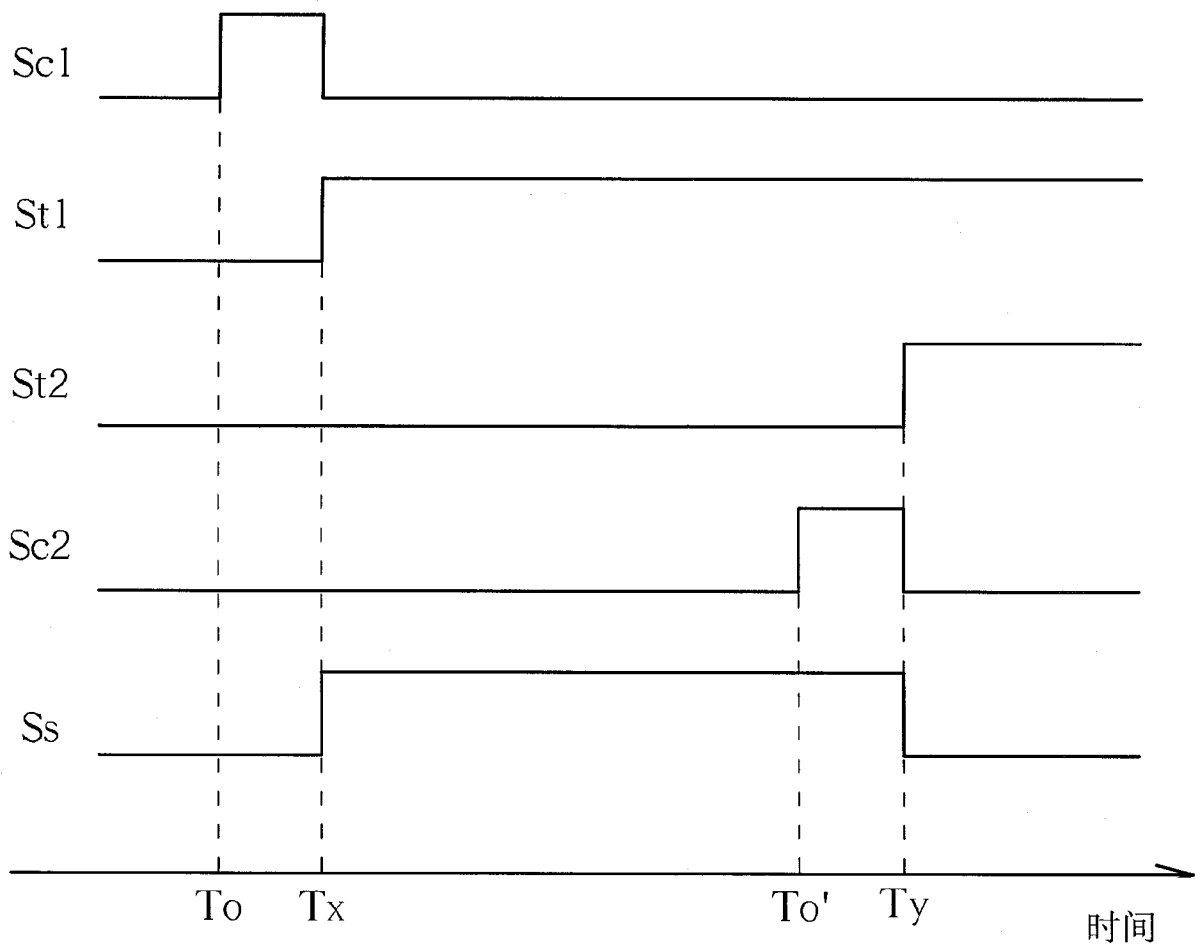


图 3

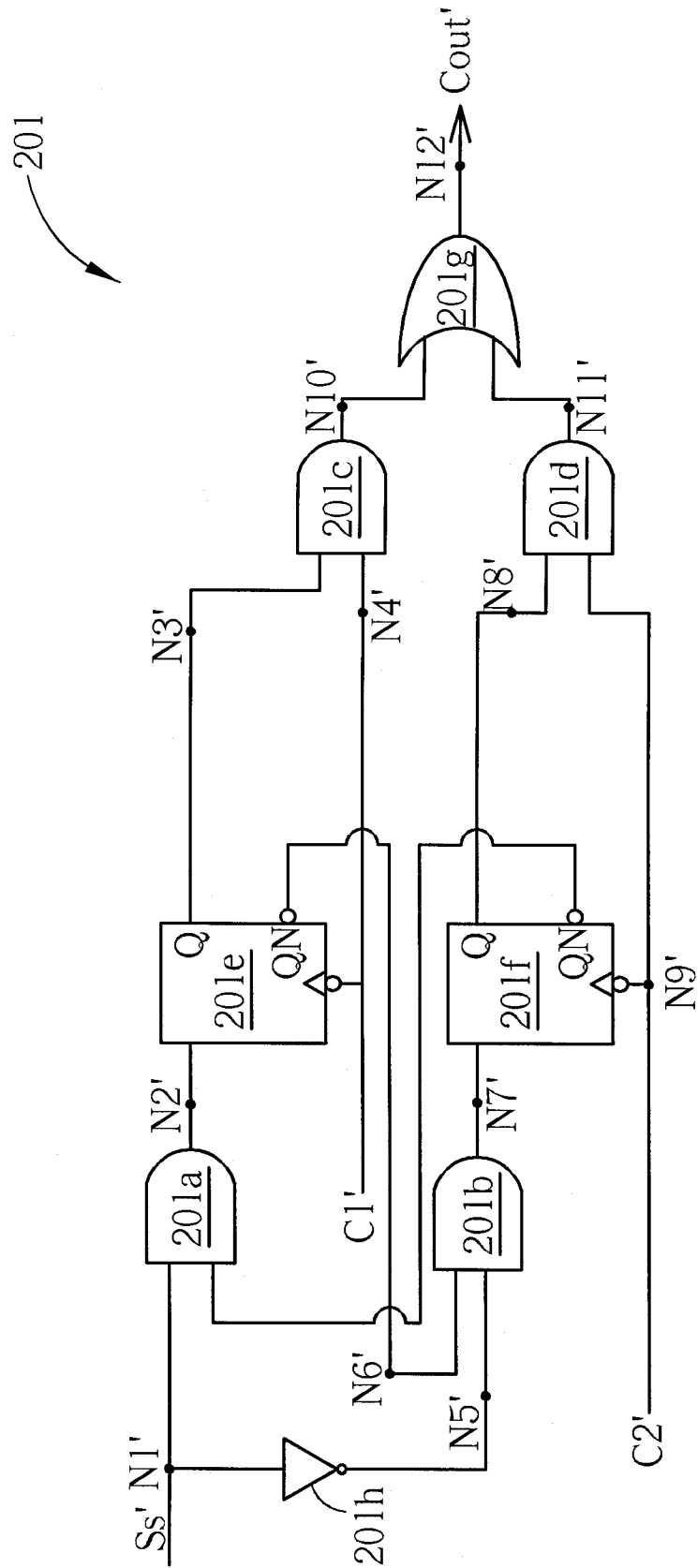


图 4

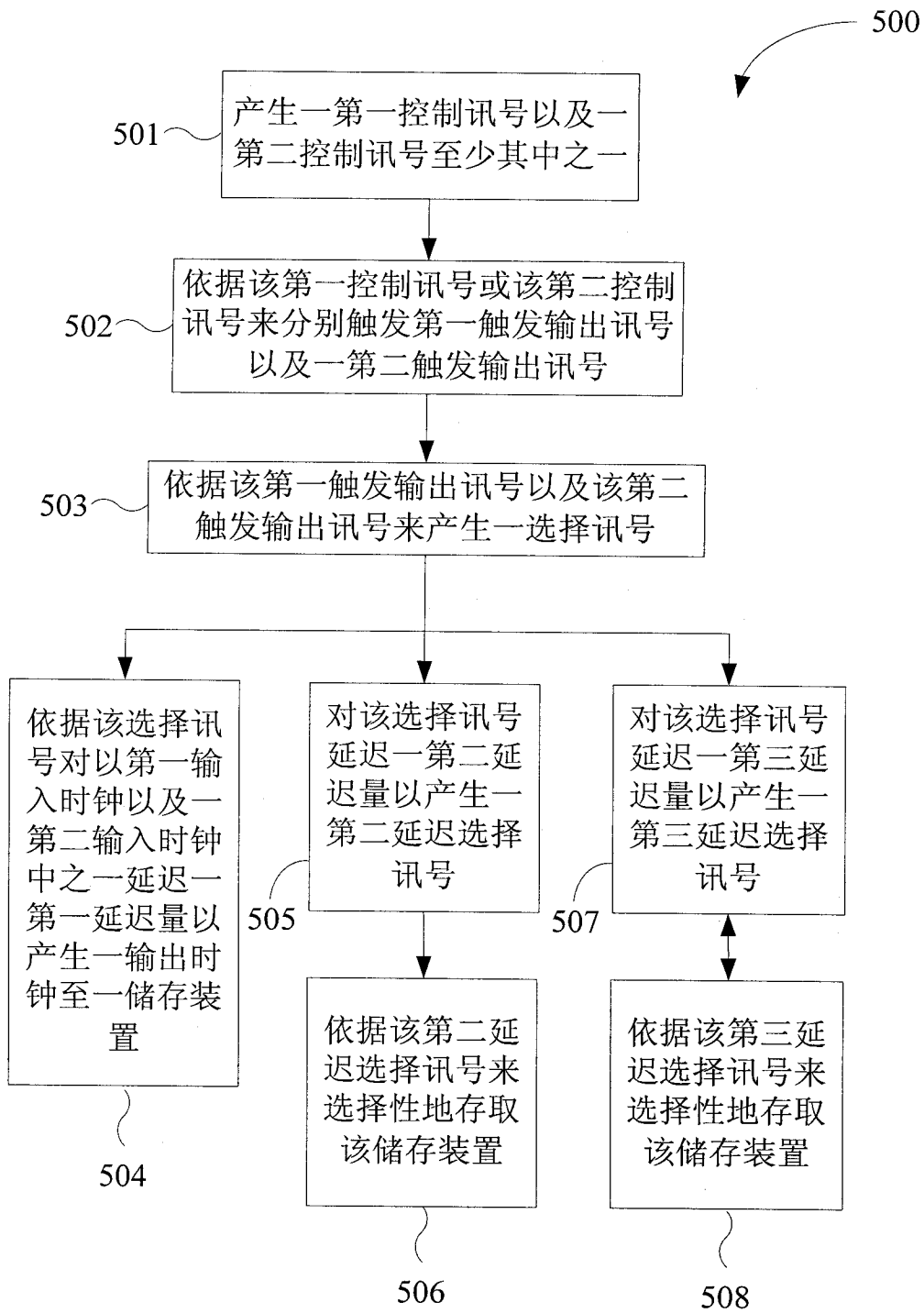


图 5