

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年11月11日 (2010.11.11)

【公開番号】特開2008-112988(P2008-112988A)

【公開日】平成20年5月15日 (2008.5.15)

【年通号数】公開・登録公報2008-019

【出願番号】特願2007-260681(P2007-260681)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 29/47 (2006.01)

H 0 1 L 29/872 (2006.01)

H 0 1 L 21/82 (2006.01)

【 F I 】

H 0 1 L 27/10 4 3 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 6 V

H 0 1 L 29/78 6 1 7 M

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 8 B

H 0 1 L 27/04 U

H 0 1 L 27/04 L

H 0 1 L 21/28 3 0 1 R

H 0 1 L 29/58 G

H 0 1 L 29/50 M

H 0 1 L 29/48 F

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 4 8 1

H 0 1 L 21/82 F

【手続補正書】

【提出日】平成22年9月29日 (2010.9.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に複数の薄膜トランジスタを含む駆動回路、及び複数のメモリ素子を有し、

前記メモリ素子は、シリコンと反応してシリサイド形成する第 1 の電極と、前記第 1 の電極上にシリコン膜と、前記シリコン膜上にシリコンと反応してシリサイド形成する第 2 の

電極と、を有し、

前記薄膜トランジスタのゲート電極は、前記メモリ素子の前記第 1の電極と同じ材料であり、前記薄膜トランジスタのソース電極またはドレイン電極は、前記メモリ素子の前記第 2の電極と同じ材料であることを特徴とする半導体装置。

【請求項 2】

絶縁表面を有する基板上に複数の薄膜トランジスタを含む駆動回路、複数のメモリ素子、及びアンテナを有し、

前記メモリ素子は、シリコンと反応してシリサイド形成する第 1 の電極と、前記第 1 の電極上にシリコン膜と、前記シリコン膜上にシリコンと反応してシリサイド形成する第 2 の電極と、を有し、

前記薄膜トランジスタのゲート電極は、前記メモリ素子の前記第 1の電極と同じ材料であり、

前記アンテナの下方に接続電極を有し、前記アンテナは、前記接続電極と電氣的に接続し、

前記接続電極は前記薄膜トランジスタと電氣的に接続し、

前記接続電極は、前記薄膜トランジスタのソース電極及びドレイン電極と同じ材料であり、且つ、前記メモリ素子の前記第 2の電極と同じ材料であることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、前記シリコン膜は、酸素または窒素を含むことを特徴とする半導体装置。

【請求項 4】

メモリ素子を含む半導体装置であり、

絶縁表面を有する基板上に薄膜トランジスタを有し、

前記薄膜トランジスタは、前記基板上に形成された島状の半導体と、前記基板上に形成された絶縁膜と、前記絶縁膜の一部は、前記半導体上に形成されたゲート絶縁体であり、

前記半導体上に前記ゲート絶縁体を介して形成されたゲート電極とを有し、

前記基板上に第 1 の電極と、前記基板上に形成された少なくとも前記薄膜トランジスタ及び前記第 1 の電極を覆う層間絶縁膜と、前記層間絶縁膜は、前記薄膜トランジスタのソース領域またはドレイン領域上に第 1 の開口と、前記第 1 の電極上に第 2 の開口とを有し、前記第 1 の電極上の前記第 2 の開口に形成された半導体層と、前記層間絶縁膜上に前記第 1 の開口を介して前記薄膜トランジスタの前記ソース領域または前記ドレイン領域と電氣的に接続する第 2 の電極と、前記層間絶縁膜上に形成された第 3 の電極と、前記第 3 の電極は、前記半導体層が前記第 1 の電極と前記第 3 の電極の間に挟まれるように前記第 2 の開口に形成され、

前記メモリ素子は、前記第 1 の電極と前記第 3 の電極と、前記第 1 の電極と前記第 2 の電極の間に挟まれた前記半導体層を有し、前記第 3 の電極と前記第 2 の電極は同じ材料で形成され、

前記第 1 の電極は、前記ゲート電極と同じ材料であることを特徴とする半導体装置。

【請求項 5】

請求項 4 において、前記半導体層は、シリコン膜であり、前記シリコン膜は、酸素または窒素を含むことを特徴とする半導体装置。

【請求項 6】

請求項 4 または 5 において、さらに前記層間絶縁膜上に第 4 の電極と、前記第 4 の電極と電氣的に接続するアンテナとを有することを特徴とする半導体装置。

【請求項 7】

請求項 4 乃至 6 のいずれかーにおいて、駆動回路を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、前記第 1 の電極は、チタン、タンゲステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウ

ム、ハフニウム、白金、鉄から選ばれる一の元素を含むことを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、前記第 2 の電極は、チタン、タングステン、ニッケル、クロム、モリブデン、タンタル、コバルト、ジルコニウム、バナジウム、パラジウム、ハフニウム、白金、鉄から選ばれる一の元素を含むことを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれかーにおいて、前記基板は、ガラス基板、プラスチックフィルム、紙のいずれかーであることを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれかーにおいて、前記第 1 の電極と前記第 2 の電極は異なる材料である半導体装置。

【請求項 12】

同一基板上に複数の薄膜トランジスタを含む駆動回路と、複数のメモリ素子とを有する半導体装置の作製方法であり、

絶縁表面を有する基板上に第 1 の半導体層を形成し、

前記第 1 の半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、前記第 1 の絶縁膜上に第 2 の電極とを形成し、

前記第 1 の電極及び前記第 2 の電極を覆う第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜をエッチングして前記第 2 の電極に達する第 1 の開口を形成し、

前記第 1 の開口を覆う第 2 の半導体層を形成し、

前記第 2 の絶縁膜をエッチングして前記第 1 の半導体層に達する第 2 の開口を形成し、

前記第 2 の絶縁膜上に前記第 1 の開口と重なる第 3 の電極と、前記第 2 の開口と重なる第 4 の電極とを形成し、

前記メモリ素子は、前記第 2 の電極と、前記第 2 の半導体層と、前記第 3 の電極とを有し

、  
前記薄膜トランジスタは、前記第 1 の半導体層と、前記第 1 の電極と、前記第 4 の電極とを有することを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 12 において、前記第 1 の開口を形成した後、大気に曝し、前記第 2 の半導体層を形成することを特徴とすることを特徴とする半導体装置の作成方法。

【請求項 14】

請求項 12 または 13 において、前記第 1 の電極及び前記第 2 の電極の形成と同じ工程で前記第 1 の絶縁膜上に第 5 の電極を形成し、さらに、前記第 5 の電極上に前記第 5 の電極と電氣的に接続するアンテナを形成することを特徴とする半導体装置の作製方法。

【請求項 15】

請求項 12 乃至 14 のいずれかーにおいて、前記第 1 の電極は、前記薄膜トランジスタのゲート電極であり、前記第 1 の絶縁膜は、ゲート絶縁膜であり、前記第 4 の電極はソース電極またはドレイン電極であることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 12 乃至 15 のいずれかーにおいて、前記第 1 の半導体層は、多結晶シリコン膜であることを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 12 乃至 15 のいずれかーにおいて、前記第 2 の半導体層は、アモルファスシリコン膜、微結晶シリコン膜、または多結晶シリコン膜であることを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 12 乃至 15 のいずれかーにおいて、前記基板は、ガラス基板、プラスチックフィルム、紙のいずれかーであることを特徴とする半導体装置の作製方法。