



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0016348
(43) 공개일자 2011년02월17일

(51) Int. Cl.

H03F 3/68 (2006.01) *H03F 1/32* (2006.01)

(21) 출원번호 10-2009-0074009

(22) 출원일자 2009년08월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

서강대학교산학협력단

서울 마포구 신수동 1-1 서강대학교

(72) 발명자

최병주

경기도 화성시 반월동 산16번지 삼성반도체 화성
사업장 지적재산팀

박호진

경기도 화성시 반월동 산16번지 삼성반도체 화성
사업장 지적재산팀

(뒷면에 계속)

(74) 대리인

리애펍특허법인

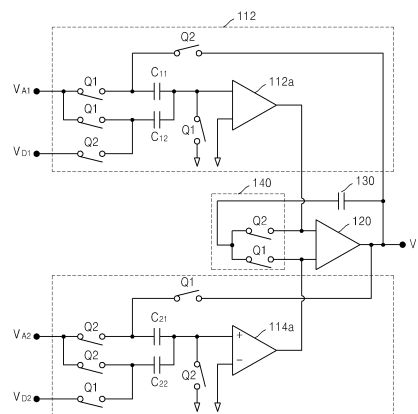
전체 청구항 수 : 총 10 항

(54) 다단 증폭 회로

(57) 요약

본 발명은 복수개의 증폭 회로가 연결된 다단 증폭 회로에 관한 것으로, 본 발명의 일실시예는 제어 신호에 응답하여, 입력되는 제1 아날로그 전압을 샘플링하거나 제1 아날로그 전압과 제1 아날로그 전압으로부터 변환된 제1 디지털 전압의 차이 값을 증폭하는 제1 증폭 회로; 제어신호에 응답하여, 입력되는 제2 아날로그 전압을 샘플링하거나 제2 아날로그 전압과 제2 아날로그 전압으로부터 변환된 제2 디지털 전압의 차이 값을 증폭하고, 제1 증폭 회로와 상보적으로 동작하는 제2 증폭 회로; 및 제1 증폭 회로의 출력 전압 및 제2 증폭 회로의 출력 전압을 입력 받고, 제어 신호에 응답하여 제1 증폭 회로의 출력 전압을 리셋(reset)시키고 제2 증폭 회로를 이용하여 출력 전압을 결정하거나, 제2 증폭 회로의 출력 전압을 리셋시키고 제1 증폭 회로를 이용하여 출력 전압을 결정하는 공유 증폭기를 포함한다.

대표도 - 도1



(72) 발명자

신은석

경기도 화성시 반월동 산16번지 삼성반도체 화성사업장 지적재산팀

문경준

경기도 화성시 반월동 산16번지 삼성반도체 화성사업장 지적재산팀

이승훈

서울특별시 마포구 신수동 1-1 서강대학교

이경훈

서울특별시 마포구 신수동 1-1 서강대학교

김영주

서울특별시 마포구 신수동 1-1 서강대학교

이세원

서울특별시 마포구 신수동 1-1 서강대학교

박범수

서울특별시 마포구 신수동 1-1 서강대학교

특허청구의 범위

청구항 1

제어 신호에 응답하여, 입력되는 제1 아날로그 전압을 샘플링하거나 상기 제1 아날로그 전압과 상기 제1 아날로그 전압으로부터 변환된 제1 디지털 전압의 차이 값을 증폭하는 제1 증폭 회로;

상기 제어신호에 응답하여, 입력되는 제2 아날로그 전압을 샘플링하거나 상기 제2 아날로그 전압과 상기 제2 아날로그 전압으로부터 변환된 제2 디지털 전압의 차이 값을 증폭하고, 상기 제1 증폭 회로와 상보적으로 동작하는 제2 증폭 회로; 및

상기 제1 증폭 회로의 출력 전압 및 상기 제2 증폭 회로의 출력 전압을 입력 받고, 상기 제어 신호에 응답하여 상기 제1 증폭 회로의 출력 전압을 리셋(reset)시키고 상기 제2 증폭 회로를 이용하여 출력 전압을 결정하거나, 상기 제2 증폭 회로의 출력 전압을 리셋시키고 상기 제1 증폭 회로를 이용하여 출력 전압을 결정하는 공유 증폭기를 포함하는 것을 특징으로 하는 다단 증폭 회로.

청구항 2

제1항에 있어서,

상기 공유 증폭기의 출력단에 일단이 연결되는 제1 커패시터; 및

상기 제1 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제1 커패시터를 상기 제1 증폭 회로의 출력단 또는 상기 제2 증폭 회로의 출력단과 연결하는 연결 제어부를 더 포함하는 것을 특징으로 하는 다단 증폭 회로.

청구항 3

제1항에 있어서,

상기 제1 증폭 회로는

상기 공유 증폭기의 제1 입력단과 출력단이 연결된 제1 증폭기;

상기 제1 증폭기의 입력단에 일단이 연결되는 제2 커패시터 및 제3 커패시터;

상기 제2 커패시터 및 상기 제3 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제2 커패시터 및 상기 제3 커패시터에게 상기 제1 아날로그 전압을 인가하는 제2 스위치 및 제3 스위치;

상기 제3 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제1 디지털 전압을 상기 제3 커패시터에 인가하는 제4 스위치; 및

상기 제2 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제2 커패시터를 상기 공유 증폭기의 출력단에 연결하는 제5 스위치를 포함하는 것을 특징으로 하는 다단 증폭 회로.

청구항 4

제1항에 있어서,

상기 제2 증폭 회로는

상기 공유 증폭기의 제2 입력단과 출력단이 연결된 제2 증폭기;

상기 제2 증폭기의 입력단에 일단이 연결되는 제4 커패시터 및 제5 커패시터;

상기 제4 커패시터 및 상기 제5 커패시터의 타단에 연결되고, 상기 제어 신호에 응답하여 상기 제4 커패시터 및 상기 제5 커패시터에게 상기 제2 아날로그 전압을 인가하는 제6 스위치 및 제7 스위치;

상기 제5 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제2 디지털 전압을 상기 제5 커패시터에 인가하는 제8 스위치; 및

상기 제4 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제4 커패시터를 상기 공유 증폭기의 출력단에 연결하는 제9 스위치를 포함하는 것을 특징으로 하는 다단 증폭 회로.

청구항 5

제1항에 있어서,

상기 공유 증폭기는

제1 전원 전압에 일단이 연결되고, 인가되는 제1 바이어스 전압에 응답하여 전류를 발생하는 제1 전류 발생부;

상기 제1 전류 발생부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제1 증폭 회로의 출력 전압을 증폭하거나 리셋시키는 제1 증폭부;

상기 제1 증폭부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제2 증폭 회로의 출력 전압을 증폭하거나 리셋시키고, 상기 제1 증폭부와 상보적으로 동작하는 제2 증폭부; 및

상기 제2 증폭부의 타단에 일단이 연결되고, 인가되는 제2 바이어스 전압에 응답하여 전류를 발생하는 제2 전류 발생부를 포함하는 다단 증폭 회로.

청구항 6

제1항에 있어서,

상기 제2 아날로그 전압은 상기 제1 증폭 회로를 이용하여 결정된 상기 공유 증폭기의 출력 전압인 것을 특징으로 하는 다단 증폭 회로.

청구항 7

제1 입력 전압 및 제2 입력 전압을 입력받고, 제어 신호에 응답하여 상기 제1 입력 전압을 리셋시키고 상기 제2 입력 전압을 증폭하거나, 상기 제2 입력 전압을 리셋시키고 상기 제1 입력 전압을 증폭하는 공유 증폭 회로;

상기 제어 신호에 응답하여, 입력되는 제1 아날로그 전압을 샘플링하거나 상기 제1 아날로그 전압과 상기 제1 아날로그 전압으로부터 변환된 제1 디지털 전압의 차이 값인 상기 제1 입력 전압을 상기 공유 증폭 회로를 이용하여 증폭하여 상기 공유 증폭 회로의 출력 전압을 결정하는 제1 제어 회로; 및

상기 제어신호에 응답하여, 입력되는 제2 아날로그 전압을 샘플링하거나 상기 제2 아날로그 전압과 상기 제2 아날로그 전압으로부터 변환된 제2 디지털 전압의 차이 값인 상기 제2 입력 전압을 상기 공유 증폭 회로를 이용하여 증폭하여 상기 공유 증폭 회로의 출력 전압을 결정하고, 상기 제1 제어 회로와 상보적으로 동작하는 제2 제어 회로를 포함하는 것을 특징으로 하는 다단 증폭 회로.

청구항 8

제7항에 있어서,

상기 공유 증폭 회로는

상기 제1 입력 전압 및 제2 입력 전압을 입력받고, 상기 제어 신호에 응답하여 상기 제1 입력 전압을 리셋시키고 상기 제2 입력 전압을 1차 증폭하거나, 상기 제2 입력 전압을 리셋시키고 상기 제1 입력 전압을 1차 증폭하는 제1 공유 증폭기;

상기 제1 공유 증폭기의 출력 전압을 2차 증폭하는 제2 공유 증폭기; 및

상기 제1 공유 증폭기의 출력단에 일단이 연결되고, 상기 제2 공유 증폭기의 출력단에 타단이 연결되는 커패시터를 더 포함하는 것을 특징으로 하는 다단 증폭 회로.

청구항 9

제7항에 있어서, 상기 제1 공유 증폭기는

제1 전원 전압에 일단이 연결되고, 인가되는 제1 바이어스 전압에 응답하여 전류를 발생하는 제1 전류 발생부;

상기 제1 전류 발생부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 차동적으로 입력되는 상

기 제1 입력 전압을 증폭하거나 리셋시키는 제1 증폭부;

상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제2 입력 전압을 증폭하거나 리셋시키고, 상기 제1 증폭부와 상보적으로 동작하는 제2 증폭부;

상기 제1 증폭부의 타단에 일단이 연결되고 상기 제2 증폭부의 일단에 타단이 연결되고, 상기 제1 증폭부의 전압 증폭률을 상승시키거나 상기 제2 증폭부의 전압 증폭률을 상승시키는 게인 상승부; 및

상기 제2 증폭부의 타단에 연결되고, 인가되는 제2 바이어스 전압에 응답하여 전류를 발생하는 제2 전류 발생부를 포함하는 것을 특징으로 하는 다단 증폭 회로.

청구항 10

제7항에 있어서,

상기 제1 공유 증폭기는

제1 전원 전압에 일단이 연결되고, 인가되는 제1 바이어스 전압에 응답하여 전류를 발생하는 제1 전류 발생부;

상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제1 입력 전압을 증폭하는 제1 증폭부;

상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제2 입력 전압을 증폭하는 제2 증폭부;

상기 제1 전류 발생부의 타단에 일단이 연결되고 상기 제1 증폭부의 일단과 상기 제2 증폭부의 일단에 타단이 연결되고, 상기 제1 증폭부의 전압 증폭률을 상승시키거나 상기 제2 증폭부의 전압 증폭률을 상승시키는 게인 상승부;

제2 전원 전압에 일단이 연결되고, 인가되는 제2 바이어스 전압에 응답하여 전류를 발생하는 제2 전류 발생부; 및

상기 제2 전류 발생부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제1 증폭부의 타단 또는 상기 제2 증폭부의 타단을 상기 제2 전류 발생부의 타단에 연결하는 연결 제어부를 포함하는 것을 특징으로 하는 다단 증폭 회로.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 복수개의 증폭 회로가 연결된 다단 증폭 회로에 관한 것이다.

배 경 기 술

[0002] 통상, FM 라디오 수신기의 리미터 앰프나, AM 라디오 수신기의 IF(Intermediate Frequency) 앰프 등에는, 미소(微小) 입력 신호를 증폭하여 큰 게인을 얻으며, 복수의 증폭 회로를 다단계로 종속 접속하여 고비율의 이득을 얻도록 한 다단 증폭 회로가 이용되고 있다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명의 목적은 복수개의 증폭 회로가 연결된 다단 증폭 회로를 제공하는 것이다.

과제 해결수단

[0004] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 다단 증폭 회로는 제어 신호에 응답하여, 입력되는 제1 아날로그 전압을 샘플링하거나 상기 제1 아날로그 전압과 상기 제1 아날로그 전압으로부터 변환된 제1 디지털 전압의 차이 값을 증폭하는 제1 증폭 회로; 상기 제어신호에 응답하여, 입력되는 제2 아날로그 전압을 샘플링하거나 상기 제2 아날로그 전압과 상기 제2 아날로그 전압으로부터 변환된 제2 디지털 전압의 차이

값을 증폭하고, 상기 제1 증폭 회로와 상보적으로 동작하는 제2 증폭 회로; 및 상기 제1 증폭 회로의 출력 전압 및 상기 제2 증폭 회로의 출력 전압을 입력 받고, 상기 제어 신호에 응답하여 상기 제1 증폭 회로의 출력 전압을 리셋(reset)시키고 상기 제2 증폭 회로를 이용하여 출력 전압을 결정하거나, 상기 제2 증폭 회로의 출력 전압을 리셋시키고 상기 제1 증폭 회로를 이용하여 출력 전압을 결정하는 공유 증폭기를 포함한다.

[0005] 바람직하게는 본 발명의 일실시예에 따른 다단 증폭 회로는 상기 공유 증폭기의 출력단에 일단이 연결되는 제1 커패시터; 및 상기 제1 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제1 커패시터를 상기 제1 증폭 회로의 출력단 또는 상기 제2 증폭 회로의 출력단과 연결하는 연결 제어부를 더 포함한다.

[0006] 바람직하게는 상기 제1 증폭 회로는 상기 공유 증폭기의 제1 입력단과 출력단이 연결된 제1 증폭기; 상기 제1 증폭기의 입력단에 일단이 연결되는 제2 커패시터 및 제3 커패시터; 상기 제2 커패시터 및 상기 제3 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제2 커패시터 및 상기 제3 커패시터에게 상기 제1 아날로그 전압을 인가하는 제2 스위치 및 제3 스위치; 상기 제3 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제1 디지털 전압을 상기 제3 커패시터에 인가하는 제4 스위치; 및 상기 제2 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제2 커패시터를 상기 공유 증폭기의 출력단에 연결하는 제5 스위치를 포함한다.

바람직하게는 상기 제2 증폭 회로는 상기 공유 증폭기의 제2 입력단과 출력단이 연결된 제2 증폭기; 상기 제2 증폭기의 입력단에 일단이 연결되는 제4 커패시터 및 제5 커패시터; 상기 제4 커패시터 및 상기 제5 커패시터의 타단에 연결되고, 상기 제어 신호에 응답하여 상기 제4 커패시터 및 상기 제5 커패시터에게 상기 제2 아날로그 전압을 인가하는 제6 스위치 및 제7 스위치; 상기 제5 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제2 디지털 전압을 상기 제5 커패시터에 인가하는 제8 스위치; 및 상기 제4 커패시터의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제4 커패시터를 상기 공유 증폭기의 출력단에 연결하는 제9 스위치를 포함한다.

[0007] 바람직하게는 상기 공유 증폭기는 제1 전원 전압에 일단이 연결되고, 인가되는 제1 바이어스 전압에 응답하여 전류를 발생하는 제1 전류 발생부; 상기 제1 전류 발생부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제1 증폭 회로의 출력 전압을 증폭하거나 리셋시키는 제1 증폭부; 상기 제1 증폭부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제2 증폭 회로의 출력 전압을 증폭하거나 리셋시키고, 상기 제1 증폭부와 상보적으로 동작하는 제2 증폭부; 및 상기 제2 증폭부의 타단에 일단이 연결되고, 인가되는 제2 바이어스 전압에 응답하여 전류를 발생하는 제2 전류 발생부를 포함한다.

[0008] 바람직하게는 상기 제2 아날로그 전압은 상기 제1 증폭 회로를 이용하여 결정된 상기 공유 증폭기의 출력 전압일 수 있다.

[0009] 또한, 상기 목적을 달성하기 위한 본 발명의 일실시예에 따른 다단 증폭 회로는 제1 입력 전압 및 제2 입력 전압을 입력받고, 제어 신호에 응답하여 상기 제1 입력 전압을 리셋시키고 상기 제2 입력 전압을 증폭하거나, 상기 제2 입력 전압을 리셋시키고 상기 제1 입력 전압을 증폭하는 공유 증폭 회로; 상기 제어 신호에 응답하여, 입력되는 제1 아날로그 전압을 샘플링하거나 상기 제1 아날로그 전압과 상기 제1 아날로그 전압으로부터 변환된 제1 디지털 전압의 차이 값인 상기 제1 입력 전압을 상기 공유 증폭 회로를 이용하여 증폭하여 상기 공유 증폭 회로의 출력 전압을 결정하는 제1 제어 회로; 및 상기 제어신호에 응답하여, 입력되는 제2 아날로그 전압을 샘플링하거나 상기 제2 아날로그 전압과 상기 제2 아날로그 전압으로부터 변환된 제2 디지털 전압의 차이 값인 상기 제2 입력 전압을 상기 공유 증폭 회로를 이용하여 상기 공유 증폭 회로의 출력 전압을 결정하고, 상기 제1 제어 회로와 상보적으로 동작하는 제2 제어 회로를 포함한다.

[0010] 바람직하게는 상기 공유 증폭 회로는 상기 제1 입력 전압 및 제2 입력 전압을 입력받고, 상기 제어 신호에 응답하여 상기 제1 입력 전압을 리셋시키고 상기 제2 입력 전압을 1차 증폭하거나, 상기 제2 입력 전압을 리셋시키고 상기 제1 입력 전압을 1차 증폭하는 제1 공유 증폭기; 상기 제1 공유 증폭기의 출력 전압을 2차 증폭하는 제2 공유 증폭기; 및 상기 제1 공유 증폭기의 출력단에 일단이 연결되고, 상기 제2 공유 증폭기의 출력단에 타단이 연결되는 커패시터를 더 포함한다.

[0011] 바람직하게는 상기 제1 공유 증폭기는 제1 전원 전압에 일단이 연결되고, 인가되는 제1 바이어스 전압에 응답하여 전류를 발생하는 제1 전류 발생부; 상기 제1 전류 발생부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제1 입력 전압을 증폭하거나 리셋시키는 제1 증폭부; 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제2 입력 전압을 증폭하거나 리셋시키고, 상기 제1 증폭부와 상보적으로

동작하는 제2 증폭부; 상기 제1 증폭부의 타단에 일단이 연결되고 상기 제2 증폭부의 일단에 타단이 연결되고, 상기 제1 증폭부의 전압 증폭률을 상승시키거나 상기 제2 증폭부의 전압 증폭률을 상승시키는 게인 상승부; 및 상기 제2 증폭부의 타단에 연결되고, 인가되는 제2 바이어스 전압에 응답하여 전류를 발생하는 제2 전류 발생부를 포함한다.

[0012] 바람직하게는 상기 제1 공유 증폭기는 제1 전원 전압에 일단이 연결되고, 인가되는 제1 바이어스 전압에 응답하여 전류를 발생하는 제1 전류 발생부; 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제1 입력 전압을 증폭하는 제1 증폭부; 상기 제어 신호에 응답하여 차동적으로 입력되는 상기 제2 입력 전압을 증폭하는 제2 증폭부; 상기 제1 전류 발생부의 타단에 일단이 연결되고 상기 제1 증폭부의 일단과 상기 제2 증폭부의 일단에 타단이 연결되고, 상기 제1 증폭부의 전압 증폭률을 상승시키거나 상기 제2 증폭부의 전압 증폭률을 상승시키는 게인 상승부; 제2 전원 전압에 일단이 연결되고, 인가되는 제2 바이어스 전압에 응답하여 전류를 발생하는 제2 전류 발생부; 및 상기 제2 전류 발생부의 타단에 일단이 연결되고, 상기 제어 신호에 응답하여 상기 제1 증폭부의 타단 또는 상기 제2 증폭부의 타단을 상기 제2 전류 발생부의 타단에 연결하는 연결 제어부를 포함한다.

효 과

[0013] 본 발명은 종래의 다단 증폭 회로에서 첫 번째 단의 증폭기와 두 번째 단의 증폭기간에 발생할 수 있는 메모리 효과를 제거하면서도, 다단 증폭 회로의 출력 전압의 왜곡을 최소화할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명한다.

[0015] 도 1은 본 발명에 따른 다단 증폭 회로의 일 실시예를 설명하기 위하여 도시한 도면이다.

[0016] 도 1을 참조하면, 본 발명의 일 실시예에 따른 다단 증폭 회로는 제1 증폭 회로(112), 제2 증폭 회로(114), 공유 증폭기(120), 보상 커패시터(130) 및 연결 제어부(140)를 포함한다.

[0017] 제1 증폭 회로(112)는 제어 신호에 응답하여, 입력되는 제1 아날로그 전압(V_{A1})을 샘플링하거나 제1 아날로그 전압(V_{A1})과 제1 아날로그 전압(V_{A1})으로부터 변환된 제1 디지털 전압($-V_{D1}$)의 차이 값($V_{A1}-V_{D1}$)을 증폭한다.

[0018] 보다 구체적으로, 제어 신호가 제1 논리 상태(Q1)일 때 제1 증폭 회로(112)는 커패시터들(C11, C12)을 통하여 제1 아날로그 전압(V_{A1})을 샘플링하는 동작을 수행한다.

[0019] 또한, 제어 신호가 제2 논리 상태(Q2)일 때 제1 증폭 회로(112)는 제1 아날로그 전압(V_{A1})과 제1 디지털 전압(V_{D1})의 차이 값($V_{A1}-V_{D1}$)을 제1 증폭기(112a)를 통하여 증폭한다.

[0020] 이때, 제1 디지털 전압(V_{D1})은 제1 아날로그 전압(V_{A1})보다 작은 값으로서 제1 아날로그 전압(V_{A1})과 가장 근접한 디지털 전압 값을 나타내며, 제1 아날로그 전압(V_{A1})과 제1 디지털 전압(V_{D1})은 본원 발명의 다단 증폭기가 연결된 외부 회로로부터 입력될 수 있다.

[0021] 예컨대, 제1 아날로그 전압(V_{A1})이 3.4V라고 하면, 제1 디지털 전압(V_{D1})은 3V로 결정될 수 있다.

[0022] 제2 증폭 회로(114)는 제어신호에 응답하여, 입력되는 제2 아날로그 전압(V_{A2})을 샘플링하거나 제2 아날로그 전압(V_{A2})과 제2 아날로그 전압(V_{A2})으로부터 변환된 제2 디지털 전압(V_{D2})의 차이 값을 증폭한다. 이때, 제2 증폭 회로(114)는 제1 증폭 회로(112)와 상보적으로 동작한다.

[0023] 보다 구체적으로, 제어 신호가 제1 논리 상태(Q1)일 때, 제2 증폭 회로(114)는 제2 아날로그 전압(V_{A2})과 제2 디지털 전압(V_{D2})의 차이 값($V_{A2}-V_{D2}$)을 제2 증폭기(114a)를 통하여 증폭한다.

[0024] 또한, 제어 신호가 제2 논리 상태(Q2)일 때 제2 증폭 회로(114)는 커패시터들(C21, C22)을 통하여 제2 아날로그 전압(V_{A1})을 샘플링하는 동작을 수행한다.

[0025] 즉, 제2 증폭 회로(114)는 제1 증폭 회로(112)가 샘플링 동작을 수행할 때에는 증폭 동작을 수행하고,

제1 증폭 회로(112)가 증폭 동작을 수행할 때에는 샘플링 동작을 수행하게 된다.

[0026] 공유 증폭기(120)는 제1 증폭 회로(112)의 출력 전압 및 제2 증폭 회로(114)의 출력 전압을 입력받고, 제어 신호에 응답하여 제1 증폭 회로(112)의 출력 전압을 리셋시키고 제2 증폭 회로(114)를 이용하여 공유 증폭기(120) 자신의 출력 전압(V_o)을 결정하거나, 제2 증폭 회로(114)의 출력 전압을 리셋시키고 제1 증폭 회로(112)를 이용하여 공유 증폭기(120) 자신의 출력 전압(V_o)을 결정한다.

[0027] 보다 구체적으로, 제어 신호가 제1 논리 상태(Q1)일 때 공유 증폭기(120)는 제1 증폭 회로(112)의 출력 전압을 리셋시키고 제2 증폭 회로(114)를 이용하여 출력 전압(V_o)을 결정한다.

[0028] 이때, 제어 신호가 제1 논리 상태(Q1)일 때의 출력 전압(V_o)은 제2 아날로그 전압(V_{A2})과 제2 디지털 전압(V_{D2})의 차이 값($V_{A2}-V_{D2}$)과 제2 증폭 회로(114)에 포함된 커패시터들(C21, C22)의 임피던스 값에 의하여 결정되는데, 이와 같은 공유 증폭기(120)의 출력 전압(V_o)은 제2 증폭기(114a)의 출력 전압을 공유 증폭기(120)가 증폭한 값과 동일한 값이 된다.

[0029] 한편, 제어 신호가 제2 논리 상태(Q2)일 때에는 공유 증폭기(120)가 제2 증폭 회로(114)의 출력 전압을 리셋시키고 제1 증폭 회로(112)를 이용하여 출력 전압(V_o)을 결정한다.

[0030] 이때, 제어 신호가 제2 논리 상태(Q2)일 때의 출력 전압(V_o)은 제1 아날로그 전압(V_{A1})과 제1 디지털 전압(V_{D1})의 차이 값과 제1 증폭 회로(112)에 포함된 커패시터들(C11, C12)의 임피던스 값에 의하여 결정되는데, 이와 같은 출력 전압(V_o)은 제1 증폭기(112a)의 출력되는 전압을 공유 증폭기(120)에서 증폭한 값과 동일한 값이 된다.

[0031] 보상 커패시터(130)는 공유 증폭기(120)의 출력단에 연결되어 출력 전압(V_o)을 안정화시켜준다.

[0032] 연결 제어부(140)는 제어 신호에 응답하여 공유 증폭기(120)의 출력단에 연결된 보상 커패시터(130)를 제1 증폭 회로(112)의 출력단 또는 제2 증폭 회로(114)의 출력단에 연결한다.

[0033] 보다 구체적으로, 연결 제어부(140)는 제어 신호가 제1 논리 상태(Q1)일 때 공유 증폭기(120)의 출력단에 연결된 보상 커패시터(130)를 제2 증폭 회로의 출력단(114)에 연결하고, 제어 신호가 제2 논리 상태(Q2)일 때 공유 증폭기(120)의 출력단에 연결된 보상 커패시터(130)를 제1 증폭 회로의 출력단(112)에 연결한다.

[0034] 한편, 본 발명의 일실시예에서 제2 증폭 회로(114)를 이용하여 공유 증폭기(120)의 출력 전압(V_o)을 결정할 때 제1 증폭기(112a)로부터 출력되는 전압을 리셋시키고, 제1 증폭 회로(112)를 이용하여 공유 증폭기(120)의 출력 전압(V_o)을 결정할 때 제2 증폭기(114a)로부터 출력되는 전압을 리셋시키는 이유는, 제1 증폭기(112a) 또는 제2 증폭기(114a)에 의하여 발생하는 오류 중 하나인 메모리 효과를 제거하기 위한 것이다.

[0035] 예컨대, 도 1의 실시예에서 제어 신호가 제2 논리 상태(Q2)일 때에는 제1 증폭 회로(112)를 이용하여 공유 증폭기(120)의 출력 전압(V_o)이 결정되는데, 이때 공유 증폭기(120)의 입력단은 제1 증폭기(112a)와 제2 증폭기(114a) 모두에 연결되어 있으므로, 제2 증폭기(114a)를 통하여 적은 양이라도 공유 증폭기(120)의 입력단에 전압이 인가된다면 출력 전압(V_o)에 왜곡이 발생하게 되는데, 이를 메모리 효과라고 한다. 따라서, 본 실시예에서는 제어 신호가 제2 논리 상태(Q2)일 때 제2 증폭기(114a)로부터 공유 증폭기(120)에 입력되는 전압을 리셋시킴으로써 이와 같은 메모리 효과를 제거할 수 있게 된다.

[0036] 한편, 다른 실시예에서는 공유 증폭기(120)가 제1 증폭 회로(112)를 이용하여 결정된 출력 전압(V_o)을 출력하면, 그 출력 전압(V_o)을 제2 아날로그 전압(V_{A2})으로서 제2 증폭 회로(114)에 입력하고, 그 제2 아날로그 전압(V_{A2})에 대응되는 제2 디지털 전압(V_{D2})을 제2 증폭 회로(114)에 입력할 수도 있다.

[0037] 한편, 도 1에서는 제1 아날로그 전압(V_{A1}), 제1 디지털 전압(V_{D1}), 제2 아날로그 전압(V_{A2}) 및 제2 디지털 전압(V_{D2})이 싱글 포인트 입력으로서 입력되는 것으로 도시되어 있고, 제1 증폭기(112a)의 출력 전압, 제2 증폭기(114a) 출력 전압 및 공유 증폭기(120)의 출력 전압(V_o)도 싱글 엔디드 출력으로서 출력되는 것으로 도시되어 있지만, 다른 실시예에서는 제1 아날로그 전압(V_{A1}), 제1 디지털 전압(V_{D1}), 제2 아날로그 전압(V_{A2}) 및 제2 디지털 전압(V_{D2})은 차동 입력으로서 입력될 수 있고, 이에 따라 제1 증폭기(112a)의 출력 전압, 제2 증폭기(114a) 출력 전압 및 공유 증폭기(120)의 출력 전압(V_o)도 차동 출력으로 출력되도록 구성될 수 있다.

- [0038] 도 2는 본 발명에 따른 공유 증폭기의 일실시예를 설명하기 위하여 도시한 도면이다.
- [0039] 도 2는 도 1의 제1 증폭기(112a) 및 제2 증폭기(114a)가 출력 전압을 차동적으로 출력하는 경우에 대한 공유 증폭기(120)의 일실시예를 도시한 것이다.
- [0040] 도 2를 참조하면, 본 발명의 일실시예에 따른 공유 증폭기(120)는 제1 전류 발생부(122), 제1 증폭부(124), 제2 증폭부(126) 및 제2 전류 발생부(128)를 포함한다.
- [0041] 제1 전류 발생부(122)는 제1 전원 전압(V_{DD})에 일단이 연결되고, 인가되는 제1 바이어스 전압(V_{B1})에 응답하여 전류를 발생한다.
- [0042] 제1 증폭부(124)는 제어 신호에 응답하여 차동적으로 입력되는 제1 증폭 회로(112)의 출력 전압(V_{I1+} , V_{I1-})을 증폭하거나 리셋시킨다.
- [0043] 보다 구체적으로는, 제1 증폭부(124)는 2개의 트랜지스터를 포함하고, 각각의 트랜지스터는 제어 신호가 제1 논리 상태(Q1)일 때에는 리셋 전압을 입력받아 리셋되고, 제어 신호가 제2 논리 상태(Q2)일 때에는 제1 증폭 회로(112)의 출력 전압(V_{I1+} , V_{I1-})을 차동적으로 입력받아 그 입력된 제1 증폭 회로(112)의 출력 전압(V_{I1+} , V_{I1-})을 증폭한다.
- [0044] 여기서, 리셋 전압은 0V에 근접한 전압 레벨을 가지는 전압을 말한다.
- [0045] 제2 증폭부(126)는 제어 신호에 응답하여 차동적으로 입력되는 제2 증폭 회로(114)의 출력 전압(V_{I2+} , V_{I2-})을 증폭하거나 리셋시킨다.
- [0046] 보다 구체적으로는, 제2 증폭부(126)는 2개의 트랜지스터를 포함하고, 각각의 트랜지스터는 제어 신호가 제1 논리 상태(Q1)일 때에는 제2 증폭 회로(114)의 출력 전압(V_{I2+} , V_{I2-})을 차동적으로 입력받아 그 입력된 제2 증폭 회로(114)의 출력 전압(V_{I2+} , V_{I2-})을 증폭하고, 제어 신호가 제2 논리 상태(Q2)일 때에는 리셋 전압을 입력받아 리셋된다.
- [0047] 한편, 도 2에 도시된 것과 같이 제1 증폭부(124)와 제2 증폭부(126)는 상이한 타입의 트랜지스터들로 구성될 수 있다.
- [0048] 제2 전류 발생부(128)는 제2 전원 전압(V_{SS})에 연결되고, 인가되는 제2 바이어스 전압(V_{B2})에 응답하여 전류를 발생한다.
- [0049] 이때, 제2 전류 발생부(128)에서 발생하는 전류의 크기는 제1 전류 발생부(122)에서 발생하는 전류의 크기와 동일해야 한다.
- [0050] 도 3은 본 발명에 따른 다단 증폭 회로의 제2 실시예를 설명하기 위하여 도시한 도면이다.
- [0051] 도 3을 참조하면, 본 발명의 일실시예에 따른 다단 증폭 회로는 제1 제어 회로(312), 제2 제어 회로(314) 및 공유 증폭 회로(320)를 포함한다.
- [0052] 제1 제어 회로(312)는 제어 신호에 응답하여, 입력되는 제1 아날로그 전압(V_{A1})을 샘플링하거나 제1 아날로그 전압(V_{A1})과 제1 디지털 전압(V_{D1})의 차이 값($V_{A1}-V_{D1}$)인 제1 입력 전압을 공유 증폭 회로(320)를 이용하여 증폭하여 공유 증폭 회로(320)의 출력 전압(V_o)을 결정한다.
- [0053] 보다 구체적으로, 제어 신호가 제1 논리 상태(Q1)일 때 제1 제어 회로(312)는 커패시터들(C11, C12)을 통하여 제1 아날로그 전압(V_{A1})을 샘플링하는 동작을 수행한다.
- [0054] 또한, 제어 신호가 제2 논리 상태(Q2)일 때, 제1 제어 회로(312)는 제1 아날로그 전압(V_{A1})과 제1 디지털 전압(V_{D1})의 차이 값($V_{A1}-V_{D1}$)인 제1 입력 전압을 공유 증폭 회로(320)를 통하여 증폭한다.
- [0055] 제2 제어 회로(314)는 제어신호에 응답하여, 입력되는 제2 아날로그 전압(V_{A2})을 샘플링하거나 제2 아날로그 전압(V_{A2})과 제2 디지털 전압(V_{D2})의 차이 값($V_{A2}-V_{D2}$)인 제2 입력 전압을 공유 증폭 회로(320)를 이용하여 증폭하여 공유 증폭 회로(320)의 출력 전압(V_o)을 결정한다. 이때, 제2 제어 회로(314)는 제1 제어 회로(312)와

상보적으로 동작한다.

- [0056] 보다 구체적으로, 제어 신호가 제1 논리 상태(Q1)일 때, 제2 제어 회로(314)는 제2 아날로그 전압(V_{A2})과 제2 디지털 전압(V_{D2})의 차이 값($V_{A2}-V_{D2}$)인 제2 입력 전압을 공유 증폭 회로(320)를 통하여 증폭한다.
- [0057] 또한, 제어 신호가 제2 논리 상태(Q2)일 때 제2 증폭 회로(314)는 커패시터들(C21, C22)을 통하여 제2 아날로그 전압(V_{A1})을 샘플링하는 동작을 수행한다.
- [0058] 공유 증폭 회로(320)는 제1 제어 회로(312) 및 제2 제어 회로(314)로부터 제1 입력 전압 및 제2 입력 전압을 입력받고, 제어 신호에 응답하여 제1 입력 전압을 리셋시키고 제2 입력 전압을 증폭하거나, 제2 입력 전압을 리셋시키고 제1 입력 전압을 증폭한다.
- [0059] 공유 증폭 회로(320)는 제1 공유 증폭기(322), 제2 공유 증폭기(324) 및 보상 커패시터(326)를 포함한다.
- [0060] 제1 공유 증폭기(322)는 제1 입력 전압 및 제2 입력 전압을 입력받고, 제어 신호에 응답하여 제1 입력 전압을 리셋시키고 제2 입력 전압을 1차 증폭하거나, 제2 입력 전압을 리셋시키고 제1 입력 전압을 1차 증폭한다.
- [0061] 제2 공유 증폭기(324)는 제1 공유 증폭기(322)의 출력 전압을 2차 증폭한다.
- [0062] 보상 커패시터(326)는 제1 공유 증폭기(322)의 출력단과 제2 공유 증폭기(324)의 출력단 사이에 연결되고, 제2 공유 증폭기(324)의 출력 전압(V_o)을 안정화시켜준다.
- [0063] 도 3의 다단 증폭 회로는 도 1의 다단 증폭 회로에 비하여 증폭기를 하나 적게 쓰도록 구성되어 있어, 다단 증폭 회로의 전체 크기 및 전력 소모를 줄일 수 있다는 장점이 있다.
- [0064] 도 4는 본 발명에 따른 제1 공유 증폭기 및 제2 공유 증폭기의 일실시예를 설명하기 위하여 도시한 도면이다.
- [0065] 도 4를 참조하면, 제1 공유 증폭기(322)는 제1 전류 발생부(322a), 제1 증폭부(322b), 게인 상승부(322c), 제2 증폭부(322d) 및 제2 전류 발생부(322e)를 포함한다.
- [0066] 제1 전류 발생부(322a)는 제1 전원 전압(V_{DD})에 일단이 연결되고, 인가되는 제1 바이어스 전압(V_{B1})에 응답하여 전류를 발생한다.
- [0067] 제1 증폭부(322b)는 제어 신호에 응답하여 제1 제어 회로(312)로부터 차동적으로 입력되는 제1 입력 전압(V_{I1+} , V_{I1-})을 증폭하거나 리셋시킨다.
- [0068] 보다 구체적으로는, 제1 증폭부(322b)는 2개의 트랜지스터를 포함하고, 각각의 트랜지스터는 제어 신호가 제1 논리 상태(Q1)일 때에는 리셋 전압을 입력받아 리셋되고, 제어 신호가 제2 논리 상태(Q2)일 때에는 제1 입력 전압(V_{I1+} , V_{I1-})을 차동적으로 입력받아 그 제1 입력 전압(V_{I1+} , V_{I1-})을 증폭한다.
- [0069] 제2 증폭부(322d)는 제어 신호에 응답하여 제2 제어 회로(314)로부터 차동적으로 입력되는 제2 입력 전압(V_{I2+} , V_{I2-})을 증폭하거나 리셋시킨다.
- [0070] 보다 구체적으로는, 제2 증폭부(126)는 2개의 트랜지스터를 포함하고, 각각의 트랜지스터는 제어 신호가 제1 논리 상태(Q1)일 때에는 제2 입력 전압(V_{I2+} , V_{I2-})을 차동적으로 입력받아 그 제2 입력 전압(V_{I2+} , V_{I2-})을 증폭하고, 제어 신호가 제2 논리 상태(Q2)일 때에는 리셋 전압을 입력받아 리셋된다.
- [0071] 한편, 도 4에 도시된 것과 같이 제1 증폭부(322a)와 제2 증폭부(322d)는 상이한 타입의 트랜지스터들로 구성될 수 있다.
- [0072] 게인 상승부(322c)는 제1 증폭부(322b)의 전압 증폭률을 상승시키거나 제2 증폭부(322d)의 전압 증폭률을 상승시키는 동작을 수행한다.
- [0073] 보다 구체적으로는, 게인 상승부(322c)는 4개의 트랜지스터를 포함하고, 각각의 트랜지스터는 인가되는 제3 바이어스 전압(V_{B3}) 및 제4 바이어스 전압(V_{B4})에 응답하여, 제1 증폭부(322b)의 전압 증폭률을 상승시켜 결

정된 출력 전압(V_{o1-} , V_{o1+})을 출력하거나, 제2 증폭부(322c)의 전압 증폭률을 상승시켜 결정된 출력 전압(V_{o1-} , V_{o1+})을 출력한다.

[0074] 제2 전류 발생부(322e)는 제2 전원 전압(V_{ss})에 연결되고, 인가되는 제2 바이어스 전압(V_{B2})에 응답하여 전류를 발생한다.

[0075] 이때, 제2 전류 발생부(322e)에서 발생하는 전류의 크기는 제1 전류 발생부(322a)에서 발생하는 전류의 크기와 동일해야 한다.

[0076] 한편, 도 4를 참조하면, 제2 공유 증폭기(324)는 제3 전류 발생부(324a), 제3 증폭부(324b) 및 제4 전류 발생부(324c)를 포함한다.

[0077] 제3 전류 발생부(324a)는 제1 전원 전압(V_{DD})에 일단이 연결되고, 인가되는 제5 바이어스 전압(V_{B5})에 응답하여 전류를 발생한다.

[0078] 제3 증폭부(324b)는 제1 공유 증폭기(322)의 출력 전압(V_{o1-} , V_{o1+})을 입력받고, 그 제1 공유 증폭기(322)의 출력 전압(V_{o1-} , V_{o1+})을 증폭하여 제2 공유 증폭기(324) 자신의 출력 전압(V_{o-} , V_{o+})을 결정한다.

[0079] 제4 전류 발생부(324c)는 제2 전원 전압(V_{ss})에 일단이 연결되고, 인가되는 제6 바이어스 전압(V_{B6})에 응답하여 전류를 발생한다.

[0080] 도 5는 본 발명에 따른 제1 공유 증폭기 및 제2 공유 증폭기의 제2 실시예를 설명하기 위하여 도시한 도면이다.

[0081] 도 5를 참조하면, 본 발명의 일 실시예에 따른 제1 공유 증폭기(322)는 제1 전류 발생부(322a), 계인 상승부(322b), 제1 증폭부(322c), 제2 증폭부(322d), 연결 제어부(322e) 및 제2 전류 발생부(322f)를 포함한다.

[0082] 제1 전류 발생부(322a)는 제1 전원 전압(V_{DD})에 일단이 연결되고, 인가되는 제1 바이어스 전압(V_{B1})에 응답하여 전류를 발생한다.

[0083] 도 5에 도시된 제1 전류 발생부(322a)는 도 4에서와는 달리 2개의 트랜지스터를 통하여 제1 바이어스 전압(V_{B1})을 입력받는다.

[0084] 제1 증폭부(322c)는 제1 제어 회로(312)로부터 차동적으로 입력되는 제1 입력 전압(V_{I1+} , V_{I1-})을 증폭한다.

[0085] 제2 증폭부(322d)는 제2 제어 회로(314)로부터 차동적으로 입력되는 제2 입력 전압(V_{I2+} , V_{I2-})을 증폭한다.

[0086] 한편, 도 5에 도시된 것과 같이 증폭부(322a)와 제2 증폭부(322d)는 동일한 타입의 트랜지스터들로 구성될 수 있다.

[0087] 계인 상승부(322b)는 제1 증폭부(322c)의 전압 증폭률을 상승시키거나 제2 증폭부(322d)의 전압 증폭률을 상승시키는 동작을 수행한다.

[0088] 연결 제어부(322e)는 제어 신호에 응답하여 제1 증폭부(322c)를 제2 전류 발생부(322f)에 연결시키거나, 제2 증폭부(322d)를 제2 전류 발생부(322f)에 연결시킨다.

[0089] 보다 구체적으로는, 제어 신호가 제1 논리 상태(Q1)일 때에는 연결 제어부(322e)가 제2 증폭부(322d)를 제2 전류 발생부(322f)와 연결시킴으로써 제1 증폭부(322c)에 입력되는 제1 입력 전압(V_{I1+} , V_{I1-})을 리셋시키고, 제2 증폭부(322d)가 제2 입력 전압(V_{I2+} , V_{I2-})을 증폭할 수 있게 해준다.

[0090] 또한, 제어 신호가 제2 논리 상태(Q2)일 때에는 제1 증폭부(322c)를 제2 전류 발생부(322f)와 연결시킴으로써 제2 증폭부(322d)에 입력되는 제2 입력 전압(V_{I2+} , V_{I2-})을 리셋시키고, 제1 증폭부(322c)가 제1 입력 전압(V_{I1+} , V_{I1-})을 증폭할 수 있게 해준다.

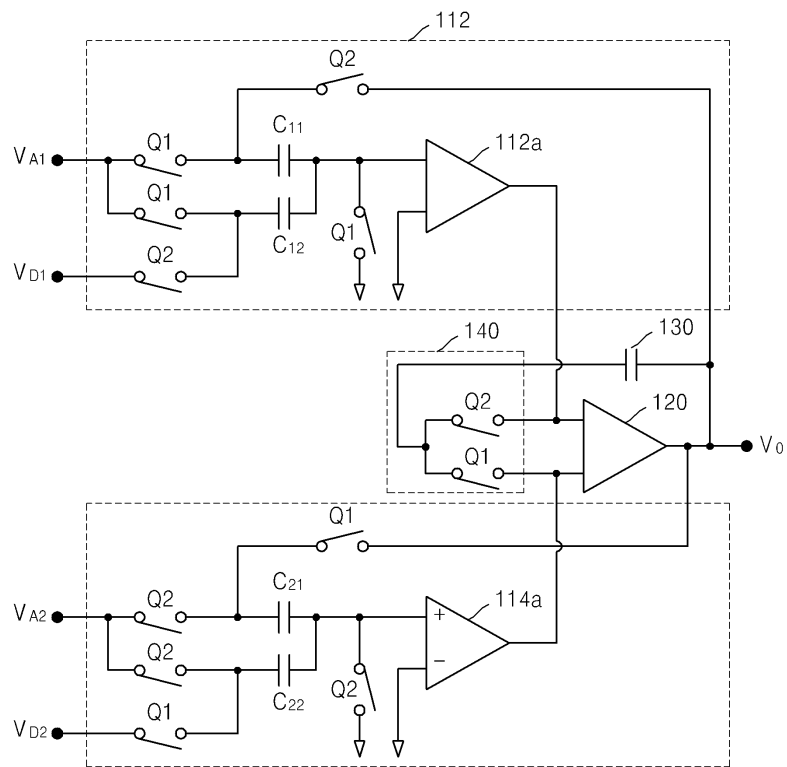
- [0091] 제2 전류 발생부(322f)는 제2 전원 전압(V_{ss})에 연결되고, 인가되는 제2 바이어스 전압(V_{B2})에 응답하여 전류를 발생한다.
- [0092] 이때, 제2 전류 발생부(322f)에서 발생하는 전류의 크기는 제1 전류 발생부(322a)에서 발생하는 전류의 크기와 동일해야 한다.
- [0093] 한편, 제2 공유 증폭기(324)는 도 4의 공유 증폭기(324)와 동일한 동작을 수행하므로 상세한 설명은 생략한다.
- [0094] 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다.
- [0095] 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등) 및 캐리어 웨이브(예를 들면, 인터넷을 통한 전송)와 같은 저장매체를 포함한다.
- [0096] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

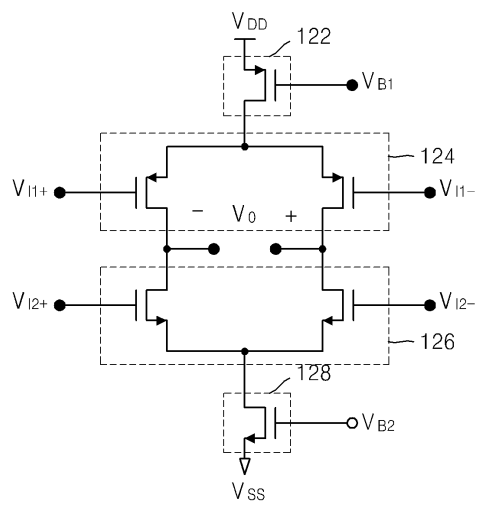
- [0097] 도 1은 본 발명에 따른 다단 증폭 회로의 일실시예를 설명하기 위하여 도시한 도면이다.
- [0098] 도 2는 본 발명에 따른 공유 증폭기의 일실시예를 설명하기 위하여 도시한 도면이다.
- [0099] 도 3은 본 발명에 따른 다단 증폭 회로의 제2 실시예를 설명하기 위하여 도시한 도면이다.
- [0100] 도 4는 본 발명에 따른 제1 공유 증폭기 및 제2 공유 증폭기의 일실시예를 설명하기 위하여 도시한 도면이다.
- [0101] 도 5는 본 발명에 따른 제1 공유 증폭기 및 제2 공유 증폭기의 제2 실시예를 설명하기 위하여 도시한 도면이다.

도면

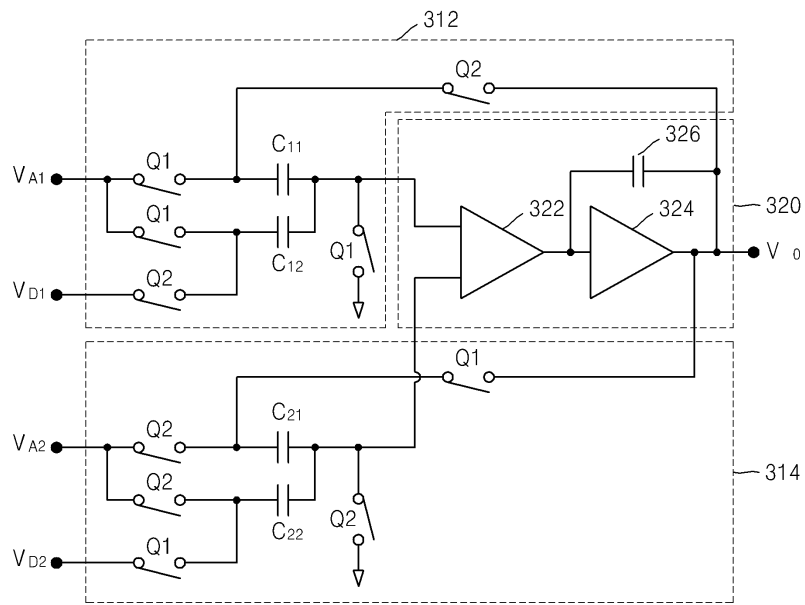
도면1



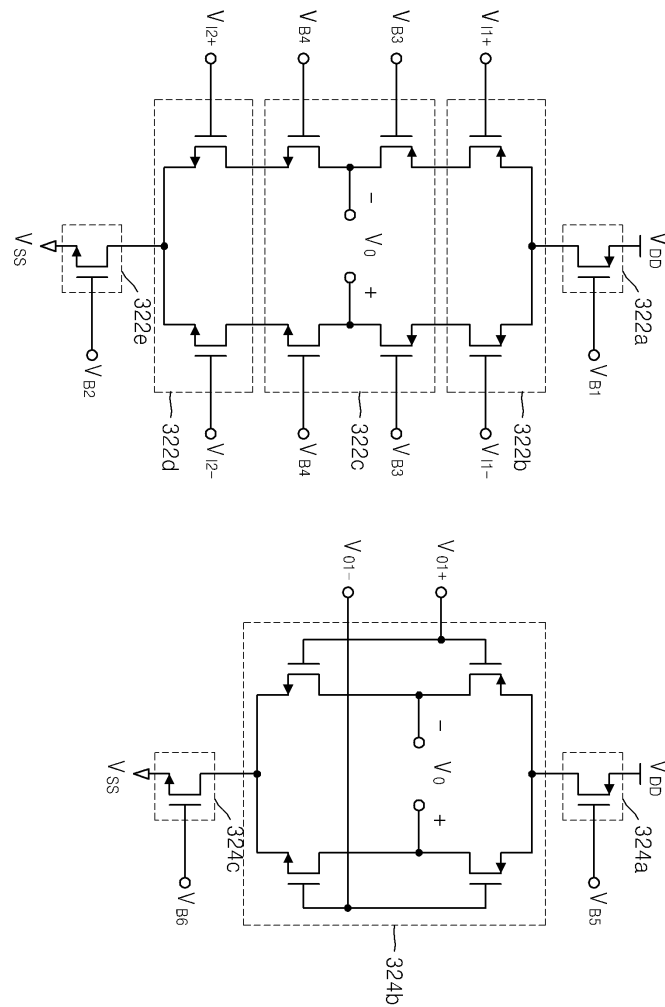
도면2



도면3



도면4



도면5

