

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/762

(45) 공고일자 2004년12월03일
(11) 등록번호 10-0458731
(24) 등록일자 2004년11월17일

(21) 출원번호 10-2002-0034580
(22) 출원일자 2002년06월20일

(65) 공개번호 10-2003-0097282
(43) 공개일자 2003년12월31일

(73) 특허권자 동부전자 주식회사
서울 강남구 역삼1동 838

(72) 발명자 김덕환
경기도수원시팔달구매탄4동원천주공1단지102동1104호

(74) 대리인 김영철
김 순 영
이준서

심사관 : 신창우

(54) 반도체 소자의 제조 방법

요약

본 발명은 반도체 소자의 제조 방법을 제공한다. 이에 의하면, 반도체 기판의 필드 영역을 선택적으로 식각시킴으로써 트렌치를 형성시키고, 아이솔레이션용 산화막을 트렌치의 기판 식각면에 용이하게 접착시키기 위해 트렌치의 기판 식각면에 산화막을 성장시킨다. 이어, 디벗(Divot)으로 인한 누설 전류의 증가를 억제시키고 기판으로부터 아이솔레이션영역으로의 불순물 확산을 차단시키기 위해 트렌치의 기판 식각면에 질소 이온주입층을 형성시킨다. 이후, 트렌치에 아이솔레이션용 산화막을 채운다.

따라서, 본 발명은 아이솔레이션용 산화막의 고유 저항을 유지시킬 수가 있고, 트렌치의 내, 외부로터의 누설 전류 증가를 억제시킬 수가 있다. 그 결과 반도체 소자의 아이솔레이션 특성이 향상된다.

대표도

도 5

명세서

도면의 간단한 설명

도 1 및 도 2는 종래의 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation) 공정을 나타낸 단면 공정도.
도 3 내지 도 7은 본 발명에 의한 반도체소자의 제조방법에 적용된 쉘로우 트렌치 아이솔레이션공정을 나타낸 단면 공정도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation)의 누설 전류를 최소화시키도록 한 반도체 소자의 제조 방법에 관한 것이다.

일반적으로, 반도체소자의 아이솔레이션(Isolation) 기술로는 질화막을 이용한 LOCOS(Local Oxidation of Silicon) 기술이 사용되어 왔다. LOCOS 기술의 단점을 보완하기 위한 새로운 아이솔레이션 기술들이 활발하게 개발되어 왔고 그 중에서 PBL(Poly Buffer LOCOS), R-LOCOS(Recessed LOCOS) 등의 기술이 널리 사용되어 왔다. 이들 기술들은 공정이 복잡하고 실리콘산화막에 의한 채널 영역의 잠식(Bird's Beak)을 근본적으로 감소시킬 수 없어 반도체소자의 고집적화에 한계가 있으며 소자 형성부분과의 단차가 심하게 발생하여 이를 후속 공정에서 평탄화할 필요가 있다.

최근에 들어, 기존의 아이솔레이션 기술의 문제점들을 개선한 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation: STI) 공정이 도입되기 시작하였다. 쉘로우 트렌치 아이솔레이션 공정은 기존의 아이솔레이션 기술에 비하여 소자 분리 특성이 우수하고 점유 면적도 작기 때문에 반도체 소자의 고집적화에 매우 적합하다.

쉘로우 트렌치 아이솔레이션 공정은 반도체 기판의 필드 영역에 트렌치를 형성시키고 갭 필링(Gap Filling) 공정에 의해 트렌치 내에 산화막과 같은 절연막을 갭 필링시킨 후 산화막을 화학 기계 연마(Chemical Mechanical Polishing: CMP) 공정에 의해 연마시킴으로써 트렌치 내의 산화막과 반도체 기판을 평탄화시킨다. 따라서, 반도체 기판의 필드 영역에 필드 산화막이 형성된다.

트렌치를 갭 필링시키는 산화막으로는 갭 필링 특성과 평탄화 특성이 양호한 O_3 -TEOS(Tetra-Ethyl-Ortho-Silicate) 상압 화학 기상 증착(Atmospheric Pressure Chemical Vapor Deposition: APCVD) 산화막, 고밀도 플라즈마 화학 기상 증착(High Density Plasma Chemical Vapor Deposition: HDP CVD) 산화막이 주로 사용되어 오고 있다. 종래의 쉘로우 트렌치 아이솔레이션 공정은 도 1에 도시된 바와 같이, 먼저, 단결정 실리콘 기판과 같은 반도체 기판(10)의 표면 전체에 예를 들어 산화막(11)과 그 위의 질화막(13)으로 적층된 희생막을 형성시키고, 사진 식각 공정을 이용하여 반도체 기판(10)의 필드영역에 질화막(13) 및 산화막(11)의 개구부를 형성시키고, 질화막(13)을 식각 마스크층으로 이용하여 반도체 기판(10)의 필드영역에 트렌치(15)를 형성시키고, 트렌치(15)의 기판 식각면에 산화막(17)을 성장시키고, 트렌치(15)에 갭 필링 특성이 양호한 절연막, 예를 들어 산화막(19)을 매립시키고 질화막(13)에 평탄화시킨다.

도 2에 도시된 바와 같이, 이후, 질화막(13)을 인산 용액에 의해 식각시킴으로써 산화막(11)을 노출시키고 산화막(11)을 불산 용액에 의해 식각시킴으로써 반도체 기판(10)의 액티브 영역의 표면을 노출시킨다. 따라서, 쉘로우 트렌치 아이솔레이션 공정이 완료된다.

발명이 이루고자 하는 기술적 과제

그런데, 종래에는 산화막(17)이 산화막(19)을 트렌치(15)의 기판 식각면에 용이하게 접착시키고 아울러 산화막(19)의 누설 전류 증가를 억제시키기 위해 트렌치(15)의 기판 식각면에 수백 Å의 두께로 형성된다.

그러나, 종래에는 트렌치(15)의 산화막(19)을 질화막(13)에 평탄화시킨 후 산화막(19)의 표면 높이를 질화막(13)보다 낮추어주기 위해 산화막(19)을 일정 두께만큼 습식 식각시킨다. 이때, 산화막(19)과 질화막(13)의 계면 부분이 산화막(19)의 나머지 부분에 비하여 빠른 속도로 식각된다. 그러므로, 반도체 기판(10)의 액티브 영역의 표면을 노출시키기 위해 질화막(13)과 산화막(11)을 식각시키고 나면, 도 2에 도시된 바와 같이, 트렌치(15)의 상측 모서리부에서 디벗(Divot)(21)이 심화된다. 따라서, 산화막(19)의 취약부인 상측 모서리부에서 누설 전류가 증가하기 쉽다.

또한, 산화막(17)이 반도체 기판(10)의 도펀트가 산화막(19)으로의 확산을 차단하는데 어려우므로 산화막(19)의 아이솔레이션 고유 저항이 유지되기 어렵다.

따라서, 본 발명의 목적은 트렌치 내의 절연막의 누설 전류 증가를 억제시킴으로써 아이솔레이션 특성을 향상시키도록 한 반도체 소자의 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 트렌치 내의 절연막의 고유 저항을 유지시킴으로써 아이솔레이션 특성을 향상시키도록 한 반도체 소자의 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 트렌치 내의 절연막을 기판의 도펀트로부터 보호시킴으로써 아이솔레이션 특성을 향상시키도록 한 반도체 소자의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체소자의 제조방법은

반도체 기판 상에 필드 영역을 노출시키기 위한 희생막의 패턴을 형성시키는 단계; 상기 희생막의 패턴을 식각 마스크로 이용하여 상기 반도체 기판의 필드영역을 원하는 깊이만큼 식각시킴으로써 트렌치를 형성시키는 단계; 상기 트렌치의 반도체 기판의 식각면에 산화막을 형성시키는 단계; 아이솔레이션 누설 전류의 저감을 위해 상기 트렌치의 반도체 기판의 식각면에 $1 \sim 3 \times 10^{13}$ atoms/cm² 농도의 질소 이온주입층을 형성시키는 단계; 및 상기 트렌치에 절연막을 채우는 단계를 포함하는 것을 특징으로 한다.

바람직하게는, 상기 질소 이온주입층을 $10 \sim 20 \text{ Å}$ 의 두께로 형성시킬 수가 있다.

이하, 본 발명에 의한 반도체소자의 제조방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.

도 3 내지 도 7은 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면 공정도이다. 도 3을 참조하면, 먼저, 단결정 실리콘기판과 같은 반도체 기판(10)의 전면 상에 희생막을 형성시킨다. 이를 좀 더 상세히 언급하면, 기판(10)의 전면 상에 고온 열 산화 공정에 의해 희생 산화막(11)을 40 ~ 150 Å의 두께로 성장시킨다. 이어서, 희생 산화막(11) 상에 저압 화학 기상 증착 공정에 의해 희생 질화막(13)을 600 ~ 1500 Å의 두께로 적층시킨다. 상기 희생 산화막(11)은 기판(10)과 희생 질화막(13)의 스트레스를 완화시켜주기 위한 것이다. 질화막(13)은 트렌치(15)의 형성 때 식각 마스크층으로서 사용되며 후속의 화학 기계 연마(Chemical Mechanical Polishing) 공정에서 식각 정지막의 역할도 담당한다.

그런 다음, 기판(10)의 필드 영역에 감광막(도시 안됨)의 개구부가 위치하도록 상기 감광막의 패턴을 기판(10)의 액티브영역 상에 형성시키고, 상기 감광막의 패턴을 식각 마스크로 이용하여 상기 개구부 내의 희생 질화막(13)과 희생 산화막(11)을 이방성 식각 특성을 갖는 건식 식각공정, 예를 들어 반응성 이온 에칭(Reactive Ion Etching: RIE) 공정에 의해 완전히 식각시킴으로써 기판(10)의 필드영역을 노출시킨다. 이후, 상기 감광막의 패턴을 제거시킨다.

이어서, 상기 남은 희생 질화막(13)을 식각 마스크층으로 이용하여 상기 노출된 필드 영역의 기판(10)을 반응성 이온 에칭 공정에 의해 3000 Å 정도의 얇은 깊이로 식각시킨다. 따라서, 기판(10)의 필드 영역에 트렌치(15)가 형성된다. 도 4를 참조하면, 트렌치(15)의 형성이 완료되고 나면, 트렌치(15)의 기판(10)의 식각면에 절연막, 예를 들어 산화막(17)을 열 산화 공정에 의해 200 ~ 400 Å의 두께로 성장시킨다. 여기서, 산화막(17)은 도 6의 산화막(19)을 트렌치(15)의 기판(10)의 식각면에 용이하게 접착시켜주기 위함이다. 또한, 산화막(17)은 트렌치(15)의 기판(10)의 식각면에 존재하는 손상된 실리콘 격자를 치유시킴으로써 산화막(19)의 누설 전류 증가를 억제시켜주기 위함이다.

도 5를 참조하면, 산화막(17)의 형성이 완료되고 나면, 트렌치(15)의 기판 식각면에 불활성 이온, 예를 들어 질소(N_2)를 예를 들어 15~16KeV의 에너지와 $1\sim 3E13$ atoms/cm²의 농도로 이온주입시킴으로써 질소 이온주입층(27)을 10~20 Å의 두께로 형성시킨다. 이는 트렌치(15)의 상측 모서리부에서 발생하기 쉬운 누설 전류를 최소화시키고 다 이오드 누설 전류를 최소화시키며, 또한 트렌치(15)에 이웃한 기판(10)의 도펀트가 도 6의 산화막(19)으로 확산하는 것을 차단시킴으로써 산화막(19)을 보호시켜주기 위함이다. 따라서, 질소 이온주입층(27)은 산화막(19)의 고유 저항을 유지시키고, 산화막(19)의 내,외부로부터의 누설 전류 증가를 방지시키는 누설 전류 장벽층의 역할을 담당하므로 반도체 소자의 아이솔레이션 특성을 향상시킨다.

도 6을 참조하면, 질소 이온주입층(27)의 형성이 완료되고 나면, 트렌치(15) 및 그 외측의 희생 질화막(13) 상에 아이솔레이션용 절연막, 예를 들어 산화막(19)을 트렌치(15)의 매립에 충분한 두꺼운 두께로 적층시킨다. 이때, 트렌치(15) 내의 산화막(19)에는 빈 공간, 즉 보이드(Void)가 존재하지 않는 것이 바람직하다.

여기서, 산화막(19)은 반도체 소자의 설계 룰(Design Rule)에 따라 다소 차이가 있지만, 오존-TEOS(Tetra Ortho Silicate Glass) 상압 화학 기상 증착 공정이나 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정 또는 고밀도 플라즈마 화학 기상 증착(High Density Plasma Chemical Vapor Deposition: HDP CVD) 공정에 의해 적층될 수가 있다.

한편, 설명의 편의상 아이솔레이션용 절연막이 산화막(19)의 단일층으로 이루어지는 것을 기준으로 설명하였으나, 상기 아이솔레이션 절연막이 산화막과 질화막으로 구성된 2층 이상의 복수층으로 이루어지는 것도 가능하다.

그런 다음, 산화막(19)을 화학 기계 연마 공정에 의해 연마시킴으로써 희생 질화막(13)에 평탄화시킨다. 따라서, 트렌치(15) 내에만 산화막(19)이 존재하고 트렌치(15) 외측의 희생 질화막(13) 상에는 산화막(19)이 전혀 잔존하지 않는다.

이어서, 산화막(19)을 고온 열처리 공정에 의해 치밀화시킨다. 이는 산화막(19)의 아이솔레이션 특성을 강화시켜서 누설 전류의 증가를 억제시키기 위함이다.

도 7을 참조하면, 산화막(19)의 평탄화가 되고 나면, 산화막(19)의 높이를 조절하기 위해 희생 질화막(13)을 식각 마스크층으로 이용하여 산화막(19)을 일정 두께만큼 습식 식각 공정에 의해 식각시킨다. 이때, 종래와 마찬가지로, 산화막(19)과 질화막(13)의 계면에서 산화막(19)의 다른 부분보다 훨씬 빠른 속도로 식각이 진행되므로 산화막(19)과 질화막(13)의 계면에서 디벗(21)이 여전히 발생한다.

그러나, 본 발명은 디벗(21)이 발생하더라도 산화막(17)에 추가하여 트렌치(15)의 기판 식각면에 질소 이온주입층(27)을 형성시킴으로 디벗(21)을 완화시키고 나아가 산화막(19)의 누설 전류가 최소화될 수 있고, 또한, 후속의 공정에서 형성될 트렌치에 이웃한 트랜지스터의 소오스/드레인으로부터 도펀트가 트렌치의 산화막(19)으로 확산하는 것을 차단할 수가 있다. 따라서, 본 발명은 아이솔레이션용 산화막의 고유 저항을 유지시킬 수가 있고, 누설 전류를 저감시킬 수가 있으므로 반도체 소자의 아이솔레이션 특성을 향상시킬 수가 있다.

이어서, 희생 질화막(13)을 인산 용액을 이용한 습식 식각 공정에 의해 제거시키고, 희생 산화막(11)을 산화막 식각 용액을 이용한 등방성 습식 식각공정에 의해 제거시킴으로써 기판(10)의 액티브 영역의 표면을 노출시킨다. 이때, 산화막(19)도 산화막(11)과 함께 등방성 식각되므로 산화막(19)의 표면 높이가 낮아진다. 따라서, 본 발명의 아이솔레이션 층을 형성하기 위한 제조 공정이 완료된다.

발명의 효과

이상에서 상세히 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 반도체 기판의 필드 영역을 선택적으로 식각시킴으로써 트렌치를 형성시키고, 아이솔레이션용 산화막을 트렌치의 기판 식각면에 용이하게 접착시키기 위해 트렌치의 기판 식각면에 산화막을 성장시킨다. 이어, 디벗으로 인한 누설 전류의 증가를 억제시키고 기판으로부터 아이솔레이션영역으로의 불순물 확산을 차단시키기 위해 트렌치의 기판 식각면에 질소 이온주입층을 형성시킨다. 이후, 트렌치에 아이솔레이션용 산화막을 채운다.

따라서, 본 발명은 아이솔레이션용 산화막의 고유 저항을 유지시킬 수가 있고, 트렌치의 내, 외부로터의 누설 전류 증가를 억제시킬 수가 있다. 그 결과 반도체 소자의 아이솔레이션 특성이 향상된다.
한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 필드 영역을 노출시키기 위한 희생막의 패턴을 형성시키는 단계;
상기 희생막의 패턴을 식각 마스크로 이용하여 상기 반도체 기판의 필드영역을 원하는 깊이만큼 식각시킴으로써 트렌치를 형성시키는 단계;
상기 트렌치의 반도체 기판의 식각면에 산화막을 형성시키는 단계;
아이솔레이션 누설 전류의 저감을 위해 상기 트렌치의 반도체 기판의 식각면에 $1 \sim 3 \times 10^{13} \text{ atoms/cm}^2$ 농도의 질소 이온주입층을 형성시키는 단계; 및
상기 트렌치에 절연막을 채우는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

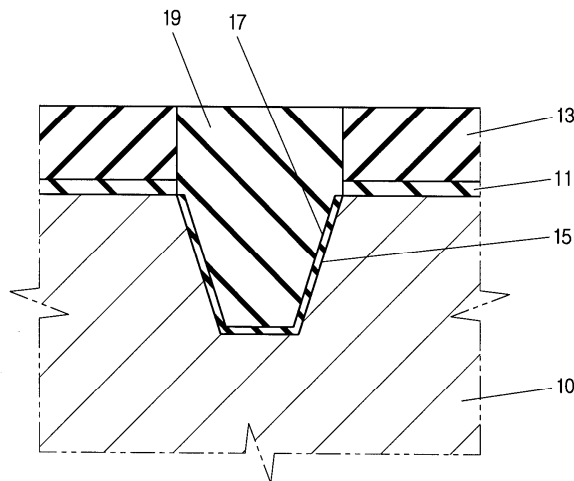
제 1 항에 있어서, 상기 질소 이온주입층을 $10 \sim 20 \text{ \AA}$ 의 두께로 형성시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5.

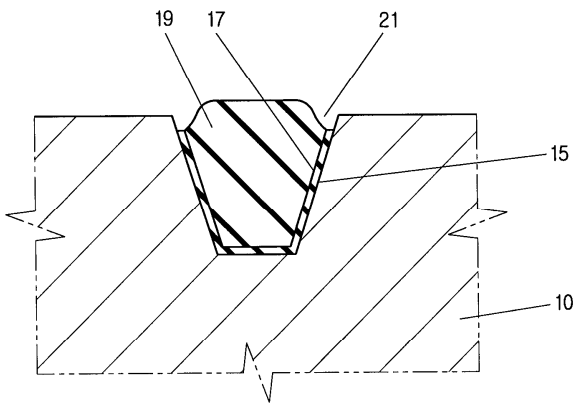
삭제

도면

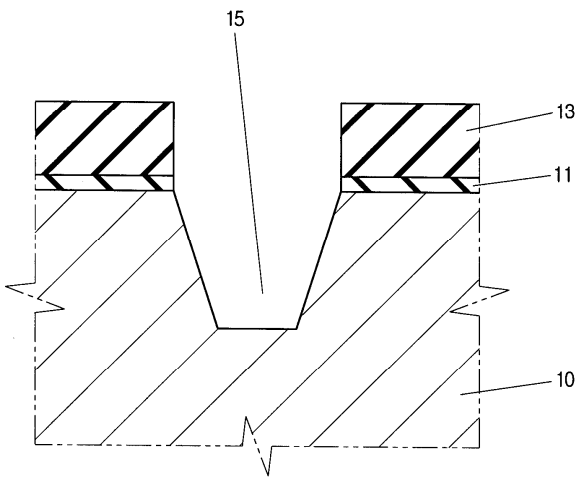
도면1



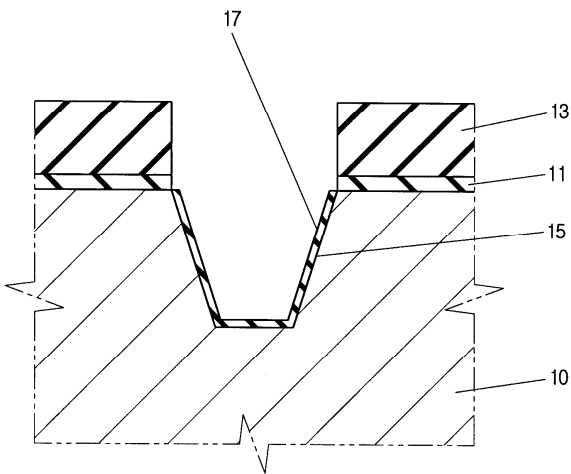
도면2



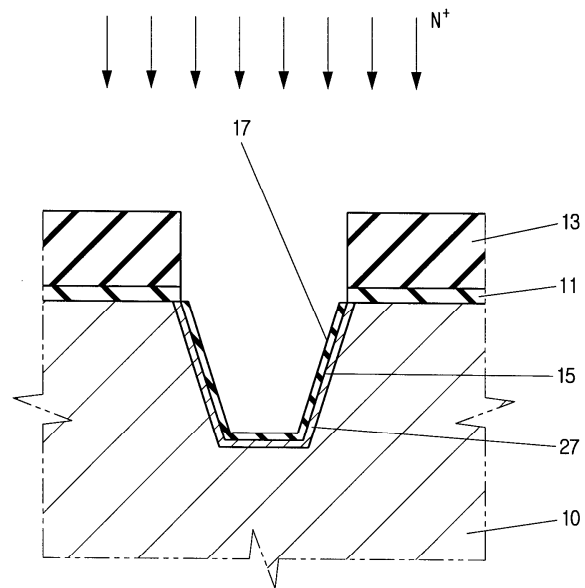
도면3



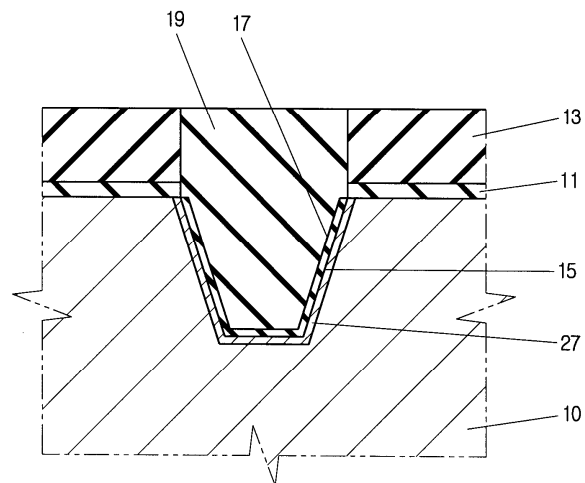
도면4



도면5



도면6



도면7

