



(12) 发明专利申请

(10) 申请公布号 CN 104702241 A

(43) 申请公布日 2015. 06. 10

(21) 申请号 201410736644. 7

(22) 申请日 2014. 12. 05

(30) 优先权数据

14/099, 064 2013. 12. 06 US

(71) 申请人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72) 发明人 E · G. · 内斯特勒

(74) 专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 罗银燕

(51) Int. Cl.

H03H 15/02(2006. 01)

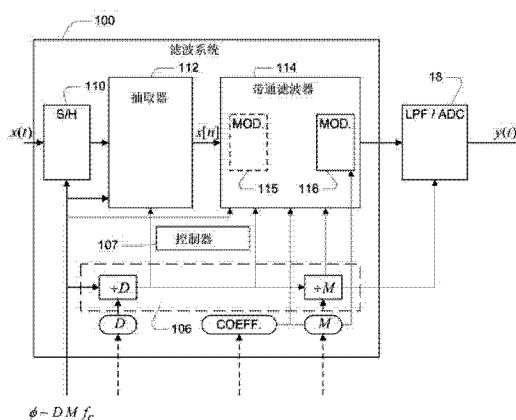
权利要求书2页 说明书7页 附图3页

(54) 发明名称

同步电荷共享过滤器

(57) 摘要

本发明涉及同步电荷共享过滤器。信号处理设备具有第一离散时间模拟信号处理部分，它具有输入、输出、多个电荷存储元件，以及耦合电荷存储元件的多个开关元件。该设备还具有耦合到第一信号处理部的控制器，所述第一信号处理部经配置以耦合在连续运行阶段中的第一信号处理部分的充电元件的不同子集，以在所述第一信号处理部分的输入端呈现的模拟信号施加信号处理功能，并提供应用信号处理功能的结果，作为到第一信号处理部分的输出的模拟信号。所述第一信号处理部分的信号处理功能包括以第一采样率运行的滤波函数以及在低于第一采样率的相应调制速率运行的一个或多个调制功能的组合。



1. 一种信号处理设备,包括:

第一离散时间模拟信号处理部分,包括:一个输入,一个输出,多个电荷存储元件,以及多个开关元件连接所述电荷存储元件;和

耦合到第一信号处理部的控制器,所述第一信号处理部经配置以耦合在连续运行阶段中的第一信号处理部分的充电元件的不同子集,以向在所述第一信号处理部分的输入端呈现的模拟信号施加信号处理功能,并提供应用信号处理功能的结果,作为到第一信号处理部分的输出的模拟信号;

其中,所述第一信号处理部分的信号处理功能包括以第一采样率运行的滤波函数以及在低于第一采样率的相应调制速率运行的一个或多个调制功能的组合。

2. 根据权利要求 1 所述的信号处理设备,其中,所述信号处理功能包括应用于过滤函数的结果和 / 或应用于一个或多个调制功能的第一调制函数的结果的一个或多个调制函数的滤波函数的第二调制功能。

3. 根据权利要求 2 所述的信号处理设备,其中,所述控制器经配置以通过在一半的调制周期传递成正比于滤波函数的结果的信号值而实现具有调制周期的第二调制功能,并且其中在所述调制周期的另一半的输出值要么零,从滤波函数的结果确定的恒定值,或者正比于过滤功能的结果的负值。

4. 根据权利要求 2 所述的信号处理设备,其中,所述控制器经配置以执行第二调制功能,以提供成比例于滤波部分的结果和周期性调制信号的值的乘积的输出值。

5. 如权利要求 1 所述的信号处理设备,其中,所述信号处理功能包括施加到所述一个或多个调制的功能的第一调制函数的结果的滤波功能。

6. 根据权利要求 2 所述的信号处理设备,其中,所述控制器经配置以根据调制函数通过在第一离散时间模拟信号处理的第一组电荷存储元件中存储值而实现所述第一调制功能。

7. 根据权利要求 2 所述的信号处理设备,其中,所述控制器经配置以通过根据所述第一部分的输入在第一离散时间模拟信号处理的第一组电荷存储元件中存储值而实施第一调制函数,并根据在应用滤波函数中的调制函数调整所述值。

8. 根据权利要求 1 所述的信号处理设备,其中所述过滤功能包括线性时不变 (LTI) 滤波函数。

9. 根据权利要求 1 所述的信号处理设备,其中,所述过滤功能包括带通滤波功能。

10. 根据权利要求 8 所述的信号处理设备,其中,所述线性时不变滤波函数包括无限脉冲响应滤波功能。

11. 根据权利要求 1 所述的信号处理设备,其在,所述控制器被配置以同步过滤功能的离散时间应用和一个或多个调制功能。

12. 根据权利要求 1 所述的信号处理设备,进一步包括:

抽取器部分,其包括输入端和耦合到所述第一离散时间模拟信号处理部分的输入端的输出端,其中,所述抽取器部分包括多个电荷存储元件,以及耦合所述电荷存储元件的多个开关元件,和

其中,所述控制器进一步配置以在连续的操作阶段耦合充电元件的不同子集,以向在抽取器的输入端呈现的模拟信号以输入采样率应用离散时间低通滤波功能,并以低于所述

输入采样率的第一采样率提供在所述输入端呈现的模拟信号的表示。

13. 根据权利要求 1 所述的信号处理设备,进一步包括:

同步处理部分,耦合到所述第一离散时间模拟信号处理部分的输出;

其中,所述控制器经配置以同步所述同步处理部分的操作和所述第一信号处理部分的调制功能。

14. 根据权利要求 13 所述的信号处理设备,其中,所述同步处理部分包括模拟到数字转换器(ADC)转换器,其将来自所述第一离散时间模拟信号处理部分的模拟输出转换为数字形式。

15. 根据权利要求 14 所述的信号处理设备,其中,所述同步处理部分包括数字求和部分,其经配置以求和 ADC 在整数数量的调制函数周期的输出。

16. 根据权利要求 13 所述的信号处理设备,其中,所述同步处理部分包括模拟求和部分,其经配置以结合第一离散时间模拟信号处理部在整数数量的调制函数周期的输出值。

17. 根据权利要求 1 所述的信号处理设备,进一步包括用于接收时钟信号的时钟输入端,根据该时钟信号,所述控制器以第一离散时间模拟信号处理运行。

18. 根据权利要求 18 所述的信号处理设备,进一步包括与所述调制函数同步的输出。

19. 一种存储数据结构的非临时性计算机可读介质,其通过在计算机系统上的程序操作,程序在数据结构上运行,以执行过程的一部分来制造包括通过数据结构描述的集成电路的电路,在数据结构中描述的电路包括:

第一离散时间模拟信号处理部分,包括:一个输入,一个输出,多个电荷存储元件,以及多个开关元件连接所述电荷存储元件;和

耦合到第一信号处理部的控制器,所述第一信号处理部经配置以耦合在连续运行阶段中的第一信号处理部分的充电元件的不同子集,以向在所述第一信号处理部分的输入端呈现的模拟信号施加信号处理功能,并提供应用信号处理功能的结果,作为到第一信号处理部分的输出的模拟信号;

其中,所述第一信号处理部分的信号处理功能包括以第一采样率运行的滤波函数以及在低于第一采样率的相应调制速率运行的一个或多个调制功能的组合。

## 同步电荷共享过滤器

### 技术领域

[0001] 本发明涉及使用电荷共享结构同步过滤。

### 背景技术

[0002] 模拟信号的过滤通常包括从一个频率到另一个频率调制或解调关注的顺序移动信号。示例涉及处理连续时间信号  $x(t)$ ，以通过第一带通滤波输入信号  $x(t)$  保持  $f_c$  附近的信号分量并然后使用具有周期  $1/f_c$  的周期信号  $m(t)$  调制信号而恢复  $f_c$  (赫兹) 附近能量的信号分量。参考图 1，过滤器系统 10 包括例如使用离散电路元件实施的模拟连续时间带通滤波器 14。该带通滤波器的输出被传递到一个复用器 16，其在传递（即，跟踪）带通滤波器的输出和输出零值之间周期性地进行切换。功能上讲，该时钟多路转换器等效于将在 0.0 和 1.0 之间交替的方波信号相乘频率  $f_c$  和 50% 的占空比。所述方波信号具有在零频率（“DC”）的频率分量、频率  $f_c$  以及奇次谐波  $f_c$ 。因此，在频域中，所述多路转换器 16 的频谱是以奇次谐波  $f_c$  卷积带通信号输出的卷积。因此，在  $x(t)$  中  $f_c$  附近的所希望信号被调制到零频率，和带通滤波器在奇次谐波  $f_c$  的输出分量一样。为了带通滤波器充分衰减在那些谐波附近的范围的信号，它们对多路转换器 106 的输出影响并不显著。在本示例中，调制器 16 的输出（即，过滤器系统 10 的输出）传递通过低通滤波器和模拟到数字转换器 18，用于进一步处理。（注意，在一些这样的实施方式中，在带通滤波器的输出与滤波器输出的反相（负极）之间交替）。模拟低通滤波器凭借不执行乘法滤除的多路转换器由理想的正弦曲线引入的  $f_c$  奇次谐波。在一些这样的示例中，多路转换器利用由模拟设备公司制造的平衡调制器 / 解调器（部分 AD630）实施。

[0003] 使用在模拟元件中实现的带通滤波器 14，在所希望中心频率  $f_c$  的相位和幅度是难以控制的。例如，在过滤器的实际中心频率的微小变化可对在所希望相位（相对于实际过滤器）的中心频率具有相对大的影响。因此，即使多路转换器的调制频率确切是  $f_c$ ，过滤器的不可预测的相位响应可以使其难以实现相干处理。

[0004] 调制器块在其他各种应用中用在模拟滤波器块的输入和 / 或输出，例如，实现为模拟电路或使用离散时间数字化的采样信号处理器来实现。

### 发明内容

[0005] 在一个方面中，一般地，调制或解调功能的方法被集成到在 2012 年 5 月 29 日提交的、标题为“analog computation”的美国专利 8188752 或在 2012 年 12 月 6 日提交的、标题为“charge sharing time domain filter”的美国专利 2012/0306569 描述的被动电荷共享过滤器类型，从而避免了需要包括单独的调制器部分结合过滤器使用。在一些示例中，可配置的过滤器（其使用被动电荷共享技术）在过滤器的输入或输出、或内部过滤器块之间、在集成设备（即，在单一部分）内结合调制器的功能。

[0006] 在另一个方面，总体上，信号处理设备具有第一离散时间模拟信号处理部分，它具有输入、输出、多个电荷存储元件，以及耦合电荷存储元件的多个开关元件。该设备还具有

耦合到第一信号处理部的控制器,所述第一信号处理部经配置以耦合在连续运行阶段中的第一信号处理部分的充电元件的不同子集,以在所述第一信号处理部分的输入端呈现的模拟信号施加信号处理功能,并提供应用信号处理功能的结果,作为到第一信号处理部分的输出的模拟信号。所述第一信号处理部分的信号处理功能包括以第一采样率运行的滤波函数以及在低于第一采样率的相应调制速率运行的一个或多个调制功能的组合。

[0007] 各方面可以包括以下一个或多个特征。

[0008] 信号处理功能包括应用于过滤函数的结果和 / 或应用于一个或多个调制功能的第一调制函数的结果的一个或多个调制函数的滤波函数的第二调制功能。

[0009] 该控制器经配置以通过在一半的调制周期传递成正比于滤波函数的结果的信号值而实现具有调制周期的第二调制功能,并且其中在所述调制周期的另一半的输出值要么零,从滤波函数的结果确定的恒定值,或者正比于过滤功能的结果的负值。

[0010] 该控制器经配置以执行第二调制功能,以提供成比例于滤波部分的结果和周期性调制信号的值的乘积的输出值。

[0011] 该控制器经配置以根据调制函数通过在第一离散时间模拟信号处理的第一组电荷存储元件中存储值而实现所述第一调制功能。

[0012] 该控制器经配置以通过根据所述第一部分的输入在第一离散时间模拟信号处理的第一组电荷存储元件中存储值而实施第一调制函数,并根据在应用滤波函数中的调制函数调整所述值。

[0013] 该滤波函数包括线性非时变 (LTI) 的滤波函数。例如,线性时不变滤波函数包括无限脉冲响应滤波功能。

[0014] 该控制器经配置以同步过滤功能的离散时间应用和一个或多个调制功能。

[0015] 信号处理装置进一步包括抽取器部分,它具有输入端和耦合到所述第一离散时间模拟信号处理部分的输入的输出端。

[0016] 抽取器部包括多个电荷存储元件,以及耦合电荷存储元件的多个开关元件,并且所述控制器进一步经配置以在连续的操作阶段耦合充电元件的不同子集,以向在抽取器的输入端呈现的模拟信号以输入采样率应用离散时间低通滤波功能,并以低于所述输入采样率的第一采样率提供在所述输入端呈现的模拟信号的表示。

[0017] 信号处理设备进一步包括:耦合到所述第一离散时间模拟信号处理部分的输出的同步处理部分;其中,所述控制器经配置以同步所述同步处理部分的操作和所述第一信号处理部分的调制功能。

[0018] 同步处理部分包括模拟到数字转换器 (ADC) 转换器,其将来自所述第一离散时间模拟信号处理部分的模拟输出转换为数字形式。在一些示例中,所述同步处理部分包括数字求和部分,其经配置以求和 ADC 在整数数量的调制函数周期的输出。

[0019] 同步处理部分包括模拟求和部分,其经配置以结合第一离散时间模拟信号处理部在整数数量的调制函数周期的输出值。

[0020] 信号处理装置进一步包括用于接收时钟信号的时钟输入端,根据该时钟信号,所述控制器以第一离散时间模拟信号处理运行。在一些示例中,所述信号处理装置进一步包括输出,用于提供和调制功能同步的信号(例如,时钟信号或周期信号)。

[0021] 在另一个方面,总体上,一种存储数据结构的非临时性计算机可读介质,其通过在

计算机系统上的程序操作,程序在数据结构上运行,以执行过程的一部分来制造包括通过数据结构描述的集成电路的电路,在数据结构中描述的电路包括所述信号处理设备。

[0022] 一个或多个方面的优点包括借助于同步离散时间模拟处理而同步滤波和调制功能,从而减轻了相位和 / 或增益误差对调制功能的调制频率的影响。

[0023] 使用利用电荷共享技术的离散时间模拟处理而组合滤波和调制功能提供了在单一的集成电路中的功率高效处理。

[0024] 本发明的其它特征和优点从下面的描述中以及从权利要求书中是显而易见的。

## 附图说明

[0025] 图 1 是使用连续时间模拟滤波器实现的过滤器系统的示意图;

[0026] 图 2 是使用具有集成调制器的离散时间模拟滤波器实现的滤波器系统的示意图;

[0027] 图 3 是具有调制器的带通滤波器部分的示意图;

[0028] 图 4 是缓冲器和调制器的示意图。

## 具体实施方式

[0029] 采用被动电荷共享技术途径实现离散时间的连续振幅滤波器在现有专利申请中描述:于 2012 年 12 月 6 日提交的、标题为“Charge Sharing Time Domain Filter”的美国专利公开 2012/030656;以及于 2013 年 10 月 1 日提交的、标题为“Charge Sharing Analog Computation Circuitry and Applications”的美国专利公开 8,547,272,在此引入作为参考。下面描述的各种方法使用在现有专利申请中描述的方法在电荷共享电路中实现在输入、输出和 / 或在过滤器块之间的调制和 / 或解调(混合)功能实施。

[0030] 参照图 2,提供由图 1 的过滤器系统 10 实施的功能的过滤器系统 100 的实现利用在现有的专利申请中描述的电荷共享技术。在一般情况下,控制器 107(例如,逻辑电路或基于指令的处理器)控制开关的操作以电荷传递(例如,通过被动式电荷共享或再分配)而实施过滤和其他功能,所述开关耦合在过滤系统中时钟相位的电容器。开关的构造可以通过在系统中存储,或者在系统外部提供的系数进行设置。在操作中,输入信号  $x(t)$  被传递到采样 - 保持(S/H) 电路 110,其在频率  $f_s$  采样输入信号,这是所希望信号的中心频率  $f_c$  的倍数。通过其采样频率大于所期望的中心频率的因子被表示为:对于下面讨论的 D 和 M 值,多个  $K = DM$ 。未示出的是模拟滤波器(例如,一阶滤波器),例如,  $f_c$  以上角频率提供在采样保持电路之前的  $f_s/2$  以上的足够衰减,以避免混叠。例如  $K = 128$ ,例如需要  $f_c = 10\text{kHz}$ ,该采样率可是  $f_s = 1.28\text{MHz}$ 。因此,所希望的信号是在离散的时间频率  $\omega_c = 2\pi/K$ 。

[0031] 抽取器 112 由因子 D 抽取采样信号,并实现具有  $\omega_c = 2\pi/K$  之上角频率的离散时间低通滤波器和频率  $2\pi/D$  以上的衰减信号,其中 D 是抽取因子(例如,D = 8)。在一些示例中,抽取器实现具有每十约 40 分贝的滚降滤波器。在一些示例中,D 被选择为 2 的幂,其可以简化某些控制电路。该低通滤波器的输出通过因子 D(即,每第 D 个样本被保留)抽取,以产生抽取器 112 的输出  $x[n]$ ,而输出被传递到离散时间带通滤波器 114。离散时间带通滤波器的采样率因此是  $(K/D)f_c = Mf_c$ ,在  $f_c = 10\text{kHz}$ 、 $K = 128$ 、 $D = 8$  和  $M = 16$  的情况下,采样率是  $160\text{kHz}$ 。抽取器可以用有限脉冲响应或无限脉冲响应滤波器来实现。在一些

实施方式中,可以使用多个抽取器的级联,例如,在每个由因子 4 抽取的两个连续级中以因子 16 抽取。在一般情况下,抽取器是可编程的或可配置的,例如,使用在设备外部提供和 / 或存储在设备存储器中的设置的参数和系数设置过滤器的特性、抽取因子、级联结构等。在一些实施方式中,带通滤波器 114 可以替换为过滤器的另一种形式(即,不一定是带通),其可以基于存储在系统中或设置在系统输入的配置数据(即,滤波器系数)是可编程的。

[0032] 本来在频率  $f_c$ (赫兹)的所期望信号表示在离散时间信号  $x[n]$ ,其以离散时间频率  $\omega_d = \omega_c D = 2\pi/M$ (弧度 / 秒) 提供给带通滤波器。例如,如果  $K = 128$  和  $D = 8$ ,则  $M = 16$ ,以及所需信号是在频率  $\omega_d = \pi/8$ (即,奈奎斯特采样率除以 8)。带通滤波器(在解调之前)的输出被称为  $y[n]$ 。带通滤波器包括调制器块 116,它具有将信号  $y[n]$  与具有周期  $M = K/D$  采样的周期调制信号  $m[n]$  相乘的效果,在本示例中 16 个采样的周期。调制器的输出被称为  $z[n] = y[n] \times m[n]$ 。在一些示例中,该周期性信号相当于 1.0 的 8 个样本交替 0.0 的 8 个样本。在其它示例中,周期信号具有 1.0 的 8 个样本交替 -1.0 的 8 个样本。在其它示例中,所述调制器的输出等于 8 个样本的输入,然后第 8 个样本被保持为 8 个样本。可使用输入的其他周期函数。带通滤波器 114 可以被实现为无限脉冲响应或有限响应滤波器,并且可以由一个或多个阶段的级联组成。如下面所讨论的,在一些实施例中,除了或代替调制器 116,出现另一个调制器 115,或在带通滤波器之前被施加该调制器。

[0033] 对  $k$  奇,以及在  $\omega = 0$  如果周期性信号具有非零平均值,该有效调制信号  $m[n]$  通常具有在频率  $\omega_d = 2\pi/M$  以及在奇次谐波  $\omega = k\omega_d$  的频谱分量。该带通滤波器提供在谐波频率  $k = 0, 3, 5, \dots$   $\omega = 2\pi k/(K/D)$  的衰减,从而减轻噪声在调制器的输出上的这些频率的影响。例如,在  $K = 128$  和  $D = 8$ (即, $M = 16$ )的情况下,带通滤波器可提供与所要求频率每十约 40 分贝的滚降。

[0034] 在一些实施方式中,带通滤波器 114 被预先配置为设置(例如,在设备的加电时,根据外部引脚信号),以执行  $\omega_d = \pi/2, \pi/4, \pi/8, \pi/16, \pi/32$  为中心的带通滤波器, , , , , 对应选择  $M = 4, 8, 16, 32, 64, \dots$ 。请注意,可以使用不必然是 2 的幂的  $M \geq 2$  值。此外,可以使用具有合适调制函数  $m[n]$  的合理值  $M$ 。

[0035] 过滤器系统 100 的输出是模拟信号,有效地在带通滤波器(例如,在 160kHz)的采样率  $f_c K/D$  进行步骤的变化,其然后例如使用模拟低通滤波器和模拟到数字转换器 18 进行处理。当然,可进行模拟信号的其它处理,例如,通过在带通滤波器的采样速率的模拟到数字转换,然后通过数字处理器中的低通滤波(例如,平均)。

[0036] 过滤器系统 100 以频率  $DMf_c$  接收主时钟信号  $\Phi$  的。时钟和控制电路 106 包括通过因子  $D$  的主时钟的分频,以形成在带通滤波器 114 的取样频率的时钟,以及由因子  $M$  分频的时钟,以形成在调制函数  $m[n]$  的周期的时钟。分频时钟可以从过滤系统 100 提供,例如,以同步过滤系统的输出的模拟至数字转换 18 和 / 或模拟或数字平均。在一些实施方式中,控制器 107 根据存储或设置参数控制时钟产生电路 106 的操作。过滤系统 100 可以具有参数  $D$  和  $M$  的板载数字存储(或功能上相等的数量)和 / 或可以具有控制端口,用于从外部接收这些参数值。此外,带通滤波器 114 可具有系数或存储在过滤器系统上的其他过滤器配置数据,例如  $M$  的各种值,从而提供如上所讨论的相应滤波器特性。

[0037] 参照图 3,在一个实施方式中,带通滤波器利用在标题为“Charge Sharing Time Domain Filter”的美国专利中描述的无限脉冲响应结构。通常,两个模拟存储器 230、240

分别存储输入样本 ( $x[n]$ ) 和输出样本 ( $y[n]$ ) 的过去值。在每个采样时刻, 控制的电荷量 (它正比于下一个输出值) 从存储器转移到缓冲部 320 的电容器 322。缓冲部 320 的输出 ( $y[n]$ ) 被传递到调制器 116 和用于在模拟存储器 240 中存储输出值。

[0038] 更具体地, 带通滤波器部分实现如下形式的离散时间滤波器 :

$$[0039] h(z) = \frac{b_0 + b_1 z^{-1} + \dots + b_r z^{-r}}{1 + a_0 z^{-1} + \dots + a_{r-1} z^{-(r-1)}}$$

[0040] 这被示于图 3 中,  $r = 2$ 。在这个示例中, “分子” 模拟存储器 230 具有  $r^2$  个电容, 其中在时间以正比于输入样本  $x[n]$  的电荷  $r$  被充电。“分母” 模拟存储器 240 具有  $(r-1)^2$  个电容, 其中  $r-1$  在时间每次以成正比于输出样本  $y[n]$  的电荷被充电。

[0041] 对于第  $n$  个时间步长, 充电缩放电路 231-233 每个传递电荷到电荷调整电路中的电容器 (或一组电容器), 使得在电荷缩放电路中的转移电荷成正比于  $b_k x[n-k]$ , 在本例中, 分别对于  $k = 0, 1, 2$ , 缩放电路 231-233。类似地, 电荷缩放电路 241-242 每个传输电荷到电荷调整电路中的电容器 (或一组电容器), 使得在电荷缩放电路中电荷转移成正比于  $a_k y[n-k-1]$ , 在本例中, 分别对于  $k = 0, 1$ , 缩放电路 241-242。

[0042] 在电荷被转移到电荷调整电路, 它们的电荷转移到缓冲器中的电容器 322、320, 使得总电荷成正比于

$$[0043] \sum_{k=0}^2 b_k x[n-k] - \sum_{k=0}^1 a_k y[n-1-k]$$

[0044] 注意, 在示出的实施例中, 所述信号表示为差分形式, 因此, 每个信号被表示为一对信号路径, 以及存储通常被保持在一对电容器。

[0045] 注意, 在实践中, 带通滤波器的阶数大于或等于 2,  $r \geq 2$ 。例如,  $r = 4$ , 过滤器具有每十 40 分贝的衰减。

[0046] 此外, 如在美国专利 2012/0306569 中描述, 带通滤波器可以经配置使用数字控制信号, 其控制过滤器中开关的选择和定时, 以实现所希望的滤波器系数。在一些实施方式中, 所述带通滤波器的配置通过控制端口提供到设备, 例如, 当设备首次上电。在一些实施方式中, 带通滤波器被预先配置特定带通滤波器的响应。在一些实施方式中, 一组预先选择的配置存储在设备中, 并通过外部提供的控制信号来选择。例如, 预选的配置可以从  $\omega_a = \pi/4, \pi/8, \pi/16, \pi/32, \dots$  和 / 或带宽  $\omega_b$  选择中心频率, 如上面所定义。

[0047] 参照图 4, 调制器 116 的一个实施方式利用了电容器 420a-b, 它用于样本  $m[n] = 1.0$ , 采样交替样本  $y[n]$  的输出电压。每个电容器 (例如, 420a) 在一个采样期间耦合在  $y[n]$  和公共电压  $V_{COM}$  之间, 并在下一个周期提供耦合在调制器的差分运算放大器的输入和输出端之间。在  $m[n] = 0.0$  的采样期间, 运算放大器的输出被保持在  $y[n]$  的最后值, 其上值  $m[n] = 1.0$ 。另外, 如图 4 所示, 只有一半的差分信号路径的信号线被示出, 与具有相同的拓扑结构的另一半示出。在一些实施方式中, 电容器 422 是相对小的, 并提供用于运算放大器的稳定性。在其他实施方式中, 电容器 422 足够大, 以提供输出的一阶时域滤波。

[0048] 在操作中, 该调制器可以通过持续使用电容器 420a-b 来传递所有的采样值被禁用。在一些实施方式中, 进一步的旁路路径可切换以耦合缓冲器 320 的输出到部分的输出端, 例如, 如果缓冲和 / 或输出调制是不需要的。

[0049] 注意,也可以使用调制器的替代性配置。例如,使用  $m[n] = \pm 1.0$  的调制器可通过在周期的  $m = -1.0$  期间引入开关以扭转电容器 420a-b 的电荷极性来实现。此外,在一些替代实施例中,所述调制器的运算放大器可以被省略,例如,通过在耦合到所述装置的输出引脚的电容器 420a-b 上传递电压,而不缓冲或放大。在另一个替代方案中,整个调制器使用开关实现,该开关可替换地耦合设备的输出与缓冲器 320 的输出或零输出,或者可替换地耦合设备输出到缓冲器的输出或到缓冲器的反相。

[0050] 如上面所介绍的,除了或作为替代调制器 116,另一个调制器 115 可在带通滤波器的输入端之前在“分子”模拟存储器 230 之前加入。至少在概念上,并非接收抽取信号  $x[n]$ ,该信号乘以例如具有值  $p[n] = \pm 1.0$  的周期性信号  $p[n]$ 。实现该乘法的一种方法是通过控制开关定时,其耦合输入信号到存储器 230 以交替充电路径的极性,或者在通过输入信号并提供零输入到模拟存储器 230 之间交替。

[0051] 实施预调制的另一种方法是通过控制电荷缩放电路 231-233,例如通过以  $+b_k$  和  $-b_k$  引入比例之间进行切换,以使调制  $p[n]$ 。此外,调制函数  $p[n]$  不一定必须是方波。例如,缩放电路可被配置成提供以  $b_{kp}[n-k]$  的时间不同缩放,例如执行正弦调制。

[0052] 类似地,输出调制不一定使用方波。例如,从缓冲器 320 到间电容器 420a-B 转移电荷的可替代方法可用于在不同的时间取样由不同幅度有效扩展带通滤波器的输出。以稍微类似的方法,模拟存储器 240 可被扩充以提供所述输出的另一个存储的值,和缩放电路 241-242 的形式的另一个调整电路可用于通过周期性地引入随时间变化的比例而执行输出的调制。

[0053] 可选地具有模拟-数字转换器 18 的过滤器系统 100 可以被集成到单个封装中。在一些实施方式中,模拟-数字转换器 18 的输出在和调制(即,在 M 个样本或 M 个样本的整数倍)的调制同步的周期(或多个时间段)进行平均化,例如,通过也集成到封装的求和器中求和转换器的数字输出。过滤系统 100 还可以实现低通滤波和封装中模拟域的求和,例如,在 M 个样本或整数数量的 M 个样本上累积电荷,并提供从所述设备输出的相加。

[0054] 在一些版本中,所述因子 K、M 和 / 或 D 是固定的,并且所述带通滤波器的特性可以是固定的。在其它版本中,该装置中的至少一些配置是可能的,例如,当该装置通电时使用外部提供的信号,或使用设备中的非易失性存储区(例如,ROM)。

[0055] 在一些实施方式中,计算机可访问的存储介质包括表示系统 100 的数据库。通常来说,计算机可访问的存储介质可以包括使用由计算机访问的任何非临时性存储介质以向计算机提供指令和 / 或数据。例如,计算机可访问的存储介质可以包括存储介质,诸如磁盘或光盘和半导体存储器。通常,表示系统的数据库可以是数据库或其他数据结构,其可以直接或间接地由程序读取和使用,以制造包括该系统的硬件。例如,数据库可以是在高水平设计语言(HDL)的行为级描述或寄存器传输的硬件功能级(RTL)描述,诸如 Verilog 或 VHDL。该描述可以由合成工具读取,它可以合成描述以产生包括合成门的列表的网表。网表包括也表示包括系统 100 的硬件功能的一组门电路。网表可以被放置和路由,以产生描述要施加到掩模的几何形状的数据集。掩模然后可用于各种半导体制造步骤,以产生半导体电路或对应于系统 100 的电路。在其他示例中,数据库本身可以是网表(具有或不具有合成库)或数据集。

[0056] 应当理解,前述描述旨在说明而不是限制本发明,它的范围由所附的权利要求的

范围限定。其它实施例在以下权利要求的范围之内。

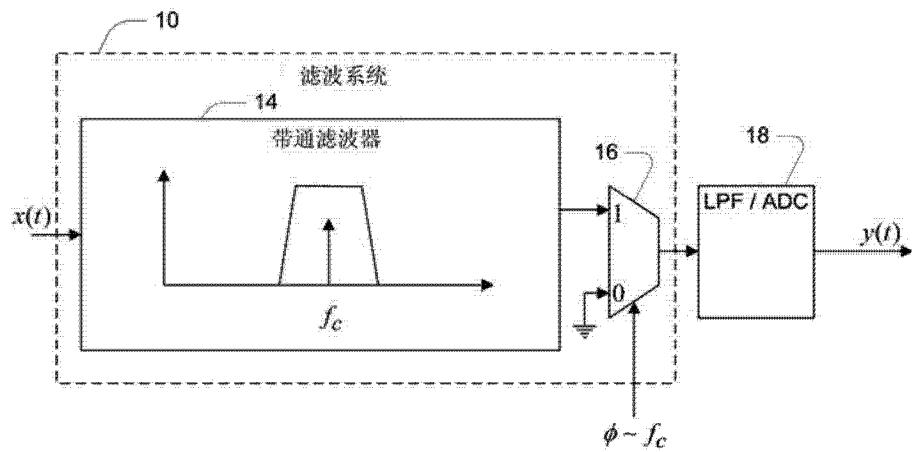


图 1

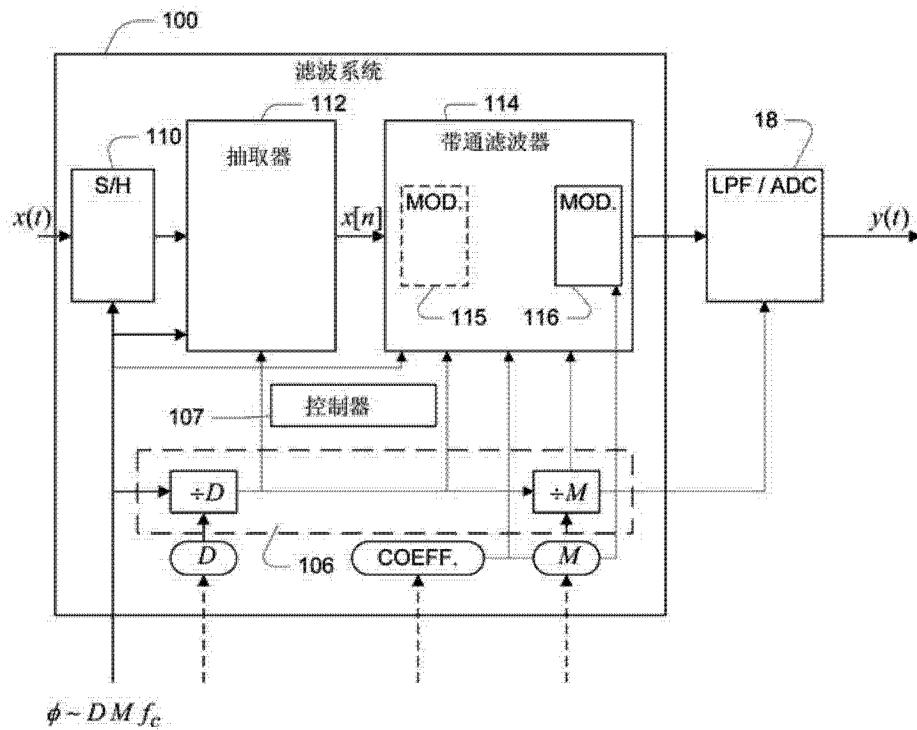


图 2

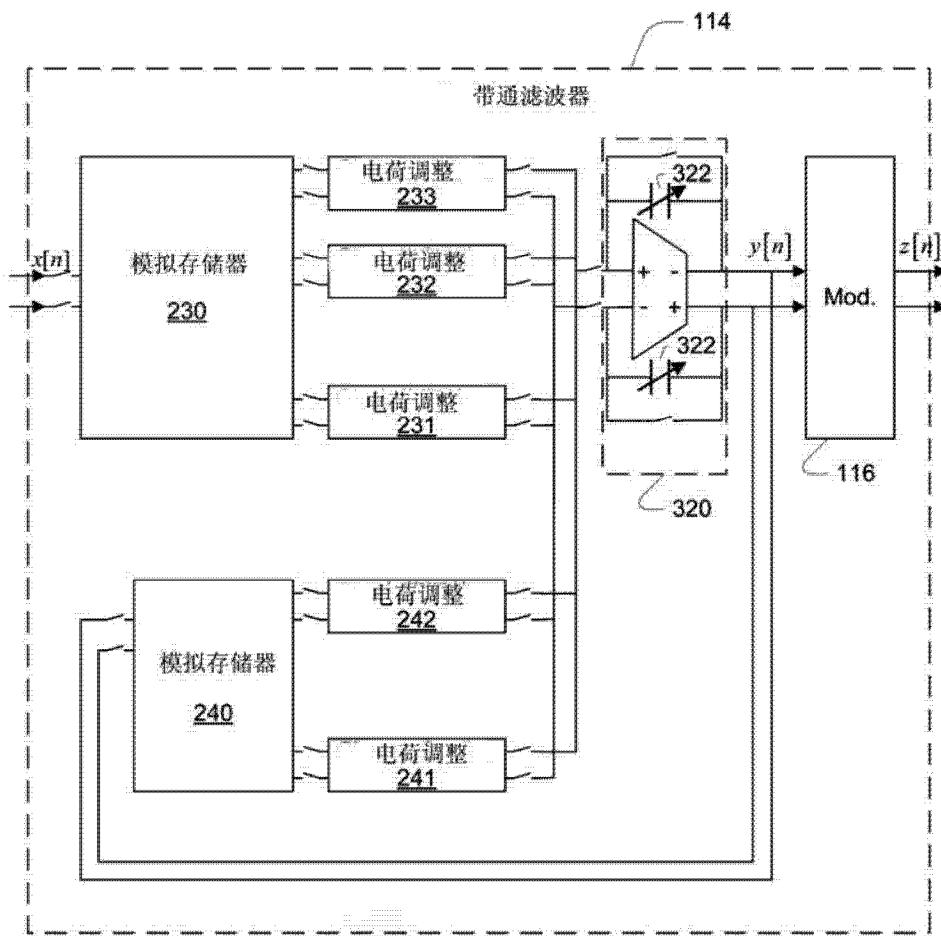


图 3

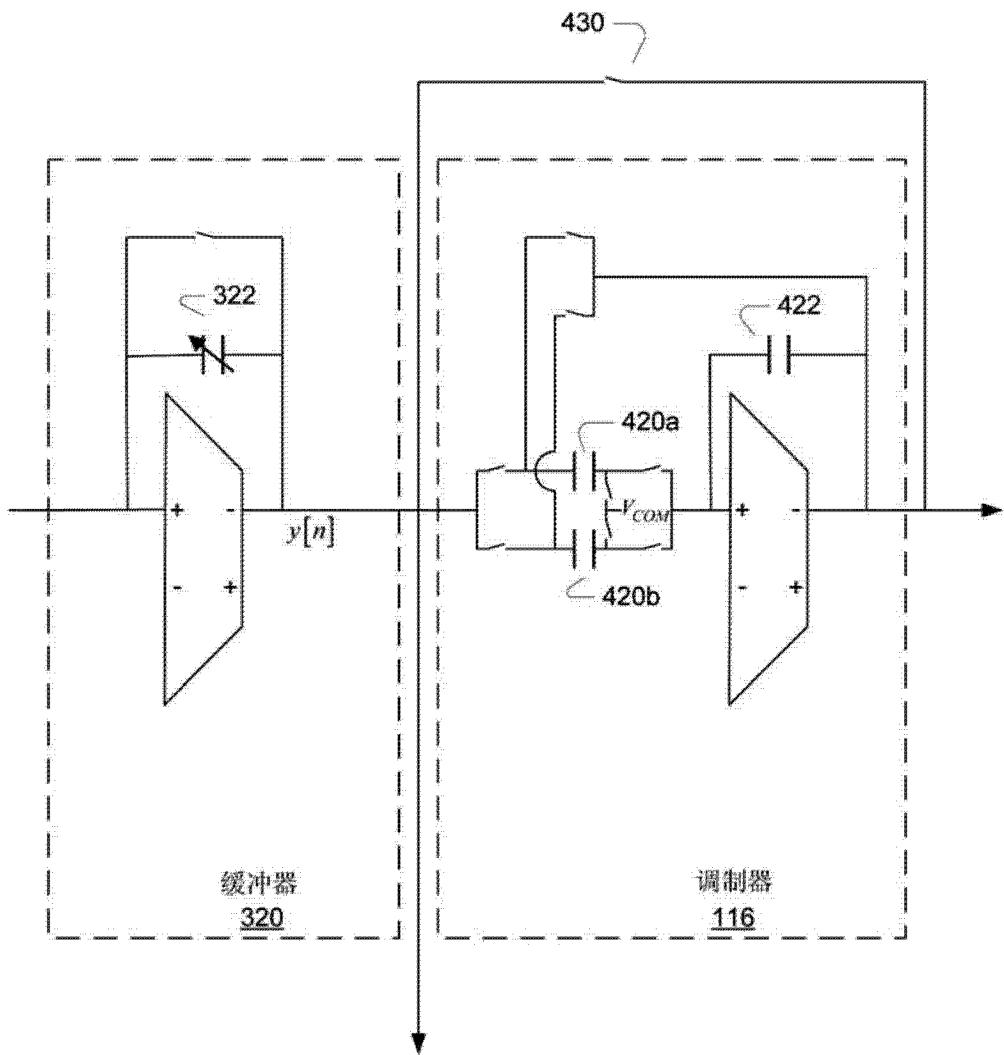


图 4