



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년07월01일  
 (11) 등록번호 10-1635625  
 (24) 등록일자 2016년06월27일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/786 (2006.01) H01L 21/205 (2006.01)  
 (21) 출원번호 10-2010-7024836  
 (22) 출원일자(국제) 2009년04월14일  
 심사청구일자 2014년03월27일  
 (85) 번역문제출일자 2010년11월04일  
 (65) 공개번호 10-2010-0135885  
 (43) 공개일자 2010년12월27일  
 (86) 국제출원번호 PCT/JP2009/057816  
 (87) 국제공개번호 WO 2009/128553  
 국제공개일자 2009년10월22일  
 (30) 우선권주장  
 JP-P-2008-109446 2008년04월18일 일본(JP)  
 (56) 선행기술조사문헌  
 KR1019940004420 B1\*  
 KR100566675 B1\*  
 JP2005049832 A\*  
 JP2005045269 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 가부시키가이샤 한도오파이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398  
 (72) 발명자  
 미야이리 히데카즈  
 일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 다이리키 코지  
 일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 (뒷면에 계속)  
 (74) 대리인  
 황의만

전체 청구항 수 : 총 6 항

심사관 : 최혜미

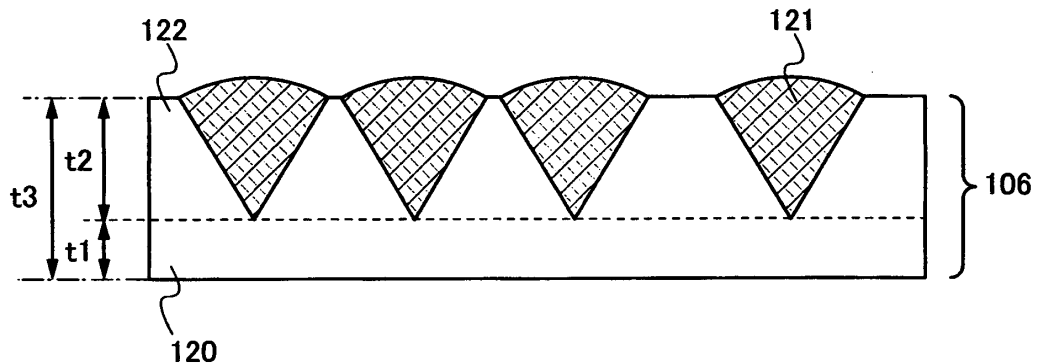
(54) 발명의 명칭 **박막 트랜지스터 및 그 제작 방법**

(57) 요약

본 발명은 온 전류가 높고 오프 전류가 낮은 박막 트랜지스터를 제공하는 것을 과제로 한다.

절연 표면을 가지는 기판 위에, 게이트 전극을 덮는 게이트 절연층과 이 게이트 절연층에 접하고, 비정질 구조 중에 복수의 결정 영역을 포함하여 채널 형성 영역을 구성하는 반도체층과, 소스 영역 및 드레인 영역을 형성하는 일 도전형층을 부여하는 불순물 반도체층과, 이 반도체층과 이 일 도전형층을 부여하는 불순물 반도체층과의 사이의 비정질 반도체에 의해 구성되는 버퍼층을 가지고, 상기 결정화 영역은, 상기 게이트 절연층과 상기 반도체층과의 계면으로부터 떨어진 위치로부터, 상기 반도체층이 퇴적되는 방향을 향하여, 상기 일 도전형층을 부여하는 불순물 반도체층에 이르지 않는 영역 내에서 대략 방사상으로 성장한 역뿔 형상의 구조를 가지는 박막 트랜지스터로 한다.

대표도 - 도2



(72) 발명자

**에기 유지**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

**진보 야스히로**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

**이사 토시유키**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

**명세서**

**청구범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

박막 트랜지스터의 제작 방법에 있어서,

절연 표면을 가진 기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층의 표면을 질소를 포함하는 가스에 노출시키는 단계;

상기 게이트 절연층 위에 반도체층을 형성하는 단계;

상기 반도체층 위에, 비정질 반도체를 포함하는 버퍼층을 형성하는 단계;

상기 버퍼층 위에, 불순물 원소를 포함하는 소스 영역과 드레인 영역을 형성하는 단계; 및

각각 상기 소스 영역과 상기 드레인 영역 위에, 소스 전극과 드레인 전극을 형성하는 단계를 포함하고,

상기 반도체층을 형성하기 위한 가스 중의 질소 농도는, 상기 반도체층에 공급될 질소의 양이 서서히 저하되도록 상기 반도체층의 성장 방향에 따라 감소되는, 박막 트랜지스터의 제작 방법.

**청구항 21**

제 20 항에 있어서,

상기 게이트 절연층의 상기 표면을 질소를 포함하는 상기 가스에 노출시키는 상기 단계는 플라즈마의 존재시 행해지는, 박막 트랜지스터의 제작 방법.

**청구항 22**

제 20 항에 있어서,

상기 게이트 절연층은 질소를 포함하는, 박막 트랜지스터의 제작 방법.

**청구항 23**

제 20 항에 있어서,

상기 게이트 절연층은 질화 실리콘을 포함하는, 박막 트랜지스터의 제작 방법.

**청구항 24**

제 20 항에 있어서,

상기 게이트 절연층은 질화 실리콘층과, 상기 질화 실리콘층 위의 산화 질화 실리콘층을 포함하는, 박막 트랜지스터의 제작 방법.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

제 20 항에 있어서,

상기 질소를 포함하는 가스는 암모니아, 질소, 염화 질소, 및 불화 질소로부터 선택되는, 박막 트랜지스터의 제작 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 박막 트랜지스터 및 그 제작 방법, 및 이 박막 트랜지스터를 이용한 반도체 장치 및 표시 장치에 관한 것이다.

**배경 기술**

[0002] 이미 액정 디스플레이의 기술 분야에 있어서, 박막 트랜지스터(이하, 「TFT」라고도 기재함)는 널리 이용되고 있다. TFT는 전계 효과 트랜지스터의 일종으로서, 채널을 형성하는 반도체가 박막으로 형성되므로 이렇게 명명(命名)되었다. 현재는, 이 반도체의 박막으로서 아몰퍼스(amorphous) 실리콘 혹은 다결정 실리콘을 이용하여 TFT를 제조하는 기술이 실용화되고 있다.

[0003] 그런데, 아몰퍼스 실리콘 혹은 다결정 실리콘과 함께, 미결정 실리콘이라고 불리는 반도체 재료가 예전부터 알려져 있고, 전계 효과 트랜지스터에 관한 것에 대한 보고도 있다(예를 들면, 특허문헌 1을 참조: US 5,591,987). 그러나, 오늘에 이를 때까지 미결정 실리콘을 이용한 TFT는 아몰퍼스 실리콘 트랜지스터와 다결정 실리콘 트랜지스터 사이에 묻혀 실용화가 늦어져, 학회 수준에서 약간씩 보고되는 것이 실정이다(예를 들면, 비특허문헌 1을 참조: 토시아키 아라이 등의 "SID '07 다이제스트" 2007, 1370-1373면).

[0004] 미결정 실리콘막은, 플라즈마 CVD법이라고 불리는 방법에 의해, 원료 가스를 플라즈마(약전해 플라즈마)에 의해 분해하여 유리 등의 절연 표면을 가지는 기판 위에 형성하는 것이 가능하지만, 비평형 상태로 반응이 진행되기 때문에, 결정핵 생성이나 결정 성장을 제어하는 것이 어렵다고 생각되었다.

[0005] 물론, 다양한 연구가 진행되어, 일부의 설에 의하면, 미결정 실리콘의 성장 메카니즘은, 먼저, 기판 위에 원자

가 랜덤으로 배향된 아몰퍼스(비정질)상이 성장하고, 그 후, 결정의 핵성장이 일어난다고 생각되었다(비특허문헌 2를 참조: 히로유키 후지와라 등의 "Japanese Journal of applied physics(Jpn. J. Appl. Phys.)" Vol. 41, 2003, 2821-2828면). 이 경우, 미결정 실리콘의 핵성장이 일어날 때에는, 특이한 실리콘-수소 결합이 아몰퍼스 표면에 관측되는 것으로부터, 미결정 실리콘의 핵밀도를 막 형성시의 수소 가스 농도에 따라 제어할 수 있다고 생각되었다.

[0006] 또한, 미결정 실리콘막 성장 표면에서의 산소, 질소 등의 불순물 원소가 주는 영향에 대해서도 검토되고 있고, 불순물 농도를 저감함으로써, 미결정 실리콘막의 결정립이 대립경화하여, 결합 밀도(특히, 하전(荷電) 결합 밀도)가 저감한다는 의견이 있다(비특허문헌 3을 참조: 토시히로 카메이 등의 "Japanese Journal of applied physics(Jpn. J. Appl. Phys.)" Vol. 37, 1998, 265-268면).

[0007] 그리고, TFT의 동작 특성을 향상시키기 위해서는, 미결정 실리콘막의 고순도화가 필요하다는 생각이 있어, 산소, 질소 및 탄소 농도를, 각각  $5 \times 10^{16} \text{ cm}^{-3}$ ,  $2 \times 10^{18} \text{ cm}^{-3}$ ,  $1 \times 10^{18} \text{ cm}^{-3}$ 으로 하여 실효 이동도의 향상을 도모한 것이 보고되어 있다(비특허문헌 4를 참조: C. -H. Lee외, "International Electron Devices Meeting Technical Digest(Int. Electron Devices Meeting Tech. Digest)", 2006, pp 295-298).또한, 플라즈마 CVD법에 의한 성막 온도를 150℃로 하고, 산소 농도를  $1 \times 10^{16} \text{ cm}^{-3}$ 까지 저감시키고 실효 이동도의 향상을 도모한 것이 보고되어 있다(비특허문헌 5를 참조: Czang-Ho Lee 외, "Applied Physics Letters(Appl. Phys. Lett.)", Vol. 89, 2006, p 252101).

### 발명의 내용

#### 해결하려는 과제

[0008] 그러나, 아몰퍼스 실리콘막을 형성한 후에, 금속 재료로 이루어지는 광열 변환층을 형성하고, 레이저광을 조사하여 미결정 실리콘막을 형성하는 방법으로는, 결정성을 향상시킬 수 있지만, 생산성의 관점에서, 레이저 어닐로 제작되는 다결정 실리콘막과의 사이에 우위성을 발견할 수가 없다.

[0009] 미결정 실리콘의 핵성장이 일어날 때는, 특이한 실리콘-수소 결합이 아몰퍼스 표면에 관측된다는 의견은 유익하기는 하지만, 결국은 핵생성 위치와 핵생성 밀도를 직접적으로 제어하지 못한다.

[0010] 또한, 미결정 실리콘막의 고순도화를 도모하고, 불순물 농도를 저감함으로써, 미결정 실리콘막의 결정립이 대립경화하여, 결합 밀도(특히, 하전 결합 밀도)가 저감된 것이 얻어진다고 하더라도, 그것은 단지 미결정 실리콘막의 물성치가 변화한 것을 나타낼 뿐, 반드시 TFT 등의 소자 특성을 개선하는 것은 아니다. 반도체 소자는 반도체 내를 흐르는 전자 또는 정공에 의한 캐리어의 흐름을 의도적으로 제어하여 동작시키는 것이지만, 이 캐리어가 흐르는 장소를 고려한 후에, 그 장소에서의 미결정 실리콘막의 막질을 개선할 수 없다면 의미가 없기 때문이다.

[0011] 따라서, 본 발명의 일 양태는, TFT로 대표되는 반도체 소자의 동작 특성이 개선되도록, 미결정 반도체막 혹은 결정립을 포함하는 반도체막의 막질을 제어하는 것을 목적으로 한다. 혹은, 미결정 반도체막 혹은 결정립을 포함하는 반도체막의 형성 과정을 제어하여, TFT로 대표되는 반도체 소자의 특성 향상을 도모하는 것을 목적으로 한다. 또한, 본 발명의 일양태는 박막 트랜지스터의 온 전류를 향상시키고, 오프 전류를 저감시키는 것을 목적으로 한다.

#### 과제의 해결 수단

[0012] 본 발명의 일양태는, 비정질 구조 중에 복수의 결정 영역을 포함하는 반도체층의 제작에 있어서, 이 결정 영역이 생성하는 기점이 되는 결정핵의 생성 위치와 생성 밀도를 제어함으로써, 이 반도체층의 막질을 제어하는 것을 요지로 한다. 본 발명의 일양태는, 비정질 구조 중에 복수의 결정 영역을 포함하는 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터의 제작에 있어서, 이 반도체층의 이 결정 영역이 생성하는 기점이 되는 결정핵의 생성 위치와 생성 밀도를, 캐리어가 흐르는 영역에 맞추어 제어하는 것을 요지로 한다.

[0013] 비정질 구조 중에 복수의 결정 영역을 포함하는 반도체층은, 미결정 반도체의 생성이 가능한 혼합비로 반도체 재료 가스(예를 들면, 수소화 실리콘 가스, 불화 실리콘 가스 또는 염화 실리콘 가스)와 희석 가스를 반응 가스

로서 이용하여 형성된다. 이 반응 가스는, 산소 농도를 저감시킨 초고진공 반응실 내에 도입되고, 소정의 압력을 유지하여 글로 방전 플라즈마를 생성한다. 이것에 의해 반응실 내에 놓여진 기판에 피막이 퇴적되지만, 퇴적 초기 단계에 있어서는 결정핵의 생성을 방해하는 불순물 원소를 반응실 중에 포함시켜 피막의 퇴적을 개시하고, 이 불순물 원소의 농도를 저감시켜 감으로써 결정핵을 생성시키고, 그 핵을 기초로 결정 영역을 형성한다.

[0014] 결정핵의 생성을 방해하는 불순물로서는, 질소 혹은 질화물이 바람직하다. 반도체층에 질소를 포함시키는 경우에는, 이 반도체층에 있어서, SIMS에 의해 측정되는 질소 농도가  $1 \times 10^{20} \text{ cm}^{-3}$  내지  $1 \times 10^{21} \text{ cm}^{-3}$ 으로 한다. 이 질소 농도는, 게이트 절연층과 반도체층과의 계면 근방에서, SIMS에 의해 측정되는 피크 농도가  $3 \times 10^{20} \text{ cm}^{-3}$  내지  $1 \times 10^{21} \text{ cm}^{-3}$ 이며, 이 계면 근방으로부터 반도체층의 두께 방향을 향하여 질소 농도를 감소시킴으로써, 결정 영역의 성장단이 되는 핵생성 위치와 핵생성 밀도를 제어한다.

[0015] 또한, 결정핵의 생성을 억제하는 불순물 원소에 있어서, 실리콘 중에서, 캐리어 트랩을 생성하지 않는 불순물 원소(예를 들면, 질소)를 선택한다. 한편, 실리콘의 덩글링 본드를 생성하는 불순물 원소(예를 들면, 산소)의 농도는 저감시킨다. 즉, 산소에 대해서는 SIMS에 의해 측정되는 농도를  $5 \times 10^{18} \text{ cm}^{-3}$  이하로 하는 것이 바람직하다.

[0016] 본 발명의 일양태인 박막 트랜지스터는, 비정질 구조 중에 복수의 결정 영역을 포함하는 반도체층을 가지고, 이 반도체층 위에 비정질 반도체에 의해 구성되는 버퍼층을 가진다. 이 버퍼층은, 반도체층이 게이트 절연층과 접하는 면과는 반대 측에 형성되고, 소위 백 채널 측에 배치된다. 즉, 이 버퍼층은, 소스 영역 및 드레인 영역을 형성하는 한쌍의 일 도전형의 불순물 원소를 포함하는 반도체층의 사이에 형성되고, 비정질 구조 중에 복수의 결정 영역을 포함하는 반도체층의 이 결정 영역을 매설(埋設)하여, 이 반도체층이 백 채널 측에서 노출하지 않도록 형성된다.

[0017] 또한, 본 명세서 중에 있어서, 농도는 2차 이온 질량 분석법(Secondary Ion Mass Spectrometry, 이하, SIMS라고 함)에 의한 것이다. 단, 다른 측정법이 예시되는 경우 등, 특별히 기재가 있는 경우에는 예외로 한다.

[0018] 또한, 본 명세서 중에 있어서, 온 전류란, 트랜지스터가 온 상태일 때, 소스 전극과 드레인 전극의 사이에 흐르는 전류를 말한다.

[0019] 또한, 오프 전류란, 트랜지스터가 오프 상태일 때에, 소스 전극과 드레인 전극의 사이에 흐르는 전류를 말한다. 예를 들면, N형 트랜지스터의 경우에는, 게이트 전압이 트랜지스터의 스레시홀드 전압보다 낮을 때 소스 전극과 드레인 전극 사이에 흐르는 전류이다.

### 발명의 효과

[0020] 비정질 구조 중에 복수의 결정 영역을 포함하는 반도체층에 있어서, 결정 영역의 발생 밀도와 발생 위치를 제어할 수 있다. 이러한 반도체층을 박막 트랜지스터의 채널 형성 영역으로 함으로써, 온 전류의 향상을 도모할 수 있다. 또한, 이 반도체층의 상층에 버퍼층을 형성함으로써, 박막 트랜지스터의 오프 전류를 저감시킬 수 있다.

### 도면의 간단한 설명

- [0021] 도 1은 박막 트랜지스터의 일례를 설명한 도면.
- 도 2는 박막 트랜지스터가 가지는 반도체층을 설명한 도면.
- 도 3은 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 4는 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 5는 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 6은 박막 트랜지스터의 제작 방법으로 적용 가능한 장치를 설명한 도면.
- 도 7은 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.

- 도 8은 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 9는 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 10은 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 11은 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 12는 박막 트랜지스터의 일례를 설명한 도면.
- 도 13은 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 14는 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 15는 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 16은 박막 트랜지스터의 제작 방법의 일례를 설명한 도면.
- 도 17은 전자기기 등을 설명한 도면.
- 도 18은 전자기기 등을 설명한 도면.
- 도 19는 전자기기 등을 설명한 도면.
- 도 20은 전자기기 등을 설명한 도면.
- 도 21은 전자기기 등을 설명한 도면.
- 도 22는 전자기기 등을 설명한 도면.
- 도 23은 전자기기 등을 설명한 도면.
- 도 24는 전자기기 등을 설명한 도면.
- 도 25는 실시예 1에 의해 얻어진 시료의 단면을 나타낸 상(像).
- 도 26은 실시예 1에 의해 얻어진 시료의 두께 방향에 있어서의 산소, 질소, 실리콘, 수소, 및 불소 농도를 나타낸 도면.
- 도 27은 도 25와 도 26을 중첩시켜 나타낸 도면.
- 도 28은 실시예 1에 의해 얻어진 시료에 있어서의 결정립을 포함하는 반도체층의 평면을 나타낸 상.
- 도 29는 실시예 2에 의해 얻어진 박막 트랜지스터의 전기 특성을 나타낸 도면.
- 도 30은 실시예 2에 의해 얻어진 박막 트랜지스터의 단면을 나타낸 상(像).
- 도 31은 실시예 3에 있어서의 전자선 회절상의 취득 개소를 설명한 도면.
- 도 32는 도 31의 포인트 1 및 포인트 2에서 취득한 전자선 회절상.
- 도 33은 도 31의 포인트 3 및 포인트 4에서 취득한 전자선 회절상.
- 도 34는 도 31의 포인트 5 및 포인트 6에서 취득한 전자선 회절상.
- 도 35는 도 26과 비교하는 시료의 단면을 나타내는 상, 및 산소, 질소, 실리콘, 수소, 및 불소 농도를 나타낸 도면.

**발명을 실시하기 위한 구체적인 내용**

[0022] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타난 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 도면을 이용하여 발명의 구성을 설명함에 있어서, 같은 것을 가리키는 부호는 다른 도면간에서도 공통으로 이용한다. 또한, 같은 것을 가리킬 때에는 해치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

- [0023] [실시형태 1]
- [0024] 본 실시형태에서는, 박막 트랜지스터의 형태의 일례에 대하여, 도면을 참조하여 설명한다.
- [0025] 도 1은, 본 실시형태에 관한 박막 트랜지스터의 상면도 및 단면도를 나타낸다. 도 1에 나타난 박막 트랜지스터는, 기판(100) 위에 게이트 전극층(102)을 가지고, 게이트 전극층(102)을 덮어 게이트 절연층(104)을 가지고, 게이트 절연층(104) 위에 접하여 반도체층(106)을 가지고, 반도체층(106) 위에 버퍼층(108)을 가지고, 버퍼층(108) 위의 일부에 접하여 소스 영역 및 드레인 영역(110)을 가진다. 또한, 소스 영역 및 드레인 영역(110) 위에 접하여 배선층(112)을 가진다. 배선층(112)은 소스 전극 및 드레인 전극을 구성한다. 배선층(112) 위에는, 보호막으로서 기능하는 절연층(114)을 가진다. 또한, 각층은 소망의 형상으로 패턴 형성되어 있다.
- [0026] 또한, 도 1에 나타난 박막 트랜지스터는, 액정 표시 장치의 화소부에 설치되는 화소 트랜지스터에 적용할 수 있다. 따라서, 도시한 예에서는, 절연층(114)에 개구부가 형성되고, 절연층(114) 위에 화소 전극층(116)이 형성되고, 화소 전극층(116)과 배선층(112)의 한쪽이 접속되어 있다.
- [0027] 또한, 소스 전극 및 드레인 전극의 한쪽은, U자형(또는 ㄷ자형, 말굽형)의 형상으로 형성되고, 이것이 소스 전극 및 드레인 전극의 다른 한쪽을 둘러싸고 있다. 소스 전극과 드레인 전극과의 거리는 거의 일정하게 유지되어 있다(도 1을 참조).
- [0028] 박막 트랜지스터의 소스 전극 및 드레인 전극을 상기한 형상으로 함으로써, 이 박막 트랜지스터의 채널폭을 크게 할 수 있어 전류량이 증대된다. 또한, 전기적 특성의 편차를 저감할 수 있다. 또한, 제작 공정에서의 마스크 패턴의 어긋남에 의한 신뢰성의 저하를 억제할 수 있다. 단, 이것에 한정되지 않고, 소스 전극 및 드레인 전극의 한쪽은 반드시 U자형이 아니어도 좋다.
- [0029] 여기서, 도 1에 나타난 박막 트랜지스터의 주요한 특징의 하나인 반도체층(106)에 대하여 설명한다. 반도체층(106)은 박막 트랜지스터의 채널 형성 영역으로서 기능한다. 반도체층(106)에 있어서, 결정질 반도체에 의해 구성되는 결정립은 비정질 구조를 포함하는 반도체층 중으로 이산(離散)하여 존재한다(도 2를 참조).
- [0030] 반도체층(106)은, 제 1 영역(120) 및 제 2 영역(122)을 가진다. 제 1 영역(120)은 비정질 구조를 가진다. 제 2 영역(122)은 이산적으로 존재하는 복수의 결정립(121)과, 복수의 결정립(121) 사이에 비정질 구조를 가진다. 제 1 영역(120)은 게이트 절연층(104) 위에 접하여, 게이트 절연층(104)과의 계면으로부터 두께(t1)가 되는 위치까지 존재한다. 제 2 영역(122)은 제 1 영역(120) 위에 접하여, 두께(t2)가 되는 위치까지 존재한다. 즉, 결정립(121)의 핵생성 위치는, 게이트 절연층(104)의 계면으로부터 두께(t1)의 위치가 되도록 반도체층(106)의 두께 방향에서 제어된다. 결정립(121)의 핵생성 위치는, 반도체층(106)에 포함되는 결정화를 억제하는 불순물 원소의 농도(예를 들면, 질소 농도)에 의해 제어된다.
- [0031] 결정립(121)의 형상은 역뿔형(역원추 또는 역피라미드)이다. 여기서, 역뿔형이란, (i) 다수의 평면으로 구성되는 면과, (ii) 상기 면의 외주와 상기 면의 외부에 존재하는 정점을 연결하는 선의 집합에 의해 만들어지는 입체적 형상이며, 이 정점이 기판측에 존재하는 것을 말한다. 바꿔 말하면, 후의 실시예에서 설명하는 바와 같이, 게이트 절연층(104)과 반도체층(106)의 계면으로부터 떨어진 위치로부터, 반도체층(106)이 퇴적되는 방향을 향하여, 대략 방사상으로 성장한 형상이다. 이산적으로 형성된 결정핵의 각각이, 반도체층의 형성과 함께 결정의 방위를 따라 성장함으로써, 결정립은, 결정핵을 기점으로 하여 결정의 성장 방향과 수직인 면의 면내 방향으로 퍼지도록 성장한다. 이와 같이 결정립을 가짐으로써, 비정질 반도체보다 온 전류를 높게 할 수 있다. 또한, 결정립(121) 내에는 단결정 또는 쌍결정을 포함한다. 여기서, 역뿔형의 결정립(121)에서는, 측면은 면방위가 정렬되어 있고, 측면의 단면 형상은 일직선이다(도 2를 참조). 따라서, 결정립(121)은 복수의 결정을 포함하고 있는 형태보다 단결정 또는 쌍결정을 포함하는 형태에 가깝다고 생각된다. 쌍결정을 포함하는 경우에는, 복수의 결정을 포함하는 경우와 비교하여, 땀글링 본드가 적기 때문에 결함수가 적고, 오프 전류가 작다. 또한, 복수의 결정을 포함하는 경우와 비교하여, 입계가 적고, 온 전류가 크다. 또한, 결정립(121)에는 복수의 결정을 포함하고 있어도 좋다.
- [0032] 또한, 쌍결정이란, 결정립계에 있어서 상이한 2개의 결정립이 매우 정합성 좋게 접합되어 있는 것을 말한다. 즉, 결정립계에서 결정 격자가 연속적으로 연결되어, 결정 결함 등에 기인하는 트랩 준위를 매우 만들기 어려운 구성으로 되어 있다. 따라서, 이와 같은 결정 구조를 가지는 영역은 실질적으로 결정립계가 존재하지 않는다고 볼 수 있다.

- [0033] 또한, 여기서 결정핵의 생성을 억제하는 불순물 원소는, 실리콘 중에 있어서 캐리어 트랩을 생성하지 않는 불순물 원소(예를 들면, 질소)를 선택한다. 한편, 실리콘의 덩글링 본드를 생성하는 불순물 원소(예를 들면 산소)의 농도는 저감시킨다. 따라서, 질소 농도를 저감하지 않고 산소 농도를 저감시키면 좋다. 구체적으로는, 산소에 대해서는 SIMS에 의해 측정되는 농도를  $5 \times 10^{18} \text{ cm}^{-3}$  이하로 하면 좋다.
- [0034] 또한, 반도체층(106)의 형성은, 게이트 절연층(104)의 표면에 질소를 존재시켜 행한다. 여기서, 질소 농도는 핵생성 위치를 결정하기 때문에 중요하다. 질소가 존재하는 게이트 절연층(104) 위에 반도체층(106)을 형성하면, 먼저, 제 1 영역(120)이 형성되고, 그 후, 제 2 영역(122)이 형성된다. 여기서, 제 1 영역(120)과 제 2 영역(122)의 계면의 위치는 질소 농도에 따라 결정된다. SIMS에 의해 측정되는 질소의 농도가  $1 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{21} \text{ cm}^{-3}$  이하, 바람직하게는  $2 \times 10^{20} \text{ cm}^{-3}$  이상  $7 \times 10^{20} \text{ cm}^{-3}$  이하일 때 결정핵을 생성하여, 제 2 영역(122)이 형성되게 된다. 즉, 결정립(121)의 성장의 기점이 되는 결정핵의 생성 위치에 있어서, SIMS에 의해 측정되는 질소의 농도는  $1 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{21} \text{ cm}^{-3}$  이하, 바람직하게는  $2 \times 10^{20} \text{ cm}^{-3}$  이상  $7 \times 10^{20} \text{ cm}^{-3}$  이하가 된다. 바꿔 말하면, 역발형을 가지는 결정립(121)의 정점에서의 SIMS에 의해 측정되는 질소의 농도는  $1 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{21} \text{ cm}^{-3}$  이하, 바람직하게는  $2 \times 10^{20} \text{ cm}^{-3}$  이상  $7 \times 10^{20} \text{ cm}^{-3}$  이하이다.
- [0035] 또한, 질소 농도는 게이트 절연층(104)과의 계면으로부터 멀어짐에 따라 서서히 저하된다. 질소 농도는 25 nm 이상 40 nm 이하의 범위에서 게이트 절연층(104) 계면보다 1자리수 저하되면 좋고, 바람직하게는 30 nm 이상 35 nm 이하로 1자리수 저하되는 것이 바람직하다.
- [0036] 상기에 설명한 바와 같이, 결정립은 이산적으로 존재한다. 결정립을 이산적으로 존재시키기 위해서는, 결정의 핵생성 밀도를 제어하는 것이 필요하다. 질소 농도를 상기의 농도 범위로 함으로써, 결정립의 핵생성 밀도를 제어하여, 결정립을 이산적으로 존재하게 하는 것이 가능하다.
- [0037] 또한, 상기한 바와 같이 결정핵의 생성을 억제하는 불순물 원소가 고농도(SIMS에 의해 측정되는 불순물 원소의 농도가 대략  $1 \times 10^{20} \text{ cm}^{-3}$  이상)로 존재하면, 결정 성장도 억제되기 때문에, 반도체층(106)에 포함시키는 질소는 반도체층(106)의 피형성면에만 첨가하거나, 또는 그 막의 형성 초기에만 도입한다.
- [0038] 또한, 반도체층(106) 위에는 버퍼층(108)을 가진다. 버퍼층(108)을 가짐으로써, 오프 전류를 저감할 수 있다.
- [0039] 다음에, 도 1에 나타난 박막 트랜지스터의 제작 방법에 대하여 설명한다. 박막 트랜지스터에서는 p형보다 n형이 캐리어의 이동도가 높다. 또한, 동일한 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 통일하면, 공정수를 억제할 수 있기 때문에 바람직하다. 따라서, 본 실시형태에서는, n형의 박막 트랜지스터의 제작 방법에 대하여 설명한다.
- [0040] 먼저, 기판(100) 위에 게이트 전극층(102)을 형성한다(도 3(A)를 참조).
- [0041] 기판(100)으로서는, 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있을 정도의 내열성을 가지는 플라스틱 기판 등을 이용할 수 있다. 또한, 기판에 투광성을 필요로 하지 않는 경우에는, 스테인리스 스틸 합금 등의 금속의 기판의 표면에 절연층을 형성한 것을 이용해도 좋다. 유리 기판으로서는, 예를 들면, 바륨 붕규산 유리, 알루미늄도 붕규산 유리 혹은 알루미늄도 규산 유리 등의 무알칼리 유리 기판을 이용하면 좋다. 기판(100)이 마더 유리인 경우에는, 제 1 세대(예를 들면, 320 mm×400 mm)부터 제 7 세대(1870 mm×2200 mm), 제 8 세대(예를 들면, 2200 mm×2400 mm)의 것을 이용할 수 있을 뿐만 아니라, 제 9 세대(예를 들면, 2400 mm×2800 mm), 제 10 세대(예를 들면, 2950 mm×3400 mm)의 것도 이용할 수 있다.
- [0042] 게이트 전극층(102)은, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 또는 이것들을 주성분으로 하는 합금을 이용하여, 단층으로 또는 적층하여 형성할 수 있다. 알루미늄을 이용하는 경우에는, 탄탈을 첨가하여 합금화한 Al-Ta 합금을 이용하면 힐록이 억제되기 때문에 바람직하다. 또한, 네오디뮴을 첨가하여 합금화한 Al-Nd 합금을 이용하면, 저항을 억제하면서 힐록의 발생을 억제할 수 있기 때문에, 더욱 바람직하다. 또한, 인 등의 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체나 AgPdCu 합금을 이용해도 좋다. 예를 들면, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티탄층 혹은 질화 탄탈을 적층한 2층 구조로 하는 것이 바람직하다. 전기적 저항이 낮은 층 위에 배리어층으로서 기능하는 금속층이 적층됨으로써, 전기적 저항이 낮고, 또한 금속층으로부터 반도체층으로의 금속 원소의 확산을 방지할 수 있다. 또는, 질화 티탄층과 몰리브덴층으로 구

성되는 2층의 적층 구조, 또는 막두께 50 nm의 텅스텐층과 막두께 500 nm의 알루미늄과 실리콘의 합금으로 이루어지는 층과 막두께 30 nm의 질화 티탄층을 적층한 3층의 적층 구조로 해도 좋다. 또한, 3층의 적층 구조로 하는 경우에는, 제 1 도전층의 텅스텐층 대신에 질화 텅스텐층을 이용해도 좋고, 제 2 도전층의 알루미늄과 실리콘의 합금으로 이루어지는 층 대신에 알루미늄과 티탄의 합금으로 이루어지는 층을 이용해도 좋고, 제 3 도전층의 질화 티탄층 대신에 티탄층을 이용해도 좋다. 예를 들면, Al-Nd 합금으로 이루어지는 층 위에 몰리브덴층을 적층하여 형성하면, 내열성이 뛰어나고 또한 전기적으로 저저항인 도전층을 형성할 수 있다.

[0043] 게이트 전극층(102)은 기판(100) 위에 스퍼터링법 또는 진공 증착법 등을 이용하여 상기한 재료에 의해 도전층을 형성하고, 이 도전층 위에 포토리소그래피법 또는 잉크젯법 등에 의해 레지스트 마스크를 형성하고, 이 레지스트 마스크를 이용하여 도전층을 에칭하여 형성할 수 있다. 또한, 은, 금 또는 구리 등의 도전성 나노 페이스트를 잉크젯법에 의해 기판 위에 토출하여, 소성함으로써 형성할 수도 있다. 또한, 상기의 금속의 질화물층을 기판(100)과 게이트 전극층(102) 사이에 형성해도 좋다. 여기에서는, 기판(100) 위에 도전층을 형성하고, 포토 마스크를 이용하여 형성한 레지스트 마스크에 의해 에칭한다.

[0044] 또한, 게이트 전극층(102)의 측면은, 테이퍼 형상으로 하는 것이 바람직하다. 게이트 전극층(102) 위에는, 후의 공정에서 반도체층 및 배선층 등을 형성하므로, 단차의 개소에서 형성 불량을 방지하기 위해서이다. 게이트 전극층(102)의 측면을 테이퍼 형상으로 하기 위해서는, 레지스트 마스크를 후퇴시키면서 에칭을 행하면 좋다. 예를 들면, 에칭 가스(예를 들면, 염소 가스)에 산소 가스를 포함시킴으로써 레지스트를 후퇴시키면서 에칭을 행하는 것이 가능하다.

[0045] 또한, 게이트 전극층(102)을 형성하는 공정에 의해 게이트 배선(주사선)도 동시에 형성할 수 있다. 또한, 화소 부가 가지는 용량선도 동시에 형성할 수 있다. 또한, 주사선이란 화소를 선택하는 배선을 말하고, 용량선이란 화소의 보유 용량의 한쪽의 전극에 접속된 배선을 말한다. 단, 이것에 한정되는 것은 아니고, 게이트 배선 및 용량 배선의 한쪽 또는 쌍방과 게이트 전극층(102)은 별도로 형성해도 좋다.

[0046] 다음에, 게이트 전극층(102)을 덮어 게이트 절연층(104)을 형성한다(도 3(B)를 참조). 게이트 절연층(104)은, CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘 또는 질화 산화 실리콘을 이용하여, 단층 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(104)은, 고주파수(1 GHz 정도)의 마이크로파 플라즈마 CVD 장치를 이용하여 형성하는 것이 바람직하다. 마이크로파 플라즈마 CVD 장치를 이용하여 높은 주파수에 의해 게이트 절연층(104)을 형성하면, 게이트 전극과, 드레인 전극 및 소스 전극과의 사이의 내압을 향상시킬 수 있기 때문에, 신뢰성이 높은 박막 트랜지스터를 얻을 수 있다. 또한, 게이트 절연층(104)을 산화 질화 실리콘에 의해 형성함으로써, 트랜지스터의 스레시홀드 전압의 변동을 억제할 수 있다.

[0047] 또한, 본 명세서 중에 있어서, 산화 질화 실리콘이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것으로서, 바람직하게는, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 이용하여 측정된 경우에, 조성 범위로서 산소가 50~70 원자%, 질소가 0.5~15 원자%, 실리콘이 25~35 원자%, 수소가 0.1~10 원자%의 범위로 포함되는 것을 말한다. 또한, 질화 산화 실리콘이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것으로서, 바람직하게는, RBS 및 HFS를 이용하여 측정된 경우에, 조성 범위로서 산소가 5~30 원자%, 질소가 20~55 원자%, 실리콘이 25~35 원자%, 수소가 10~30 원자%의 범위로 포함되는 것을 말한다. 단, 산화 질화 실리콘 또는 질화 산화 실리콘을 구성하는 원자의 합계를 100 원자%로 했을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기 범위 내에 포함되는 것으로 한다.

[0048] 또한, 게이트 절연층(104)을 질화 실리콘에 의해 형성한 경우에는, 게이트 절연층(104) 위에 얇은 산화 질화 실리콘층을 형성함으로써, 박막 트랜지스터의 동작 초기에 발생하는 열화를 억제할 수 있다. 여기서, 산화 질화 실리콘층은 매우 얇게 형성하면 좋고, 1 nm 이상이면 좋다. 바람직하게는 1 nm 이상 3 nm 이하로 한다.

[0049] 다음에, 반도체층(106)의 형성 방법에 대하여 설명한다. 반도체층(106)은 2 nm 이상 60 nm 이하, 바람직하게는 10 nm 이상 30 nm 이하의 두께로 형성하면 좋다.

[0050] 또한, 상기한 바와 같이, 반도체층(106)은 역궤형의 결정립을 가진다. 역궤형의 결정립은, 예를 들면, 반도체층(106)의 산소 농도를 낮게 하고, 질소 농도를 산소 농도보다 높게 하여, 질소 농도가 결정립의 성장 방향에 따라 저하되어 감으로써, 결정립의 핵생성을 제어하면서 형성할 수 있다. 여기서, 질소 농도는 산소 농도보다 1자리수 이상 높은 것이 바람직하다. 보다 구체적으로는, 게이트 절연층(104)과 반도체층(106)의 계면에 있어서, SIMS에 의해 측정되는 산소의 농도를  $5 \times 10^{18} \text{ cm}^{-3}$  이하로 하고, 질소의 농도를  $1 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{21} \text{ cm}^{-3}$

<sup>3</sup> 이하로 한다. 또한, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다 높게 하여 형성한다.

- [0051] 산소 농도를 낮게 억제하여 질소 농도를 산소 농도보다 높게 하는 수단의 하나는, 반도체층(106)의 형성 전에, 게이트 절연층(104)의 표면에 다량의 질소를 존재시키는 것이다. 게이트 절연층(104)의 표면에 다량의 질소를 존재시키기 위해서는, 게이트 절연층(104) 형성 후, 반도체층(106)의 형성 전에, 게이트 절연층(104)의 표면을, 질소를 포함하는 가스에 의해 생성되는 플라즈마에 의해 처리하면 좋다. 여기서, 질소를 포함하는 가스로서는, 예를 들면, 암모니아, 질소, 염화 질소, 불화 질소 등을 들 수 있다.
- [0052] 또는, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다 높게 하는 다른 수단의 하나는, 반도체층(106)에 접하는 게이트 절연층(104)에, 고농도로 질소를 포함시키는 것이다. 따라서, 게이트 절연층(104)을 질화 실리콘에 의해 형성하는 것이다. 또한, 이 수단에 대해서는 실시형태 2에서 설명한다.
- [0053] 또는, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다 높게 하는 다른 수단의 하나는, 반도체층(106)의 형성에 이용하는 처리실(채임버)의 내벽을 고농도로 질소를 포함하는 막에 의해 덮는 것이다. 고농도로 질소를 포함하는 재료로서, 예를 들면 질화 실리콘을 들 수 있다. 또한, 처리실(채임버) 내벽을 덮는 고농도로 질소를 포함하는 막은, 게이트 절연층(104)과 동시에 형성해도 좋고, 공정의 간략화를 도모할 수 있기 때문에 바람직하다. 또한, 이 경우에는, 게이트 절연층(104)의 형성에 이용하는 처리실(채임버)과 반도체층(106)의 형성에 이용하는 처리실(채임버)이 동일한 것이 되기 때문에, 제조 장치가 소형화된다. 또한, 이 수단에 대해서는 실시형태 3에서 설명한다.
- [0054] 또는, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다 높게 하는 다른 수단의 하나는, 반도체층(106)의 형성에 이용하는 가스에 포함되는 산소의 농도를 낮게 억제하고, 질소의 농도를 높게 하는 것이다. 이 때, 질소는 반도체층(106)이 되는 막의 형성 초기에 이용하는 가스에만 공급하고, 또는 공급하는 질소의 양을 감소시켜 가면 좋다. 또한, 이 수단에 대해서는 실시형태 4에 설명한다.
- [0055] 또한, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다 높게 하려면, 상기 수단의 어느 것을 이용해도 좋고, 이것들을 조합하여 이용해도 좋다. 본 실시형태에서는, 게이트 절연층(104)은 질화 실리콘층 위에 산화 질화 실리콘층을 적층한 구조로 하여, 게이트 절연층(104)을 암모니아에 노출함으로써, 게이트 절연층(104)의 표면에 질소를 공급한다.
- [0056] 여기서, 게이트 절연층(104), 반도체층(106) 및 소스 영역 및 드레인 영역(110)의 형성의 일례에 대하여 상세하게 설명한다. 이들 층은 CVD법 등을 이용하여 형성한다. 또한, 게이트 절연층(104)은, 질화 실리콘층 위에 산화 질화 실리콘층을 형성한 적층 구조로 한다. 이러한 구조로 함으로써, 질화 실리콘층에 의해 기관 중에 포함되는 전기적 특성에 영향을 미치는 원소(기관이 유리인 경우에는 나트륨 등의 원소)가 반도체층(106) 등에 침입하는 것을 방지할 수 있다. 도 6은, 이것들을 형성할 때 이용하는 CVD 장치의 모식도를 나타낸다.
- [0057] 도 6에 나타난 플라즈마 CVD 장치(161)는, 가스 공급 수단(150) 및 배기 수단(151)에 접속되어 있다.
- [0058] 도 6에 나타난 플라즈마 CVD 장치(161)는 처리실(141), 스테이지(142), 가스 공급부(143), 샤워 플레이트(144), 배기구(145), 상부 전극(146), 하부 전극(147), 교류 전원(148), 및 온도 제어부(149)를 구비한다.
- [0059] 처리실(141)은 강성이 있는 소재로 형성되고, 내부를 진공 배기할 수 있도록 구성되어 있다. 처리실(141)에는, 상부 전극(146)과 하부 전극(147)이 구비되어 있다. 또한, 도 6에서는, 용량 결합형(평행 평판형)의 구성을 나타냈지만, 다른 2이상의 고주파 전력을 인가하여 처리실(141)의 내부에 플라즈마를 생성할 수 있는 것이라면, 유도 결합형 등 다른 구성을 적용해도 좋다.
- [0060] 도 6에 나타난 플라즈마 CVD 장치에 의해 처리를 행할 때에는, 소정의 가스를 가스 공급부(143)로부터 도입한다. 도입된 가스는, 샤워 플레이트(144)를 통하여, 처리실(141)로 도입된다. 상부 전극(146)과 하부 전극(147)에 접속된 교류 전원(148)에 의해, 고주파 전력이 인가되고 처리실(141) 내의 가스가 여기되어 플라즈마가 생성된다. 또한, 진공 펌프에 접속된 배기구(145)에 의해, 처리실(141) 내의 가스가 배기된다. 또한, 온도 제어부(149)에 의해, 피처리물을 가열하면서 플라즈마 처리할 수 있다.
- [0061] 가스 공급 수단(150)은, 반응 가스가 충전되는 실린더(152), 압력 조정 밸브(153), 스톱 밸브(154), 매스 플로우 컨트롤러(155) 등으로 구성되어 있다. 처리실(141) 내에서, 상부 전극(146)과 기관(100) 사이에는 판 형상으로 가공되어, 복수의 세공(細孔)이 형성된 샤워 플레이트를 가진다. 상부 전극(146)에 도입되는 반응 가스는, 내부의 중공 구조를 거쳐, 이 세공으로부터 처리실(141) 내로 도입된다.

- [0062] 처리실(141)에 접속되는 배기 수단(151)에는, 진공 배기와, 반응 가스를 흘리는 경우에, 처리실(141) 내를 소정의 압력으로 유지하도록 제어하는 기능이 포함되어 있다. 배기 수단(151)의 구성으로서는, 버터플라이 밸브(156), 컨덕턴스 밸브(157), 터보 분자 펌프(158), 드라이 펌프(159) 등이 포함된다. 버터플라이 밸브(156)와 컨덕턴스 밸브(157)를 병렬로 배치하는 경우에는, 버터플라이 밸브(156)를 닫아 컨덕턴스 밸브(157)를 동작시킴으로써, 반응 가스의 배기 속도를 제어하여 처리실(141)의 압력을 소정의 범위로 유지할 수 있다. 또한, 컨덕턴스가 큰 버터플라이 밸브(156)를 여는 것에 의해 고진공 배기가 가능하게 된다.
- [0063] 또한, 처리실(141)을  $10^{-5}$  Pa보다 낮은 압력까지 초고진공 배기하는 경우에는, 크라이오 펌프(160)를 병용하는 것이 바람직하다. 그 외, 도달 진공도로서 초고진공까지 배기하는 경우에는, 처리실(141)의 내벽을 경면 가공하여, 내벽으로부터의 가스 방출을 저감하기 위해 베이킹용의 히터를 설치해도 좋다.
- [0064] 또한, 도 6에 나타낸 바와 같이, 처리실(141)의 전체를 덮어 막이 형성(피착)되도록 프리코트(precoat) 처리를 행하면, 처리실(141) 내벽에 부착된 불순물 원소, 또는 처리실(141)(챔버) 내벽을 구성하는 불순물 원소의 소자로의 혼입을 방지할 수 있다. 본 실시형태에서는, 프리코트 처리는 실리콘을 주성분으로 하는 막을 형성하면 좋고, 예를 들면, 비정질 실리콘 등을 형성하면 좋다. 단, 이 막에는 산소가 포함되지 않는 것이 바람직하다.
- [0065] 게이트 절연층(104)의 형성부터 도너가 되는 불순물 원소를 포함하는 반도체층(109)(일 도전형을 부여하는 불순물 원소를 포함하는 반도체층이라고도 함)의 형성까지에 대하여, 도 7을 참조하여 이하에 설명한다. 또한, 게이트 절연층(104)은, 질화 실리콘층 위에 산화 질화 실리콘층을 적층하여 형성한다.
- [0066] 먼저, 게이트 전극층(102)이 형성된 기판을 CVD 장치의 처리실(141) 내에서 가열하여, 질화 실리콘층을 형성하기 위한 재료 가스를 처리실(141) 내로 도입한다(도 7의 예비 처리(A1)). 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 40 sccm,  $\text{H}_2$ 의 유량을 500 sccm,  $\text{N}_2$ 의 유량을 550 sccm,  $\text{NH}_3$ 의 유량을 140 sccm으로 하여 처리실(141) 내에 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 100 Pa, 기판의 온도를 280℃로 하고, 370 W의 플라즈마 방전을 행함으로써, 약 110 nm의 질화 실리콘층을 형성한다. 그 후,  $\text{SiH}_4$ 의 도입만을 정지하고 몇 초 후에 플라즈마의 방전을 정지시킨다(도 7의  $\text{SiN}_x$ 층 형성(B1)). 처리실(141) 내에  $\text{SiH}_4$ 가 존재하는 상태에서 플라즈마의 방전을 정지시키면, 실리콘을 주성분으로 하는 입상(粒狀)물 또는 분상(粉狀)물이 형성되게 되어, 수율을 저하시키는 원인이 되기 때문이다. 또한,  $\text{N}_2$  가스 및  $\text{NH}_3$  가스는 어느 한쪽을 이용하면 좋고, 이것들을 혼합하여 이용하는 경우에는 유량을 적절히 조정하면 좋다. 또한,  $\text{H}_2$  가스의 도입 및 유량은 적절히 조정하고, 불필요한 경우에는 도입하지 않아도 좋다.
- [0067] 다음에, 질화 실리콘층의 형성에 이용한 재료 가스를 배기하여, 산화 질화 실리콘층의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 7의 가스 치환(C1)). 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 30 sccm,  $\text{N}_2\text{O}$ 의 유량을 1200 sccm으로 하고, 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 40 Pa, 기판의 온도를 280℃로 하여 50 W의 플라즈마 방전을 행함으로써, 약 110 nm의 산화 질화 실리콘층을 형성한다. 그 후, 질화 실리콘층과 마찬가지로,  $\text{SiH}_4$ 의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 7의  $\text{SiO}_x\text{N}_y$ 층 형성(D1)).
- [0068] 상기 공정에 의해, 게이트 절연층(104)을 형성할 수 있다. 게이트 절연층(104)의 형성 후, 기판(100)을 처리실(141)로부터 반출한다(도 7의 언로드(E1)).
- [0069] 기판(100)을 처리실(141)로부터 반출한 후, 처리실(141)에, 예를 들면  $\text{NF}_3$  가스를 도입하여, 처리실(141) 내를 클리닝한다(도 7의 클리닝 처리(F1)). 그 후, 처리실(141)에 비정질 실리콘층을 형성하는 처리를 행한다(도 7의 프리코트 처리(G1)). 후에 설명하는 버퍼층(107)의 형성과 마찬가지로 행하지만, 수소는 처리실(141) 내로 도입하여도 좋고, 도입하지 않아도 좋다. 이 처리에 의해, 처리실(141)의 내벽에 비정질 실리콘층이 형성된다. 또는, 질화 실리콘에 의해 프리코트 처리를 행하여도 좋다. 이 경우의 처리는, 게이트 절연층(104)을 형성하는 처리와 마찬가지로이다. 그 후, 기판(100)을 처리실(141) 내로 반입한다(도 7의 로드(H1)).
- [0070] 다음에, 게이트 절연층(104)의 표면에 질소를 공급한다. 여기에서는, 게이트 절연층(104)을 암모니아 가스에 노출함으로써 질소를 공급한다(도 7의 플래시 처리(I1)). 또한, 암모니아 가스에는 수소를 포함시켜도 좋다. 여기에서는, 일례로서 처리실(141) 내의 압력은 대략 20 Pa~30 Pa, 기판의 온도는 280℃로 하고, 처리 시간은 60초간으로 하면 좋다. 또한, 본 공정의 처리에서는 단지 암모니아 가스에 노출시킬 뿐이지만, 플라즈마 처리

를 행하여도 좋다. 그 후, 상기 처리에 이용한 가스를 배기하여, 반도체층(105)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 7의 가스 치환(J1)).

[0071] 다음에, 질소가 공급된 게이트 절연층(104) 위의 전면에 반도체층(105)을 형성한다. 반도체층(105)은 후의 공정에 의해 패턴 형성되어 반도체층(106)이 된다. 먼저, 반도체층(105)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 10 sccm,  $\text{H}_2$ 의 유량을 1500 sccm으로 하여 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 280 Pa, 기판의 온도를  $280^\circ\text{C}$ 로 하여, 50 W의 플라즈마 방전을 행함으로써, 약 50 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로,  $\text{SiH}_4$ 의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 7의 반도체층 형성(K1)). 그 후, 이들 가스를 배기하여, 버퍼층(107)이 되는 실리콘층의 형성에 이용하는 가스를 도입한다(도 7의 가스 치환(L1)). 또한, 이것에 한정되지 않고, 가스의 치환은 반드시 행하지 않아도 좋다.

[0072] 상기의 예에 있어서, 반도체층(105)의 형성에 이용되는 재료 가스에서는,  $\text{SiH}_4$ 의 유량에 대한  $\text{H}_2$ 의 유량을 150배로 하였다. 따라서, 실리콘은 서서히 퇴적된다.

[0073] 본 실시형태에서 게이트 절연층(104)의 표면에는 질소가 공급된다. 상기한 바와 같이, 질소는 실리콘의 결정핵의 생성을 억제한다. 따라서, 반도체층(105)의 형성 초기 단계에서는 실리콘의 결정핵이 생성되지 않는다. 반도체층(105) 형성 초기 단계에서 형성되는 이 층이, 도 2에 나타난 제 1 영역(120)이 된다. 반도체층(105)은 하나의 조건에 의해 형성하기 때문에, 제 1 영역(120)과 제 2 영역(122)은 동일한 조건에 의해 형성된다. 상기한 바와 같이 게이트 절연층(104)의 표면에 질소를 공급하고, 이 표면 위에 반도체층(105)을 형성함으로써, 질소를 포함하는 반도체층(도 2에 나타난 제 1 영역(120))이 형성된다. 반도체층(105)에서, 질소의 농도는 게이트 절연막과의 계면으로부터 멀어짐에 따라 저하되고, 질소의 농도가 일정한 값 이하가 되면, 결정핵이 생성된다. 그 후, 그 결정핵이 성장하여, 결정립(121)이 형성된다.

[0074] 다음에, 반도체층(105) 위의 전면에 버퍼층(107)을 형성한다. 버퍼층(107)은, 후의 공정에서 패턴 형성되어 버퍼층(108)이 된다. 여기서, 버퍼층(107)은 비정질 반도체에 의해 형성한다. 먼저, 버퍼층(107)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 280 sccm,  $\text{H}_2$ 의 유량을 300 sccm으로 하여 재료 가스를 도입하여 안정시키고, 처리실(141) 내의 압력을 170 Pa, 기판의 온도를  $280^\circ\text{C}$ 로 하여, 60 W의 플라즈마 방전을 행함으로써, 약 150 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로,  $\text{SiH}_4$ 의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 7의 a-Si층 형성(M1)). 그 후, 이들 가스를 배기하여, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 가스를 도입한다(도 7의 가스 치환(N1)).

[0075] 다음에, 버퍼층(107) 위의 전면에 도너가 되는 불순물 원소를 포함하는 반도체층(109)을 형성한다. 도너가 되는 불순물 원소를 포함하는 반도체층(109)은, 후의 공정에서 패턴 형성되어 소스 영역 및 드레인 영역(110)이 된다. 먼저, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 100 sccm,  $\text{PH}_3$ 를  $\text{H}_2$ 에 의해 0.5 vol%까지 희석한 혼합 가스의 유량을 170 sccm으로 하고 재료 가스를 도입하여 안정시킨다. 처리실(141) 내의 압력을 280 Pa, 기판의 온도를  $280^\circ\text{C}$ 로 하여, 60 W의 플라즈마 방전을 행함으로써, 약 50 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 성막과 마찬가지로,  $\text{SiH}_4$ 의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 7의 불순물 반도체층 형성(O1)). 그 후, 이들 가스를 배기한다(도 7의 배기(P1)).

[0076] 이상 설명한 바와 같이, 도너가 되는 불순물 원소를 포함하는 반도체층(109)까지를 형성할 수 있다(도 4(A)를 참조).

[0077] 다음에, 도너가 되는 불순물 원소를 포함하는 반도체층(109) 위에 도전층(111)을 형성한다.

[0078] 도전층(111)은, 알루미늄, 구리, 티탄, 네오디뮴, 스칸듐, 몰리브덴, 크롬, 탄탈 혹은 텅스텐 등에 의해 단층으로, 또는 적층하여 형성할 수 있다. 또는, 힐록 방지 원소가 첨가된 알루미늄 합금(게이트 전극층(102)에 이용할 수 있는 Al-Nd 합금 등)에 의해 형성해도 좋다. 또는, 도너가 되는 불순물 원소를 첨가한 결정성 실리콘을 이용해도 좋다. 도너가 되는 불순물 원소가 첨가된 결정성 실리콘과 접하는 층의 층을 티탄, 탄탈, 몰리브덴, 텅스텐 또는 이들 원소의 질화물에 의해 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 해도 좋다. 또한, 알루미늄 또는 알루미늄 합금을, 티탄, 탄탈, 몰리브덴, 텅스텐 또는 이들 원소의 질화물로 끼운 적층 구조로 해도 좋다. 예를 들면, 도전층(111)으로서 알루미늄층을 몰리브덴층으로 끼운 3층의 적층 구

조로 하면 좋다.

- [0079] 도전층(111)은, CVD법, 스퍼터링법 또는 진공 증착법을 이용하여 형성한다. 또한, 도전층(111)은, 은, 금 또는 구리 등의 도전성 나노 페이스트를 이용하여 스크린 인쇄법 또는 잉크젯법 등을 이용하여 토출하고, 소성함으로써 형성해도 좋다.
- [0080] 다음에, 도전층(111) 위에 제 1 레지스트 마스크(131)를 형성한다(도 4(B)를 참조). 제 1 레지스트 마스크(131)는 두께가 다른 두 개의 영역을 가지고, 다계조 마스크를 이용하여 형성할 수 있다. 다계조 마스크를 이용함으로써, 사용하는 포토마스크의 매수가 저감되어, 제작 공정수가 감소하기 때문에 바람직하다. 본 실시형태에 있어서, 반도체층(105), 버퍼층(107), 도너가 되는 불순물 원소를 포함하는 반도체층(109), 및 도전층(111)의 패턴을 형성하는 공정과, 소스 영역과 드레인 영역을 분리하는 공정에 있어서, 다계조 마스크를 이용하여 형성한 레지스트 마스크를 이용할 수 있다.
- [0081] 다계조 마스크란, 다단계의 광량으로 노광을 행하는 것이 가능한 마스크로서, 대표적으로는, 노광 영역, 반노광 영역 및 미노광 영역의 3 단계의 광량으로 노광을 행한다. 다계조 마스크를 이용함으로써, 한 번의 노광 및 현상 공정에 의해, 복수(대표적으로는 2종류)의 두께를 가지는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 이용함으로써, 포토마스크의 매수를 삭감할 수 있다.
- [0082] 도 8(A-1) 및 도 8(B-1)은, 대표적인 다계조 마스크의 단면도를 나타낸다. 도 8(A-1)에는 그레이톤 마스크(180)를 나타내고, 도 8(B-1)에는 하프톤 마스크(185)를 나타낸다.
- [0083] 도 8(A-1)에 나타난 그레이톤 마스크(180)는, 투광성을 가지는 기관(181) 위에 차광막에 의해 형성된 차광부(182), 및 차광막의 패턴에 의해 형성된 회절 격자부(183)로 구성되어 있다.
- [0084] 회절 격자부(183)는, 노광에 이용하는 광의 해상도 한계 이하의 간격으로 설치된 슬릿, 도트 또는 메쉬 등을 가짐으로써, 광의 투과량을 제어한다. 또한, 회절 격자부(183)에 설치되는 슬릿, 도트 또는 메쉬는 주기적인 것이어도 좋고, 비주기적인 것이어도 좋다.
- [0085] 투광성을 가지는 기관(181)으로서, 석영 등을 이용할 수 있다. 차광부(182) 및 회절 격자부(183)를 구성하는 차광막은 금속 혹은 금속 산화물을 이용하여 형성하면 좋고, 바람직하게는 크롬 또는 산화 크롬 등에 의해 형성된다.
- [0086] 그레이톤 마스크(180)에 노광하기 위한 광을 조사한 경우, 도 8(A-2)에 나타난 바와 같이, 차광부(182)에 중첩하는 영역에 있어서의 투광율은 0%가 되고, 차광부(182) 또는 회절 격자부(183)가 형성되지 않은 영역에 있어서의 투광율은 100%가 된다. 또한, 회절 격자부(183)에 있어서의 투광율은, 대략 10~70%의 범위이며, 회절 격자의 슬릿, 도트 또는 메쉬의 간격 등에 의해 조정 가능하다.
- [0087] 도 8(B-1)에 나타난 하프톤 마스크(185)는, 투광성을 가지는 기관(186) 위에 반투광막에 의해 형성된 반투광부(187), 및 차광막에 의해 형성된 차광부(188)로 구성되어 있다.
- [0088] 반투광부(187)는, MoSiN, MoSi, MoSiO, MoSiON, CrSi 등의 막을 이용하여 형성할 수 있다. 차광부(188)는, 그레이톤 마스크의 차광막과 같은 금속 혹은 금속 산화물을 이용하여 형성하면 좋고, 바람직하게는 크롬 또는 산화 크롬 등에 의해 형성된다.
- [0089] 하프톤 마스크(185)에 노광하기 위한 광을 조사한 경우, 도 8(B-2)에 나타난 바와 같이, 차광부(188)에 중첩하는 영역에서의 투광율은 0%가 되고, 차광부(188) 또는 반투광부(187)가 형성되지 않은 영역에서의 투광율은 100%가 된다. 또한, 반투광부(187)에서의 투광율은, 대략 10~70%의 범위이며, 형성하는 재료의 종류 또는 형성하는 막두께 등에 의해 조정 가능하다.
- [0090] 다계조 마스크를 이용해 노광하여 현상을 행함으로써, 막두께가 다른 영역을 가지는 레지스트 마스크를 형성할 수 있다.
- [0091] 다음에, 제 1 레지스트 마스크(131)를 이용하여 반도체층(105), 버퍼층(107), 도너가 되는 불순물 원소를 포함하는 반도체층(109), 및 도전층(111)을 에칭한다. 이 공정에 의해, 반도체층(105), 버퍼층(107), 도너가 되는 불순물 원소를 포함하는 반도체층(109) 및 도전층(111)을 소자마다 분리한다(도 4(C)를 참조).
- [0092] 여기서, 제 1 레지스트 마스크(131)를 후퇴시켜 제 2 레지스트 마스크(132)를 형성한다. 레지스트 마스크의 후퇴에는, 산소 플라즈마에 의한 애싱을 이용하면 좋다.

- [0093] 다음에, 제 2 레지스트 마스크(132)를 이용하여 도전층(111)을 에칭하여, 배선층(112)을 형성한다(도 5(A)를 참조). 배선층(112)은, 소스 전극 및 드레인 전극을 구성한다. 도전층(111)의 에칭은, 웨트 에칭을 이용하는 것이 바람직하다. 웨트 에칭에 의해, 도전층이 선택적으로 에칭되고, 도전층의 측면은 제 2 레지스트 마스크(132)보다 내측으로 후퇴하여, 배선층(112)이 형성된다. 따라서, 배선층(112)의 측면과, 에칭된 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 측면은 일치하지 않고, 배선층(112)의 측면의 외측에, 소스 영역 및 드레인 영역(110)의 측면이 형성되게 된다. 배선층(112)은, 소스 전극 및 드레인 전극뿐 아니라 신호선으로서도 기능한다. 단, 이것에 한정되는 것은 아니고, 신호선과 배선층(112)은 별도로 형성해도 좋다.
- [0094] 다음에, 제 2 레지스트 마스크(132)가 형성된 상태로, 버퍼층(107)의 일부 및 도너가 되는 불순물 원소를 포함하는 반도체층(109)을 에칭하여, 버퍼층(108), 및 소스 영역 및 드레인 영역(110)을 형성한다(도 5(B)를 참조).
- [0095] 다음에, 제 2 레지스트 마스크(132)가 형성된 상태로, 드라이 에칭을 행하면 된다. 여기서, 드라이 에칭의 조건은, 노출되어 있는 버퍼층(108)에 데미지가 들어가지 않고, 또한 버퍼층(108)에 대한 에칭 레이트가 낮은 조건을 이용한다. 즉, 노출되어 있는 버퍼층(108)의 표면에 거의 데미지를 주지 않고, 또한 노출되어 있는 버퍼층(108)의 막두께가 거의 감소하지 않는 조건을 이용한다. 에칭 가스로서는, Cl<sub>2</sub> 가스 등을 이용할 수 있다. 또한, 에칭 방법에 대해서는 특별히 한정되는 것은 아니고, ICP 방식, CCP 방식, ECR 방식, 반응성 이온 에칭(RIE: Reactive Ion Etching) 방식 등을 이용할 수 있다.
- [0096] 여기서, 이용할 수 있는 드라이 에칭 조건의 일례로서, Cl<sub>2</sub> 가스의 유량을 100 sccm, 챔버 내의 압력을 0.67 Pa, 하부 전극 온도를 -10℃로 하고, 상부 전극의 코일에 2000 W의 RF(13.56 MHz) 전력을 투입하여 플라즈마를 생성하고, 기관(100)측에는 전력을 투입하지 않고 0 W로 하여(즉, 무바이어스로 하여), 30초간의 에칭을 행한다. 챔버 내벽의 온도는 약 80℃로 하는 것이 바람직하다.
- [0097] 다음에, 제 2 레지스트 마스크(132)가 형성된 상태로 플라즈마 처리를 행하면 좋다. 여기서, 플라즈마 처리는, 예를 들면 물 플라즈마에 의해 행하면 좋다.
- [0098] 물 플라즈마 처리는, 반응 공간에 수증기(H<sub>2</sub>O 증기)로 대표되는 물을 주성분으로 하는 가스를 도입하고, 플라즈마를 생성하여 행할 수 있다. 물 플라즈마에 의해 제 2 레지스트 마스크(132)를 제거할 수 있다. 또한, 물 플라즈마 처리, 혹은, 대기에 노출시킨 후에 물 플라즈마 처리를 행함으로써, 노출된 버퍼층(108) 위에 산화막이 형성되는 경우도 있다.
- [0099] 또한, 물 플라즈마 처리를 이용하지 않고, 노출되어 있는 버퍼층(108)에 데미지를 주지 않고, 또한 버퍼층(108)에 대한 에칭 레이트가 낮은 조건에서 드라이 에칭을 행하여도 좋다.
- [0100] 상기한 바와 같이, 한쌍의 소스 영역 및 드레인 영역(110)을 형성한 후에, 버퍼층(108)에 데미지를 주지 않는 조건에서 드라이 에칭을 더 행함으로써, 노출된 버퍼층(108) 위에 존재하는 잔사 등의 불순물 원소를 제거할 수 있다. 또한, 드라이 에칭에 이어 물 플라즈마 처리를 행함으로써, 제 2 레지스트 마스크(132)를 제거하는 것도 가능하다. 물 플라즈마 처리를 행함으로써, 소스 영역과 드레인 영역과의 사이의 절연을 확실하게 할 수 있고, 완성되는 박막 트랜지스터의 오프 전류를 저감하고, 온 전류를 향상시켜, 전기적 특성의 편차를 저감할 수 있다.
- [0101] 또한, 플라즈마 처리 등의 공정은 상기의 순번에 한정되지 않고, 제 2 레지스트 마스크(132)를 제거한 후에, 무바이어스에서의 에칭이나, 플라즈마 처리를 행하여도 좋다.
- [0102] 이상 설명한 바와 같이, 본 실시형태에 관한 박막 트랜지스터를 제작할 수 있다(도 5(B)를 참조). 본 실시형태에 관한 박막 트랜지스터는, 액정 표시 장치로 대표되는 표시 장치의 화소에 설치되는 스위칭 트랜지스터에 적용할 수 있다. 이 경우, 이 박막 트랜지스터를 덮어, 개구부를 가지는 절연층(114)을 형성하고, 이 개구부에 있어서 배선층(112)에 의해 구성되는 소스 전극 및 드레인 전극과 접속되도록 화소 전극층(116)을 형성한다(도 5(C)를 참조). 이 개구부는, 포토리소그래피법에 의해 형성할 수 있다. 그 후, 이 개구부를 통하여 접속되도록, 절연층(114) 위에 화소 전극층(116)을 형성한다. 이와 같이 하여, 도 1에 나타난 표시 장치의 화소에 설치되는 스위칭 트랜지스터를 제작할 수 있다.
- [0103] 또한, 절연층(114)은, 게이트 절연층(104)과 마찬가지로 형성할 수 있다. 절연층(114)은, 대기 중에 부유하는 유기물, 금속 또는 수증기 등의 오염원이 될 수 있는 불순물 원소의 침입을 막을 수 있도록, 치밀한 질화 실리콘에 의해 형성하는 것이 바람직하다.

- [0104] 또한, 화소 전극층(116)은, 투광성을 가지는 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 화소 전극층(116)은, 시트 저항이  $10000 \Omega/\text{cm}^2$  이하이며, 또한, 파장 550 nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이  $0.1 \Omega \cdot \text{cm}$  이하인 것이 바람직하다.
- [0105] 도전성 고분자로서는, 소위  $\pi$  전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리 아닐린 혹은 그 유도체, 폴리피롤 혹은 그 유도체, 폴리티오펜 혹은 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0106] 화소 전극층(116)은, 예를 들면, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등을 이용하여 형성할 수 있다.
- [0107] 화소 전극층(116)은, 배선층(112) 등과 마찬가지로, 포토리소그래피법을 이용하여 에칭을 행하여, 패턴 형성하면 좋다.
- [0108] 또한, 도시하지 않았지만, 절연층(114)과 화소 전극층(116)과의 사이에, 스핀 코팅법 등에 의해 형성한 유기 수지로 이루어지는 절연층을 가지고 있어도 좋다.
- [0109] 이상, 본 실시형태에 설명한 바와 같이, 온 전류가 높고 오프 전류가 낮은 박막 트랜지스터를 얻을 수 있다.
- [0110] [실시형태 2]
- [0111] 본 실시형태에서는, 도 1에 나타난 박막 트랜지스터의 제작 방법으로서, 실시형태 1과는 다른 것에 대하여 설명한다. 본 실시형태에서는, 실시형태 1과 마찬가지로, 역궤형의 형상을 가지는 결정립을 포함하는 반도체층을 형성한다. 단, 반도체층에 질소를 포함시키는 수단이 다르다.
- [0112] 본 실시형태에서는, 반도체층에 접하는 게이트 절연층을 질화 실리콘에 의해 형성함으로써, 반도체층의 질소 농도를 제어하여, 역궤형의 형상을 가지는 결정립을 포함하는 반도체층을 형성한다. 게이트 절연층(104)으로부터 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성까지에 대하여, 도 9를 참조하여 이하에 설명한다.
- [0113] 먼저, 게이트 전극층(102)이 형성된 기판을 CVD 장치의 처리실(141) 내에서 가열하여, 질화 실리콘층의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 9의 예비 처리(A2)). 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 40 sccm,  $\text{H}_2$ 의 유량을 500 sccm,  $\text{N}_2$ 의 유량을 550 sccm,  $\text{NH}_3$ 의 유량을 140 sccm으로 하여 재료 가스를 도입하여 유량을 안정시켜, 처리실(141) 내의 압력을 100 Pa, 기판의 온도를  $280^\circ\text{C}$ 로 하고, 370 W의 플라즈마 방전을 행함으로써, 약 300 nm의 질화 실리콘층을 형성한다. 그 후,  $\text{SiH}_4$ 의 도입만을 정지하고 몇초 후에 플라즈마의 방전을 정지시킨다(도 9의  $\text{SiN}_x$ 층 형성(B2)). 또한,  $\text{N}_2$  가스 및  $\text{NH}_3$  가스는 어느 한쪽을 이용하면 좋고, 이것들을 혼합하여 이용하는 경우에는 유량을 적절히 조정하면 좋다. 또한,  $\text{H}_2$  가스의 도입 및 유량은 적절히 조정하고, 불필요한 경우에는 도입하지 않아도 좋다.
- [0114] 다음에, 질화 실리콘층의 형성에 이용한 재료 가스를 배기하여, 반도체층(105)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 9의 가스 치환(C2)).
- [0115] 다음에, 게이트 절연층(104) 위의 전면에 반도체층(105)을 형성한다. 반도체층(105)은, 후의 공정에서 패턴 형성되어 반도체층(106)이 된다. 먼저, 반도체층(105)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 10 sccm,  $\text{H}_2$ 의 유량을 1500 sccm으로 하여 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 280 Pa, 기판의 온도를  $280^\circ\text{C}$ 로 하여, 50 W의 플라즈마 방전을 행함으로써, 약 50 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로,  $\text{SiH}_4$ 의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 9의 반도체층 형성(D2)). 그 후, 이들 가스를 배기하여, 버퍼층(107)의 형성에 이용하는 가스를 도입한다(도 9의 가스 치환(E2)). 또한, 이것에 한정되는 것은 아니고, 가스의 치환은 반드시 행하지 않아도 좋다.
- [0116] 상기의 예에서, 반도체층(105)의 형성에 이용되는 재료 가스에서는,  $\text{SiH}_4$ 의 유량에 대한  $\text{H}_2$ 의 유량을 150배로 하

고 있어, 실리콘은 서서히 퇴적된다.

[0117] 본 실시형태의 게이트 절연층(104)에 있어서, 적어도 반도체층(105)에 접하는 최상층은 질화 실리콘으로 형성되어 있기 때문에, 게이트 절연층(104)의 표면에는 다량의 질소가 존재한다. 상기한 바와 같이, 질소는 실리콘의 결정의 핵생성을 억제한다. 따라서, 반도체층(105)의 형성의 초기 단계에서는 실리콘의 결정핵이 생성되지 않는다. 반도체층(105)의 형성의 초기 단계에서 형성되는 이 층이 도 2에 나타난 제 1 영역(120)이 된다. 반도체층(105)은 하나의 조건에 의해 형성하기 때문에, 제 1 영역(120)과 제 2 영역(122)은 같은 조건에 의해 형성된다. 상기한 바와 같이 게이트 절연층(104)은 질화 실리콘으로 형성되어 있기 때문에, 게이트 절연층(104) 위의 반도체층(105)은 질소를 포함한다(도 2에 나타난 제 1 영역(120)). 반도체층(105)에 있어서, 질소의 농도는 게이트 절연층(104)과의 계면으로부터 멀어짐에 따라 저하되고, 질소의 농도가 일정한 값 이하가 되면, 결정핵이 생성된다. 그 후, 그 결정핵이 성장하여, 결정립(121)이 형성된다. 또한, 여기서 결정립(121)의 성장의 기점이 되는 결정핵의 생성 위치에서, SIMS에 의해 측정되는 질소의 농도는  $1 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{21} \text{ cm}^{-3}$  이하, 바람직하게는  $2 \times 10^{20} \text{ cm}^{-3}$  이상  $7 \times 10^{20} \text{ cm}^{-3}$  이하가 된다.

[0118] 또한, 여기서, 결정핵의 생성을 억제하는 불순물 원소는, 실리콘 중에 있어서, 캐리어 트랩을 생성하지 않는 불순물 원소(예를 들면, 질소)를 선택한다. 한편, 실리콘의 덩글링 본드를 생성하는 불순물 원소(예를 들면, 산소)의 농도는 저감시킨다. 따라서, 질소 농도를 저감시키지 않고 산소 농도를 저감시키면 좋다. 구체적으로는, SIMS에 의해 측정되는 산소의 농도가  $5 \times 10^{18} \text{ cm}^{-3}$  이하가 되도록 하면 좋다.

[0119] 다음에, 반도체층(105) 위의 전면에 버퍼층(107)을 형성한다. 버퍼층(107)은, 후의 공정에서 패턴 형성되어 버퍼층(108)이 된다. 여기서, 버퍼층(107)은, 비정질 반도체에 의해 형성한다. 먼저, 버퍼층(107)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 280 sccm,  $\text{H}_2$ 의 유량을 300 sccm으로 하고 재료 가스를 도입하여 안정시키고, 처리실(141) 내의 압력을 170 Pa, 기판의 온도를  $280^\circ\text{C}$ 로 하여, 60 W의 플라즈마 방전을 행함으로써, 약 150 nm의 버퍼층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로,  $\text{SiH}_4$ 의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 9의 a-Si층 형성(F2)). 그 후, 이들 가스를 배기하여, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 가스를 도입한다(도 9의 가스 치환(G2)).

[0120] 다음에, 버퍼층(107) 위의 전면에 도너가 되는 불순물 원소를 포함하는 반도체층(109)을 형성한다. 도너가 되는 불순물 원소를 포함하는 반도체층(109)은, 후의 공정에서 패턴 형성되어, 소스 영역 및 드레인 영역(110)이 된다. 먼저, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서  $\text{SiH}_4$ 의 유량을 100 sccm,  $\text{PH}_3$ 를  $\text{H}_2$ 에 의해 0.5 vol%까지 희석한 혼합 가스의 유량을 170 sccm으로 하고 재료 가스를 도입하여 안정시키고, 처리실(141) 내의 압력을 280 Pa, 기판의 온도를  $280^\circ\text{C}$ 로 하여, 60 W의 플라즈마 방전을 행함으로써, 약 50 nm의 도너가 되는 불순물 원소를 포함하는 반도체층(109)을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로,  $\text{SiH}_4$ 의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 9의 불순물 반도체층 형성(H2)). 그 후, 이들 가스를 배기한다(도 9의 배기(I2)).

[0121] 상기 설명한 바와 같이, 적어도 반도체층에 접하는 게이트 절연층의 최상층을 질화 실리콘에 의해 형성함으로써, 산소 농도를 낮게 억제하여, 질소 농도를 산소 농도보다 높게 할 수 있고, 역뿔형의 형상을 가지는 결정립을 포함하는 반도체층을 형성할 수 있다.

[0122] [실시형태 3]

[0123] 본 실시형태에서는, 도 1에 나타난 박막 트랜지스터의 제작 방법으로서, 실시형태 1 및 실시형태 2와는 다른 것에 대하여 설명한다. 본 실시형태에서는, 실시형태 1 및 실시형태 2와 마찬가지로, 역뿔형의 형상을 가지는 결정립을 포함하는 반도체층을 형성한다. 단, 반도체층에 질소를 포함시키는 수단이 다르다.

[0124] 본 실시형태에서는, 반도체층의 형성 전에 처리실(141) 내를 클리닝하고, 그 후 질화 실리콘층에 의해 채임버 내벽을 덮음으로써, 반도체층에 질소를 포함시키고, 산소 농도를 낮게 억제하여, 질소 농도를 산소 농도보다 높게 한다. 게이트 절연층(104)의 형성에서부터 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성까지에 대하여, 도 10을 참조하여 이하에 설명한다.

- [0125] 먼저, 게이트 전극층(102)이 형성된 기판을 CVD 장치의 처리실(141) 내(채임버 내)에서 가열하여, 질화 실리콘층을 형성하기 위한 재료 가스를 처리실(141) 내로 도입한다(도 10의 예비 처리(A3)). 여기에서는, 일례로서, SiH<sub>4</sub>의 유량을 40 sccm, H<sub>2</sub>의 유량을 500 sccm, N<sub>2</sub>의 유량을 550 sccm, NH<sub>3</sub>의 유량을 140 sccm으로 하여 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 100 Pa, 기판의 온도를 280℃로 하여, 370 W의 플라즈마 방전을 행함으로써, 약 110 nm의 질화 실리콘층을 형성한다. 그 후, SiH<sub>4</sub>의 도입만을 정지하고 몇초 후에 플라즈마의 방전을 정지시킨다(도 10의 SiNx막 형성(B3)). 또한, N<sub>2</sub> 가스 및 NH<sub>3</sub> 가스는 어느 한쪽을 이용하면 좋고, 이것들을 혼합하여 이용하는 경우에는 유량을 적절히 조정하면 좋다. 또한, H<sub>2</sub> 가스의 도입 및 유량을 적절히 조정하고, 불필요한 경우에는 도입하지 않아도 좋다.
- [0126] 다음에, 질화 실리콘층의 형성에 이용하는 재료 가스를 배기하여, 산화 질화 실리콘층의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 10의 가스 치환(C3)). 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 30 sccm, N<sub>2</sub>O의 유량을 1200 sccm으로 하고, 재료 가스를 도입하여 안정시키고, 처리실(141) 내의 압력을 40 Pa, 기판의 온도를 280℃로 하여 50 W의 플라즈마 방전을 행함으로써, 약 110 nm의 산화 질화 실리콘층을 형성한다. 그 후, 질화 실리콘층과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 10의 SiOxNy층 형성(D3)).
- [0127] 상기 공정에 의해, 게이트 절연층(104)을 형성할 수 있다. 게이트 절연층(104)의 형성 후, 기판(100)을 처리실(141)로부터 반출한다(도 10의 언로드(E3)).
- [0128] 기판(100)을 처리실(141)로부터 반출한 후, 처리실(141)에 NF<sub>3</sub> 가스를 도입하여, 처리실(141) 내를 클리닝한다(도 10의 클리닝 처리(F3)). 그 후, 게이트 절연층(104)과 마찬가지로 질화 실리콘층을 형성하는 처리를 행한다(도 10의 프리코트 처리(G3)). 이 처리에 의해, 처리실(141)의 내벽이 질화 실리콘층에 의해 덮여진다. 그 후, 기판(100)을 처리실(141)로 반입하여, 반도체층(105)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 10의 로드(H3)).
- [0129] 다음에, 게이트 절연층(104) 위의 전면에 반도체층(105)을 형성한다. 반도체층(105)은, 후의 공정에서 패턴 형성되어 반도체층(106)이 된다. 먼저, 반도체층(105)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 10 sccm, H<sub>2</sub>의 유량을 1500 sccm으로 하여 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 280 Pa, 기판의 온도를 280℃로 하여, 50 W의 플라즈마 방전을 행함으로써, 약 50 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 10의 반도체층 형성(I3)). 그 후, 이들 가스를 배기하여, 버퍼층(107)의 형성에 이용하는 가스를 도입한다(도 10의 가스 치환(J3)). 또한, 이것에 한정되는 것은 아니고, 가스의 치환은 반드시 행하지 않아도 좋다.
- [0130] 상기의 예에 있어서, 반도체층(105)의 형성에 이용되는 재료 가스에는, SiH<sub>4</sub>의 유량에 대한 H<sub>2</sub>의 유량을 150배로 하고 있어, 실리콘은 서서히 퇴적된다.
- [0131] 본 실시형태에서는, 처리실(141)의 내벽을 덮는 질화 실리콘층으로부터 게이트 절연층(104)의 표면에 질소가 공급된다. 상기한 바와 같이, 질소는 실리콘의 결정의 핵생성을 억제한다. 그 때문에, 반도체층(105)의 형성의 초기 단계에서는 실리콘의 결정핵이 생성되지 않는다. 반도체층(105)의 형성의 초기 단계에서 형성되는 이 층이, 도 2에 나타낸 제 1 영역(120)이 된다. 반도체층(105)은 하나의 조건에 의해 형성하기 때문에, 제 1 영역(120)과 제 2 영역(122)은 같은 조건에 의해 형성된다. 상기한 바와 같이 게이트 절연층(104)의 표면에는 질소가 공급되고 있기 때문에, 질소를 포함하는 반도체층(105)(도 2에 나타낸 제 1 영역(120))이 형성된다. 반도체층(105)에 있어서, 질소의 농도는 게이트 절연층(104)과의 계면으로부터 멀어짐에 따라 저하되고, 질소의 농도가 일정한 값 이하가 되면, 결정핵이 생성된다. 그 후, 그 결정핵이 성장하여, 결정립(121)이 형성된다.
- [0132] 다음에, 반도체층(105) 위의 전면에 버퍼층(107)을 형성한다. 버퍼층(107)은, 후의 공정에서 패턴 형성되어 버퍼층(108)이 된다. 여기서, 버퍼층(107)은 비정질 반도체에 의해 형성한다. 먼저, 버퍼층(107)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 280 sccm, H<sub>2</sub>의 유량을 300 sccm으로 하여 재료 가스를 도입하여 안정시키고, 처리실(141) 내의 압력을 170 Pa, 기판의 온도를 280℃로 하여, 60 W의 플라즈마 방전을 행함으로써, 약 150 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층

등의 형성과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 10의 a-Si층 형성(K3)). 그 후, 이들 가스를 배기하여, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 가스를 도입한다(도 10의 가스 치환(L3)).

[0133] 다음에, 버퍼층(107) 위의 전면에 도너가 되는 불순물 원소를 포함하는 반도체층(109)을 형성한다. 도너가 되는 불순물 원소를 포함하는 반도체층(109)은, 후의 공정에서 패턴 형성되어 소스 영역 및 드레인 영역(110)이 된다. 먼저, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 100 sccm, PH<sub>3</sub>를 H<sub>2</sub>에 의해 0.5 vol%까지 희석한 혼합 가스의 유량을 170 sccm으로 하여 재료 가스를 도입하여 안정시키고, 처리실(141) 내의 압력을 280 Pa, 기판의 온도를 280℃로 하여, 60 W의 플라즈마 방전을 행함으로써, 약 50 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 10의 도너가 되는 불순물 원소를 포함하는 반도체층 형성(M3)). 그 후, 이들 가스를 배기한다(도 10의 배기(N3)).

[0134] 상기 설명한 바와 같이, 적어도 반도체층(105)을 형성하기 직전에 처리실(141)의 내벽을 질화 실리콘층에 의해 덮음으로써, 게이트 절연층(104) 중의 산소 농도를 낮게 억제하여, 게이트 절연층(104) 중의 질소 농도를 산소 농도보다 높게 하는 것이 가능하고, 역궤형의 형상을 가지는 결정립을 포함하는 반도체층을 형성할 수 있다.

[0135] 또한, 처리실(141)의 내벽을 질화 실리콘층에 의해 덮음으로써, 처리실(141)의 내벽을 구성하는 원소 등이 반도체층에 혼입하는 것도 막을 수 있다.

[0136] 또한, 상기의 설명에서는, 질화 실리콘층 위에 산화 질화 실리콘층을 적층하여 게이트 절연층(104)을 형성했기 때문에, 게이트 절연층(104)의 형성 후에 클리닝 처리와 프리코트 처리를 행하는 형태에 대하여 설명하였지만, 본 실시형태는, 실시형태 2와 조합하여 실시해도 좋다. 즉, 게이트 절연층(104)을 질화 실리콘에 의해 형성하고, 게이트 절연층(104)의 형성이 프리코트 처리를 겸하고 있어도 좋다. 게이트 절연층(104)의 형성이 프리코트 처리를 겸함으로써, 공정이 간략화되어, 스루풋(throughput)을 향상시킬 수 있다.

[0137] [실시형태 4]

[0138] 본 실시형태에서는, 실시형태 1 내지 실시형태 3과는 다른 반도체 장치의 제작 방법에 대하여 설명한다. 본 실시형태에서는, 실시형태 1과 마찬가지로, 역궤형의 형상을 가지는 결정립을 포함하는 반도체층을 형성한다. 단, 반도체층에 질소를 포함시키는 수단이 다르다.

[0139] 본 실시형태에서는, 반도체층의 형성 초기의 가스에 질소를 혼입시킴으로써, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다 높게 한다. 게이트 절연층(104)에서부터 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성까지에 대하여, 도 11을 참조하여 이하에 설명한다.

[0140] 먼저, 게이트 전극층(102)이 형성된 기판을 CVD 장치의 처리실(141) 내(채임버 내)에서 가열하여, 질화 실리콘층의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 11의 예비 처리(A4)). 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 40 sccm, H<sub>2</sub>의 유량을 500 sccm, N<sub>2</sub>의 유량을 550 sccm, NH<sub>3</sub>의 유량을 140 sccm으로 하고 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 100 Pa, 기판의 온도를 280℃로 하여, 370 W의 플라즈마 방전을 행함으로써, 약 110 nm의 질화 실리콘층을 형성한다. 그 후, SiH<sub>4</sub>의 도입만을 정지하고 몇초 후에 플라즈마의 방전을 정지시킨다(도 11의 SiN<sub>x</sub>층 형성(B4)). 또한, N<sub>2</sub> 가스 및 NH<sub>3</sub> 가스는 어느 한쪽을 이용하면 좋고, 이것들을 혼합하여 이용하는 경우에는 유량을 적절히 조정하면 좋다. 또한, H<sub>2</sub> 가스의 도입 및 유량은 적절히 조정하고, 불필요한 경우에는 도입하지 않아도 좋다.

[0141] 다음에, 질화 실리콘층의 형성에 이용하는 재료 가스를 배기하여, 산화 질화 실리콘층의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다(도 11의 가스 치환(C4)). 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 30 sccm, N<sub>2</sub>O의 유량을 1200 sccm으로 하고, 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 40 Pa, 기판의 온도를 280℃로 하여 50 W의 플라즈마 방전을 행함으로써, 약 110 nm의 산화 질화 실리콘층을 형성한다. 그 후, 질화 실리콘층과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 11의 SiO<sub>x</sub>N<sub>y</sub>층 형성(D4)). 그 후, 이들 가스를 배기하여, 반도체층(105)의 형성에 이용하는 가스를 도입한다

(도 11의 가스 치환(E4)).

- [0142] 다음에, 게이트 절연층(104) 위의 전면에 반도체층(105)을 형성한다. 반도체층(105)은, 후의 공정에서 패턴 형성되어 반도체층(106)이 된다. 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 10 sccm, H<sub>2</sub>의 유량을 1500 sccm, N<sub>2</sub>의 유량을 1000 sccm으로 하여 재료 가스를 도입하여 유량을 안정시키고, 처리실(141) 내의 압력을 280 Pa, 기판의 온도를 280℃로 하여, 50 W의 플라즈마 방전을 행한다. 그 후, N<sub>2</sub>의 유량만을 0으로 하고 반도체층을 성장시켜, 약 50 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 11의 반도체층 형성(F4)). 그 후, 이들 가스를 배기하여, 버퍼층(107)의 형성에 이용하는 가스를 도입한다(도 11의 가스 치환(G4)). 또한, N<sub>2</sub> 대신에 NH<sub>3</sub>를 이용해도 좋다. 또한, 이것에 한정되는 것은 아니고, 가스의 치환은 반드시 행하지 않아도 좋다.
- [0143] 상기의 예에 있어서, 반도체층(105)의 형성에 이용되는 재료 가스에서는, SiH<sub>4</sub>의 유량에 대한 H<sub>2</sub>의 유량을 150배로 하고 있어, 실리콘은 서서히 퇴적된다.
- [0144] 본 실시형태에 있어서의 반도체층(105)의 형성 초기의 가스에는 질소가 포함되어 있다. 상기한 바와 같이, 질소는 실리콘의 결정의 핵생성을 억제한다. 따라서, 반도체층(105)의 형성 초기의 단계에서는 실리콘의 결정핵이 생성되지 않는다. 반도체층(105)의 형성 초기의 단계에서 형성되는 이 층이, 도 2에 나타낸 제 1 영역(120)이 된다. 상기한 바와 같이 반도체층(105)의 형성 초기의 가스에는 질소가 포함되어 있으므로, 반도체층(105)(도 2에 나타낸 제 1 영역(120))은 질소를 함유한다. 반도체층(105)에 있어서, 질소의 농도는 게이트 절연층(104)과의 계면으로부터 멀어짐에 따라 저하되어, 질소의 농도가 일정한 값 이하가 되면, 결정핵이 생성된다. 그 후, 그 결정핵이 성장하여, 결정립(121)이 형성된다.
- [0145] 다음에, 반도체층(105) 위의 전면에 버퍼층(107)을 형성한다. 버퍼층(107)은 후의 공정에서 패턴 형성되어 버퍼층(108)이 된다. 여기서, 버퍼층(107)은 비정질 반도체에 의해 형성한다. 먼저, 버퍼층(107)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 280 sccm, H<sub>2</sub>의 유량을 300 sccm으로 하고 재료 가스를 도입하여 안정시키고, 처리실(141) 내의 압력을 170 Pa, 기판의 온도를 280℃로 하여, 60 W의 플라즈마 방전을 행함으로써, 약 150 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하고, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 11의 a-Si 층 형성(H<sub>4</sub>)). 그 후, 이들 가스를 배기하여, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 가스를 도입한다(도 11의 가스 치환(I4)).
- [0146] 다음에, 버퍼층(107) 위의 전면에 도너가 되는 불순물 원소를 포함하는 반도체층(109)을 형성한다. 도너가 되는 불순물 원소를 포함하는 반도체층(109)은, 후의 공정에서 패턴 형성되어 소스 영역 및 드레인 영역(110)이 된다. 먼저, 도너가 되는 불순물 원소를 포함하는 반도체층(109)의 형성에 이용하는 재료 가스를 처리실(141) 내로 도입한다. 여기에서는, 일례로서 SiH<sub>4</sub>의 유량을 100 sccm, PH<sub>3</sub>의 유량을 H<sub>2</sub>에 의해 0.5 vol%까지 희석한 혼합 가스의 유량을 170 sccm으로 하고 재료 가스를 도입하여 유량을 안정시킨다. 처리실(141) 내의 압력을 280 Pa, 기판의 온도를 280℃로 하고, 60 W의 플라즈마 방전을 행함으로써, 약 50 nm의 반도체층을 형성한다. 그 후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH<sub>4</sub>의 도입만을 정지하여, 그 몇초 후에 플라즈마의 방전을 정지시킨다(도 11의 불순물 반도체층 형성(J4)). 그 후, 이들 가스를 배기한다(도 11의 배기(K4)).
- [0147] 상기 설명한 바와 같이, 반도체층의 형성 초기의 가스에 질소를 포함시킴으로써, 산소 농도를 낮게 억제하여, 질소 농도를 산소 농도보다 높게 하는 것이 가능하고, 역궤형의 형상을 가지는 결정립을 포함하는 반도체층을 형성할 수 있다.
- [0148] [실시형태 5]
- [0149] 본 실시형태에서는, 박막 트랜지스터의 형태의 일례에 대하여, 도면을 참조하여 설명한다. 본 실시형태에서는, 다계층 마스크를 이용하지 않고 박막 트랜지스터를 형성한다.
- [0150] 도 12는, 본 실시형태에 관한 박막 트랜지스터의 상면도 및 단면도를 나타낸다. 도 12에 나타낸 박막 트랜지스터는, 기판(200) 위에 게이트 전극층(202)을 가지고, 게이트 전극층(202)을 덮어 게이트 절연층(204)을 가지고, 게이트 절연층(204) 위에 접하여 반도체층(206)을 가지고, 반도체층(206) 위에 접하여 버퍼층(208)을 가진다.

버퍼층(208) 위의 일부에 접하여 소스 영역 및 드레인 영역(210)을 가진다. 또한, 게이트 절연층(204), 및 소스 영역 및 드레인 영역(210) 위에 접하는 배선층(212)을 가진다. 배선층(212)은 소스 전극 및 드레인 전극을 구성한다. 배선층(212) 위에는, 보호막으로서 기능하는 절연층(214)을 가진다. 또한, 각층은 소망의 형상으로 패턴 형성되어 있다.

- [0151] 또한, 도 12에 나타낸 박막 트랜지스터는, 도 1에 나타낸 박막 트랜지스터와 마찬가지로, 액정 표시 장치의 화소부에 설치되는 화소 트랜지스터에 적용할 수 있다. 따라서, 도시한 예에서는, 절연층(214)에는 개구부가 형성되고, 절연층(214) 위에는 화소 전극층(216)이 형성되고, 화소 전극층(216)과 배선층(212)이 접촉되어 있다.
- [0152] 또한, 소스 전극 및 드레인 전극의 한쪽은, U자형(또는 ㄷ자형)의 형상으로 형성되고, 이것이 소스 전극 및 드레인 전극의 다른 한쪽을 둘러싸고 있다. 소스 전극과 드레인 전극과의 거리는 거의 일정하게 유지되고 있다(도 12를 참조).
- [0153] 박막 트랜지스터를 상기한 형상으로 함으로써, 이 박막 트랜지스터의 채널폭을 크게 할 수 있어 전류량이 증대한다. 또한, 전기적 특성의 편차를 저감할 수 있다. 또한, 제작 공정에 있어서의 마스크 패턴의 어긋남에 의한 신뢰성의 저하를 억제할 수 있다. 단, 이것에 한정되지 않고, 소스 전극 및 드레인 전극의 한쪽은 반드시 U자형이 아니어도 좋다.
- [0154] 본 실시형태에서의 반도체층(206)은, 실시형태 1의 반도체층(106)과 같은 특징을 가지고, 같은 재료 및 방법에 의해 형성할 수 있다. 또한, 실시형태 2 내지 실시형태 4에 설명한 바와 같이 형성해도 좋다. 따라서, 본 실시형태에서는 반도체층(206)의 형성에 관한 상세한 설명은 생략한다.
- [0155] 도 12에 나타낸 박막 트랜지스터의 제작 방법에 대하여 설명한다. 박막 트랜지스터에서는 p형보다 n형이 캐리어의 이동도가 높다. 또한, 동일한 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 통일하면, 공정수를 억제할 수 있어 바람직하다. 따라서, 본 실시형태에서는, n형의 박막 트랜지스터의 제작 방법에 대하여 설명한다.
- [0156] 먼저, 기판(200) 위에 게이트 전극층(202)을 형성한다(도 13(A)을 참조).
- [0157] 기판(200)으로서는 실시형태 1의 기판(100)과 같은 것을 이용할 수 있다.
- [0158] 게이트 전극층(202)은 실시형태 1의 게이트 전극층(102)과 같은 재료 및 방법에 의해 형성할 수 있다.
- [0159] 다음에, 게이트 전극층(202)을 덮어 게이트 절연층(204)을 형성한다(도 13(B)을 참조). 게이트 절연층(204)은, 실시형태 1의 게이트 절연층(104)과 같은 재료 및 방법에 의해 형성할 수 있다.
- [0160] 여기서, 게이트 절연층(204) 위에 질소를 공급하는 처리를 행하여도 좋다(도 13(C)을 참조). 질소를 공급하는 처리로서, 실시형태 1에 설명한 게이트 절연층(204)을 NH<sub>3</sub> 가스에 노출하는 처리를 들 수 있다.
- [0161] 다음에, 게이트 절연층(204) 위에 반도체층(205), 버퍼층(207) 및 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 형성한다(도 14(A)를 참조). 그 후, 도너가 되는 불순물 원소를 포함하는 반도체층(209) 위에 제 1 레지스트 마스크(231)를 형성한다(도 14(B)를 참조).
- [0162] 반도체층(205)은 실시형태 1의 반도체층(105)과 마찬가지로 형성할 수 있다. 버퍼층(207)은 실시형태 1의 버퍼층(107)과 마찬가지로 형성할 수 있다. 도너가 되는 불순물 원소를 포함하는 반도체층(209)은 실시형태 1의 도너가 되는 불순물 원소를 포함하는 반도체층(109)과 마찬가지로 형성할 수 있다.
- [0163] 또한, 반도체층(205)은 실시형태 2 내지 실시형태 4에 설명한 방법에 의해 형성해도 좋다.
- [0164] 다음에, 제 1 레지스트 마스크(231)를 이용하여 버퍼층(207) 및 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 에칭하여 십 형상의 반도체층을 형성한다(도 14(C)를 참조). 그 후, 제 1 레지스트 마스크(231)를 제거한다(도 15(A)를 참조).
- [0165] 다음에, 에칭된 반도체층(205), 버퍼층(207) 및 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 덮어 도전층(211)을 형성한다(도 15(B)를 참조). 도전층(211)은, 도전층(111)과 같은 재료 및 방법에 의해 형성할 수 있다. 그 후, 도전층(211) 위에 제 2 레지스트 마스크(232)를 형성한다(도 15(C)를 참조).
- [0166] 다음에, 제 2 레지스트 마스크(232)를 이용하여 도전층(211)을 에칭하여 배선층(212)을 형성한다(도 16(A)을 참조). 배선층(212)은, 소스 전극 및 드레인 전극을 구성한다. 도전층(211)의 에칭은, 웨트 에칭을 이용하는 것이 바람직하다. 웨트 에칭에 의해, 도전층이 선택적으로 에칭되고, 도전층의 측면은 제 2 레지스트 마스크

(232)보다 내측으로 후퇴하여, 배선층(212)이 형성된다. 따라서, 배선층(212)의 측면과, 에칭된 도너가 되는 불순물 원소를 포함하는 반도체층(209)의 측면은 일치하지 않고, 배선층(212)의 측면의 외측에 소스 영역 및 드레인 영역의 측면이 형성된다. 배선층(212)은 소스 전극 및 드레인 전극뿐만 아니라 신호선으로서도 기능한다. 단, 이것에 한정되지 않고, 신호선과 배선층(212)은 별도로 형성해도 좋다.

[0167] 다음에, 제 2 레지스트 마스크(232)를 이용하여 섬 형상 반도체층의 버퍼층(207)의 일부의 상부와 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 에칭한다(도 16(B)을 참조). 여기까지에 의해, 반도체층(206), 버퍼층(208), 및 소스 영역 및 드레인 영역(210)이 형성된다.

[0168] 다음에, 실시형태 1과 마찬가지로 제 2 레지스트 마스크(232)가 형성된 상태에서, 버퍼층(208)에 테미지를 주지 않고, 또한, 버퍼층(208)에 대한 에칭 레이트가 낮은 조건에서 드라이 에칭을 행하면 좋다. 또한, 물 플라즈마 처리에 의해 제 2 레지스트 마스크(232)를 제거하면 좋다.

[0169] 이상의 공정에 의해 본 실시형태에 관한 박막 트랜지스터를 제작할 수 있다. 본 실시형태에 관한 박막 트랜지스터는, 실시형태 1에 설명한 박막 트랜지스터와 마찬가지로, 액정 표시 장치로 대표되는 표시 장치의 화소에 설치되는 스위칭 트랜지스터에 적용할 수 있다. 따라서, 이 박막 트랜지스터를 덮어, 절연층(214)을 형성한다. 절연층(214)에는, 배선층(212)에 의해 구성되는 소스 전극 및 드레인 전극에 이르도록 개구부가 형성되어 있다. 이 개구부는, 포토리소그래피법에 의해 형성할 수 있다. 그 후, 이 개구부를 통하여 접속되도록, 절연층(214) 위에 화소 전극층(216)을 형성하면, 도 12에 나타난 표시 장치의 화소에 설치되는 스위칭 트랜지스터를 제작할 수 있다.

[0170] 또한, 절연층(214)은 실시형태 1의 절연층(114)과 마찬가지로 형성할 수 있다. 또한, 화소 전극층(216)은 실시형태 1의 화소 전극층(116)과 마찬가지로 형성할 수 있다.

[0171] 또한, 도시하지 않았지만, 절연층(214)과 화소 전극층(216)의 사이에, 스핀 코팅법 등에 의해 형성한 유기 수지막으로 이루어진 절연층을 가지고 있어도 좋다.

[0172] 이상, 본 실시형태에 설명한 바와 같이, 온 전류가 높고, 오프 전류가 낮은 박막 트랜지스터를, 다계조 마스크를 이용하지 않고 얻을 수 있다.

[실시형태 6]

[0174] 본 실시형태에서는, 표시 장치의 일 형태로서 실시형태 5에 나타난 박막 트랜지스터를 가지는 액정 표시 장치에 대하여 설명한다. 여기에서는, VA(Vertical Alignment)형의 액정 표시 장치에 대하여, 도 17 내지 도 19를 참조하여 설명한다. VA형이란, 액정 패널의 액정 분자의 배열을 제어하는 방식의 일종을 말한다. VA형의 액정 표시 장치에서는, 전압이 인가되어 있지 않을 때에 패널면에 대하여 액정 분자가 수직 방향을 향한다. 본 실시형태에서는, 특히 화소(픽셀)를 몇개의 영역(서브 픽셀)으로 나누어, 각각 다른 방향으로 액정 분자를 넘어뜨리도록 고안되어 있다. 이것을 멀티 도메인화 혹은 멀티 도메인 설계라고 한다. 이하의 설명에서는, 멀티 도메인 설계가 고려된 액정 표시 장치에 대하여 설명한다.

[0175] 도 17 및 도 18은, VA형의 액정 표시 장치의 화소 구조를 나타낸다. 도 18은 본 실시형태에 나타난 화소 구조의 평면도이며, 도 18 중에 나타난 절단선 Y-Z에 대응하는 단면 구조를 도 17에 나타낸다. 이하의 설명에서는 도 17 및 도 18을 참조하여 설명한다.

[0176] 본 실시형태에 나타난 화소 구조는, 기판(250) 위에 형성된 하나의 화소가 복수의 화소 전극을 가지고, 각각의 화소 전극에 평탄화막(258) 및 절연층(257)을 통하여 박막 트랜지스터가 접속되어 있다. 각 박막 트랜지스터는 다른 게이트 신호로 구동되도록 구성되어 있다. 즉, 멀티 도메인 설계된 화소에 있어서, 개개의 화소 전극에 인가하는 신호를, 독립적으로 제어하는 구성을 가지고 있다.

[0177] 화소 전극(260)은 개구부(259)에 있어서, 배선(255)을 통하여 박막 트랜지스터(264)와 접속되어 있다. 또한, 화소 전극(262)은 개구부(263)에 있어서, 배선(256)을 통하여 박막 트랜지스터(265)와 접속되어 있다. 박막 트랜지스터(264)의 게이트 전극(252)과 박막 트랜지스터(265)의 게이트 전극(253)에는, 다른 게이트 신호를 인가할 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 배선(254)은 박막 트랜지스터(264)와 박막 트랜지스터(265)에서 공통으로 이용된다. 박막 트랜지스터(264) 및 박막 트랜지스터(265)는 실시형태 5에 나타난 방법을 이용하여 제작할 수 있다.

- [0178] 화소 전극(260)과 화소 전극(262)의 형상은 다르고, 슬릿(261)에 의해 분리되어 있다. 화소 전극(262)은, V자 형으로 퍼지는 화소 전극(260)의 외측을 둘러싸도록 형성되어 있다. 화소 전극(260)과 화소 전극(262)에 인가하는 전압의 타이밍을 박막 트랜지스터(264) 및 박막 트랜지스터(265)에 의해 다르게 함으로써, 액정의 배향을 제어한다. 게이트 전극(252)과 게이트 전극(253)에 다른 게이트 신호를 줌으로써, 박막 트랜지스터(264)와 박막 트랜지스터(265)의 동작 타이밍을 다르게 할 수 있다. 또한, 화소 전극(260) 및 화소 전극(262) 위에 배향막(272)이 형성되어 있다.
- [0179] 대향 기관(251)에는, 차광막(266), 착색막(267), 대향 전극(269)이 형성되어 있다. 또한, 착색막(267)과 대향 전극(269)의 사이에는 평탄화막(268)이 형성되어, 액정의 배향 흐트러짐을 방지한다. 또한, 대향 전극(269) 위에는 배향막(271)이 형성되어 있다. 도 19에 대향 기관(251)측의 화소 구조를 나타낸다. 대향 전극(269)은 다른 화소간에 공통화되어 슬릿(270)을 가진다. 슬릿(270)과, 화소 전극(260) 및 화소 전극(262)의 슬릿(261)을 교대로 배치함으로써, 기울기 전계를 발생시켜 액정의 배향을 제어할 수 있다. 그 결과, 액정이 배향하는 방향을 장소에 따라 다르게 할 수 있어 시야각을 넓힐 수 있다.
- [0180] 여기에서는, 기관, 착색막, 차광막, 및 평탄화막으로, 컬러 필터를 구성한다. 또한, 차광막, 평탄화막의 어느 한쪽, 또는 양쪽 모두는 기관 위에 형성되어 있지 않아도 좋다.
- [0181] 또한, 착색막은, 가시광의 파장 범위 중, 임의의 파장 범위의 광의 성분을 우선적으로 투과시키는 기능을 가진다. 통상은, 적색 파장 범위의 광, 청색 파장 범위의 광, 및 녹색 파장 범위의 광의 각각을 우선적으로 투과시키는 착색막을 조합하여, 컬러 필터에 이용하는 경우가 많다. 그러나, 착색막의 조합에 관해서는, 이것에 한정되지 않는다.
- [0182] 화소 전극(260)과 대향 전극(269)이 액정층(273)을 협지함으로써, 제 1액정 소자가 형성되어 있다. 또한, 화소 전극(262)과 대향 전극(269)이 액정층(273)을 협지함으로써, 제 2 액정 소자가 형성되어 있다. 또한, 일 화소에 제 1 액정 소자와 제 2 액정 소자가 형성된 멀티 도메인 구조이다.
- [0183] 또한, 여기에서는, 액정 표시 장치로서 VA형의 액정 표시 장치를 나타냈지만, 이것에 한정되는 것은 아니다. 즉, 실시형태 5에 나타낸 박막 트랜지스터를 이용하여 형성한 소자 기관을, FFS형의 액정 표시 장치, IPS형의 액정 표시 장치, TN형의 액정 표시 장치 또는 그 외의 액정 표시 장치에 이용할 수 있다.
- [0184] 또한, 본 실시형태에서는 실시형태 5에서 제작한 박막 트랜지스터를 이용했지만, 실시형태 1에서 제작한 박막 트랜지스터를 이용해도 좋다.
- [0185] 이상 설명한 바와 같이, 액정 표시 장치를 제작할 수 있다. 본 실시형태의 액정 표시 장치는, 온 전류가 높고 오프 전류가 낮은 박막 트랜지스터를 화소 트랜지스터로서 이용하고 있기 때문에, 화질이 양호(예를 들면, 고콘트라스트)하며, 또한 소비 전력이 낮은 액정 표시 장치를 제작할 수 있다.
- [0186] [실시형태 7]
- [0187] 본 실시형태에서는, 표시 장치의 일 형태로서 실시형태 5에 나타낸 박막 트랜지스터를 가지는 발광 표시 장치에 대하여 설명한다. 여기에서는, 발광 표시 장치가 가지는 화소의 구성의 일례에 대하여 설명한다. 도 20(A)는 화소의 평면도를 나타내고, 도 20(B)는 도 20(A) 중의 절단선 A-B에 대응하는 단면 구조를 나타낸다.
- [0188] 발광 표시 장치로서, 본 실시형태에서는 일렉트로 루미네스스를 이용하는 발광소자를 이용하여 나타낸다. 일렉트로 루미네스스를 이용하는 발광소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 크게 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다. 또한, 여기에서는, 박막 트랜지스터의 제작 방법으로서 실시형태 5를 이용했지만, 이것에 한정되지 않고, 실시형태 1에 나타낸 제작 방법에 의해 제작한 것이어도 좋다.
- [0189] 유기 EL 소자는, 발광소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자와 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 그들 캐리어(전자와 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하여, 여기 상태가 기저 상태로 완화될 때에 발광한다. 이와 같은 메카니즘으로부터, 이러한 발광소자는 전류 여기형의 발광소자라고 불린다.
- [0190] 무기 EL 소자는, 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것으로, 발광 메카니즘은 도너 준위와 역셀

터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼워넣고, 또한, 발광층을 유전체층으로 사이에 끼워넣은 것을 전극으로 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 천이를 이용하는 국제형 발광이다. 또한, 여기에서는, 발광소자로서 유기 EL 소자를 이용하여 설명한다.

- [0191] 도 20(A) 및 도 20(B)에 있어서, 제 1 박막 트랜지스터(281a)는 화소 전극에 대한 신호의 입력을 제어하기 위한 스위칭용 박막 트랜지스터이며, 제 2 박막 트랜지스터(281b)는 발광소자(282)에 대한 전류 또는 전압을 제어하기 위한 구동용 박막 트랜지스터이다.
- [0192] 제 1 박막 트랜지스터(281a)의 게이트 전극은 주사선(283a)에, 소스 영역 및 드레인 영역의 한쪽은 신호선(284a)에 접속되고, 소스 영역 및 드레인 영역의 다른 한쪽은 배선(284b)을 통하여 제 2 박막 트랜지스터(281b)의 게이트 전극(283b)에 접속된다. 또한, 제 2 박막 트랜지스터(281b)의 소스 영역 및 드레인 영역의 한쪽은 전원선(285a)에 접속되고, 소스 영역 및 드레인 영역의 다른 한쪽은 배선(285b)을 통하여 발광소자의 화소 전극(음극(288))에 접속된다. 제 2 박막 트랜지스터(281b)의 게이트 전극, 게이트 절연막, 및 전원선(285a)으로 용량 소자(280)를 구성하고, 제 1 박막 트랜지스터(281a)의 소스 전극 및 드레인 전극의 다른 한쪽은 용량 소자(280)에 접속되어 있다.
- [0193] 또한, 용량 소자(280)는, 제 1 박막 트랜지스터(281a)가 오프일 때에 제 2 박막 트랜지스터(281b)의 게이트 전극과 소스 전극 사이의 전위차, 또는 게이트 전극과 드레인 전극 사이의 전위차(이하, 게이트 전압이라고 함)를 보유하기 위한 용량 소자에 상당하고, 이것들은 반드시 형성하지 않아도 좋다.
- [0194] 본 실시형태에서는, 제 1 박막 트랜지스터(281a) 및 제 2 박막 트랜지스터(281b)는 n 채널형 박막 트랜지스터로 형성되지만, 이들의 한쪽 또는 쌍방이 p 채널형의 박막 트랜지스터로 형성되어 있어도 좋다.
- [0195] 제 1 박막 트랜지스터(281a) 및 제 2 박막 트랜지스터(281b) 위에는 절연층(286)이 형성되고, 절연층(286) 위에 평탄화막(287)이 형성되고, 평탄화막(287) 및 절연층(286)에 개구부가 형성되고, 이 개구부에 있어서 배선(285b)에 접속하는 음극(288)이 형성되어 있다. 평탄화막(287)은, 아크릴 수지, 폴리이미드, 폴리이미드 등의 유기 수지 또는 실록산 폴리머를 이용하여 형성하는 것이 바람직하다. 이 개구부에서는, 음극(288)이 요철을 가지기 때문에, 음극이 요철을 가지는 영역을 덮고, 또한, 개구부를 가지는 격벽(291)을 형성한다. 격벽(291)의 개구부에 있어서 음극(288)과 접하도록 EL층(289)이 형성되고, EL층(289)을 덮도록 양극(290)이 형성되고, 양극(290) 및 격벽(291)을 덮도록 보호 절연막(292)이 형성된다.
- [0196] 여기에서는, 발광소자로서 상면 사출(탑 에미션) 구조의 발광소자(282)를 나타낸다. 상면 사출 구조의 발광소자(282)는, 제 1 박막 트랜지스터(281a) 및 제 2 박막 트랜지스터(281b)와 EL층이 중첩하는 영역에서의 발광도 취출하는 것이 가능하기 때문에, 넓은 발광 면적을 확보하는 것이 가능하다. 그러나, EL층(289)의 하지가 요철을 가지면, EL층(289)의 막두께 분포가 불균일하게 되어, 양극(290)과 음극(288)이 단락(쇼트)하고, 표시 결함을 일으키게 될 우려가 있다. 이 때문에, 평탄화막(287)을 형성하는 것이 바람직하다. 평탄화막(287)을 형성함으로써, 수율을 향상시킬 수 있다.
- [0197] 음극(288)과 양극(290)으로 EL층(289)을 끼우고 있는 영역이 발광소자(282)에 상당한다. 도 20에 나타낸 화소의 경우, 발광소자(282)로부터 발해지는 광은, 도 20(B)에 흰색의 화살표로 나타낸 바와 같이 양극(290)측으로 사출한다.
- [0198] 음극(288)은 일 함수가 작고, 또한, 광을 반사하는 도전막이라면 공지의 재료를 이용할 수 있다. 예를 들면, Ca, MgAg, AlLi 등이 바람직하다. EL층(289)은, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되어 구성되어 있어도 좋다. 복수의 층이 적층되어 구성되어 있는 경우에는, 음극(288)에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순으로 적층하여 형성한다. 전자 주입층을 이용함으로써, Al 등의 일 함수가 큰 금속을 음극(288)으로서 이용할 수도 있다. 또한, 발광층 이외의 층, 예를 들면 전자 주입층, 전자 수송층, 홀 수송층, 홀 주입층의 전부를 형성할 필요는 없고, 필요에 따라 필요한 층을 적절히 형성하면 좋다. 양극(290)은, 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성하고, 예를 들면 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, ITO, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 도전막을 이용해도 좋다.
- [0199] 여기에서는, 기관과는 역측의 면으로부터 발광을 취출하는 상면 사출 구조의 발광소자에 대하여 나타냈지만, 이것에 한정되는 것은 아니다. 즉, 기관측의 면으로부터 발광을 취출하는 하면 사출(보텀 에미션) 구조의 발광소

자나, 기관층 및 기관과는 역측의 면으로부터 발광을 취출하는 양면 사출(듀얼 에미션) 구조의 발광소자를 채용해도 좋다.

[0200] 또한, 여기에서는, 발광소자로서 유기 EL 소자에 대하여 설명하였지만, 발광소자로서 무기 EL 소자를 이용해도 좋다.

[0201] 또한, 본 실시형태에서는, 발광소자의 구동을 제어하는 박막 트랜지스터(구동용 박막 트랜지스터)와 발광소자가 접속되어 있는 예를 나타냈지만, 구동용 박막 트랜지스터와 발광소자와의 사이에 전류 제어용 박막 트랜지스터가 접속되어 있어도 좋다.

[0202] 이상 설명한 바와 같이, 발광 표시 장치를 제작할 수 있다. 본 실시형태의 발광 표시 장치는, 온 전류가 높은 박막 트랜지스터를 화소 트랜지스터로서 이용하고 있기 때문에, 화질이 양호(예를 들면, 고콘트라스트)하고, 또한 소비 전력이 낮은 발광 표시 장치로 할 수 있다.

[0203] [실시형태 8]

[0204] 다음에, 표시 장치가 가지는 표시 패널의 구성의 일례에 대하여 설명한다.

[0205] 도 21(A)는, 신호선 구동 회로(303)만을 별도 형성하여, 기관(301) 위에 형성된 화소부(302)와 접속시킨 표시 패널의 형태를 나타낸다. 화소부(302), 보호 회로(306), 및 주사선 구동 회로(304)가 형성된 소자 기관은, 실시형태 1 등에 나타낸 박막 트랜지스터를 이용하여 형성한다. 신호선 구동 회로(303)는, 단결정 반도체를 이용한 트랜지스터, 다결정 반도체를 이용한 트랜지스터, 또는 SOI(Silicon On Insulator)를 이용한 트랜지스터에 의해 구성하면 좋다. SOI를 이용한 트랜지스터에는, 유리 기관 위에 단결정 반도체층을 형성한 트랜지스터를 포함한다. 화소부(302)와 신호선 구동 회로(303)와 주사선 구동 회로(304)에, 각각 전원의 전위 및 각종 신호 등이 FPC(305)를 통하여 공급된다. 보호 회로(306)는 그 외의 구조의 박막 트랜지스터, 다이오드, 저항 소자 및 용량 소자 등으로부터 선택된 하나 또는 복수의 소자에 의해 형성해도 좋다.

[0206] 또한, 신호선 구동 회로 및 주사선 구동 회로를, 화소부의 화소 트랜지스터와 같은 기관 위에 형성해도 좋다.

[0207] 또한, 구동 회로를 별도 형성하는 경우에는, 반드시 구동 회로가 형성된 기관을 화소부가 형성된 기관 위에 부착시킬 필요는 없고, 예를 들면 FPC 위에 부착시키도록 해도 좋다. 도 21(B)는, 신호선 구동 회로(313)만을 별도 형성하여, 기관(311) 위에 형성된 화소부(312), 보호 회로(316), 및 주사선 구동 회로(314)가 형성된 소자 기관과 FPC(315)가 접속되어 있는 표시 패널의 형태를 나타낸다. 화소부(312), 보호 회로(316) 및 주사선 구동 회로(314)는, 상기의 실시형태에 설명한 박막 트랜지스터를 이용하여 형성한다. 신호선 구동 회로(313)는 FPC(315) 및 보호 회로(316)를 통하여, 화소부(312)에 접속되어 있다. 화소부(312)와 신호선 구동 회로(313)와 주사선 구동 회로(314)의 각각에, 전원의 전위 및 각종의 신호 등이 FPC(315)를 통하여 입력된다.

[0208] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 상기 실시형태에 나타낸 박막 트랜지스터를 이용하여 화소부와 같은 기관 위에 형성하고, 나머지를 별도 형성하여 화소부와 전기적으로 접속하도록 해도 좋다. 도 21(C)는 신호선 구동 회로가 가지는 아날로그 스위치(323a)를 화소부(322) 및 주사선 구동 회로(324)와 같은 기관(321) 위에 형성하고, 신호선 구동 회로가 가지는 시프트 레지스터(323b)를 별도 다른 기관에 형성하여 부착시키는 표시 패널의 형태를 나타낸다. 화소부(322), 보호 회로(326), 및 주사선 구동 회로(324)는, 상기의 실시형태에 나타낸 박막 트랜지스터를 이용하여 형성한다. 신호선 구동 회로가 가지는 시프트 레지스터(323b)는 아날로그 스위치(323a) 및 보호 회로(326)를 통하여 화소부(322)와 접속되어 있다. 화소부(322)와 신호선 구동 회로와 주사선 구동 회로(324)의 각각에, 전원의 전위 및 각종 신호 등이 FPC(325)를 통하여 입력된다.

[0209] 도 21에 나타낸 바와 같이, 본 실시형태의 표시 장치에서는 신호선 구동 회로와 주사선 구동 회로의 일부 또는 전부를 화소부와 같은 기관 위에 형성할 수 있다. 일부 또는 전부가 화소부와 같은 기관 위에 형성된 신호선 구동 회로와 주사선 구동 회로에 설치되는 박막 트랜지스터는 상기의 실시형태에 설명한 바와 같이 형성할 수 있다. 또한, 표시 장치의 구성은 상기 설명에 한정되지 않는다. 예를 들면, 특별히 필요가 없는 경우에는, 보호 회로는 형성하지 않아도 좋다.

[0210] 또한, 별도 회로를 형성한 기관의 접속 방법은, 특별히 한정되는 것은 아니고, 공지의 COG 방식, 와이어 본딩 방식, 혹은 TAB 방식 등을 이용할 수 있다. 또 접속하는 위치는 전기적인 접속이 가능하다면, 도 21에 나타낸

위치에 한정되지 않는다. 또한, 콘트롤러, CPU 또는 메모리 등을 별도 형성하여, 접속하도록 해도 좋다.

- [0211] 또한, 신호선 구동 회로는 시프트 레지스터와 아날로그 스위치를 가진다. 또는, 시프트 레지스터와 아날로그 스위치에 더하여, 버퍼, 레벨 시프터, 소스 팔로우 등, 다른 회로를 가지고 있어도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 설치할 필요는 없고, 예를 들면 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 다른 회로를 이용해도 좋고, 아날로그 스위치 대신에 래치 등을 이용해도 좋다.
- [0212] [실시형태 9]
- [0213] 상기 실시형태의 박막 트랜지스터로 구성되는 소자 기관 및 이것을 이용한 표시 장치 등은, 액티브 매트릭스형의 표시 장치 패널에 적용할 수 있다. 또한, 이것들을 표시부에 조립한 전자기기에 적용할 수도 있다.
- [0214] 그와 같은 전자기기로서는, 비디오 카메라 및 디지털 카메라 등의 카메라, 헤드 마운트 디스플레이(고글형 디스플레이), 카 내비게이션, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대전화 또는 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 22에 나타낸다.
- [0215] 도 22(A)는 텔레비전 장치이다. 상기 실시형태를 적용한 표시 패널을 케이스에 짜넣어, 텔레비전 장치를 완성시킬 수 있다. 표시 패널에 의해 주화면(333)이 형성되고, 그 외 부속설비로서 스피커부(339) 및 조작 스위치 등이 구비되어 있다.
- [0216] 도 22(A)에 나타낸 바와 같이, 케이스(331)에 표시 소자를 이용한 표시 패널(332)이 짜넣어지고, 수신기(335)에 의해 일반 텔레비전 방송의 수신을 비롯하여, 모뎀(334)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 한쪽 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간)의 정보통신을 할 수도 있다. 텔레비전 장치의 조작은, 케이스에 짜넣어진 스위치 또는 리모콘 조작기(336)에 의해 행하는 것이 가능하고, 이 리모콘 장치에도 출력하는 정보를 표시하는 표시부(337)가 형성되어 있어도 좋고, 표시부(337)에 실시형태 1 등의 박막 트랜지스터가 설치되어 있어도 좋다. 또한, 주화면(333) 외에 서브 화면(338)을 제 2 표시 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어 있어도 좋다. 이 구성에 있어서, 주화면(333) 및 서브 화면(338)의 한쪽 또는 쌍방에 실시형태 1 등의 박막 트랜지스터를 적용할 수 있다.
- [0217] 도 23은, 텔레비전 장치의 주요한 구성을 설명하는 블록도를 나타낸다. 표시 패널에는 화소부(371)가 형성되어 있다. 신호선 구동 회로(372)와 주사선 구동 회로(373)는 표시 패널에 COG 방식에 의해 실장되어 있어도 좋다.
- [0218] 또한, 그 외의 외부 회로의 구성으로서, 영상 신호의 입력측에는 튜너(374)로 수신한 신호 중, 영상 신호를 증폭하는 영상 신호 증폭 회로(375)와, 거기로부터 출력되는 신호를 적, 녹, 청의 각 색에 대응한 색신호로 변환하는 영상 신호 처리 회로(376)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(377) 등이 설치되어 있다. 컨트롤 회로(377)는 주사선측과 신호선측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선측에 신호 분할 회로(378)를 설치하여, 입력 디지털 신호를 m개로 분할하여 입력하는 구성으로 해도 좋다.
- [0219] 튜너(374)로 수신한 신호 중, 음성 신호는 음성 신호 증폭 회로(379)에 보내지고, 그 출력은 음성 신호 처리 회로(380)를 거쳐 스피커(383)에 입력된다. 제어 회로(381)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(382)로부터 받아, 튜너(374)나 음성 신호 처리 회로(380)에 신호를 송출한다.
- [0220] 물론, 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등의 정보 표시판이나, 가두의 광고 표시판 등 대면적의 표시 매체에 적용해도 좋다.
- [0221] 이상 설명한 바와 같이, 주화면(333) 및 서브 화면(338)의 한쪽 또는 쌍방에 실시형태 1 등에 설명한 박막 트랜지스터를 적용함으로써, 화질이 우수하고, 소비 전력이 낮은 텔레비전 장치를 제작할 수 있다.
- [0222] 도 22(B)는 휴대전화기(341)의 일례를 나타낸다. 휴대전화기(341)는 표시부(342), 조작부(343) 등에 의해 구성되어 있다. 표시부(342)에 실시형태 1 등에 설명한 박막 트랜지스터를 적용함으로써, 화질을 향상시키고, 소비 전력을 저감시킬 수 있다.
- [0223] 도 22(C)에 나타낸 휴대형의 컴퓨터는, 본체(351), 표시부(352) 등을 포함한다. 표시부(352)에, 실시형태 1 등에 설명한 박막 트랜지스터를 적용함으로써, 화질을 향상시켜, 소비 전력을 저감시킬 수 있다.
- [0224] 도 22(D)는 탁상 조명 기구이며, 조명부(361), 갓(362), 가변 암(363), 지주(364), 받침대(365), 전원(366)을

포함한다. 상기의 실시형태에 설명한 발광 표시 장치를 조명부(361)에 이용하여 제작된다. 조명부(361)에 실시형태 1 등에 설명한 박막 트랜지스터를 적용함으로써, 소비 전력을 저감시킬 수 있다.

- [0225] 도 24는 휴대전화기의 구성의 일례를 나타내고, 예를 들면 표시부에 실시형태 1 등에 나타낸 박막 트랜지스터를 가지는 소자 기관 및 그것을 가지는 표시 장치가 적용된다. 도 24(A)가 정면도, 도 24(B)가 배면도, 도 24(C)가 전개도이다. 도 24에 나타낸 휴대전화기는 케이스(394) 및 케이스(385)의 2개의 케이스로 구성되어 있다. 도 24에 나타낸 휴대전화기는, 휴대전화와 휴대 정보 단말의 쌍방의 기능을 구비하고 있고, 컴퓨터를 내장하여, 음성 통화 이외에도 다양한 데이터 처리가 가능하고, 스마트 폰이라고도 불린다.
- [0226] 케이스(394)에는, 표시부(386), 스피커(387), 마이크로폰(388), 조작 키(389), 포인팅 디바이스(390), 표면 카메라용 렌즈(391), 외부 접속 단자 잭(392), 이어폰 단자(393) 등을 구비하고, 케이스(385)에는, 키보드(395), 외부 메모리 슬롯(396), 이면 카메라(397), 라이트(398) 등에 의해 구성되어 있다. 또한, 안테나는 케이스(394)에 내장되어 있다.
- [0227] 또한, 상기의 구성에 더하여, 비접촉 IC칩 또는 소형 기록 장치 등을 내장하고 있어도 좋다.
- [0228] 도 24(A)에서는 케이스(394)와 케이스(385)가 서로 중첩되어 있고, 도 24(A)의 상태에서부터 케이스(394)와 케이스(385)가 슬라이드하여, 도 24(C)와 같이 전개한다. 표시부(386)에는 실시형태 1 등에 있어서의 표시 장치를 짜넣는 것이 가능하고, 사용 형태에 따라 표시의 방향이 적절히 변화한다. 또한, 표시부(386)와 동일면에 표면 카메라용 렌즈(391)를 구비하고 있기 때문에, 영상 통화가 가능하다. 또한, 표시부(386)를 파인더로 하여 이면 카메라(397) 및 라이트(398)로 정지 화면 및 동영상의 촬영이 가능하다.
- [0229] 스피커(387) 및 마이크로폰(388)은 음성 통화에만 한정하지 않고, 영상 통화, 음성의 녹음 및 재생 등의 용도에 사용할 수 있다. 조작 키(389)로는, 전화의 착발신, 전자 메일 등의 간단한 정보 입력, 화면의 스크롤 및 커서 이동 등이 가능하다.
- [0230] 또한, 서류의 작성, 휴대 정보 단말로서의 사용 등, 취급하는 정보가 많은 경우에는, 키보드(395)를 이용하면 편리하다. 서로 중첩된 케이스(394)와 케이스(385)(도 24(A))는 슬라이드할 수 있고, 도 24(C)와 같이 전개하여 휴대 정보 단말로서 사용할 수 있다. 또한, 키보드(395) 및 포인팅 디바이스(390)를 이용함으로써, 원활한 조작으로 마우스의 조작이 가능하다. 외부 접속 단자 잭(392)은 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 이것을 통하여 충전이나 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(396)에 기록 매체를 삽입하여 사용함으로써, 대량의 데이터의 보존 및 이동이 가능하다.
- [0231] 케이스(385)의 이면(도 24(B))에는, 이면 카메라(397) 및 라이트(398)를 구비하고, 표시부(386)를 파인더로 하여 정지 화면 및 동영상의 촬영이 가능하다.
- [0232] 또한, 상기의 구성에 더하여, 적외선 통신 기능, USB 포트, 원 세그먼트 텔레비전 수신 기능, 비접촉 IC칩, 이어폰 잭 등을 구비하고 있어도 좋다.
- [0233] 실시형태 1 등에 설명한 박막 트랜지스터를 화소에 적용함으로써, 화질을 향상시키고, 소비 전력을 저감시킬 수 있다.
- [0234] [실시예 1]
- [0235] 본 실시예에서는, 게이트 절연층, 반도체층, 및 버퍼층이 적층된 시료의 제작 공정, 및 제작한 시료를 측정된 결과에 대하여 설명한다.
- [0236] 먼저, 시료의 제작 방법에 대하여 설명한다.
- [0237] 기관 위에, 게이트 절연층, 반도체층, 및 버퍼층을 동일 챔버 내에서 형성했다. 기관으로서는 유리 기관을 이용했다.
- [0238] 먼저, 플라즈마 CVD 장치의 챔버에 기관을 반입하고, 기관 위에 게이트 절연층으로서 두께 300 nm의 산화 질화 실리콘층을 형성했다. 여기에서는, RF 전원 주파수를 13.56 MHz, RF 전원의 전력을 50 W, 온도를 280℃, 실란 유량 : 일산화이질소 유량의 비를 1 : 40, 압력을 40 Pa로 했다.
- [0239] 그리고, 기관을 챔버로부터 플라즈마 CVD 장치의 밖으로 이동시켜, 불소 라디칼에 의해 챔버 내를 클리닝했다. 그 후, 플라즈마 CVD 장치의 챔버 내에 기관을 재차 반입했다.

- [0240] 다음에, 챔버 내에 질소를 공급하는 처리를 행했다. 챔버 내로의 질소를 공급하는 처리로서는, 유량 1000 sccm으로 NH<sub>3</sub> 가스를 60초간 챔버 내에 흘려 행하였다. 이것에 의해 챔버 내벽에 NH<sub>3</sub>를 부착시켰다. 또한, NH<sub>3</sub> 가스는 100 vol%의 NH<sub>3</sub>를 사용했다.
- [0241] 다음에, 게이트 절연층 위에 반도체층으로서, 두께 50 nm의 미결정 실리콘막을 형성했다. 여기에서는, RF 전원 주파수를 13.56 MHz, RF 전원의 전력을 50 W, 온도를 280℃, 실란 유량 : 수소 유량의 비율 1 : 150, 압력을 280 Pa로 했다.
- [0242] 다음에, 반도체층 위에 버퍼층으로서, 두께 100 nm의 비정질 실리콘막을 형성했다. 여기에서는, RF 전원 주파수를 13.56 MHz, RF 전원의 전력을 60 W, 온도를 280℃, 실란 유량 : 수소 유량의 비율 14 : 15, 압력을 170 Pa로 했다.
- [0243] 이 후, STEM(Scanning Transmission Microscope, 이하, STEM라고 칭함)에 의한 관찰에서 시료에 차지 업(charge up)이 발생하는 것을 방지하기 위해, 버퍼층 위에 도전층을 형성했다. 여기에서는, 도전층으로서 탄소막을 형성했다.
- [0244] 이상과 같이 제작한 시료의 단면에 대하여, STEM상을 취득했다. 이 상을 도 25에 나타낸다.
- [0245] 도 25로부터, 절연층(400) 위로부터 성장 방향 10~15 nm 정도의 반도체층(401)의 영역에 있어서는, 실리콘의 결정립이 존재하지 않는다. 반도체층(401)의 영역은, 실시형태 1에 나타낸 도 2의 제 1 영역(120)에 상당한다. 또한, 절연층(400) 위로부터 성장 방향 10~15 nm의 영역으로부터 버퍼층(404)까지의 사이에, 파선(403)으로 둘러싸이는 영역에 보여지는 바와 같이 실리콘의 결정립이 관찰된다. 이 실리콘의 결정립은, 정점이 절연층(400)측에 있고, 버퍼층(404)측에 가까워짐에 따라 폭이 넓어지는 역뿔 형상이다. 이 실리콘의 결정립은, 실시형태 1에 나타낸 도 2의 결정립(121)에 상당한다.
- [0246] 또한, 상기의 시료에 대하여, 산소 농도, 질소 농도, 불소 농도, 실리콘 농도 및 수소 농도를 SIMS로 측정했다. 이 결과를 도 26에 나타낸다.
- [0247] 도 26에 의하면, 반도체층의 질소 농도는, 버퍼층(404)에 가까워짐에 따라, 감소하고 있다. 또한, SIMS에 의해 측정되는 질소의 농도가  $1 \times 10^{20} \text{ cm}^{-3}$  이상  $3 \times 10^{20} \text{ cm}^{-3}$  이하의 영역으로부터, 역뿔형의 실리콘 결정립의 정점이 형성되어 있다. 이상으로부터, 반도체층에 있어서, 질소 농도를 어느 농도까지 저감(SIMS에 의해 측정되는 질소의 농도가  $1 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{21} \text{ cm}^{-3}$  이하, 바람직하게는  $2 \times 10^{20} \text{ cm}^{-3}$  이상  $7 \times 10^{20} \text{ cm}^{-3}$  이하로 함)시킴으로써, 결정핵의 생성이 가능한 것을 알 수 있다.
- [0248] 도 27은, 상기 시료의 단면을 STEM에 의해 촬영한 단면의 STEM상(도 25)에, 상기 시료의 SIMS 프로파일(도 26)을 중첩한 도면을 나타낸다. 깊이가 대략 100 nm~140 nm의 영역에는, 버퍼층(404)이 형성된다. 깊이가 대략 140~190 nm의 영역에는, 파선(403)으로 둘러싸인 영역을 포함하는 반도체층이 형성되어 있다. 깊이가 대략 190~220 nm의 영역에는, 절연층(400)이 형성되어 있다.
- [0249] 또한, 도 35는, 도 26과 비교하는 종래의 예에 의해 제작한 시료에 대한 단면 STEM상에 SIMS 프로파일을 중첩한 것을 나타낸다. 도 35에 나타낸 시료는 NH<sub>3</sub>를 챔버 내에 흘리는 공정을 행하여 제작했다. 이 시료의 제작 방법에 있어서, 그 점만이 도 26에 나타낸 시료와 다르다. 도 35에 나타낸 STEM상에서는, 전면에 주상(柱狀)의 결정이 랜덤으로 형성되어, 인접하는 결정립이 접하고 있다. 또한, 도 35와 비교하여, 도 26에 나타낸 SIMS 프로파일에서는, 절연층과 반도체층의 계면으로부터 버퍼층의 방향(성장 방향)을 향함에 따라, 질소의 농도가 서서히 저하되고 있다. 즉, 본 실시예에서 설명한 방법에 의해, 반도체층에 있어서의 결정핵의 생성 및 결정 성장의 제어가 가능하다는 것을 알 수 있다. 또한, 불소의 농도도 낮다.
- [0250] 또한, 도 28은, 상기 시료의 결정립을 포함하는 층의 평면에 대하여 관찰한 STEM상을 나타낸다. 도 28에 나타낸 바와 같이, 평면의 STEM상에 의하면, 제 1 부분(405)이나 제 2 부분(407)과 같이 검은 얼룩 부분(전자선이 투과하기 어려운 부분)과 제 3 부분(409)과 같이 흰 얼룩 부분(전자선이 투과하기 쉬운 부분)이 존재하는 것을 알 수 있다. 따라서, 반도체층 중에는, 원자 밀도가 높은 부분과 밀도가 낮은 부분이 혼재하고 있다고 생각된다.
- [0251] [실시예 2]

- [0252] 본 실시예에서는, 도 12에 나타난 박막 트랜지스터를 제작하고, 제작한 박막 트랜지스터의 전기 특성을 측정할 결과와 이 박막 트랜지스터의 단면의 STEM상을 나타낸다.
- [0253] 먼저, 박막 트랜지스터의 제작 공정에 대하여 설명한다. 도 13(A)에 나타난 바와 같이, 기판(200) 위에 게이트 전극층(202)을 형성했다. 여기에서는, 기판(200)으로서 유리 기판을 이용했다. 또한, 게이트 전극층(202)은 몰리브덴 타겟을 아르곤으로 스퍼터링하여 두께 150 nm의 몰리브덴막을 형성한 후, 포토리소그래피법에 의해 이 몰리브덴막을 에칭하여 형성했다. 그 후, 레지스트 마스크를 제거했다.
- [0254] 다음에, 도 13(B) 및 도 14(A)에 나타난 바와 같이, 게이트 전극층(202) 및 기판(200) 위에, 게이트 절연층(204), 반도체층(205), 버퍼층(207), 및 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 연속하여 형성했다.
- [0255] 게이트 절연층(204)으로서는, 두께 300 nm의 질화 실리콘층을 형성했다. 여기에서는, RF 전원 주파수를 13.56 MHz, RF 전원의 전력을 370 W, 온도를 280℃, 실란 유량 : 수소 유량 : 질소 유량 : 암모니아 유량의 비를 4 : 50 : 55 : 14, 압력을 100 Pa로 했다. 이 공정에 의해, 플라즈마 CVD 장치의 챔버 내벽에도 질화 실리콘층이 형성되었다.
- [0256] 또한, 반도체층(205)으로서는, 두께 30 nm의 미결정 실리콘막을 형성했다. 여기에서는, RF 전원 주파수를 60 MHz, RF 전원의 전력을 50 W, 온도를 280℃, 실란 유량 : 수소 유량의 비를 1 : 150, 압력을 280 Pa로 했다. 또한, 이 공정에 의해, 플라즈마 CVD 장치의 챔버 내벽에 형성된 질화 실리콘층에 포함되는 질소를 취하면서 미결정 실리콘막이 형성되기 때문에, 미결정 실리콘막에 질소를 포함시킬 수 있다.
- [0257] 또한, 버퍼층(207)으로서는, 두께 80 nm의 비정질 실리콘막을 형성했다. 여기에서는, RF 전원 주파수를 13.56 MHz, RF 전원의 전력을 60 W, 온도를 280℃, 실란 유량 : 수소 유량의 비를 14 : 15, 압력을 170 Pa로 했다.
- [0258] 도너가 되는 불순물 원소를 포함하는 반도체층(209)으로서는, 두께 50 nm의 인이 첨가된 비정질 실리콘막을 형성했다. 여기에서는, RF 전원 주파수를 13.56 MHz, RF 전원의 전력을 60 W, 온도를 280℃, 실란 유량 : 0.5 vol% 포스핀(PH<sub>3</sub>를 H<sub>2</sub>에 의해 0.5%까지 희석) 유량의 비를 10 : 17, 압력을 170 Pa로 했다.
- [0259] 다음에, 도너가 되는 불순물 원소를 포함하는 반도체층(209) 위에 레지스트를 도포한 후, 도 14(B)에 나타난 바와 같이 포토리소그래피법에 의해 제 1 레지스트 마스크(231)를 형성하고, 제 1 레지스트 마스크(231)를 이용하여, 반도체층(205), 버퍼층(207), 및 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 에칭하여, 도 14(C)에 나타난 바와 같이, 섬 형상의 반도체층을 형성했다. 여기에서는, 평행 평판형 RIE(Reactive Ion Etching) 장치를 이용하여 ICP(Inductively Coupled Plasma : 유도 결합형 플라즈마) 파워를 150 W, 바이어스 파워를 40 W, 압력을 1.0 Pa로 하고, 에칭 가스에 유량 100 sccm의 염소를 이용하여, 에칭 시간을 103초간으로 하여 반도체층(205), 버퍼층(207), 및 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 에칭했다. 이 후, 제 1 레지스트 마스크(231)를 제거했다.
- [0260] 다음에, 도 15(B)에 나타난 바와 같이, 에칭된 반도체층(205), 버퍼층(207), 및 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 덮어 도전층(211)을 형성했다. 여기에서는, 몰리브덴 타겟을 아르곤으로 스퍼터링하여 두께 300 nm의 몰리브덴층을 형성했다.
- [0261] 다음에, 도전층(211) 위에 레지스트를 도포한 후, 도 15(C)에 나타난 바와 같이 포토리소그래피법에 의해 제 2 레지스트 마스크(232)를 형성하고, 제 2 레지스트 마스크(232)를 이용하여 도전층(211)을 웨트 에칭하여, 도 16(A)에 나타난 바와 같이 배선층(212)을 형성했다.
- [0262] 다음에, 제 2 레지스트 마스크(232)를 이용하여 도너가 되는 불순물 원소를 포함하는 반도체층(209)을 에칭하고, 도 16(B)에 나타난 바와 같이 한쌍의 소스 영역 및 드레인 영역(210)을 형성했다. 또한, 이 공정에 있어서, 섬 형상의 버퍼층의 표면도 일부 에칭되어 버퍼층(208)이 되었다. 여기에서는, 평행 평판형 RIE 장치를 이용하여, ICP 파워를 150 W, 바이어스 파워를 40 W, 압력을 1.0 Pa로 하고, 에칭 가스에 유량 100 sccm의 염소를 이용하여, 에칭 시간을 44초간으로 하여 버퍼층 및 불순물 반도체층을 에칭했다. 그 후, 레지스트 마스크를 제거했다. 또는, 실시형태 1 및 실시형태 5에 설명한 바와 같이, 이 단계에서, 물 플라즈마 처리 등을 행하여도 좋다. 이 단계에서 물 플라즈마 처리를 행하는 경우에는, 이 공정에 의해 제 2 레지스트 마스크(232)를 제거할 수 있다.
- [0263] 다음에, 버퍼층(208)의 표면에 염소 플라즈마를 조사하여, 버퍼층(208)의 백 채널부에 잔류하는 불순물을 제거했다. 여기에서는, 소스 파워를 2000 W, 압력을 0.67 Pa, 에칭 가스에 유량 100 sccm의 염소를 이용하고, 에칭

시간을 30초간으로 했다.

- [0264] 다음에, 기화한 물을 플라즈마로 방전하여 생성한 래디칼을 버퍼층(208), 한쌍의 소스 영역 및 드레인 영역(210), 및 배선층(212)의 노출부(백 채널부를 포함함)에 조사했다. 이 공정에 의해, 버퍼층(208)의 표면을 산화함과 동시에, 버퍼층의 표면의 덩글링 본드를 중단하여 플라즈마에 의한 데미지를 회복시키는 것이 가능하기 때문에, 오프 전류를 저감하고, 온 전류를 크게 할 수 있다. 또한, 상기 설명한 백 채널부에 대하여 행하는 처리는 이러한 조건에 한정되지 않고, 적절히 행하면 좋다.
- [0265] 다음에, 보호 절연층으로서 두께 30 nm의 질화 실리콘층을 형성했다. 여기에서는, RF 전원 주파수를 13.56 MHz, RF 전원의 전력을 150 W, 온도를 280℃, 실란 유량 : 암모니아 유량 : 질소 유량 : 수소 유량의 비율 2 : 22 : 45 : 45, 압력을 160 Pa로 했다.
- [0266] 다음에, 보호 절연층 위에 레지스트를 도포한 후, 포토리소그래피법에 의해 레지스트 마스크를 형성하고, 이 레지스트 마스크를 이용하여 보호 절연층의 일부를 드라이 에칭하여, 배선층(212)을 노출시켰다. 여기에서는, 평행 평판형 RIE 장치를 이용하여, ICP 파워를 475 W, 바이어스 파워를 300 W, 압력을 5.5 Pa로 하고, 유량 50 sccm에서 CHF<sub>3</sub>와 유량 100 sccm에서 헬륨을 도입하여 플라즈마를 발생시켰다. 그 후, 에칭 가스로서 CHF<sub>3</sub>의 유량을 7.5 sccm, 헬륨의 유량을 142.5 sccm으로 하고, 에칭 시간을 154초간으로 하여 보호 절연층 및 게이트 절연층(204)을 에칭했다. 그 후, 레지스트 마스크를 제거했다. 또한, 이 에칭 공정에 의해, 배선층(212)과 게이트 전극층(202)을 컨택트시키는 부분에 있어서, 보호 절연층 및 게이트 절연층(204)의 일부를 드라이 에칭하여, 게이트 전극층(202)을 노출시켜도 좋다.
- [0267] 다음에, 보호 절연층 위에 도전층을 형성했다. 여기에서는, 스퍼터링법에 의해 도전층으로서 두께 50 nm의 ITO를 형성했다. 또한, 이 ITO는 형성하지 않아도 좋다.
- [0268] 이상의 공정에 의해, 도 12에 나타낸 박막 트랜지스터를 제작했다.
- [0269] 상기 설명한 바와 같이 제작한 박막 트랜지스터의 전기 특성을 측정했다. 이 결과를 도 29에 나타낸다. 또한, 여기에서는 박막 트랜지스터의 채널 길이를 6 μm, 채널폭을 25 μm로 했다. 또한, 드레인 전압이 1 V에서의 전류-전압 특성과 전계 효과 이동도를 실선으로 나타내고, 드레인 전압이 14 V에서의 전류-전압 특성과 전계 효과 이동도를 파선으로 나타냈다. 최대 전계 효과 이동도는, 1.4 cm<sup>2</sup>/V·s였다. 또한, 게이트 전압이 20 V일 때의 온 전류는 1×10<sup>-6</sup> A 이상이며, 게이트 전압이 -20 V일 때의 온 전류는 1×10<sup>-10</sup> A 이하이다. 따라서, 본 실시예에서 제작한 박막 트랜지스터는 온 전류가 높고, 오프 전류가 낮은 것이라고 할 수 있다.
- [0270] 다음에, 본 실시예로 형성한 박막 트랜지스터의 단면의 STEM상을 도 30에 나타낸다.
- [0271] 도 30(A)는, 박막 트랜지스터의 채널 에지부 근방의 STEM상이다. 이 때의 배율은 13000배이다. 도 30(B)은, 도 30(A)의 파선(411)의 영역을 확대한 것이다. 또한, 이 때의 배율은 300000배이다.
- [0272] 게이트 절연층(413)은 질화 실리콘층에 의해 형성되고, 게이트 절연층(413) 위에는 반도체층(415)으로서 미결정 실리콘막이 형성되고, 반도체층(415) 위에는 버퍼층(417)으로서 비정질 실리콘막이 형성되어 있다. 버퍼층(417) 위에는 도너가 되는 불순물 원소를 포함하는 반도체층(419)으로서 인이 첨가된 비정질 실리콘막이 형성되어 있다. 도너가 되는 불순물 원소를 포함하는 반도체층(419) 위에, 도전층(421)으로서 몰리브덴층이 형성되어 있다. 또한, 파선(423)으로 나타낸 영역에는, 정점이 게이트 절연층(413)측에 있고, 버퍼층(417)을 향하여 위쪽으로 퍼지는 역뿔 형상의 실리콘 결정립이 관찰된다.
- [0273] [실시예 3]
- [0274] 본 실시예에서는, 실시예 1에 있어서, 도 25를 참조하여 설명한 파선(403)으로 둘러싼 부분의 전자선 회절상을 나타낸다.
- [0275] 도 31에는, 상기 설명한 바와 같이 제작한 결정립의 전자 현미경상(TEM상)을 나타낸다. 도 31을 참조하면, 결정립의 정점의 각도는 대략 63°로 추측할 수 있다.
- [0276] 도 32 내지 도 34에는 도 31에 나타낸 포인트 1 내지 포인트 6에서 취득한 전자선 회절상을 나타낸다. 도 32(A)는 도 31의 포인트 1에서 취득한 것이고, 도 32(B)는 도 31의 포인트 2에서 취득한 것이고, 도 33(A)는 도 31의 포인트 3에서 취득한 것이고, 도 33(B)는 도 31의 포인트 4에서 취득한 것이고, 도 34(A)는 도 31의 포인트

트 5에서 취득한 것이고, 도 34(B)는 도 31의 포인트 6에서 취득한 것이다.

[0277] 이들 전자선 회절상에 의하면, 이들의 면방위는 같지 않다. 예를 들면, 도 32(B)에 나타난 전자선 회절상과 도 33(C)에 나타난 전자선 회절상을 비교하면, 이들의 면방위는 다른 것이 분명하고, 도 32(B)를 취득한 영역(포인트 2)을 포함하는 결정과 도 33(A)를 취득한 영역(포인트 3)을 포함하는 결정은, 단결정에 가까운 것이라고 할 수 있다. 또한, 도 32(B)를 취득한 영역(포인트 2)을 포함하는 결정과 도 33(A)를 취득한 영역(포인트 3)을 포함하는 결정은, 형상에 있어서 쌍결정을 형성하고 있는 것처럼 보여진다.

[0278] 또한, 포인트 6에서 얻어진 전자선 회절상은 우선 방위가 있는 디바이세러 고리(Debye-Scherrer ring)를 나타내고 있다. 그러나, 이들 전자선 회절상을 얻은 분석 영역이 좁기 때문이고, 포인트 6의 부분은 비정질 구조라고 생각된다.

[0279] 도 31, 도 31A, 도 32B, 도 33A, 도 33B, 도 34A 및 도 34B로부터, 포인트 1 내지 포인트 5에서 취득한 전자선 회절상에 의해, 과선(403)으로 둘러싼 부분에 존재하는 결정립은 단결정에 가까운 것으로서, 이 결정립 중에는 쌍결정을 포함하는 것을 알 수 있다. 또한, 포인트 6에서 취득한 전자선 회절상으로부터, 이 부분이 비정질 구조인 것을 알 수 있다. 따라서, 도 31에 나타난 반도체층은, 비정질 구조 중에 복수의 결정 영역을 포함하여 채널 형성 영역을 구성하는 반도체층이 절연층 위에 형성되어 있고, 이 결정 영역은 절연층과 반도체층과의 계면으로부터 떨어진 위치로부터, 반도체층이 퇴적되는 방향을 향하여, 반도체층 위에 접하여 형성되는 층에 이르지 않는 영역 내에서 대략 방사상으로 성장한 역뿔형의 구조이다. 이 결정 영역은, 단결정에 가까운 것으로서, 이 결정립 중에는 쌍결정을 포함하는 것이 된다.

[0280] 본 발명은 2008년 4월 18일자 일본특허출원 제2008-109446호를 기초로 출원한 것이며, 그 전체 내용이 참조로서 인용되어 있다.

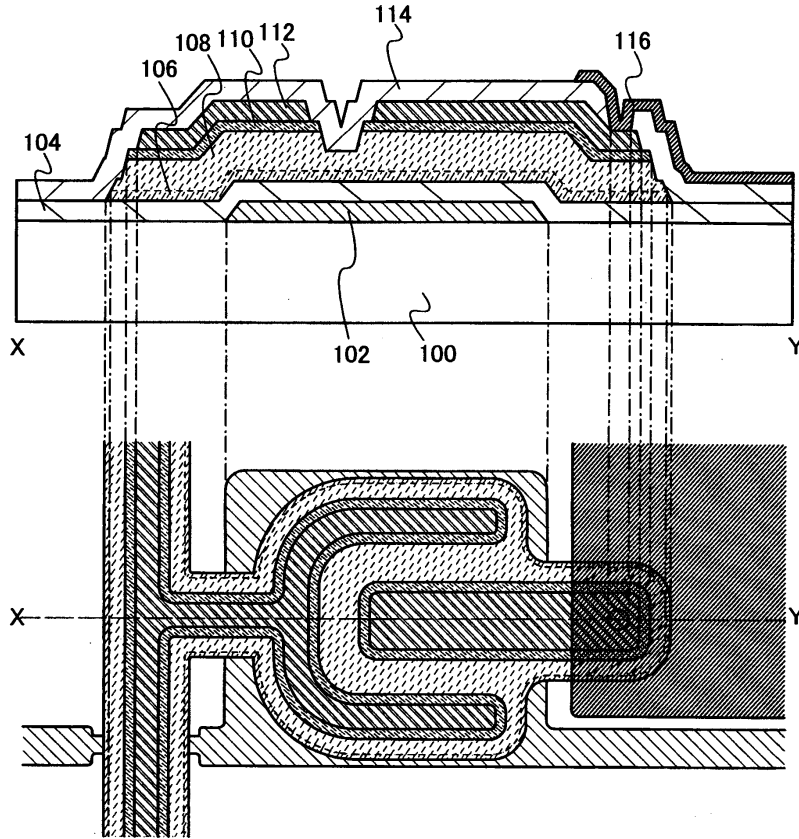
**부호의 설명**

- |                   |                     |
|-------------------|---------------------|
| [0281] 100: 기판    | 102: 게이트 전극층        |
| 104: 게이트 절연층      | 105: 반도체층           |
| 106: 반도체층         | 107: 버퍼층            |
| 108: 버퍼층          | 110: 소스 영역 및 드레인 영역 |
| 111: 도전층          | 112: 배선층            |
| 114: 절연층          | 116: 화소 전극층         |
| 120: 제 1 영역       | 121: 결정립            |
| 122: 제 2 영역       | 131: 제 1 레지스트 마스크   |
| 132: 제 2 레지스트 마스크 | 141: 처리실            |
| 142: 스테이지         | 143: 가스 공급부         |
| 144: 샤워 플레이트      | 145: 배기구            |
| 146: 상부 전극        | 147: 하부 전극          |
| 148: 교류 전원        | 149: 온도 제어부         |
| 150: 가스 공급 수단     | 151: 배기 수단          |
| 152: 실린더          | 153: 압력 조정 밸브       |
| 154: 스톱 밸브        | 155: 매스 플로우 콘트롤러    |
| 156: 버터플라이 밸브     | 157: 컨덕턴스 밸브        |
| 158: 터보 분자 펌프     | 159: 드라이 펌프         |
| 160: 크라이오 펌프      | 161: 플라즈마 CVD 장치    |

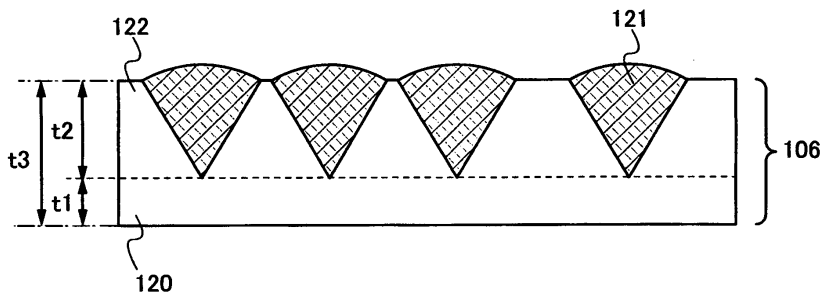
180: 그레이톤 마스크

도면

도면1

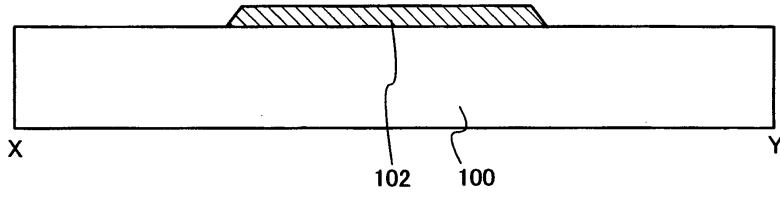


도면2

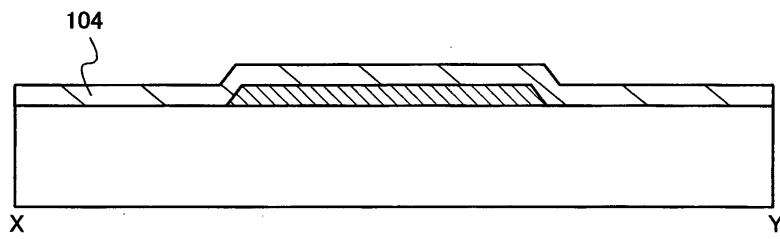


도면3

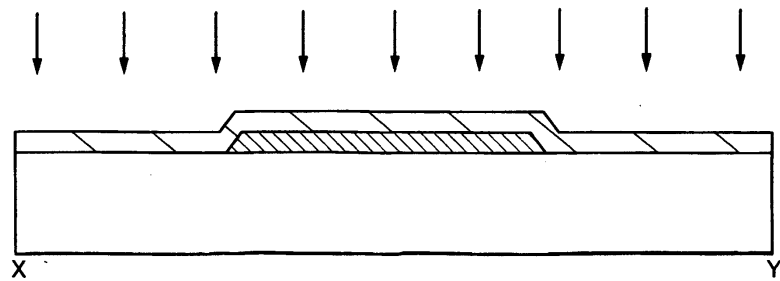
(A)



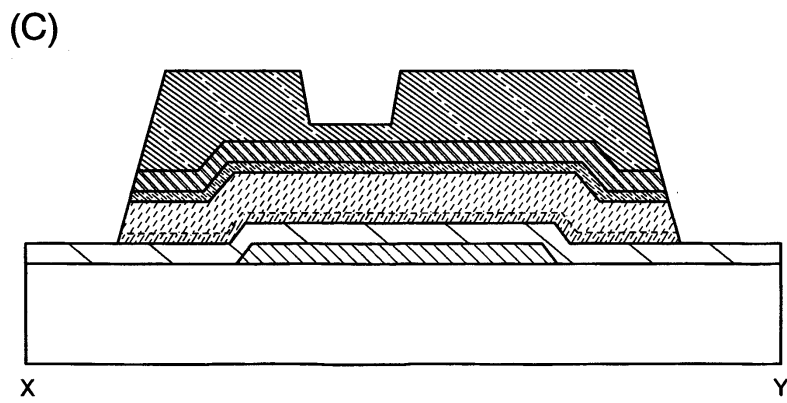
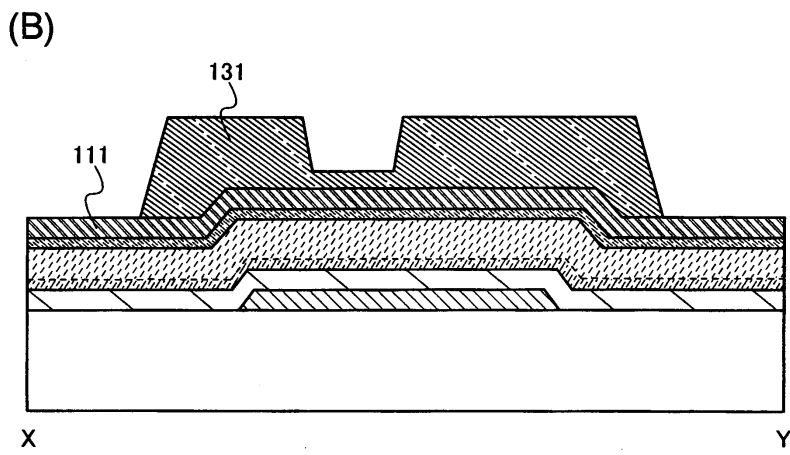
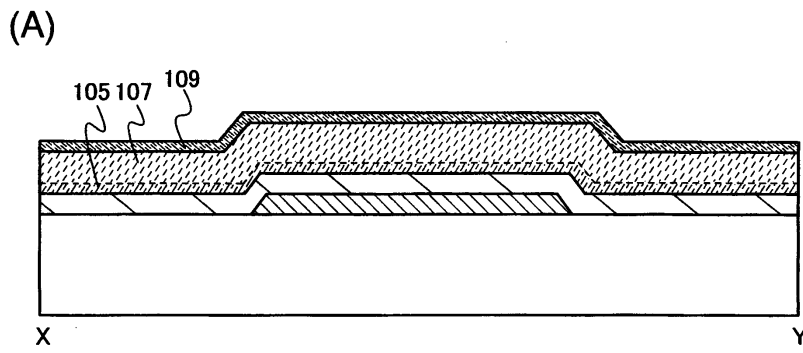
(B)



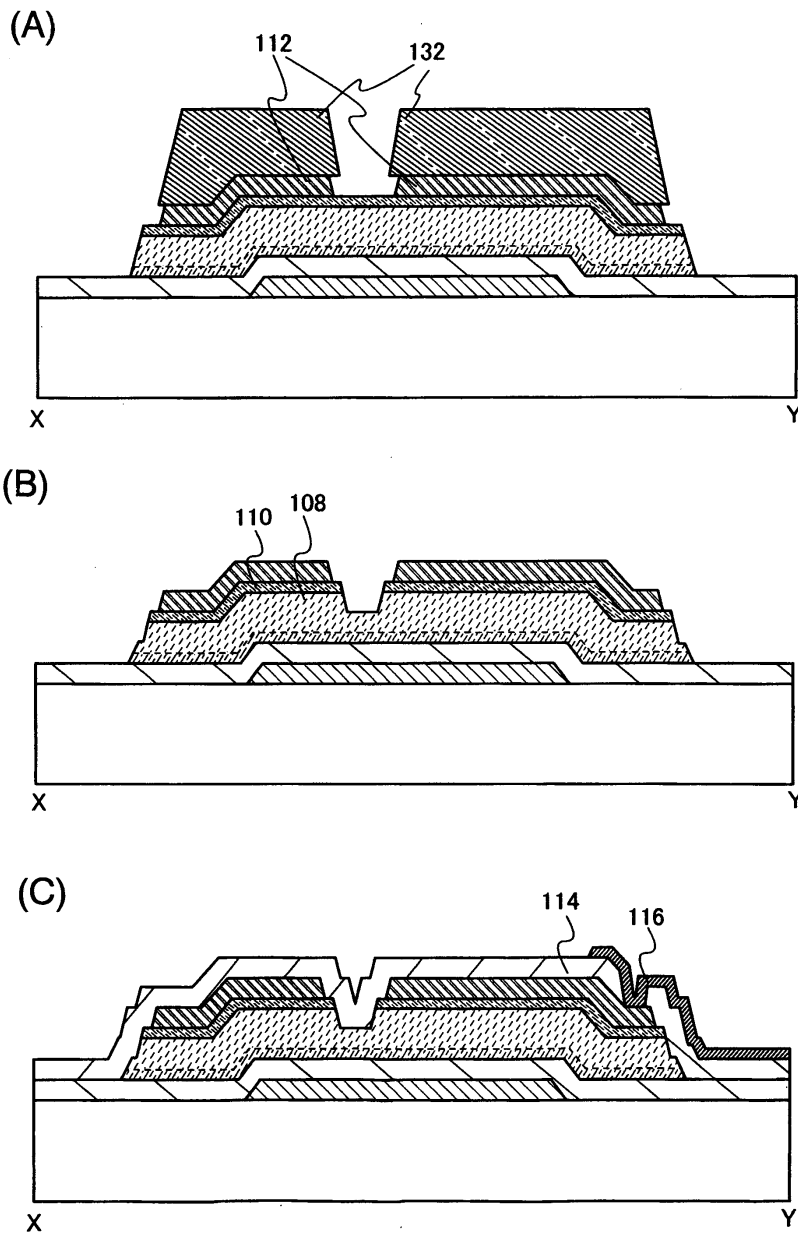
(C)



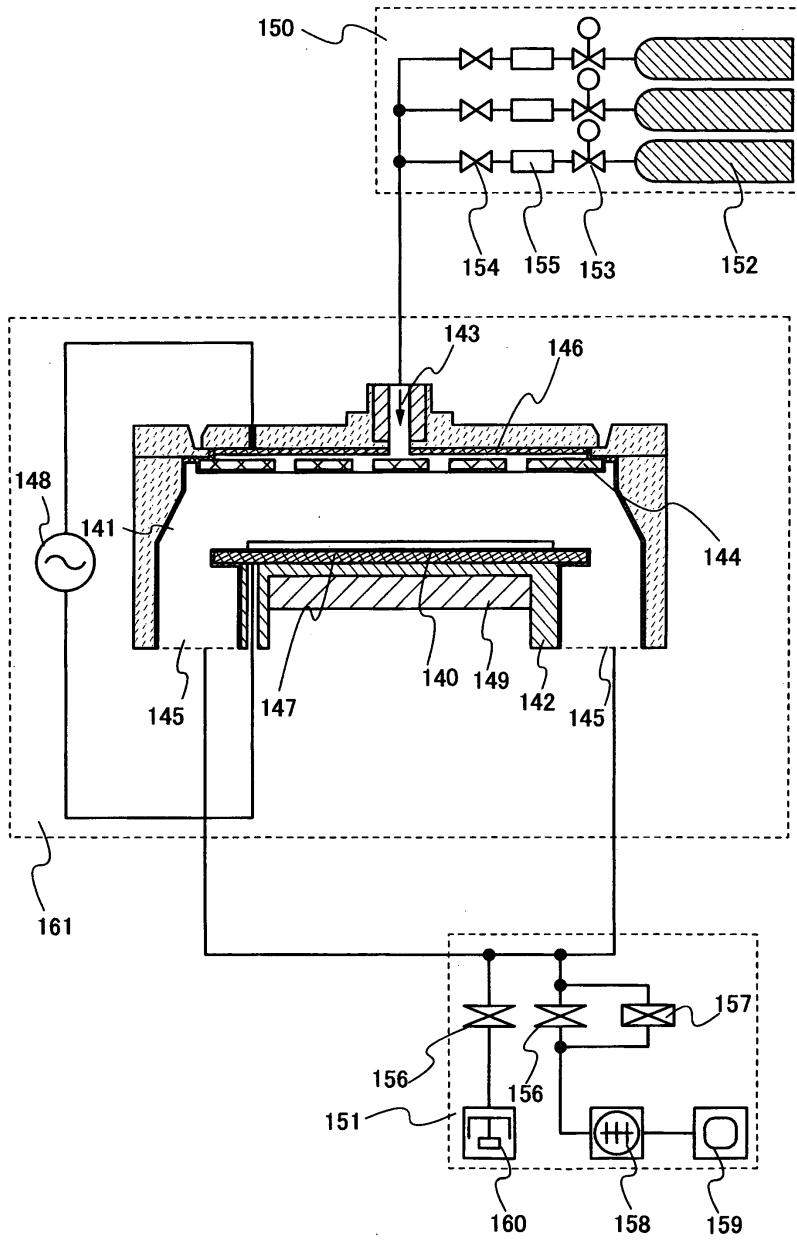
도면4



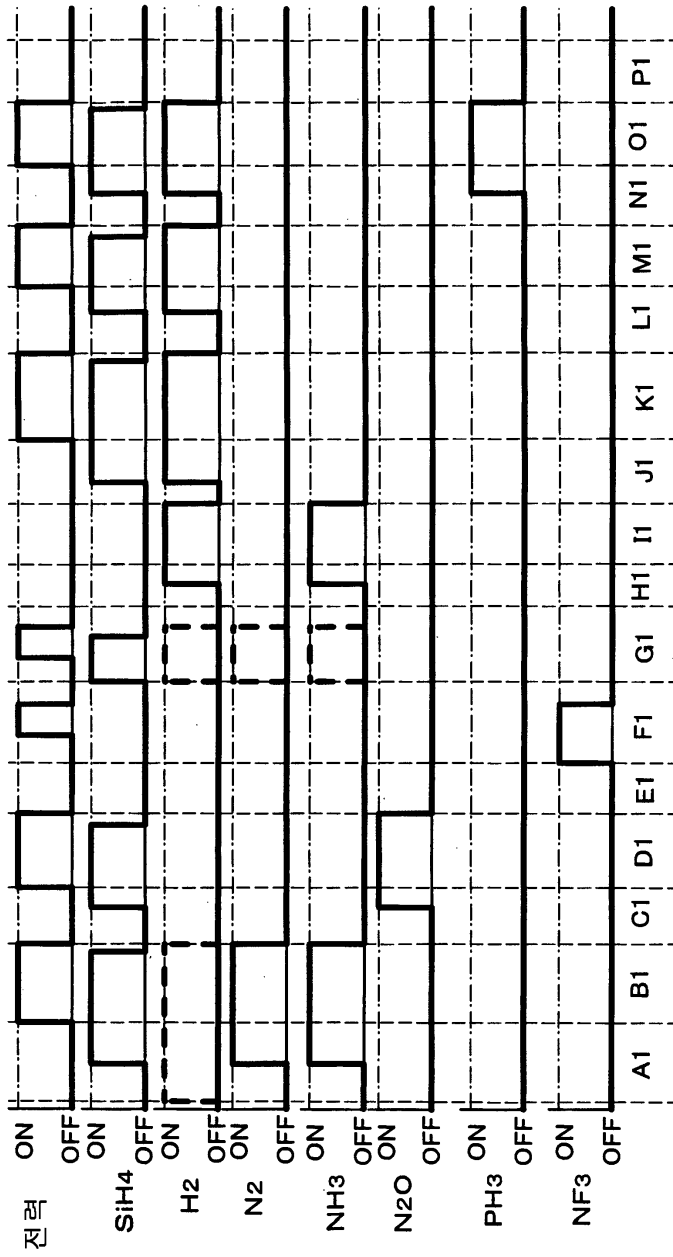
도면5



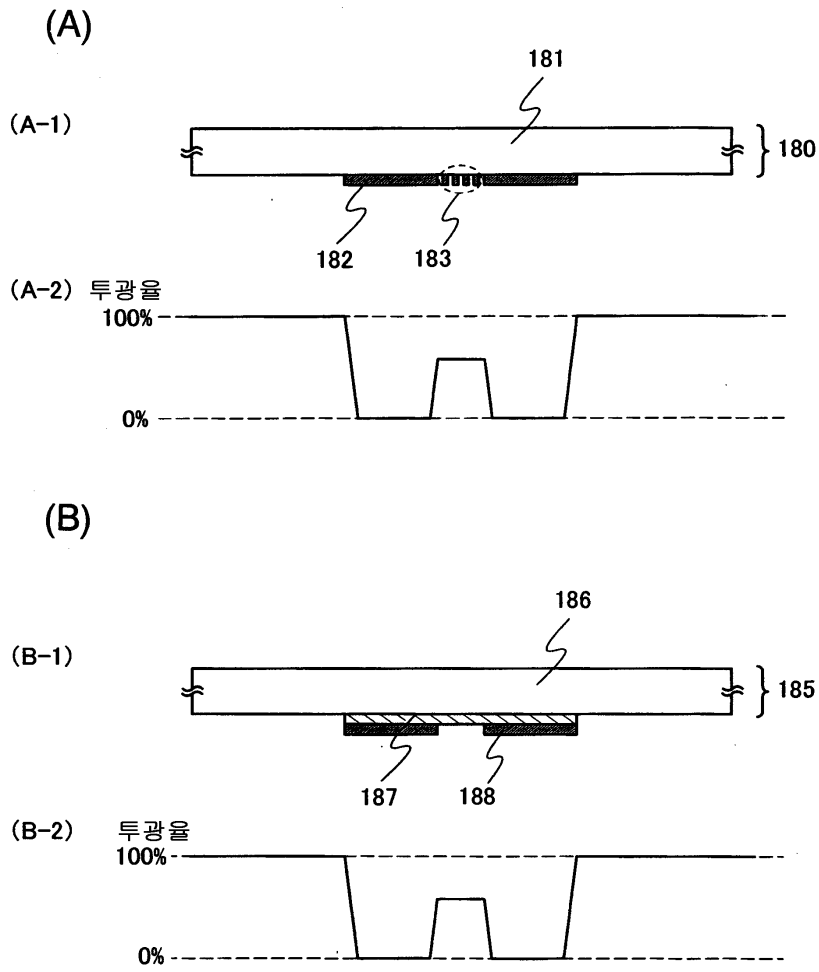
도면6



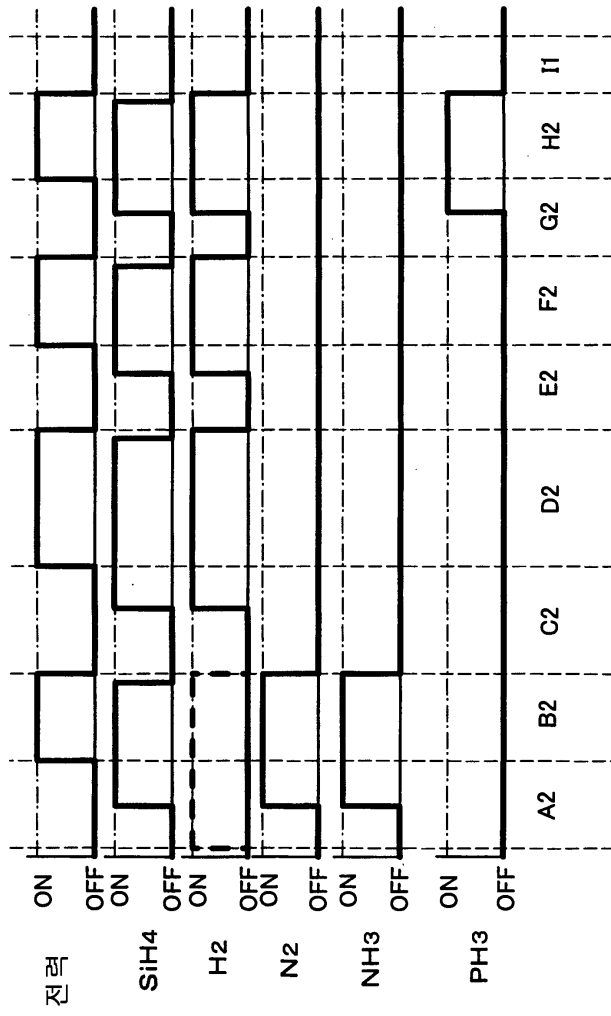
도면7



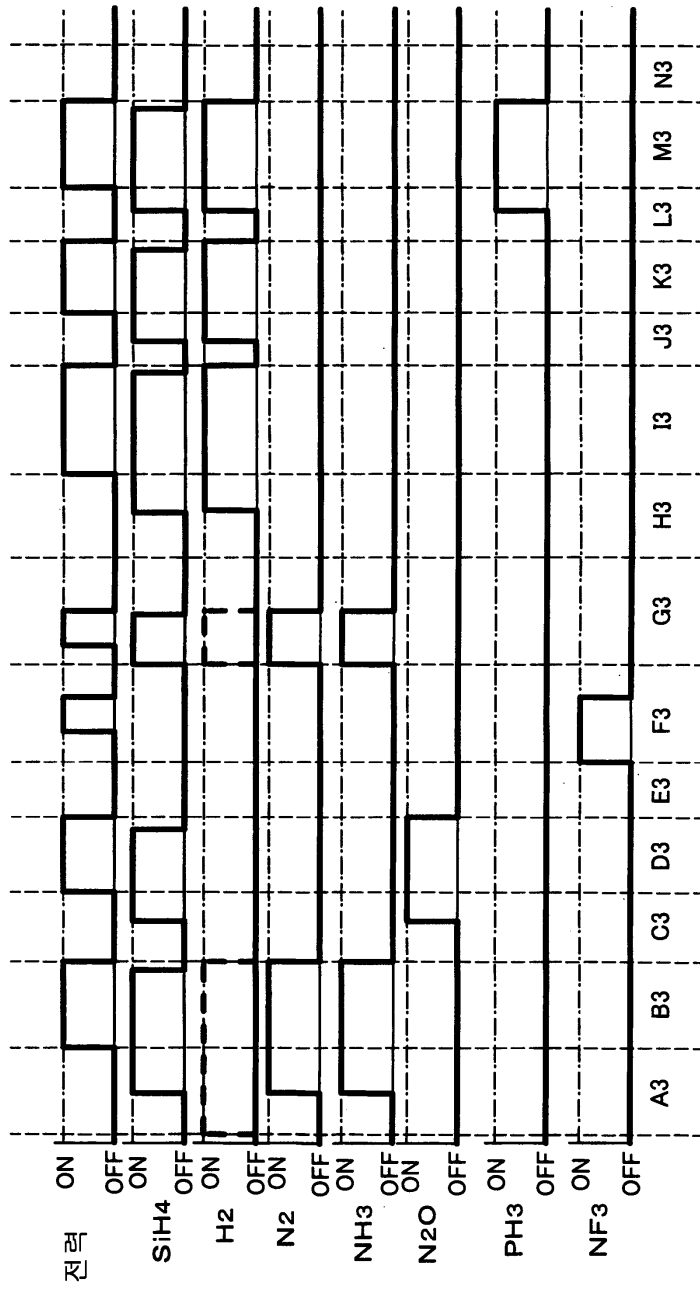
도면8



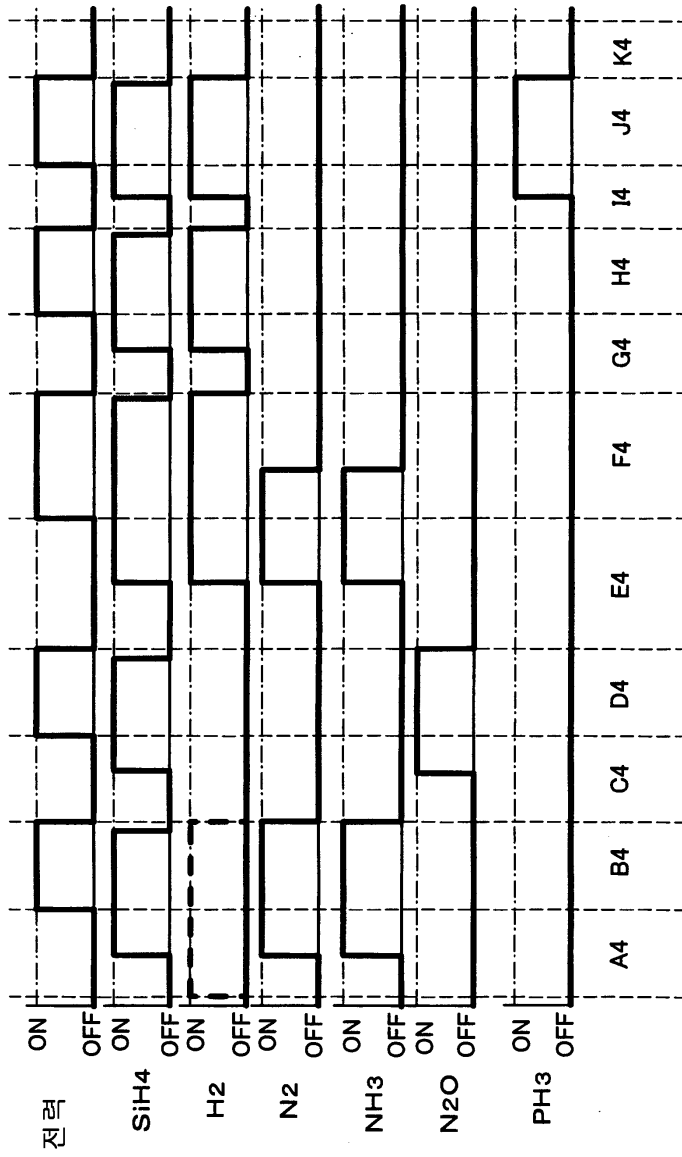
도면9



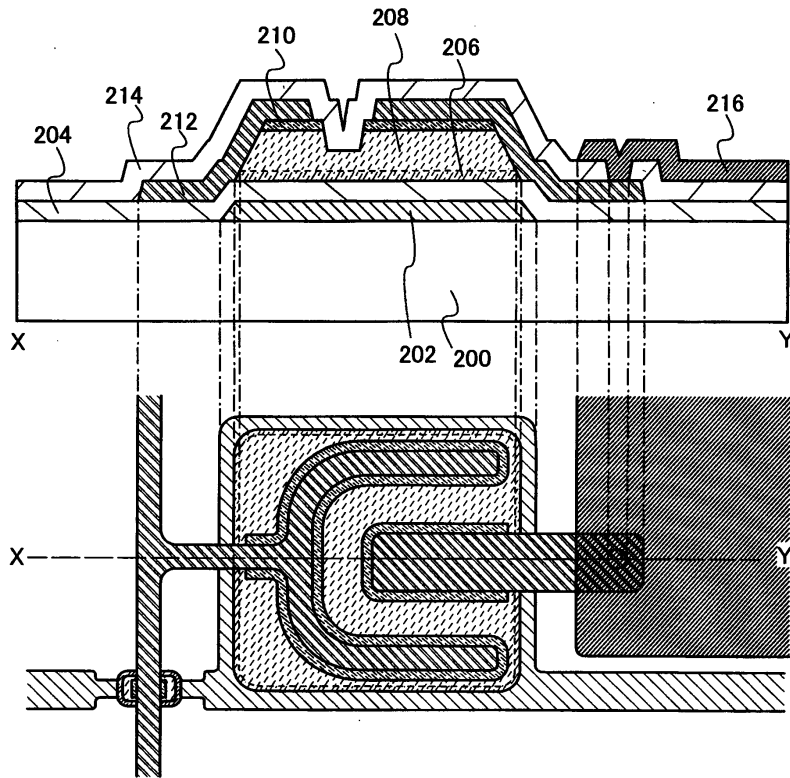
도면10



도면11

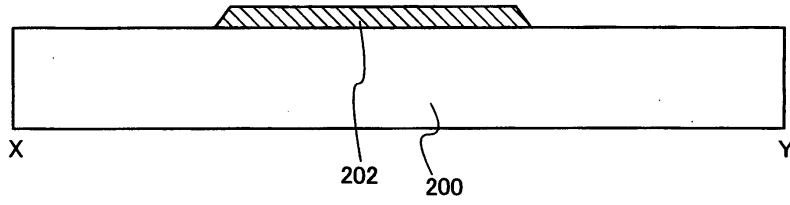


도면12

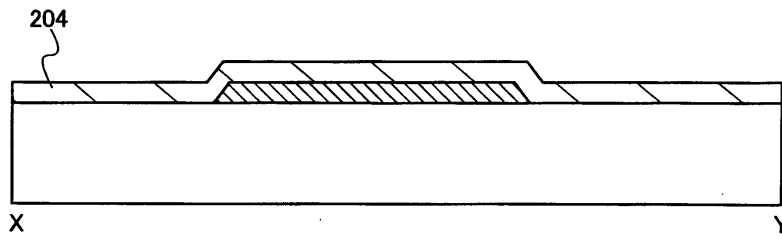


도면13

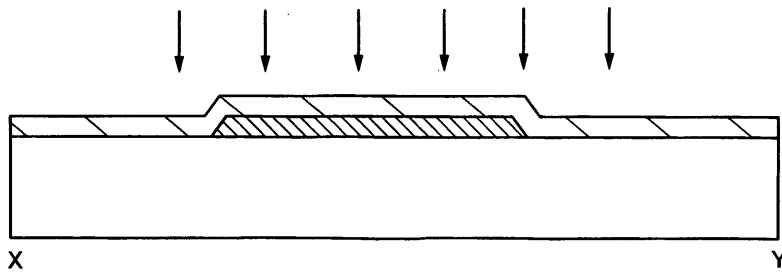
(A)



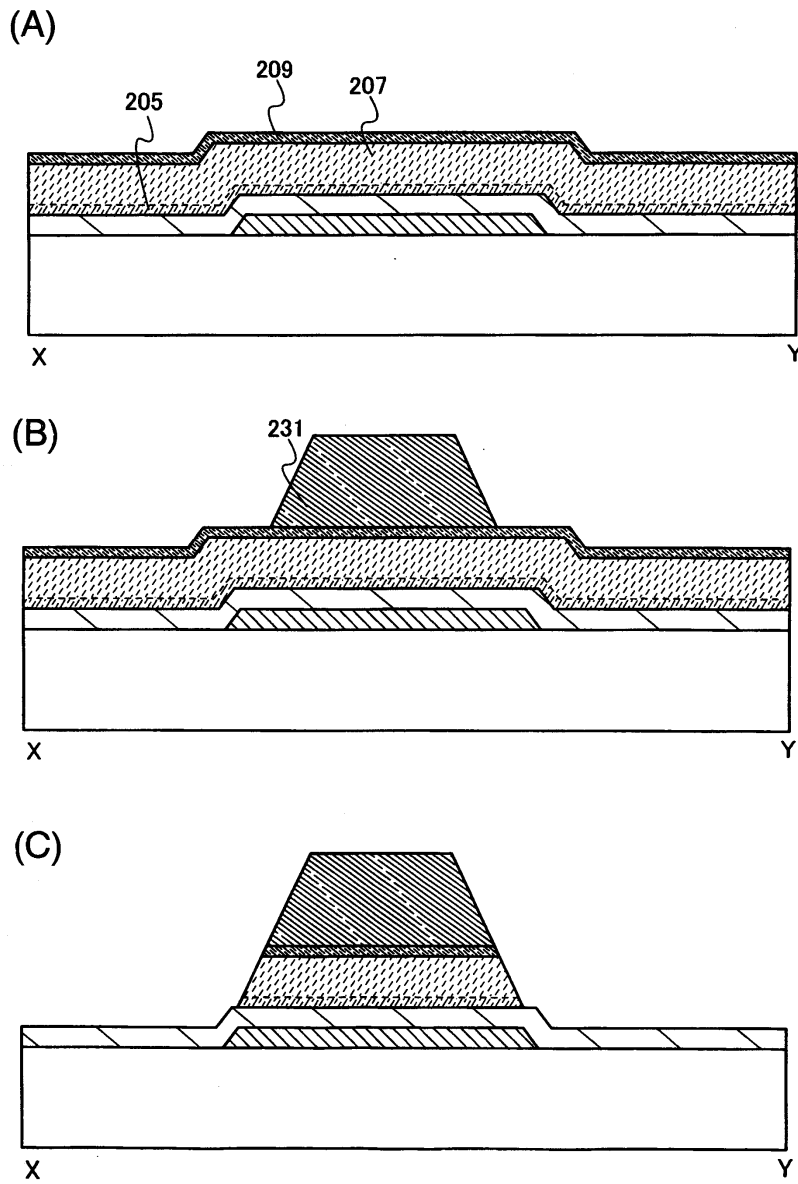
(B)



(C)

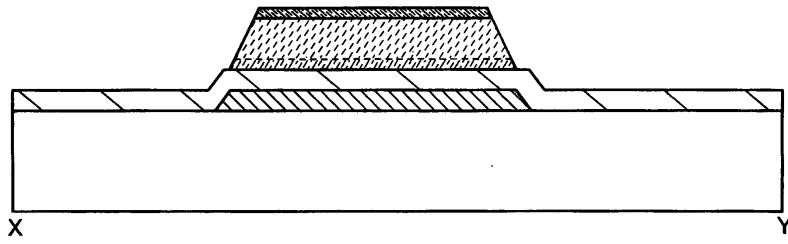


도면14

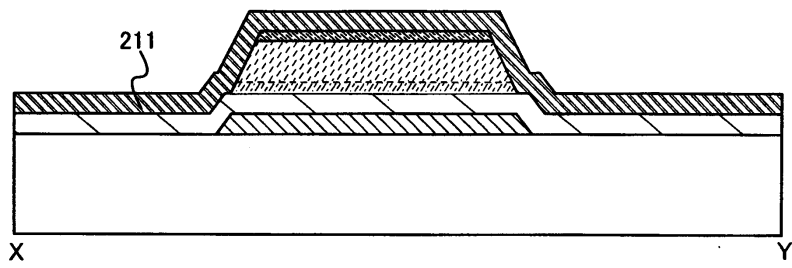


도면15

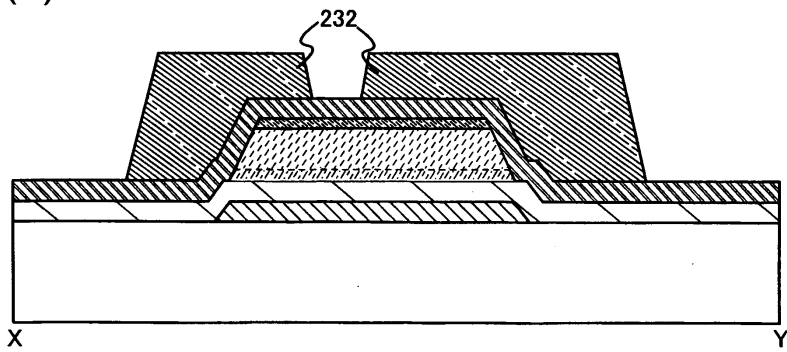
(A)



(B)

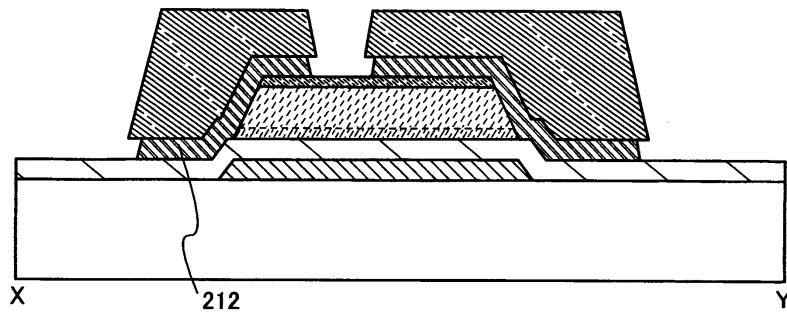


(C)

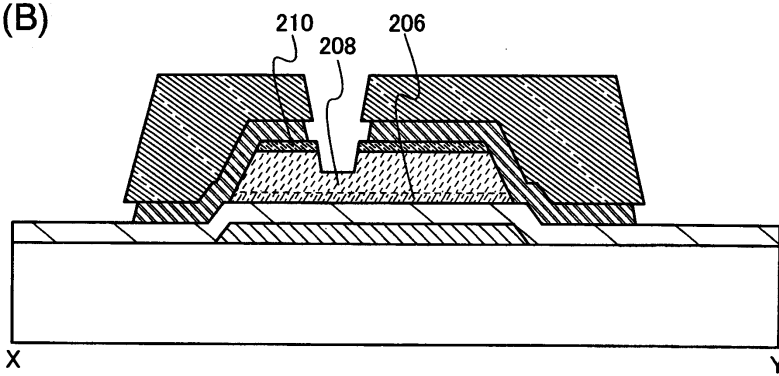


도면16

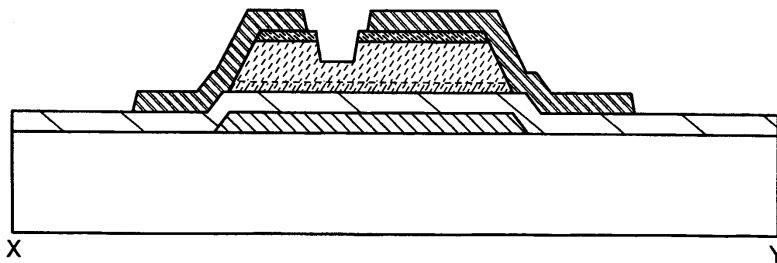
(A)



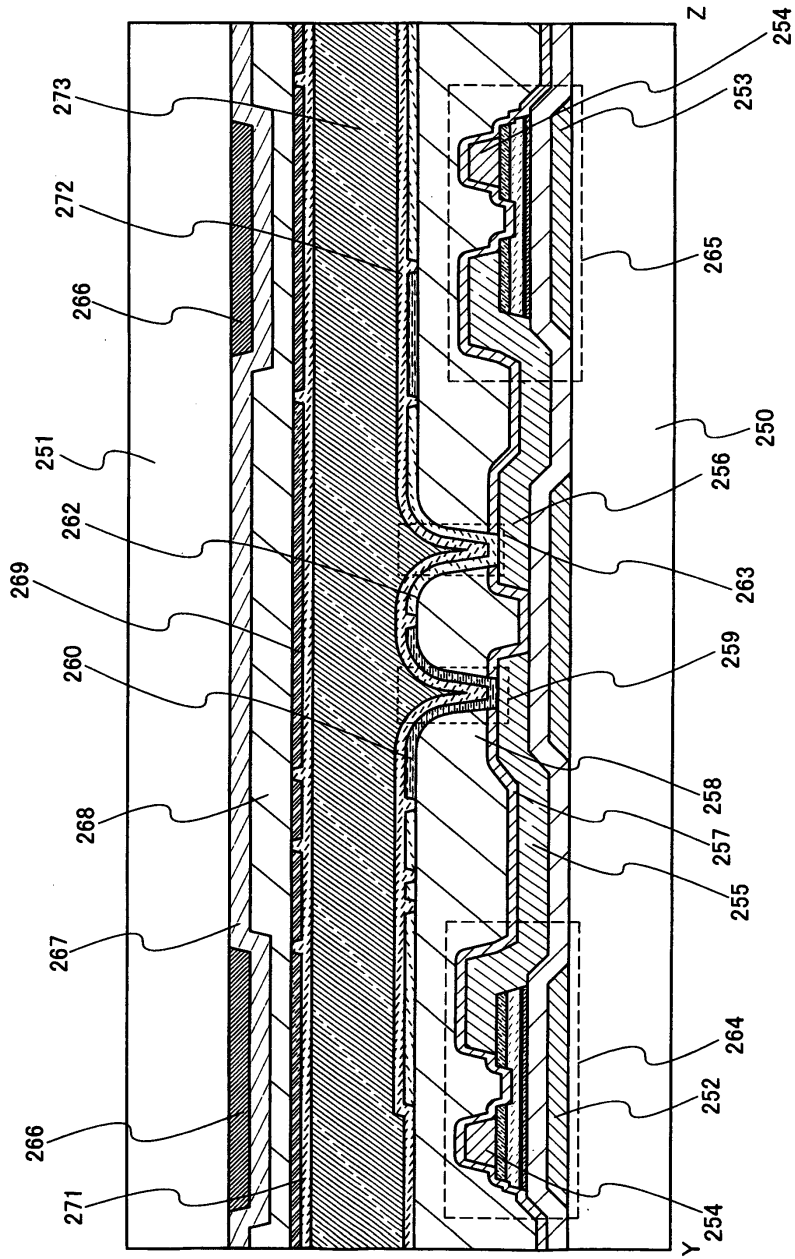
(B)



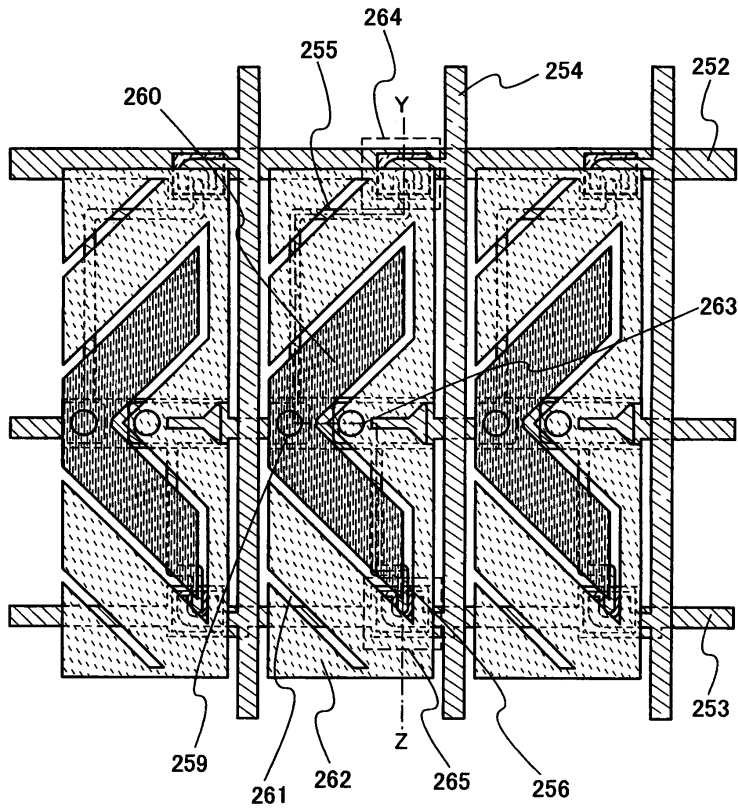
(C)



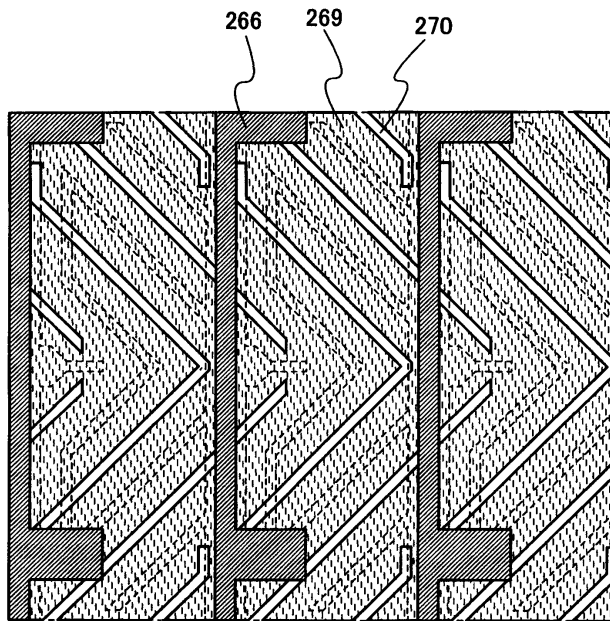
도면17



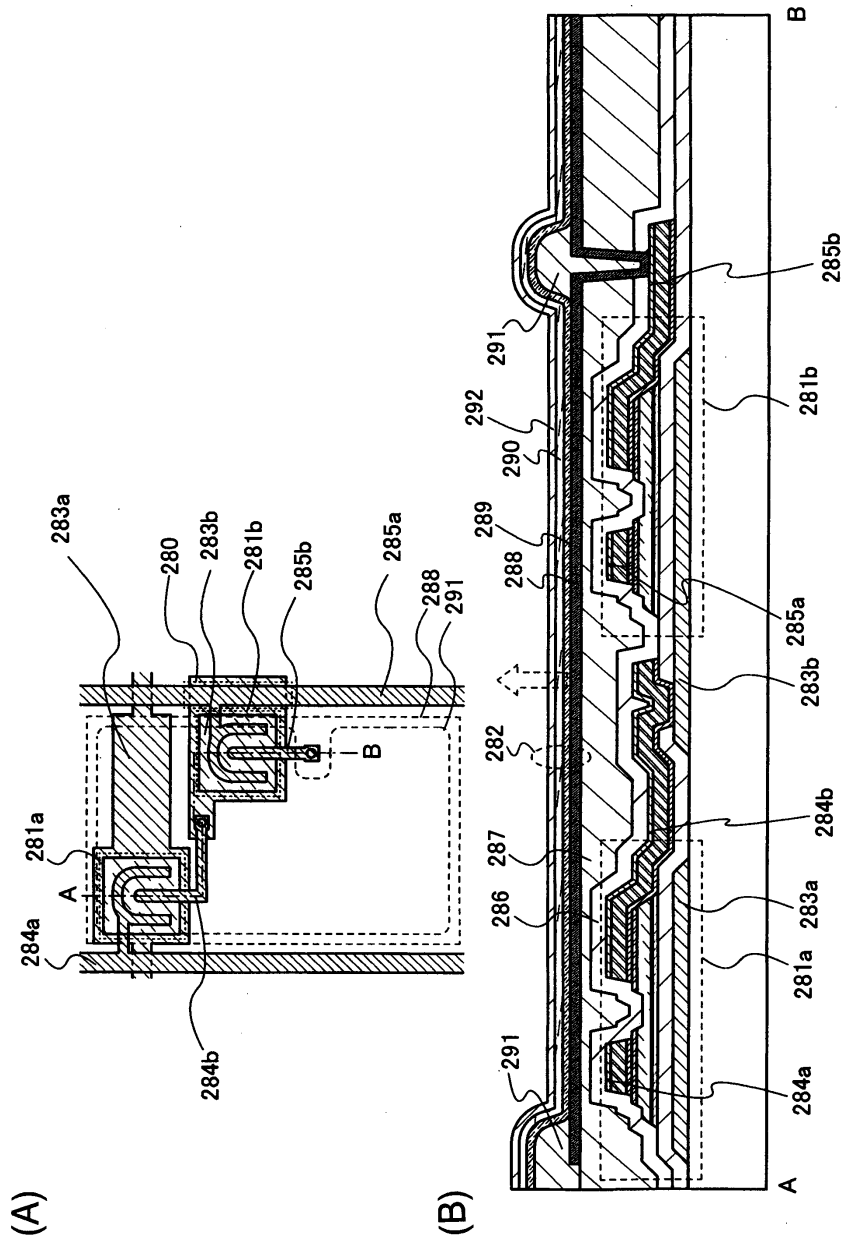
도면18



도면19

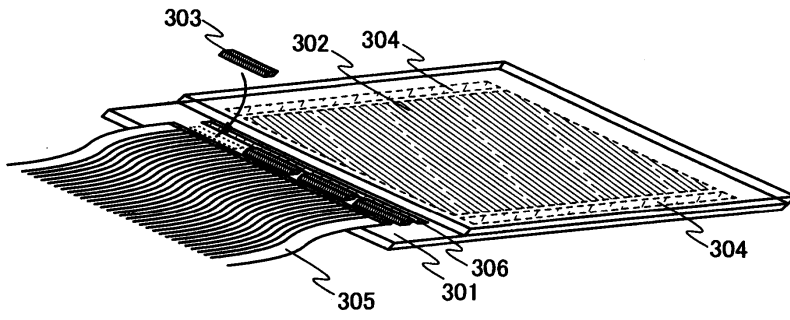


도면20

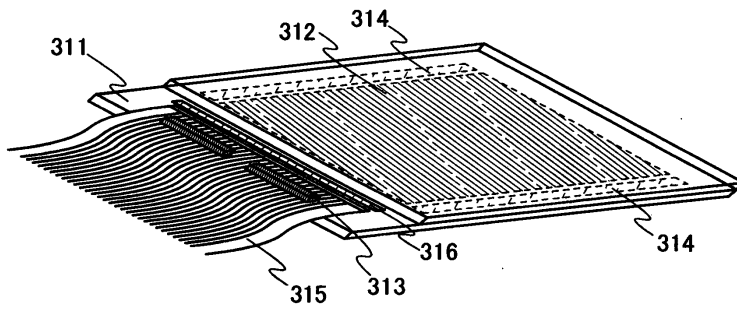


도면21

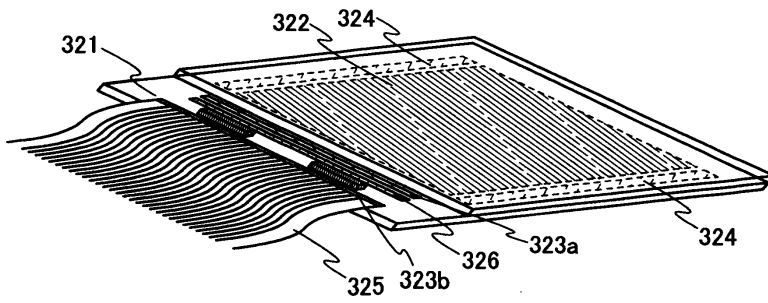
(A)



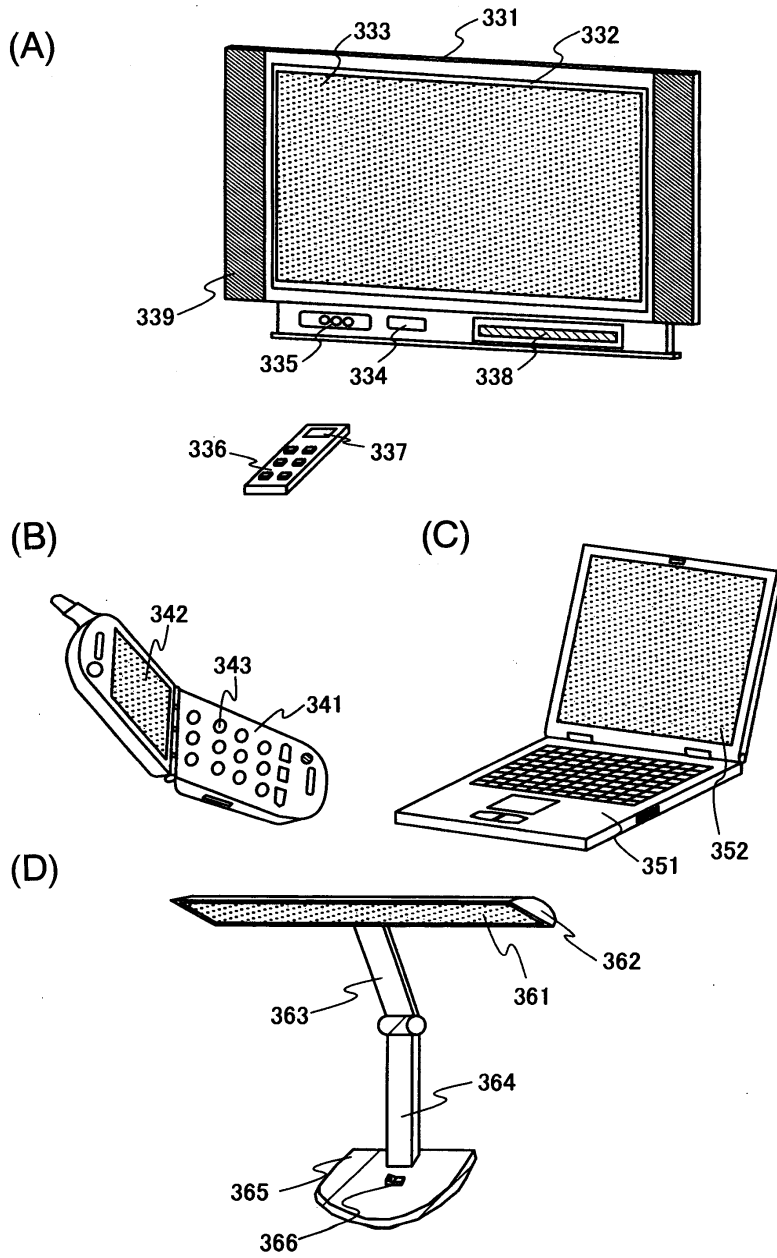
(B)



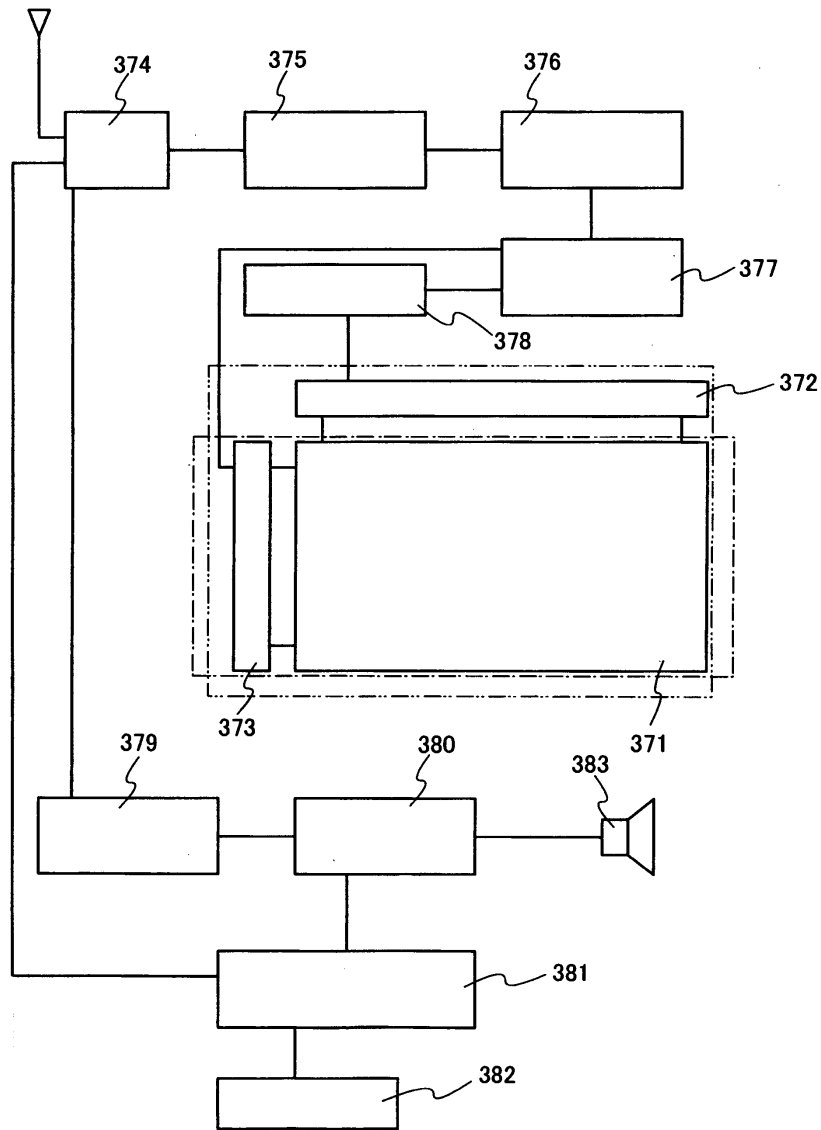
(C)



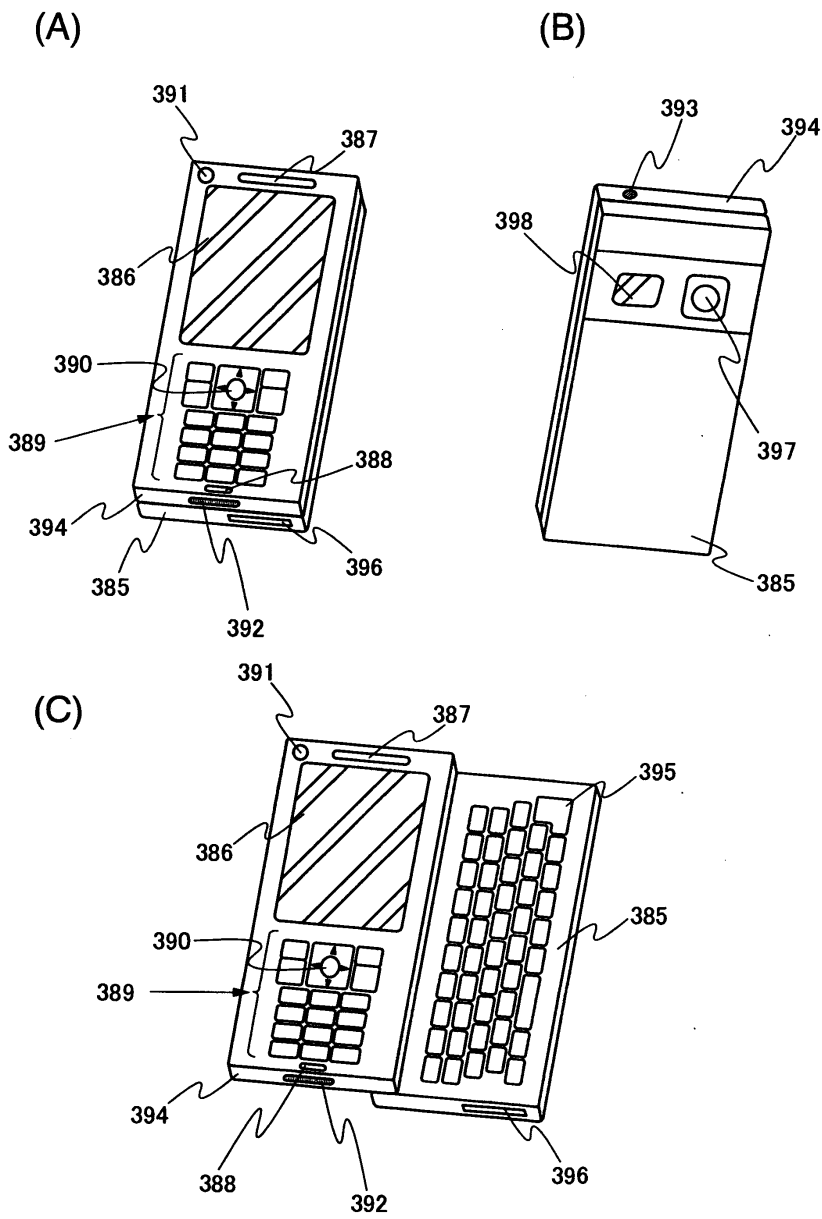
도면22



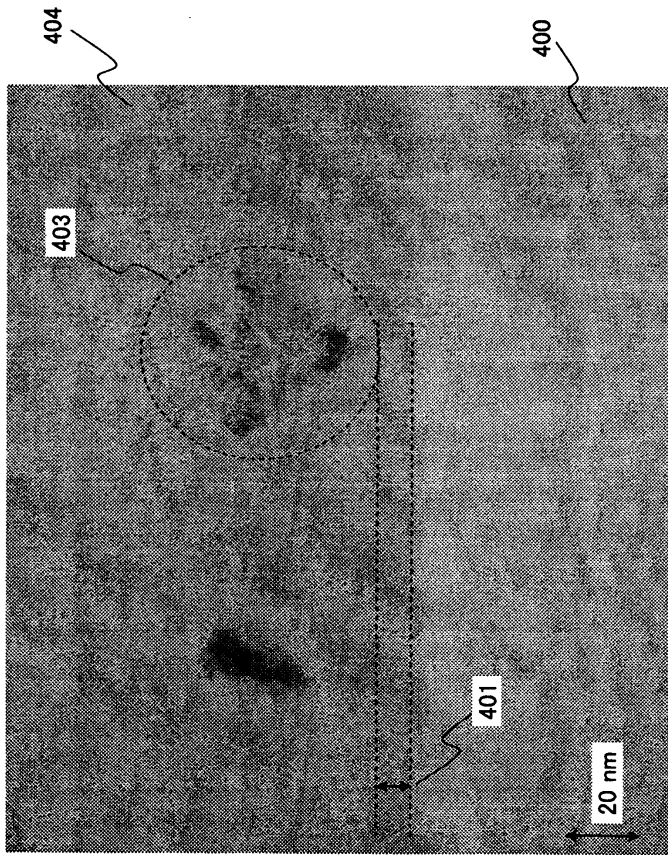
도면23



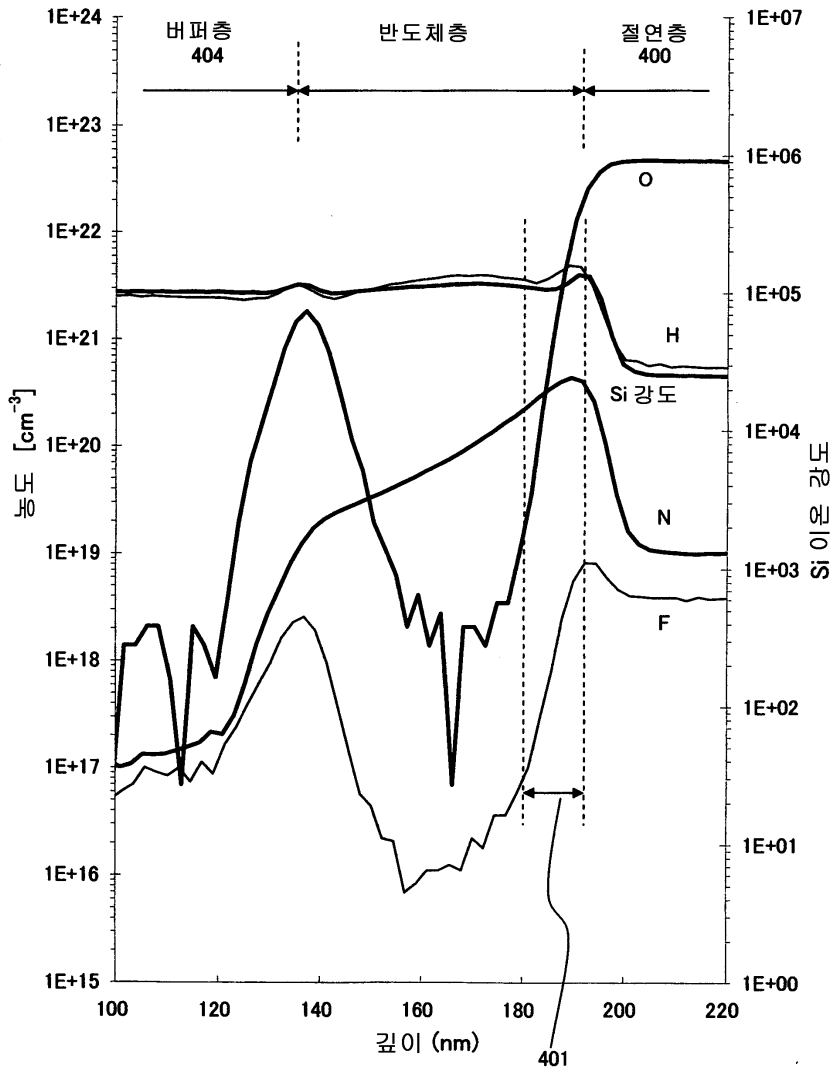
도면24



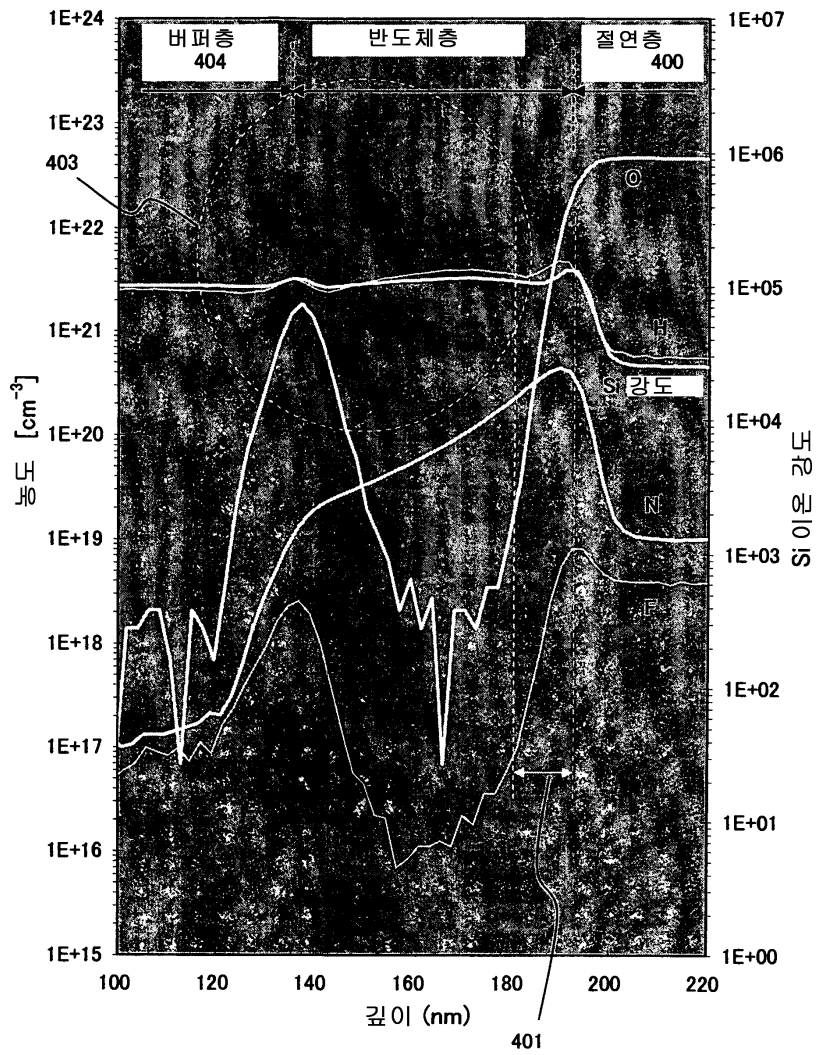
도면25



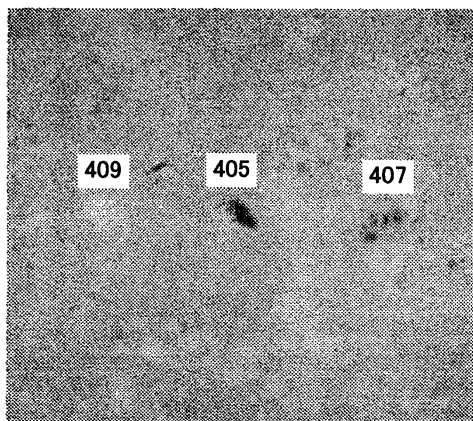
도면26



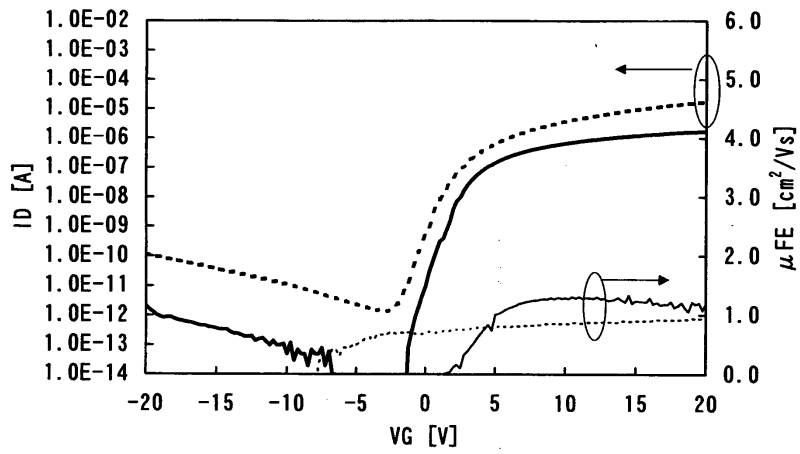
도면27



도면28



도면29

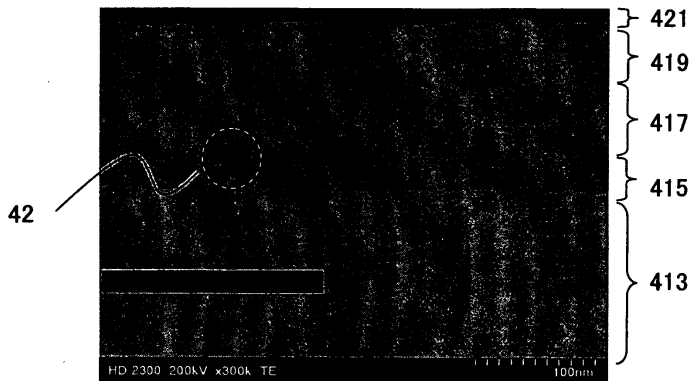


도면30

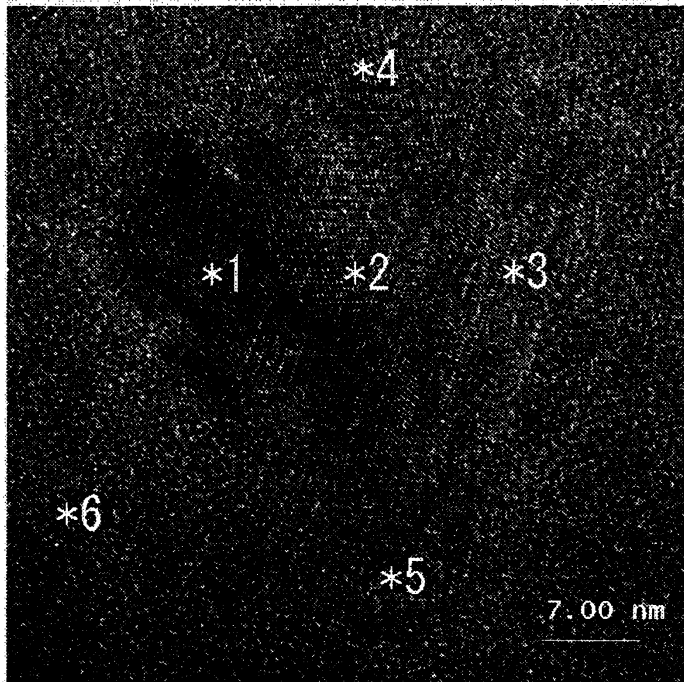
(A)



(B)

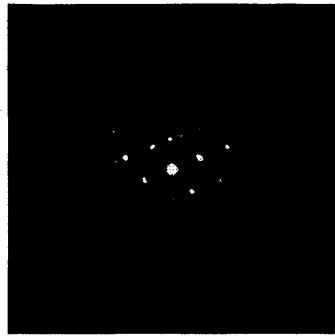


도면31

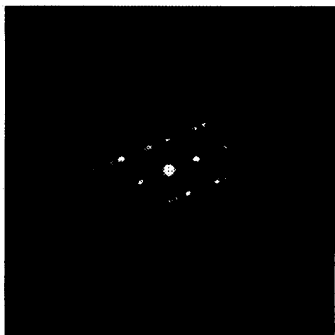


도면32

(A)



(B)

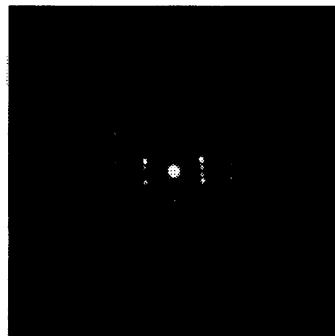


도면33

(A)

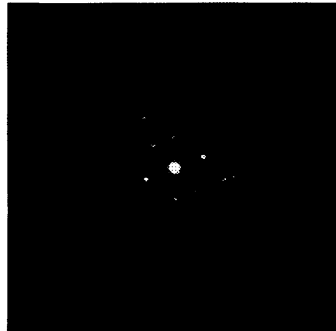


(B)

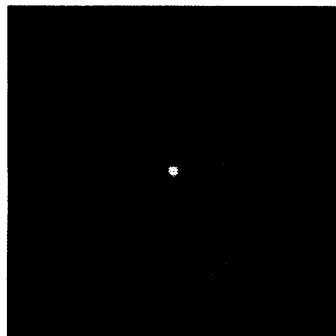


도면34

(A)



(B)



도면35

