

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年5月4日(04.05.2023)



(10) 国際公開番号

WO 2023/074522 A1

(51) 国際特許分類:
H04N 25/77 (2023.01)

(21) 国際出願番号: PCT/JP2022/039081

(22) 国際出願日: 2022年10月20日(20.10.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-178947 2021年11月1日(01.11.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

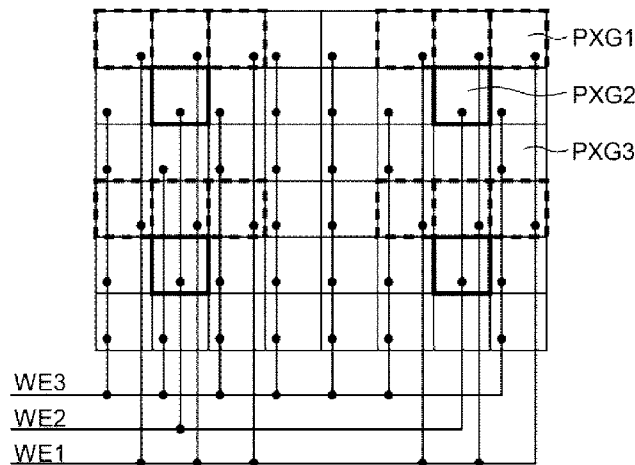
(72) 発明者: 榊原 雅樹 (SAKAKIBARA Masaki); 〒1080075 東京都港区港南1-7-1 ソニーグループ株式会社内 Tokyo (JP). 北野 伸 (KITANO Shin); 〒2430014 神奈川県厚木市旭町4丁目1番4-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: PHYSICAL QUANTITY DETECTING DEVICE AND IMAGING DEVICE

(54) 発明の名称: 物理量検出装置及び撮像装置



(57) Abstract: [Problem] To prevent the inability to transfer pixel data in time. [Solution] This physical quantity detecting device comprises: at least two groups of pixels each of which detects a physical quantity; storage units that store data corresponding to the physical quantities detected in the respective pixels in the pixel groups; and a storage control unit that performs a control to cause the storage units to store the data and that controls, for each of the pixel groups, whether or not to update the data stored in the storage units.

(57) 要約: [課題] 画素データの転送が間に合わないという不具合を防止する。[解決手段] 物理量検出装置は、それぞれが物理量を検出する少なくとも2つの画素群と、個々の前記画素群内の画素で検出された物理量に応じたデータを記憶する記憶部と、前記記憶部に前記データを記憶する制御を行うとともに、前記記憶部に記憶された前記データを更新するか否かを前記画素群ごとに制御する記憶制御部と、を備える。

[続葉有]

HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：物理量検出装置及び撮像装置

技術分野

[0001] 本開示は、物理量検出装置及び撮像装置に関する。

背景技術

[0002] 画素ごとに光電変換された画素信号を、画素ごとにアナログーデジタル変換（以下、ＡＤ変換）を行うＡＤ変換器（以下、ＡＤＣ）を有する画素ＡＤＣ方式の撮像装置が知られている（特許文献１参照）。画素ＡＤＣ方式の撮像装置では、画素ごとに、ＡＤＣと、ＡＤ変換された画素データを記憶する記憶部とを設けるのが一般的である。

先行技術文献

特許文献

[0003] 特許文献１：国際公開１６／１３６４４８号

発明の概要

発明が解決しようとする課題

[0004] 画素ＡＤＣ方式の撮像装置では、各画素でＡＤ変換された画素データを出力部に転送する。画素データの転送は、垂直同期期間内、すなわち１フレーム期間内に行う必要がある。しかしながら、画素数が多くなったり、フレームレートが高速化すると、ＡＤ変換された画素データを１フレーム期間内に出力部に転送しきれなくなり、撮像画像の画質が低下するなどの不具合が生じるおそれがある。

[0005] 最近では、画素アレイ部内の各画素を、撮像目的以外（例えば、種々の物理量の検出など）にも用いる場合がある。また、撮像目的であっても、動画撮像と静止画撮像では、必要とされるフレームレートや解像度が異なる。１フレーム期間に画像データの転送が間に合わなくなると、物理量を正常に検出できない等の不具合が生じる。

[0006] そこで、本開示では、画素データの転送が間に合わないという不具合を防

止可能な物理量検出装置及び撮像装置を提供するものである。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示によれば、それぞれが物理量を検出する少なくとも2つの画素群と、

個々の前記画素群内の画素で検出された物理量に応じたデータを記憶する記憶部と、

前記記憶部に前記データを記憶する制御を行うとともに、前記記憶部に記憶された前記データを更新するか否かを前記画素群ごとに制御する記憶制御部と、を備える、物理量検出装置が提供される。

[0008] 前記記憶部は、アナログメモリ又はデジタルメモリであってもよい。

[0009] 前記記憶部を有し、個々の前記画素群内の画素ごとに検出された物理量信号と参照信号とを比較することにより、前記物理量信号をデジタル信号に変換するAD変換器を備えてもよい。

[0010] 時間とともに変化する時刻コードを生成する時刻コード発生部と、

時間とともに電圧レベルが変化する前記参照信号を生成する参照信号生成部と、を備え、

前記記憶部は、前記時刻コードと前記参照信号とが一致するタイミングに応じた前記時刻コードを記憶してもよい。

[0011] 前記2つの画素群内の全画素は、所定の期間ごとに同じタイミングで前記物理量を検出し、

前記記憶制御部は、前記少なくとも2つの画素群のうち、前記所定の期間内に対応する全画素の前記記憶部内のデータを出力できない画素群については、次の所定の期間に前記記憶部に記憶されたデータを更新せずに保持してもよい。

[0012] 前記所定の期間は、垂直同期信号の周期であってもよい。

[0013] 前記少なくとも2つの画素群は、それぞれ異なる画素特性を有してもよい。

[0014] 前記画素特性は、画素の感度と、物理量信号を蓄積可能な飽和量との少な

くとも一方を含んでもよい。

[0015] 前記画素特性は、位相差、輝度情報、階調情報、色情報、イベント情報、環境情報、生体情報、及び音波情報の少なくとも一つを含んでもよい。

[0016] 前記画素特性は、前記少なくとも2つの画素群内の画素ごとに設けられるA/D変換器の分解能を含んでもよい。

[0017] 前記画素特性は、前記記憶部の記憶容量を含んでもよい。

[0018] 前記少なくとも2つの画素群は、それぞれ異なる信号検出期間を有してもよい。

[0019] 前記信号検出期間は、露光時間及び信号読出し時間の少なくとも一方を含んでもよい。

[0020] 前記画素群に含まれない画素の物理量を、当該画素の周囲に位置する前記画素群内の画素の物理量にて補間する補間処理部を備えてもよい。

[0021] 前記少なくとも2つの画素群に分けられる複数の画素を有する画素アレイ部と、

前記画素アレイ部内の全画素の読み出しを制御する複数の制御配線と、
前記画素アレイ部内の各画素が属する前記画素群に合わせて、各画素と対応する制御配線とを接続するコンタクトと、を備えてもよい。

[0022] 前記複数の制御配線は、前記画素アレイ部内の全画素の領域に配置され、
前記画素アレイ部内の各画素は、前記複数の制御配線のうちいずれか一つに前記コンタクトを介して接続されてもよい。

[0023] 前記物理量は、光強度、音波の音圧、及び生体情報量の少なくとも一つを含んでもよい。

[0024] 前記物理量は、光強度を含み、

前記少なくとも2つの画素群は、静止画画像を撮像する領域と、動画を撮像する領域と、像面位相差を検出する領域との少なくとも一つを含んでもよい。

[0025] 本開示によれば、複数の画素を有し、前記複数の画素が少なくとも2つの画素群に分けられる画素アレイ部と、

画素ごとに設けられ、画素信号をアナログ→デジタル変換するA/D変換器と、

時間とともに変化する時刻コードを生成する時刻コード発生部と、

時間とともに電圧レベルが変化する参照信号を生成する参照信号生成部と、

画素ごとの前記A/D変換器から出力された画素データに対して信号処理を行う信号処理部と、を備え、

前記A/D変換器は、前記画素信号を前記参照信号と比較することにより、前記画素信号に応じた前記時刻コードを記憶する記憶部を有し、

前記記憶部に前記時刻コードを記憶する制御を行うとともに、前記記憶部に記憶された前記時刻コードを更新するか否かを前記画素群ごとに制御する記憶制御部をさらに備える、撮像装置が提供される。

[0026] 前記記憶制御部は、垂直同期期間内に全画素の画素データを前記信号処理部に転送できなかった画素群については、次の垂直同期期間内に、対応する前記記憶部内の前記時刻コードを更新せずに保持してもよい。

図面の簡単な説明

[0027] [図1]本開示に係る固体撮像装置の概略構成を示す図。

[図2]画素の詳細構成例を示すブロック図。

[図3]比較回路の詳細構成例を示すブロック図。

[図4]比較回路の動作中の各信号の遷移を表す図。

[図5]画素回路の詳細構成について説明する図。

[図6]画素の動作について説明するタイミングチャート。

[図7]時刻コード転送部とデータ記憶部のない部構成の一例を示す回路図。

[図8]P相ビット記憶部とD相ビット記憶部の内部構成を示す回路図。

[図9]ラッチ回路をアナログメモリで構成する例を示す回路図。

[図10A]画素アレイ部内の画素群の一例を示す図。

[図10B]図9Aの一変形例を示す図。

[図11]第1画素群内の各画素の画素データの読み出し順を矢印で示す図。

[図12]第2画素群の画素データの読み出し順序を矢印で示す図。

[図13A]第3画素群の画素データの読み出し順序を矢印で示す図。

[図13B]図13Aに続く図。

[図13C]図13Bに続く図。

[図13D]図13Cに続く図。

[図14]本実施形態による撮像装置1のタイミング図。

[図15A]補間処理の代表的な具体例を示す図。

[図15B]補間処理の代表的な具体例を示す図。

[図15C]補間処理の代表的な具体例を示す図。

[図15D]補間処理の代表的な具体例を示す図。

[図16]画素基板とロジック基板を積層して撮像装置を構成する一例を示す図。
。

[図17]車両制御システムの概略的な構成の一例を示すブロック図。

[図18]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

発明を実施するための形態

[0028] 以下、図面を参照して、物理量検出装置及び撮像装置の実施形態について説明する。以下では、物理量検出装置及び撮像装置の主要な構成部分を中心に説明するが、物理量検出装置及び撮像装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0029] 以下では、物理量検出装置の一例として、撮像装置について主に説明するが、後述するように、本開示の物理量検出装置は必ずしも撮像装置に限定されるものではない。

[0030] <撮像装置の概略構成例>

図1は、本開示に係る撮像装置1の概略構成を示している。以下では、半導体基板上に形成される撮像装置1を主に説明する。この種の撮像装置1は固体撮像装置1とも呼ばれるが、以下では単に撮像装置1と呼ぶ。

[0031] 図1の撮像装置1は、半導体として例えばシリコン(Si)を用いた半導

体基板 1 1 に、画素 2 1 が 2 次元アレイ状に配列された画素アレイ部 2 2 を有する。画素アレイ部 2 2 には、時刻コード発生部 2 6 で生成された時刻コードを各画素 2 1 に転送する時刻コード転送部 2 3 が設けられている。そして、半導体基板 1 1 上の画素アレイ部 2 2 の周辺には、画素駆動回路 2 4、D A C (D/A Converter、参照信号生成部) 2 5、時刻コード発生部 2 6、垂直駆動回路 2 7、出力部 2 8、及びタイミング生成回路 2 9 が形成されている。

[0032] 図 2 は画素アレイ部 2 2 内の 2 次元アレイ状に配列された各画素 2 1 の構成を示すブロック図である。各画素 2 1 は、図 2 に示すように、画素回路 4 1 と A D C 4 2 を有する。各画素 2 1 は、画素内の受光素子（例えば、フォトダイオード）で受光した光量に応じた電荷信号を生成し、デジタルの画素信号に変換して出力する。

[0033] 図 1 の画素駆動回路 2 4 は、画素 2 1 内の画素回路 4 1（図 2）を駆動する。D A C 2 5 は、時間経過に応じてレベル（電圧）が単調減少するスロープ信号である参照信号（基準電圧信号）R E F を生成し、各画素 2 1 に供給する。時刻コード発生部 2 6 は、各画素 2 1 が、アナログの画素信号 S I G をデジタルの画素信号に変換（A D 変換）する際に使用される時刻コードを生成し、対応する時刻コード転送部 2 3 に供給する。画素アレイ部 2 2 には、複数の時刻コード発生部 2 6 が設けられており、画素アレイ部 2 2 内には、時刻コード発生部 2 6 に対応する数だけ、時刻コード転送部 2 3 が設けられている。即ち、時刻コード発生部 2 6 と、そこで生成された時刻コードを転送する時刻コード転送部 2 3 は、1 対 1 に対応する。

[0034] 垂直駆動回路 2 7 は、画素 2 1 内で生成されたデジタルの画素信号を、タイミング生成回路 2 9 から供給されるタイミング信号に基づいて、所定の順番で時刻コード転送部 2 3 を通じて出力部 2 8 に出力させる制御を行う。画素 2 1 から出力されたデジタルの画素信号は、出力部 2 8 から撮像装置 1 の外部へ出力される。出力部 2 8 は、黒レベルを補正する黒レベル補正処理や C D S (Correlated Double Sampling ; 相関 2 重サンプリング) 処理など、

所定のデジタル信号処理を必要に応じて行い、その後、外部へ出力する。このように、出力部 28 は、各種の演算処理や信号処理を行う機能を内蔵している。

[0035] タイミング生成回路 29 は、各種のタイミング信号を生成するタイミングジェネレータなどを有し、生成した各種のタイミング信号を、画素駆動回路 24、DAC 25、垂直駆動回路 27 等に供給する。

[0036] 撮像装置 1 は、上述した構成を備えている。なお、図 1 では、上述したように、撮像装置 1 を構成する全ての回路が、1つの半導体基板 11 上に形成されるように説明したが、後述するように、撮像装置 1 を構成する回路を複数枚の半導体基板 11 に分けて配置する構成とすることもできる。

[0037] <画素の詳細構成例>

図 2 に示すように、画素 21 は、画素回路 41 と ADC (AD 変換器) 42 とを有する。このように、本実施形態による撮像装置 1 は、各画素が ADC 42 を有する画素 ADC 方式の撮像装置 1 である。

[0038] 画素回路 41 は、受光した光量に応じた電荷信号をアナログの画素信号 SIG として ADC 42 に出力する。ADC 42 は、画素回路 41 から供給されたアナログの画素信号 SIG をデジタルの画素信号に変換する。ADC 42 は、比較回路 51 とデータ記憶部 52 とを有する。

[0039] 比較回路 51 は、DAC 25 から供給される参照信号 REF と画素信号 SIG を比較し、比較結果を表す比較結果信号として、出力信号 VCO を出力する。比較回路 51 は、参照信号 REF と画素信号 SIG が同一 (の電圧) になったとき、出力信号 VCO の電位を反転させる。

[0040] 比較回路 51 は、差動入力回路 61、電圧変換回路 62、及び正帰還回路 (PFB: positive feedback) 63 を有する。比較回路 51 の詳細な構成は、図 3 を参照して後述する。

[0041] データ記憶部 52 には、比較回路 51 から出力信号 VCO が入力される他、垂直駆動回路 27 から、画素信号の書き込み動作であることを表す WR 信号 (以下では、書き込み制御信号 WR ともいう)、画素信号の読み出し動作

であることを表すRD信号（以下では、読み出し制御信号RDともいう）、及び、画素信号の読み出し動作中における画素21の読み出しタイミングを制御するWORD信号が、垂直駆動回路27から供給される。また、データ記憶部52には、時刻コード転送部23を介して、時刻コード発生部26で生成された時刻コードも供給される。

[0042] データ記憶部52は、WR信号及びRD信号に基づいて、時刻コードの書き込み動作と読み出し動作を制御するラッチ制御回路（記憶制御部）71と、時刻コードを記憶するラッチ記憶部72とを有する。

[0043] ラッチ制御回路71は、時刻コードの書き込み動作においては、比較回路51からハイレベルの出力信号VCOが入力されている間、時刻コード転送部23から供給される、単位時間ごとに更新される時刻コードをラッチ記憶部72に記憶させる。そして、参照信号REFと画素信号SIGが同一（の電圧）になり、比較回路51から供給される出力信号VCOがローレベルに反転されたとき、供給される時刻コードの書き込み（更新）を中止し、最後にラッチ記憶部72に記憶された時刻コードをラッチ記憶部72に保持させる。ラッチ記憶部72に保持された時刻コードは、画素信号SIGと参照信号REFが等しくなった時刻を表しており、画素信号SIGがその時刻の基準電圧であったことを示すデータ、即ち、デジタル化された光量値を表す。

[0044] 参照信号REFの掃引が終了し、画素アレイ部22内の全ての画素21のラッチ記憶部72に時刻コードが保持された後、画素21の動作が、書き込み動作から読み出し動作に変更される。

[0045] ラッチ制御回路71は、時刻コードの読み出し動作においては、読出し制御信号RDと読み出しタイミングを制御するWORD信号に基づいて、画素21が自分の読み出しタイミングとなったときに、ラッチ記憶部72に記憶されている時刻コード（デジタルの画素信号）を、時刻コード転送部23に出力する。時刻コード転送部23は、供給された時刻コードを、読出し方向（図1の出力部28に向かう列方向（垂直方向））に順次転送し、出力部28に供給する。時刻コード転送部23は、隣接して配置された複数の画素を

含むクラスタを単位として、時刻コードを転送する場合もある。

[0046] <比較回路の構成例>

図3は、図2に示す比較回路51内の差動入力回路61、電圧変換回路62、及び正帰還回路63の詳細構成を示す回路図である。

[0047] 差動入力回路61は、画素21内の画素回路41から出力された画素信号SIGと、DAC25から出力された参照信号REFとを比較し、画素信号SIGが参照信号REFよりも高いときに所定の信号（電流）を出力する。

[0048] 差動入力回路61は、差動対となるトランジスタ81及び82、カレントミラーを構成するトランジスタ83及び84、入力バイアス電流Vbに応じた電流IBを供給する定電流源としてのトランジスタ85、並びに、差動入力回路61の出力信号HVOを出力するトランジスタ86を有する。

[0049] トランジスタ81、82、及び85は、NMOS（Negative Channel MOS）トランジスタであり、トランジスタ83、84、及び86は、PMOS（Positive Channel MOS）トランジスタである。

[0050] 差動対となるトランジスタ81及び82のうち、トランジスタ81のゲートには、DAC25から出力された参照信号REFが入力され、トランジスタ82のゲートには、画素21内の画素回路41から出力された画素信号SIGが入力される。トランジスタ81と82のソースは、トランジスタ85のドレインと接続され、トランジスタ85のソースは、所定の電圧VSS（ $VSS < VDD2 < VDD1$ ）に接続されている。

[0051] トランジスタ81のドレインは、カレントミラー回路を構成するトランジスタ83及び84のゲート及びトランジスタ83のドレインと接続され、トランジスタ82のドレインは、トランジスタ84のドレイン及びトランジスタ86のゲートと接続されている。トランジスタ83、84、及び86のソースは、第1電源電圧VDD1に接続されている。

[0052] 電圧変換回路62は、例えば、NMOS型のトランジスタ91を有する。トランジスタ91のドレインは、差動入力回路61のトランジスタ86のドレインと接続され、トランジスタ91のソースは、正帰還回路63内の所定

の接続点に接続され、トランジスタ 91 のゲートは、バイアス電圧 V_{BIAS} のノードに接続されている。

[0053] 差動入力回路 61 を構成するトランジスタ 81 ~ 86 は、第 1 電源電圧 V_{DD1} までの高電圧で動作する回路であり、正帰還回路 63 は、第 1 電源電圧 V_{DD1} よりも低い第 2 電源電圧 V_{DD2} で動作する回路である。電圧変換回路 62 は、差動入力回路 61 から入力される出力信号 HVO を、正帰還回路 63 が動作可能な低電圧の信号（変換信号） LVI に変換して、正帰還回路 63 に供給する。

[0054] バイアス電圧 V_{BIAS} は、低電圧で動作する正帰還回路 63 の各トランジスタ 101 ~ 105 を破壊しない電圧に変換する電圧であれば良い。例えば、バイアス電圧 V_{BIAS} は、正帰還回路 63 の第 2 電源電圧 V_{DD2} と同じ電圧（ $V_{BIAS} = V_{DD2}$ ）とすることができ、 $V_{BIAS} = V_{DD2}$ としても同様の電圧変換効果を得られる

[0055] 正帰還回路 63 は、差動入力回路 61 からの出力信号 HVO を第 2 電源電圧 V_{DD2} に対応する信号に変換した変換信号 LVI に基づいて、画素信号 SIG が参照信号 REF よりも高いときに反転する比較結果信号を出力する。また、正帰還回路 63 は、比較結果信号として出力する出力信号 VCO が反転するときの遷移速度を高速化する。

[0056] 正帰還回路 63 は、5 つのトランジスタ 101 ~ 107 を有する。ここで、トランジスタ 101、102、104、及び 105 は、PMOS トランジスタであり、トランジスタ 103、106、及び 107 は、NMOS トランジスタである。

[0057] 電圧変換回路 62 の出力端であるトランジスタ 91 のソースは、トランジスタ 102 及び 103 のドレインと、トランジスタ 104 及び 106 のゲートに接続されている。トランジスタ 101 及び 104 のソースは、第 2 電源電圧 V_{DD2} に接続され、トランジスタ 101 のドレインは、トランジスタ 102 のソースと接続され、トランジスタ 102 のゲートは、正帰還回路 63 の出力端でもあるトランジスタ 105 及び 107 のドレインと接続されて

いる。トランジスタ103、106、及び107のソースは、所定の電圧VSSに接続されている。トランジスタ101のゲートには初期化信号IN12が供給され、トランジスタ103のゲートには初期化信号IN1が供給される。

[0058] トランジスタ105及び107のゲートには、後述する複数のライトイネーブル信号WE1～WE3のいずれか一つが接続されている。後述するように、画素アレイ部22内の各画素は、複数の画素群のいずれかに属しており、画素群ごとに別個にライトイネーブル信号を有する。各画素の正帰還回路63は、対応するライトイネーブル信号がイネーブル状態（例えばローレベル）のときに、有効なVCO信号を出力する。よって、対応するライトイネーブル信号がイネーブル状態でない場合は、正帰還回路63からは有効なVCO信号が出力されないため、後段のラッチ記憶部72に画素データに対応する時刻コードが記憶されない。

[0059] 以上のように構成される比較回路51の動作について説明する。図4は、比較回路51の動作中の各信号の遷移を表す図である。なお、図4において“G86”はトランジスタ86のゲート電位を表している。

[0060] まず、参照信号REFが、全ての画素21の画素信号SIGよりも高い電圧に設定されるとともに、初期化信号IN1および、図示しない初期化信号IN12がハイレベルにされて、比較回路51が初期化される。

[0061] より具体的には、図3のトランジスタ81のゲートには参照信号REFが、トランジスタ82のゲートには画素信号SIGが印加される。参照信号REFの電圧が、画素信号SIGの電圧よりも高い電圧の時は電流源となるトランジスタ85のドレインソース間の電流のほとんどがトランジスタ81を経由してダイオード接続されたトランジスタ83に流れる。トランジスタ83と共通のゲートを持つトランジスタ84のチャネル抵抗は十分低くなり、トランジスタ86のゲートをほぼ第1電源電圧VDD1レベルに保ち、トランジスタ86は遮断される。したがって、電圧変換回路62のトランジスタ91が導通していたとしても、充電回路としての正帰還回路63が変換信

号 LVI を充電することは無い。一方、正帰還回路63には、初期化信号 INI としてハイレベルの信号が供給されることから、トランジスタ103は導通し、正帰還回路63は変換信号 LVI を放電する。このとき、初期化信号 $INI2$ はハイレベルであり、トランジスタ101は遮断するので、正帰還回路63がトランジスタ102を介して変換信号 LVI を充電することもない。その結果、変換信号 LVI は、所定の電圧 VSS レベルまで放電され、正帰還回路63は、インバータを構成するトランジスタ104と106によってハイレベルの出力信号 VCO を出力し、比較回路51が初期化される。初期化の後、初期化信号 INI 、 $INI2$ はともにローレベルにされて、トランジスタ103はオフし、参照信号 REF の掃引が開始される。

[0062] 参照信号 REF が画素信号 SIG よりも高い電圧の期間では、トランジスタ86はオフとなるため遮断され、出力信号 VCO はハイレベルの信号となるので、トランジスタ102もオフとなり遮断される。トランジスタ103も、初期化信号 INI はローレベルとなっているため遮断される。変換信号 LVI は、高インピーダンス状態のまま所定の電圧 VSS を保ち、ハイレベルの出力信号 VCO が出力される。

[0063] 参照信号 REF が画素信号 SIG よりも低くなると、電流源のトランジスタ85の出力電流はトランジスタ81を流れなくなり、トランジスタ83と84のゲート電位は上昇して、トランジスタ84のチャネル抵抗は高くなる。そこに、トランジスタ82を介して流れ込む電流が、電圧降下を起こしてトランジスタ86のゲート電位を下げ、トランジスタ91が導通する。トランジスタ86から出力された出力信号 HVO は、電圧変換回路62のトランジスタ91によって変換信号 LVI に変換され、正帰還回路63に供給される。充電回路としての正帰還回路63は、変換信号 LVI を充電し、電位を低電圧 VSS から第2電源電圧 $VDD2$ へ近づけてゆく。

[0064] そして、変換信号 LVI の電圧が、トランジスタ104と106を有するインバータの閾値電圧を超えると、出力信号 VCO はローレベルとなり、トランジスタ102が導通する。トランジスタ101も、ローレベルの初期化

信号 I_{N1} が印加されているため導通しており、正帰還回路 63 は、トランジスタ 101 と 102 を介して、変換信号 L_{V1} を急速に充電し、電位を第 2 電源電圧 V_{DD2} まで一気に持ち上げる。

[0065] 電圧変換回路 62 のトランジスタ 91 は、ゲートにバイアス電圧 V_{BIAS} が印加されているので、変換信号 L_{V1} の電圧が、バイアス電圧 V_{BIAS} からトランジスタの閾値だけ下がった電圧値に到達すれば遮断する。トランジスタ 86 が導通したままとしても、それ以上に変換信号 L_{V1} を充電することは無く、電圧変換回路 62 は、電圧クランプ回路としても機能する。

[0066] トランジスタ 102 の導通による変換信号 L_{V1} の充電は、そもそもが変換信号 L_{V1} がインバータ閾値まで上昇してきたことを発端とし、その動きを加速する正帰還動作である。差動入力回路 61 の電流源であるトランジスタ 85 は、撮像装置 1 で並列同時に動作する回路数が膨大であることから 1 回路あたりの電流がきわめて僅かな電流に設定される。さらに、参照信号 R_{EF} は、時刻コードが切り替わる単位時間に変化する電圧が AD 変換の LSB ステップとなるために極めて緩慢に掃引される。従って、トランジスタ 86 のゲート電位の変化も緩慢であり、それによって駆動されるトランジスタ 86 の出力電流の変化も緩慢である。しかし、その出力電流で充電される変換信号 L_{V1} に、後段から正帰還をかけることで、出力信号 V_{CO} は十分急速に遷移することができる。望ましくは、出力信号 V_{CO} の遷移時間は、時刻コードの単位時間の数分の 1 であり、典型例としては 1 ns 以下である。本開示の比較回路 51 は、電流源のトランジスタ 85 に、例えば $0.1\text{ }\mu\text{A}$ の僅かな電流を設定しただけで、この出力遷移時間を達成することができる。

[0067] <画素回路の詳細構成例>

図 5 を参照して、画素回路 41 の詳細構成について説明する。

[0068] 図 5 は、図 3 に示した比較回路 51 に、画素回路 41 の詳細を追加して示した回路図である。

- [0069] 画素回路41は、光電変換素子としてのフォトダイオード(PD)121、排出トランジスタ122、転送トランジスタ123、リセットトランジスタ124、及び、FD(浮遊拡散層)125を有する。画素回路41用の接地ノードVSS'は、比較回路51内の差動入力回路61と正帰還回路63の接地ノードVSSとは分離して設けられる。
- [0070] 排出トランジスタ122は、露光期間を調整する場合に使用される。具体的には、露光期間を任意のタイミングで開始したいときに排出トランジスタ122をオンさせると、それまでの間にフォトダイオード121に蓄積されていた電荷が排出されるので、排出トランジスタ122がオフされた以降から、露光期間が開始されることになる。
- [0071] 転送トランジスタ123は、フォトダイオード121で生成された電荷をFD125に転送する。リセットトランジスタ124は、FD125に保持されている電荷をリセットする。FD125は、差動入力回路61のトランジスタ82のゲートに接続されている。これにより、差動入力回路61のトランジスタ82は、画素回路41の増幅トランジスタとしても機能する。
- [0072] リセットトランジスタ124のソースは、差動入力回路61のトランジスタ82のゲート、及び、FD125に接続されており、リセットトランジスタ124のドレインは、トランジスタ82のドレインと接続されている。したがって、FD125の電荷をリセットするための固定のリセット電圧がない。これは、差動入力回路61の回路状態を制御することで、FD125をリセットするリセット電圧を、参照信号REFを用いて任意に設定可能であるためである。
- [0073] <画素部タイミングチャート>
- 図6のタイミングチャートを参照して、図5の画素回路41と比較回路51を有する画素21の動作について説明する。
- [0074] 初めに、時刻t1において、参照信号REFが、それまでのスタンバイ電圧V_{stb}から、FD125の電荷をリセットするリセット電圧V_{rst}に設定され、リセットトランジスタ124がオンされることにより、FD125の電

荷がリセットされる。また、時刻 t_1 では、正帰還回路 63 のトランジスタ 101 と 103 のゲートに供給される初期化信号 $IN1$ と図示しない初期化信号 $IN2$ がハイレベルに設定され、正帰還回路 63 が初期状態に設定される。

[0075] 時刻 t_2 において、参照信号 REF が所定の電圧 V_{ref} に変化し、参照信号 REF と画素信号 SIG の比較（参照信号 REF の掃引）が開始される。この時点では、参照信号 REF が画素信号 SIG よりも大きいため出力信号 VCO はハイレベルになる。

[0076] 参照信号 REF と図示しない画素信号 SIG が同一となったと判定された時刻 t_3 において、出力信号 VCO が反転（ローレベルに遷移）される。出力信号 VCO が反転されると、上述したように正帰還回路 63 によって出力信号 VCO の反転が高速化される。また、データ記憶部 52 は、出力信号 VCO が反転した時点の時刻データ（ N ビットの時刻コード $DATA[1] \sim DATA[N]$ ）を保持する。

[0077] 信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_4 において、比較回路 51 のトランジスタ 81 のゲートに供給する参照信号 REF の電圧が、トランジスタ 81 がオフするレベル（スタンバイ電圧 $V_{s tb}$ ）まで引き下げられる。これにより、信号読み出し期間中の比較回路 51 の消費電流が抑制される。

[0078] 時刻 t_5 において、読み出しタイミングを制御する $WORD$ 信号がハイレベルとなり、保持された N ビットの時刻コード $DATA[1] \sim DATA[N]$ が、データ記憶部 52 のラッチ制御回路 71 から出力される。ここで取得される時刻コードは、 CDS （Correlated Double Sampling；相関 2 重サンプリング）処理する際のリセットレベルの P 相データとなる。

[0079] 時刻 t_6 において、参照信号 REF が所定の電圧 V_{ref} まで持ち上げられるとともに、トランジスタ 101 と 103 のゲートに供給される初期化信号 $IN1$ 、 $IN2$ がハイレベルに設定され、正帰還回路 63 が再び初期状態に設定される。

- [0080] 時刻 t_7 において、ハイレベルの転送信号 TX により画素回路 41 の転送トランジスタ 123 がオンされ、フォトダイオード 121 に蓄積された電荷が $FD125$ に転送される。
- [0081] 初期化信号 $IN1$ と図示しない初期化信号 $IN12$ がローレベルに戻された後、参照信号 REF と画素信号 SIG の比較（参照信号 REF の掃引）が開始される。この時点では、参照信号 REF が画素信号 SIG よりも大きいため出力信号 VCO はハイレベルとなっている。
- [0082] そして、参照信号 REF と図示しない画素信号 SIG が同一となったと判定された時刻 t_8 において、出力信号 VCO が反転（ローレベルに遷移）される。出力信号 VCO が反転されると、正帰還回路 63 によって出力信号 VCO の反転が高速化される。また、データ記憶部 52 には、出力信号 VCO が反転した時点の時刻データ（ N ビットの時刻コード $DATA[1] \sim DATA[N]$ ）が保持（記憶）される。
- [0083] 信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_9 において、比較回路 51 のトランジスタ 81 のゲートに供給する参照信号 REF の電圧が、トランジスタ 81 がオフするレベル（スタンバイ電圧 $V_{s tb}$ ）まで引き下げられる。これにより、信号読み出し期間中の比較回路 51 の消費電流が抑制される。
- [0084] 時刻 t_{10} において、読み出しタイミングを制御する $WORD$ 信号がハイレベルとなり、保持（記憶）された N ビットの時刻コード $DATA[1] \sim DATA[N]$ が、データ記憶部 52 のラッチ制御回路 71 から出力される。ここで取得される時刻コードは、 CDS 処理する際の信号レベルの D 相データとなる。時刻 t_{11} は、上述した時刻 t_1 と同じ状態であり、次の $1V$ （ 1 垂直走査期間）の駆動となる。
- [0085] 以上の画素 21 の駆動によれば、最初に、リセットレベルの P 相データが取得された後、読み出され、次に、信号レベルの D 相データが取得されて、読み出される。
- [0086] 以上の動作により、撮像装置 1 の画素アレイ部 22 の各画素 21 は、全画

素同時にリセットし、かつ、全画素同時に露光するグローバルシャッタ動作が可能である。全画素が同時に露光及び読み出しを行うことが出来るので、通常、画素内に設けられる、電荷が読み出されるまでの間、電荷を保持する保持部が不要である。また、画素 21 の構成では、カラム並列読み出し型の撮像装置 1 で必要であった、画素信号 S1G を出力する画素を選択するための選択トランジスタ等も不要である。

[0087] 図 6 を参照して説明した画素 21 の駆動では、排出トランジスタ 122 が常にオフに制御されていた。しかし、図 6 において破線で示されるように、所望の時刻で、排出信号 OFG をハイレベルに設定して排出トランジスタ 122 を一旦オンさせた後、オフさせることにより、任意の露光期間を設定することも可能である。

[0088] <データ記憶部と時刻コード転送部>

図 7 は、時刻コード転送部 23 とデータ記憶部 52 の具体的な構成を示す回路図である。時刻コード転送部 23 は、N ビットの時刻コード DATA [1] ~ DATA [N] に対応する N 個のシフトレジスタ 341-1 ~ 341-N と、クロック供給回路 342 とを有する。N 個のシフトレジスタ 341-1 ~ 341-N のそれぞれは、複数の D-F/F (D-フリップフロップ) 351 からなる。クロック供給回路 342 は、シフトレジスタ 341 の各 D-F/F 351 のクロック入力に、クロック信号 CLK を供給する。上述したように、隣接する複数の画素 21 を含むクラスタ単位で時刻コードの転送を行う場合、時刻コード転送部 23 内のシフトレジスタ 341 は、クラスタの数に応じた数の D-F/F 351 を有する。

[0089] データ記憶部 52 内のラッチ制御回路 71 は、P 相データ用の P 相ラッチ制御部 241P と、D 相データ用の D 相ラッチ制御部 241D と、N 個の双方向バッファ回路 371-1 ~ 371-N とを有する。また、データ記憶部 52 内のラッチ記憶部 72 は、P 相データ用の P 相ビット記憶部 242P-1 ~ 242P-N と、D 相データ用の D 相ビット記憶部 242D-1 ~ 242D-N とを有する。

- [0090] N個の双方向バッファ回路371-1~371-Nは、時刻コード転送部23のN個のシフトレジスタ341-1~341-Nに1対1に対応して設けられている。双方向バッファ回路371は、対応するシフトレジスタ341内の1つのD-F/F351と接続されている。
- [0091] 双方向バッファ回路371-N ($0 < n < N + 1$) のバッファ回路381には、時刻コードの書き込み動作においてハイレベルとなる書き込み制御信号WRが供給され、インバータ回路382には、時刻コードの読み出し動作においてハイレベルとなる読み出し制御信号RDが供給される。双方向バッファ回路371-Nは、書き込み制御信号WRと読み出し制御信号RDに基づいて、P相ビット記憶部242P-1~242P-NとD相ビット記憶部242D-1~242D-Nに対する時刻コードの書き込み動作と読み出し動作を切り替える。
- [0092] また、データ記憶部52は、2個のAND回路561P及び561Dを有する。AND回路561P及び561Dの2入力的一方には、比較回路51から出力される出力信号VCOが入力される。AND回路561Pの2入力の他方には、P相データのAD変換期間中にハイレベルとなるP相選択信号P_{OP}が入力され、AND回路561Dの2入力的一方には、D相データのAD変換期間中にハイレベルとなるD相選択信号D_{OP}が入力される。
- [0093] P相ラッチ制御部241PとD相ラッチ制御部241Dのそれぞれは、直列接続された2個のインバータ281及び282と、直列接続されたNOR回路283及びインバータ284とを有するように構成可能である。
- [0094] データ記憶部52のP相ビット記憶部242P-1~242P-NとD相ビット記憶部242D-1~242D-Nのそれぞれは、図8に示すように、スイッチ243と、ラッチ回路244とを有する。P相ビット記憶部242P-1~242P-N内のスイッチ243は、P相ラッチ制御部241P内の対応するインバータ284の出力により切替制御される。D相ビット記憶部242D-1~242D-N内のスイッチ243は、D相ラッチ制御部241D内の対応するインバータ284の出力により切替制御される。P相

ビット記憶部242P-1~242P-N内のラッチ回路244は、P相ラッチ制御部241P内の対応するインバータ282の出力により、双方向バッファ回路371-1~371-Nから出力される時刻コードをラッチするか否かを切り替える。D相ビット記憶部242D-1~242D-N内のラッチ回路244は、D相ラッチ制御部241D内の対応するインバータ282の出力により、双方向バッファ回路371-1~371-Nから出力される時刻コードをラッチするか否かを切り替える。ラッチ回路244は、複数のトランジスタからなるSRAM (Static Random Access Memory) 等の半導体メモリで構成してもよい。この場合、P相ラッチ制御部241PとD相ラッチ制御部241Dのそれぞれは、採用する半導体メモリの構成に最適な制御回路構成にする必要がある。P相ラッチ制御部241PとD相ラッチ制御部241Dのそれぞれは、有限の面積に収める観点から、順序回路ではなく、組み合わせ回路で組むことが望ましい。

[0095] 比較回路51からの出力である出力信号VCOは、P相ラッチ制御部241PとD相ラッチ制御部241Dのそれぞれにおけるインバータ281とNOR回路283に入力され、NOR回路283のもう一方の入力には、P__WORD信号、D__WORD信号が供給される。インバータ281の出力信号はインバータ282で反転されて、P相ビット記憶部242P-1~242P-N内のラッチ回路244のラッチ制御と、D相ビット記憶部242D-1~242D-N内のラッチ回路244のラッチ制御を行う。NOR回路283の出力信号はインバータ284で反転されて、P相ビット記憶部242P-1~242P-N内のスイッチ243の切替制御と、D相ビット記憶部242D-1~242D-N内のスイッチ243のラッチ制御を行う。

[0096] データ記憶部52には、2個のAND回路561P及び561Dが設けられている。AND回路561P及び561Dの2入力の一方には、比較回路51から出力される出力信号VCOが入力される。AND回路561Pの2入力の他方には、P相データのAD変換期間中にハイレベルとなるP相選択信号P__OPが入力され、AND回路561Dの2入力の一方には、D相デ

ータのAD変換期間中にハイレベルとなるD相選択信号 D_OP が入力される。

[0097] 図7のデータ記憶部52では、最初のP相データのAD変換期間においては、ハイレベルのP相選択信号 P_OP とローレベルのD相選択信号 D_OP がデータ記憶部52に供給され、P相ビット記憶部 $242P-1 \sim 242P-N$ にP相データが記憶される。

[0098] 次のD相データのAD変換期間においては、ローレベルのP相選択信号 P_OP とハイレベルのD相選択信号 D_OP がデータ記憶部52に供給され、D相ビット記憶部 $242D-1 \sim 242D-N$ にD相データが記憶される。その後、P相データとD相データが、順番に、時刻コード転送部23へ出力される。

[0099] これにより、図7のデータ記憶部52によれば、P相データ取得とD相データ取得の時間的間隔を短縮して、CDS処理のオフセットおよび雑音相殺効果を高めることができる。また、P相データとD相データを、順番に、時刻コード転送部23へ出力することで、出力部28にP相データを一時記憶するメモリ部が不要になる。

[0100] 時刻コードの書き込み動作においては、WORD信号が全画素でローレベルとなり、スイッチ243は、出力信号VCOがハイレベルのとき導通し、ローレベルのとき遮断する。ラッチ記憶部72のフィードバック（入力Qに対する出力 $\times Q$ ）は、出力信号VCOがハイレベルのとき遮断し、ローレベルのとき導通する。したがって、ラッチ記憶部72は、出力信号VCOがハイレベルのとき、nビット目の時刻コードの書き込み状態（トランスペアレント）となり、出力信号VCOがローレベルのとき、双方向バッファ回路371-Nを経由して、書き込まれた時刻コードの保持状態（ラッチ状態）となる。

[0101] 時刻コードの読み出し動作においては、読み出し対象の画素21のP相ラッチ制御部241P及びD相ラッチ制御部241DのみにハイレベルのWORD信号が供給される。出力信号VCOはローレベルとなっているので、ス

イッチ 243 は、ハイレベルの WORD 信号が入力されたときのみ導通し、ラッチ記憶部 72 に保持された時刻コードが、双方向バッファ回路 371-N を経由して、時刻コード転送部 23 に出力される。

[0102] 参照信号 REF の掃引が行われる AD 変換期間中には、時刻コード転送部 23 の N 個のシフトレジスタ 341 は、時刻コード発生部 26 から供給された時刻コードを、時刻コードの単位時間をクロック周期とするシフトクロックで転送する。

[0103] 時刻コードの書き込み動作においては、ハイレベルの書き込み制御信号 WR とローレベルの読み出し制御信号 RD が双方向バッファ回路 371 に供給されており、双方向バッファ回路 371 は、シフトレジスタ 341 の所定の D-F/F351 から供給された時刻コードを P 相ビット記憶部 242 P-1 ~ 202 P-N、又は D 相ビット記憶部 242 D-1 ~ 242 D-N に記憶する。

[0104] 次の時刻コードの読み出し動作においては、ローレベルの書き込み制御信号 WR とハイレベルの読み出し制御信号 RD が双方向バッファ回路 371 に供給されており、P 相ビット記憶部 242 P-1 ~ 202 P-N、又は D 相ビット記憶部 242 D-1 ~ 242 D-N に記憶されている時刻コードが、双方向バッファ回路 371 を介して時刻コード転送部 23 のシフトレジスタ 341 の所定の D-F/F351 に供給される。シフトレジスタ 341 は、各段の D-F/F351 に供給された時刻データを順送りに出力部 28 まで転送し、出力する。

[0105] より具体的には、シフトレジスタ 341 の各 D-F/F351 には、クロック入力に供給されるクロック信号 CLK がハイレベルまたはローレベルのいずれか一方でハイインピーダンス状態（以下、Hi-Z 状態と記述する。）にできる構成が採用される。例えば、図 7 の D-F/F351 の構成では、D-F/F351 は、クロック信号 CLK がローレベルであるとき、Hi-Z 状態となる。

[0106] シフトレジスタ 341 の各 D-F/F351 が Hi-Z 状態とされている

期間に、双方向バッファ回路 371 にハイレベルの読み出し制御信号 RD が供給されるとともに、WORD 信号がハイレベルとなり、ビット記憶部 242 に記憶されている時刻コードが、双方向バッファ回路 371 を介して時刻コード転送部 23 のシフトレジスタ 341 の所定の D-F / F 351 に供給される。

[0107] 読み出し制御信号 RD がローレベルに戻された後、シフトレジスタ 341 の各 D-F / F 351 にシフトクロックが供給され、シフトレジスタ 341 は、各段の D-F / F 351 に供給された時刻データを出力部 28 まで順次転送し、出力する。

[0108] 図 7 では、P 相ビット記憶部 242 P-1 ~ 242 P-N 内のラッチ回路 244 と、D 相ビット記憶部 242 D-1 ~ 242 D-N 内のラッチ回路をデジタルメモリで構成する例を示したが、アナログメモリで構成してもよい。

[0109] 図 9 は P 相ビット記憶部 242 P-1 ~ 242 P-N 内のラッチ回路 244 と、D 相ビット記憶部 242 D-1 ~ 242 D-N 内のラッチ回路 244 をアナログメモリで構成する例を示す回路図である。図 9 は、P 相用のラッチ制御部 241 P と、P 相ビット記憶部 242 P-1 ~ 242 P-N とを示している。図 9 では省略しているが、D 相用のラッチ制御部 241 D と、D 相ビット記憶部 242 D-1 ~ 242 D-N も同様に構成されている。図 9 の P 相ビット記憶部 242 P-1 ~ 242 P-N、242 D-1 ~ 242 D-N は、アナログメモリで構成されている。

[0110] より具体的には、図 9 の P 相ビット記憶部 242 P-1 ~ 242 P-N は、ローカルビット線 LBL と接地ノードの間に直列に接続されるトランジスタ 245 及びキャパシタ 246 と、ローカルビット線 LBL と接地ノードの間に直列に接続されるトランジスタ 247 及びトランジスタ 248 とを有する。トランジスタ 245、247、248 は例えば NMOS トランジスタである。トランジスタ 245 のソースはトランジスタ 248 のゲートに接続されており、トランジスタ 245 のゲートには、ラッチ制御部 241 P の出力

信号Lが入力される。

- [0111] 図9では、ラッチ制御部241Pの内部構成を簡略化して図示している。ラッチ制御部241Pには、例えばNANDゲート249が設けられている。このNANDゲート249は、正帰還回路63の出力信号VCOと、P相D相選択信号LATSEL[1:0]とのいずれか一方がハイレベルのときにハイレベル信号を出力する。ラッチ制御部241Pの出力がハイレベルになると、P相ビット記憶部242P~242P-N内のトランジスタ245がオンし、キャパシタ246に時刻コードに応じた電荷が記憶される。ラッチ制御部241P内のNANDゲート249の出力がローレベルになると、トランジスタ245はオフし、キャパシタ246は蓄積電荷を保持する。この状態では、トランジスタ248のゲートには、キャパシタ246の蓄積電荷に応じた電圧が印加されているが、第2トランジスタ247がオフであるため、ローカルビット線LBLの電圧レベルは変化しない。
- [0112] その後、WORD信号がハイレベルになると、第2トランジスタ247がオンし、ローカルビット線LBLは、キャパシタ246の蓄積電荷に応じた電圧レベルになり、P相ビット記憶部242P-1~242P-Nに記憶された時刻コードがローカルビット線LBLを介してバス250に読み出される。
- [0113] 本実施形態による撮像装置1は、画素アレイ部22内の複数の画素を少なくとも2つの画素群に分けて、画素群ごとに、画素内のラッチ記憶部72に記憶されたデータを更新するタイミングを制御する。
- [0114] より詳細には、図2に示したデータ記憶部52内のラッチ制御回路71は、ラッチ記憶部72にデータを記憶する制御を行うとともに、ラッチ記憶部72に記憶されたデータを更新するか否かを画素群ごとに制御する。ラッチ制御回路71は、複数の画素群のうち、1フレーム期間内に対応する全画素データを出力部28に転送しきれない画素群については、次のフレーム期間にラッチ記憶部72内の画素データを更新しないでそのまま保持し、出力部28への転送を継続して行う。

[0115] <複数の画素群>

図10Aは画素アレイ部22内の画素群の一例を示す図である。図10Aでは、簡略化のために、水平方向に8画素、垂直方向に6画素の画素アレイ部22の中に、破線で示す第1画素群PXG1と、太線で示す第2画素群PXG2と、細線で示す残りの第3画素群PXG3とを設ける例を示している。画素アレイ部22内の画素の数と、画素アレイ部22内に設けられる画素群の数は任意である。

[0116] 第1画素群PXG1は、水平方向の左端と右端に3画素ずつの画素群を含み、これらの画素群が垂直方向に2画素分の間隔を隔てて配置されている。第2画素群PXG2は、合計4つの画素を含み、これら画素は水平方向に4画素分の間隔を隔てて、かつ垂直方向に2画素分の間隔を隔てて配置されている。第3画素群PXG3は、画素アレイ部22内の第1画素群PXG1と第2画素群PXG2以外の画素を含んでいる。

[0117] 第1画素群PXG1内の各画素は、例えばライブビュー（動画）用の画素である。ライブビューは、静止画ほどの解像度は不要であるため、静止画用の画素を間引いた一部の画素からなる第1画素群PXG1が用いられる。

[0118] 第2画素群PXG2内の各画素は、像面位相差検出用の画素である。各画素は2つに分割もしくは、各1画素の半部分が遮光されており、分割領域ごとに撮像された光信号から位相差を検出し、例えば焦点調節などを行うために利用される。

[0119] 第3画素群PXG3内の各画素は、例えば静止画の撮像のために利用される。静止画は、画像の粗さが目立ちやすいため、第1画素群PXG1や第2画素群PXG2に比べて、より多くの画素数を有するのが望ましい。

[0120] 本実施形態では、図10Aに示すように、第1画素群PXG1内の各画素の画素信号をラッチ記憶部72に記憶することを許可する第1ライトイネーブル信号WE1と、第2画素群PXG2内の各画素の画素信号をラッチ記憶部72に記憶することを許可する第2ライトイネーブル信号WE2と、第3画素群PXG3内の各画素の画素信号をラッチ記憶部72に記憶することを

許可する第3ライトイネーブル信号WE3とを有する。これら第1～第3ライトイネーブル信号WE1～WE3のうち1つは、画素ごとに、図5の正帰還回路63のトランジスタ105、107のゲートに接続されている。同一の画素群に属する画素内のトランジスタ105、107のゲートに接続されるライトイネーブル信号の種類は同じである。

[0121] 第1ライトイネーブル信号WE1がイネーブル状態（例えばハイレベル）になると、第1画素群PXG1内の全画素の画素データ（正確には、画素信号に応じた時刻コード）が、対応するラッチ記憶部72に記憶される。これにより、それ以前にラッチ記憶部72に記憶されていた画素データが更新される。

[0122] 同様に、第2ライトイネーブル信号WE2がイネーブル状態（例えばハイレベル）になると、第2画素群PXG2内の全画素の画素データが、対応するラッチ記憶部72に記憶される。これにより、それ以前にラッチ記憶部72に記憶されていた画素データが更新される。

[0123] 同様に、第3ライトイネーブル信号WE3がイネーブル状態（例えばハイレベル）になると、第3画素群PXG3内の全画素の画素データが、対応するラッチ記憶部72に記憶される。これにより、それ以前にラッチ記憶部72に記憶されていた画素データが更新される。

[0124] 第1画素群PXG1、第2画素群PXG2、及び第3画素群PXG3内の各画素のラッチ記憶部72に記憶された画素データを、1フレーム期間内に出力部28に転送することができれば、次のフレーム期間では、各画素のラッチ記憶部72内の画素データは不要となるため、新たな画素データに対応するラッチ記憶部72に記憶することができる。ところが、第3画素群PXG3のように画素数が多い領域では、全画素の画素データを1フレーム期間内に出力部28に転送しきれない可能性がある。特に、画素アレイ部22の画素数が多くて、かつ第3画素群PXG3の画素数も多い場合には、1フレーム期間内に第3画素群PXG3内の各画素のラッチ記憶部72から出力部28への画素データの転送が終わらないおそれがある。あるいは、第3画素

群P X G 3内の画素の信号読み出し時間が長い場合も、1フレーム期間内に全画素データの出力部28への転送が終わらないおそれがある。

[0125] そこで、本実施形態では、画素群ごとに個別にライトイネーブル信号を設けて、各画素のラッチ記憶部72内の画素データを更新するか否かを画素群ごとに設定できるようにする。

[0126] 図10Aでは、第1ライトイネーブル信号WE1用の制御配線と、第2ライトイネーブル信号WE2用の制御配線と、第3ライトイネーブル信号WE3用の制御配線を、書き込み許可を与える画素上に配置し、書き込み許可を与えない画素上にはできるだけ配置しないようにしている。図10Aの各制御配線上の黒丸で示すコンタクトは、該当するライトイネーブル信号により制御される画素を示している。画素アレイ部22内の各画素には、第1～第3ライトイネーブル信号WE1～WE3のいずれか1本が接続される。

[0127] 3つの制御配線を図10Aのように配置すると、制御配線の配置領域を削減できて各画素の開口率を向上できるという利点がある一方で、画素群内の場所によって、制御配線の配置密度が高くなったり、低くなったりし、配線密度が均一にならない。これにより、感度にばらつきが生じるなどの画素特性にばらつきが生じるおそれもある。

[0128] 図10Bは図10Aの一変形例を示す図である。図10Bは、画素アレイ部22内の全画素上に3つの制御配線を配置する例を示している。図10Bの場合、画素アレイ部22内の全画素に3つの制御配線が配置されており、制御配線の配置密度は均一となり、各画素の開口率も揃えることができる。

[0129] 画素アレイ部22内の各画素群内の各画素の画素データを読み出す順序は、同じでもよいし、あるいは画素群ごとに異なってもよい。

[0130] <画素群の読み出し順序>

図1に示すように、本実施形態による撮像装置1では、画素アレイ部22内の複数の画素からなるクラスタ20を単位として、AD変換を行って画素データ（正確には、画素信号に応じた時刻コード）の転送を行う。以下では、画素アレイ部22内の水平方向及び垂直方向に1つのクラスタ20を挟ん

で飛び飛びに複数のクラスタ 20 を選択し、各クラスタ 20 の左上端の画素を含む第 1 画素群 P X G 1 の画素データの読み出し順序を説明する。図 1 1 は第 1 画素群 P X G 1 内の各画素の画素データの読み出し順を矢印で示す図である。図 1 1 では、第 1 画素群 P X G 1 内の各クラスタ 20 内の左上端の画素データが読み出されて、上方に転送される例を示している。同一の時刻コード転送部 23 で転送される複数のクラスタ 20 内の左上端の画素データは同時並行に読み出されて転送される。図 1 1 では、各クラスタ 20 内の左上端の画素データの読み出し順序のみを図示しているが、他の画素データを読み出す場合も同様に行われる。

[0131] 図 1 2 は水平方向及び垂直方向に隣接して配置される複数のクラスタ 20 からなる第 2 画素群 P X G 2 の画素データの読み出し順序を矢印で示す図である。図 1 2 では、第 2 画素群 P X G 2 内の各クラスタ 20 内の上から 2 行目の画素の画素データが同時並行に読み出されて、上方に転送される例を示している。各クラスタ 20 内の他の画素データを読み出す場合も、図 1 2 と同様に行われる。

[0132] 図 1 3 A、図 1 3 B、図 1 3 C、及び図 1 3 D は画素アレイ部 22 内の第 1 画素群 P X G 1 と第 2 画素群 P X G 2 以外の第 3 画素群 P X G 3 の画素データの読み出し順序を矢印で示す図である。図 1 3 A ~ 図 1 3 D では、画素アレイ部 22 内の上から 2 行分のクラスタ 20 を先に読み出し、その後に 3 行目以降のクラスタ 20 を読み出す例を示している。図 1 3 A ~ 図 1 3 D では、各クラスタ 20 内の同一位置の画素データが同時並行に読み出される。

[0133] 図 1 に示すように、時刻コード転送部 23 の左右に複数個ずつクラスタ 20 が配置されているため、時刻コード転送部 23 の左側に配置されたクラスタ 20 では、右方向に画素データが時刻コード転送部 23 へ読み出され出力部 28 へ、時刻コード転送部 23 の右側に配置されたクラスタ 20 では、左方向に画素データが時刻コード転送部 23 へ読み出され、その後出力部 28 へ読み出される。

[0134] 図 1 1、図 1 2、図 1 3 A ~ 図 1 3 D は、画素アレイ部 22 内の複数のク

ラスト20の画素データの読み出し順序の一例を示したに過ぎず、種々の変形例が考えられる。

ローカルビット線LBLは、時刻コード転送部23から両側に配置されてもよいし、片側に配置されてもよい。

[0135] <画素データの読み出しタイミング>

図14は本実施形態による撮像装置1のタイミング図である。図14には、2フレーム期間のタイミングが図示されている。各フレームは、垂直同期信号VSYNCが出力されてから次の垂直同期信号VSYNCが出力されるまでの期間である。時刻 $t_1 \sim t_{10}$ が最初のフレーム期間、時刻 $t_{11} \sim t_{20}$ が次のフレーム期間である。図14は、画素アレイ部22が図10A及び図10Bに示した第1画素群PXG1、第2画素群PXG2、及び第3画素群PXG3を有する例を示している。

[0136] まず、時刻 $t_1 \sim t_2$ の期間に、図5に示したリセットトランジスタ124がオンし、FD125の電位がリセットレベルになる。時刻 t_2 になると、リセットトランジスタ124がオフになる。

[0137] 次に、時刻 $t_2 \sim t_3$ の期間に、画素アレイ部22内の全画素について、リセットレベルのAD変換が行われて、P相の画素データ（正確にはリセットレベルに応じた時刻コード）が図7のP相ビット記憶部242P-1～242P-Nに記憶される。

[0138] 次に、時刻 t_3 になると、画素アレイ部22内の全画素の転送トランジスタ123がオンし、フォトダイオード121に蓄積された電荷がFD125に転送される（時刻 $t_3 \sim t_4$ ）。

[0139] 次に、時刻 $t_4 \sim t_5$ の期間に、画素アレイ部22内の全画素について、光電変換された画素信号のAD変換が行われて、D相の画素データ（正確には、画素信号に応じた時刻コード）が図7のD相ビット記憶部242D-1～242D-Nに記憶される。時刻 $t_4 \sim t_5$ の期間内に、D相とP相の画素データの差分を取るCDS動作を行ってもよい。

[0140] このように、時刻 $t_1 \sim t_5$ の期間内は、画素アレイ部22内の全画素が

同時並行に動作して、各画素のP相とD相の画素データがP相ビット記憶部242P-1～242P-NとD相ビット記憶部242D-1～242D-Nに記憶される。

[0141] 次に、時刻t5～t6では、第1ライトイネーブル信号WE1の制御で書き込まれたラッチ記憶部72が対応するWORD選択制御により選択状態になり、画素アレイ部22内の第1画素群PXG1に属する各画素の画素データがラッチ記憶部72から時刻コード転送部23を介して出力部28に転送される。上述したように、すでに時刻t4～t5の期間内にCDS動作が終わっている場合には、CDS後の画素データが出力部28に転送される。一方、時刻t4～t5の期間内にCDS動作を行っていない場合は、P相とD相の画素データが出力部28に転送されて、出力部28にてCDS動作が行われる。

[0142] 次に、時刻t6～t7では、第2ライトイネーブル信号WE1の制御で書き込まれたラッチ記憶部72が対応するWORD選択制御により選択状態になり、画素アレイ部22内の第2画素群PXG2に属する各画素の画素データがラッチ記憶部72から時刻コード転送部23を通して出力部28に転送される。

[0143] 出力部28では、上述したCDS処理以外に、黒レベルを補正する黒レベル補正処理などの種々のデジタル信号処理が行われ、その後に、撮像装置1の外部に画素データが出力される。図14の例では、第1画素群PXG1内の各画素データが時刻ts1～t8の期間内に撮像装置1から出力され、第2画素群PXG2内の各画素データが時刻t8～t9の期間内に撮像装置1から出力される。

[0144] 次に、時刻t9～t10では、画素アレイ部22内の第3画素群PXG3に属する各画素の画素データがラッチ記憶部72から転送部23を介して出力部28に転送される。第3画素群PXG3に属する画素数は第1画素群PXG1や第2画素群PXG2に比べて多いため、画素データの転送に時間を要する。図14は、1フレーム期間の最後である時刻t10までに第3画素

群P X G 3内の画素データの転送が完了しない例を示している。

[0145] 時刻 t_{11} から次のフレーム期間が始まり、時刻 $t_{11} \sim t_{12}$ の期間内は時刻 $t_1 \sim t_2$ と同様に、リセットトランジスタ 124 をオンして、FD 125 の電位がリセットレベルになる。時刻 $t_{12} \sim t_{13}$ の期間内は時刻 $t_2 \sim t_3$ と同様に、P相の画素データ（正確にはリセットレベルに応じた時刻コード）がP相ビット記憶部 242 P-1 $\sim$ 242 P-Nに記憶される。時刻 $t_{13} \sim t_{14}$ の期間内は時刻 $t_3 \sim t_4$ と同様に、フォトダイオード 121 に蓄積された画素信号がFD 125 に転送される。

[0146] 時刻 $t_{14} \sim t_{15}$ の期間は、時刻 $t_4 \sim t_5$ と同様に、D相の画素データ（正確には画素信号に応じた時刻コード）がD相ビット記憶部 242 D-1 $\sim$ 242 D-Nに記憶される。ただし、第3画素群P X G 3に属する画素については、第3ライトイネーブル信号WE 3がイネーブル状態にならないため、D相ビット記憶部 242 D-1 $\sim$ 242 D-Nの更新は行われず、前フレームで記憶した画素データがそのまま保持される。このように、時刻 $t_{14} \sim t_{15}$ の期間内には、第1画素群P X G 1と第2画素群P X G 2に属する画素についてのみ、D相の画素データがD相ビット記憶部 242 D-1 $\sim$ 242 D-Nに記憶される。

[0147] 時刻 $t_{15} \sim t_{16}$ では、第1画素群P X G 1内の画素データが出力部 28に転送され、時刻 $t_{16} \sim t_{17}$ では、第2画素群P X G 2内の画素データが出力部 28に転送される。時刻 $t_{17} \sim t_{20}$ では、直前のフレーム期間内に転送できなかった第3画素群P X G 3内の画素データが出力部 28に転送される。

[0148] このように、1フレーム期間内にラッチ記憶部 72から出力部 28に画素データを転送しきれなかった第3画素群P X G 3については、次のフレーム期間に第3画素群P X G 3内の各画素のラッチ記憶部 72を更新しないようにするため、次のフレーム期間内にラッチ記憶部 72から出力部 28への画素データの転送を継続することができる。

[0149] 第3画素群P X G 3は例えば静止画の撮像を行うためのものであり、毎フ

レーム期間ごとに画素データを更新する必要はない。よって、第3画素群P X G 3内の画素データを記憶するラッチ記憶部72の更新を毎フレームごとに行わなくても、実用上の不具合は生じない。

[0150] <画素データの補間処理>

図10A及び図10Bに示すように、第1～第3画素群P X G 1、P X G 2、P X G 3は、必ずしも連続した画素ブロックではなく、各画素群内の各画素の隣接した画素が別の画素群に属することがある。例えば、第2画素群P X G 2に属する各画素を像面位相差の検出に用いる場合、通常の画素群P X G 3の空間解像度が低下する。よって、第3画素群P X G 3の領域内に、第3画素群P X G 3に属さない画素が存在する場合には、この画素を、その周囲の第3画素群P X G 3に属する画素の画素データで補間するのが望ましい。このような補間処理は、例えば出力部28で行われる。

[0151] 図15A、図15B、図15C及び図15Dは、補間処理の代表的な具体例である。例えば、図15Aは、第3画素群P X G 3に属する4つの画素P X 1～P X 4の間の画素P X 5が第3画素群P X G 3に属さない例を示している。この場合、4つの画素P X 1の画素データの平均値を取るなどの補間処理を行って、画素P X 5の画素データを推測する。図15Aの右下には、補間処理に用いる画素を1とした3×3の行列を示している。行列の行数や列数を4以上に増やし、かつ補間対象画素から離れるほど、補間の重み量を小さくする（1未満にする）ことで、よりきめ細かく補間処理を行ってもよい。

[0152] 補間処理によって画素データを推測する場合、同じ色の画素データを用いるのが望ましい。例えばベイヤ配列の場合、補間対象の画素の隣接画素が必ずしも同一の色とは限らない。そこで、図15Bに示すように、補間対象の画素P X 5から水平方向及び垂直方向に1画素挟んで配置された同一色の画素P X 1～P X 4の画素データを用いて補間処理を行ってもよい。図15Bの補間処理は、図15Bの右下に示すように、5×5の行列で表すことができる。この行列の0と記載された箇所を1未満の値にして、よりきめ細かく

補間処理を行ってもよい。

[0153] 図 1 5 C は、例えば第 3 画素群 $P \times G 3$ に属さない水平方向の画素行を、上下の第 3 画素群 $P \times G 3$ の画素行で補間する例を示している。補正対象の各画素の上下の 2 画素の画素データを用いて補間処理を行う。図 1 5 C の補間処理は、図 1 5 C の右下に示すように、 1×3 の行列で表すことができる。この行列の 0 と記載された箇所を 1 未満の値にして、よりきめ細かく補間処理を行ってもよい。

[0154] 図 1 5 D は、図 1 5 C の一変形例であり、補正対象の画素行の上下の画素行の色が異なる場合は、そのさらに上下で同じ色の画素行の画素データを用いて補間してもよい。図 1 5 D の補間処理は、図 1 5 D の右下に示すように、 1×5 の行列で表すことができる。

[0155] 図 1 5 A ～図 1 5 D は、補間処理の一例にすぎず、種々の変形例が考えられる。補間処理は、第 1 ～第 3 画素群 $P \times G 1$ 、 $P \times G 2$ 、 $P \times G 3$ のいずれにおいても実施可能である。

[0156] 本実施形態による撮像装置 1 は、2 つの基板を積層して構成することができる。図 1 6 は画素基板（第 1 基板）1 2 とロジック基板（第 2 基板）1 3 を積層して撮像装置 1 を構成する一例を示す図である。画素基板 1 2 は光入射面側に配置され、画素基板 1 2 の下方にロジック基板 1 3 が配置される。画素基板 1 2 とロジック基板 1 3 は、Cu-Cu 接合、ビア、又はバンプなどにより接合される。

[0157] 画素基板 1 2 には、画素アレイ部 2 2、画素バイアス生成部 1 4、DAC 信号接続部 1 5、及び画素駆動信号接続部 1 6 が配置されている。画素バイアス生成部 1 4 は、画素アレイ部 2 2 内の各画素に供給されるバイアス電圧を生成する。DAC 信号接続部 1 5 は、ロジック基板 1 3 内の DAC 2 5 との間で各種の信号を送受する。画素駆動信号接続部 1 6 は、画素アレイ部 2 2 の水平方向の両端側に配置されており、ロジック基板 1 3 との間で、AD 変換のための各種の信号を送受する。

[0158] ロジック基板 1 3 には、画素駆動回路 2 4、DAC (D/A Converter) 2 5

、時刻コード発生部 26、垂直駆動回路 27、出力部 28、及びタイミング生成回路 29 が形成されている。図 16 のロジック基板 13 は、垂直駆動回路 27 を水平方向の両側に配置する例を示しているが、図 1 のように、片側だけに垂直駆動回路 27 を配置してもよい。

[0159] 画素基板 12 内の画素バイアス生成部 14 とロジック基板 13 内の出力部 28 とは、Cu-Cu 接合等により、各種の信号を送受する。また、画素基板 12 内の DAC 信号接続部 15 とロジック基板 13 内の DAC 25 とは、Cu-Cu 接合等により、各種の信号を送受する。DAC 25 で生成された参照信号は、画素基板 12 内の各画素に供給されるため、画素基板 12 上の参照信号用の配線は、メッシュ状に配置される。配線を短くするために、DAC 信号接続部 15 に複数のビアを設けて、複数のビアを介して参照信号が画素基板 12 に供給される。また、画素基板 12 内の画素駆動信号接続部 16 とロジック基板 13 内の画素駆動回路 24 は、Cu-Cu 接合等により、各種の信号を送受する。

[0160] 画素基板 12 内の DAC 信号接続部 15 とロジック基板 13 内の DAC 25 は積層方向に重なる位置に配置されるが、DAC 信号接続部 15 と DAC 25 の面積は必ずしも同一である必要はない。同様に、画素基板 12 内の画素バイアス生成部 14 とロジック基板 13 内の出力部 28 は、少なくとも一部が積層方向に重なっていればよく、画素バイアス生成部 14 と出力部 28 の面積は必ずしも同一である必要はない。同様に、画素基板 12 内の画素駆動信号接続部 16 とロジック基板 13 内の画素駆動回路 24 は、少なくとも一部が積層方向に重なっていればよく、画素駆動信号接続部 16 と画素駆動回路 24 の面積は必ずしも同一である必要はない。

[0161] 例えば、図 5 の枠 60 内の画素回路 41 と、比較回路 51 内の差動入力回路 61 の一部とが画素基板 12 に配置され、それ以外はロジック基板 13 に配置される。

[0162] <応用例>

上述した実施形態では、画素アレイ部 22 内の各画素がフォトダイオード

を有する撮像装置 1 の一例を示したが、本実施形態による物理量検出回路は、必ずしも各画素がフォトダイオードを有している必要はない。例えば、画素アレイ部 2 2 内の各画素は、音波の音圧量や生体情報量などの種々の物理量を検出するものであればよい。生体情報量の具体例としては、血圧や血流、脈拍などである。

[0163] 画素アレイ部 2 2 内に設けられる複数の画素群は、それぞれ異なる画素特性を有するものであってもよい。例えば、画素特性は、画素の感度と、物理量信号を蓄積可能な飽和量の少なくとも一方を含んでいてもよい。あるいは、画素特性は、位相差、輝度情報、階調情報、色情報、イベント情報、環境情報、生体情報、及び音波情報の少なくとも一つを含んでいてもよい。

[0164] また、画素特性は、少なくとも 2 つの画素群内の画素ごとに設けられる ADC 4 2 の分解能を含んでいてもよい。例えば、図 10 A 又は図 10 B の第 1 ～第 3 画素群 P X G 1、P G X 2、P X G 3 の各画素の ADC 4 2 の分解能がそれぞれ異なってもよい。分解能が異なると、画素データのデータ量が異なる。例えば、第 3 画素群 P X G 3 の各画素の ADC 4 2 の分解能を、他の画素群 P X G 1、P X G 2 の ADC 4 2 の分解能よりも高くすることで、第 3 画素群 P X G 3 の画素データを 1 フレーム期間内に転送しきれない場合でも、本実施形態によれば、次のフレーム期間内に継続して画素データの転送を行えるため、画素群ごとに個別に ADC 4 2 の分解能を設定できる。

[0165] また、画素特性は、各画素内のラッチ記憶部 7 2 の記憶容量であってもよい。例えば、図 10 A 又は図 10 B の第 1 ～第 3 画素群 P X G 1、P G X 2、P X G 3 の各画素のラッチ記憶部 7 2 の記憶容量がそれぞれ異なってもよい。上述したように、ADC 4 2 の分解能が高くなると、画素データのデータ量が多くなるため、ラッチ記憶部 7 2 の記憶容量も増やす必要がある。また、露光時間が長い場合も、画素データのデータ量が多くなるため、ラッチ記憶部 7 2 の記憶容量を増やす必要がある。

[0166] また、画素アレイ部 2 2 内に設けられる複数の画素群は、それぞれ異なる

信号検出期間を有していてもよい。信号検出期間は、露光時間と信号読出し時間の少なくとも一方を含んでいてもよい。例えば、図10A又は図10Bの画素アレイ部22内の第1～第3画素群PXG1、PGX2、PXG3に属する各画素の露光時間は画素群ごとに異なってもよいし、各画素の信号読出し時間が画素群ごとに異なってもよい。

[0167] このように、本実施形態では、画素アレイ部22を複数の画素群に分けて、画素群ごとに個別の信号処理を行う場合に、画素群ごとに、AD変換した画素データを記憶するラッチ記憶部72を更新するか否かを制御することができる。これにより、1フレーム期間内に画素データを出力部28に転送しきれない画素群については、ラッチ記憶部72の更新を行わないようにして、次のフレーム期間内に継続して画素データの転送を行うことができる。よって、画素アレイ部22内の複数の画素群の画素特性をそれぞれ相違させたり、信号検出期間をそれぞれ相違させる一方で、画素データの出力期間を画素群ごとに最適化することができる。

[0168] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0169] 図18は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0170] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図18に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、

音声画像出力部 12052、及び車載ネットワーク I/F (Interface) 12053 が図示されている。

[0171] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0172] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0173] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0174] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光

であっても良い。

[0175] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0176] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0177] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0178] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12030に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0179] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又

は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図18の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0180] 図19は、撮像部12031の設置位置の例を示す図である。

[0181] 図19では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0182] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0183] なお、図19には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

- [0184] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。
- [0185] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0186] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。
- [0187] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1

は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0188] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１等に適用され得る。具体的には、本開示の固体撮像装置１は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、より鮮明な撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0189] なお、本技術は以下のような構成を取ることができる。

(１) それぞれが物理量を検出する少なくとも２つの画素群と、
個々の前記画素群内の画素で検出された物理量に応じたデータを記憶する記憶部と、

前記記憶部に前記データを記憶する制御を行うとともに、前記記憶部に記憶された前記データを更新するか否かを前記画素群ごとに制御する記憶制御部と、を備える、物理量検出装置。

(２) 前記記憶部は、アナログメモリ又はデジタルメモリである、(１)に記載の物理量検出装置。

(３) 前記記憶部を有し、個々の前記画素群内の画素ごとに検出された物理量信号と参照信号とを比較することにより、前記物理量信号をデジタル信

号に変換するA/D変換器を備える、(1)又は(2)に記載の物理量検出装置。

(4) 時間とともに変化する時刻コードを生成する時刻コード発生部と、
時間とともに電圧レベルが変化する前記参照信号を生成する参照信号生成部と、を備え、

前記記憶部は、前記時刻コードと前記参照信号とが一致するタイミングに応じた前記時刻コードを記憶する、(3)に記載の物理量検出装置。

(5) 前記2つの画素群内の全画素は、所定の期間ごとに同じタイミングで前記物理量を検出し、

前記記憶制御部は、前記少なくとも2つの画素群のうち、前記所定の期間内に対応する全画素の前記記憶部内のデータを出力できない画素群については、次の所定の期間に前記記憶部に記憶されたデータを更新せずに保持する、(1)乃至(4)のいずれか一項に記載の物理量検出装置。

(6) 前記所定の期間は、垂直同期信号の周期である、(5)に記載の物理量検出装置。

(7) 前記少なくとも2つの画素群は、それぞれ異なる画素特性を有する、(1)乃至(6)のいずれか一項に記載の物理量検出装置。

(8) 前記画素特性は、画素の感度と、物理量信号を蓄積可能な飽和量との少なくとも一方を含む、(7)に記載の物理量検出装置。

(9) 前記画素特性は、位相差、輝度情報、階調情報、色情報、イベント情報、環境情報、生体情報、及び音波情報の少なくとも一つを含む、(7)に記載の物理量検出装置。

(10) 前記画素特性は、前記少なくとも2つの画素群内の画素ごとに設けられるA/D変換器の分解能を含む、(7)に記載の物理量検出装置。

(11) 前記画素特性は、前記記憶部の記憶容量を含む、(7)に記載の物理量検出装置。

(12) 前記少なくとも2つの画素群は、それぞれ異なる信号検出期間を有する、(1)乃至(11)のいずれか一項に記載の物理量検出装置。

(13) 前記信号検出期間は、露光時間及び信号読出し時間の少なくとも一方を含む、(12)に記載の物理量検出装置。

(14) 前記画素群に含まれない画素の物理量を、当該画素の周囲に位置する前記画素群内の画素の物理量にて補間する補間処理部を備える、(1)乃至(13)のいずれか一項に記載の物理量検出装置。

(15) 前記少なくとも2つの画素群に分けられる複数の画素を有する画素アレイ部と、

前記画素アレイ部内の全画素の読み出しを制御する複数の制御配線と、

前記画素アレイ部内の各画素が属する前記画素群に合わせて、各画素と対応する制御配線とを接続するコンタクトと、を備える、(1)乃至(14)のいずれか一項に記載の物理量検出装置。

(16) 前記複数の制御配線は、前記画素アレイ部内の全画素の領域に配置され、

前記画素アレイ部内の各画素は、前記複数の制御配線のうちいずれか一つに前記コンタクトを介して接続される、(15)に記載の物理量検出装置。

(17) 前記物理量は、光強度、音波の音圧、及び生体情報量の少なくとも一つを含む、(1)乃至(16)のいずれか一項に記載の物理量検出装置。

(18) 前記物理量は、光強度を含み、

前記少なくとも2つの画素群は、静止画画像を撮像する領域と、動画を撮像する領域と、像面位相差を検出する領域との少なくとも一つを含む、(1)乃至(17)のいずれか一項に記載の物理量検出装置。

(19) 複数の画素を有し、前記複数の画素が少なくとも2つの画素群に分けられる画素アレイ部と、

画素ごとに設けられ、画素信号をアナログーデジタル変換するAD変換器と、

時間とともに変化する時刻コードを生成する時刻コード発生部と、

時間とともに電圧レベルが変化する参照信号を生成する参照信号生成部と

、

画素ごとの前記A D変換器から出力された画素データに対して信号処理を行う信号処理部と、を備え、

前記A D変換器は、前記画素信号を前記参照信号と比較することにより、前記画素信号に応じた前記時刻コードを記憶する記憶部を有し、

前記記憶部に前記時刻コードを記憶する制御を行うとともに、前記記憶部に記憶された前記時刻コードを更新するか否かを前記画素群ごとに制御する記憶制御部をさらに備える、撮像装置。

(20) 前記記憶制御部は、垂直同期期間内に全画素の画素データを前記信号処理部に転送できなかった画素群については、次の垂直同期期間内に、対応する前記記憶部内の前記時刻コードを更新せずに保持する、(19)に記載の撮像装置。

[0190] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0191] 1 撮像装置、11 半導体基板、12 画素基板、13 ロジック基板、14 画素バイアス生成部、15 DAC信号接続部、16 画素駆動信号接続部、20 クラスタ、21 画素、22 画素アレイ部、23 時刻コード転送部、24 画素駆動回路、26 時刻コード発生部、27 垂直駆動回路、28 出力部、29 タイミング生成回路、41 画素回路、42 A D変換器、51 比較回路、52 データ記憶部、60 枠、61 差動入力回路、62 電圧変換回路、63 正帰還回路、71 ラッチ制御回路、72 ラッチ記憶部、121 フォトダイオード、122 排出トランジスタ、123 転送トランジスタ、124 リセットトランジスタ、202 P-N P相ビット記憶部、241 D D相ラッチ制御部、241 D ラ

ッチ制御部、241P P相ラッチ制御部、241P ラッチ制御部、242 ビット記憶部、242D-1 D相ビット記憶部、242D-N D相ビット記憶部、242P P相ビット記憶部、242P-1 P相ビット記憶部、242P-N P相ビット記憶部、243 スイッチ、244 ラッチ回路、245 トランジスタ、246 キャパシタ、247 第2トランジスタ、248 トランジスタ、249 NANDゲート、250 バス、281 インバータ、282 インバータ、283 NOR回路、284 インバータ、341 シフトレジスタ、341-1 シフトレジスタ、341-N シフトレジスタ、342 クロック供給回路、371 双方向バッファ回路、371-1 双方向バッファ回路、371-N 双方向バッファ回路、381 バッファ回路、382 インバータ回路、561D AND回路、561P AND回路

請求の範囲

- [請求項1] それぞれが物理量を検出する少なくとも2つの画素群と、
 個々の前記画素群内の画素で検出された物理量に応じたデータを記憶する記憶部と、
 前記記憶部に前記データを記憶する制御を行うとともに、前記記憶部に記憶された前記データを更新するか否かを前記画素群ごとに制御する記憶制御部と、を備える、物理量検出装置。
- [請求項2] 前記記憶部は、アナログメモリ又はデジタルメモリである、請求項1に記載の物理量検出装置。
- [請求項3] 前記記憶部を有し、個々の前記画素群内の画素ごとに検出された物理量信号と参照信号とを比較することにより、前記物理量信号をデジタル信号に変換するA/D変換器を備える、請求項1に記載の物理量検出装置。
- [請求項4] 時間とともに変化する時刻コードを生成する時刻コード発生部と、
 時間とともに電圧レベルが変化する前記参照信号を生成する参照信号生成部と、を備え、
 前記記憶部は、前記時刻コードと前記参照信号とが一致するタイミングに応じた前記時刻コードを記憶する、請求項3に記載の物理量検出装置。
- [請求項5] 前記2つの画素群内の全画素は、所定の期間ごとに同じタイミングで前記物理量を検出し、
 前記記憶制御部は、前記少なくとも2つの画素群のうち、前記所定の期間内に対応する全画素の前記記憶部内のデータを出力できない画素群については、次の所定の期間に前記記憶部に記憶されたデータを更新せずに保持する、請求項1に記載の物理量検出装置。
- [請求項6] 前記所定の期間は、垂直同期信号の周期である、請求項5に記載の物理量検出装置。
- [請求項7] 前記少なくとも2つの画素群は、それぞれ異なる画素特性を有する

、請求項 1 に記載の物理量検出装置。

[請求項8] 前記画素特性は、画素の感度と、物理量信号を蓄積可能な飽和量との少なくとも一方を含む、請求項 7 に記載の物理量検出装置。

[請求項9] 前記画素特性は、位相差、輝度情報、階調情報、色情報、イベント情報、環境情報、生体情報、及び音波情報の少なくとも一つを含む、請求項 7 に記載の物理量検出装置。

[請求項10] 前記画素特性は、前記少なくとも 2 つの画素群内の画素ごとに設けられる A/D 変換器の分解能を含む、請求項 7 に記載の物理量検出装置。

[請求項11] 前記画素特性は、前記記憶部の記憶容量を含む、請求項 7 に記載の物理量検出装置。

[請求項12] 前記少なくとも 2 つの画素群は、それぞれ異なる信号検出期間を有する、請求項 1 に記載の物理量検出装置。

[請求項13] 前記信号検出期間は、露光時間及び信号読出し時間の少なくとも一方を含む、請求項 1 2 に記載の物理量検出装置。

[請求項14] 前記画素群に含まれない画素の物理量を、当該画素の周囲に位置する前記画素群内の画素の物理量にて補間する補間処理部を備える、請求項 1 に記載の物理量検出装置。

[請求項15] 前記少なくとも 2 つの画素群に分けられる複数の画素を有する画素アレイ部と、

前記画素アレイ部内の全画素の読み出しを制御する複数の制御配線と、

前記画素アレイ部内の各画素が属する前記画素群に合わせて、各画素と対応する制御配線とを接続するコンタクトと、を備える、請求項 1 に記載の物理量検出装置。

[請求項16] 前記複数の制御配線は、前記画素アレイ部内の全画素の領域に配置され、

前記画素アレイ部内の各画素は、前記複数の制御配線のうちいずれ

か一つに前記コンタクトを介して接続される、請求項 15 に記載の物理量検出装置。

[請求項17] 前記物理量は、光強度、音波の音圧、及び生体情報量の少なくとも一つを含む、請求項 1 に記載の物理量検出装置。

[請求項18] 前記物理量は、光強度を含み、
前記少なくとも 2 つの画素群は、静止画画像を撮像する領域と、動画を撮像する領域と、像面位相差を検出する領域との少なくとも一つを含む、請求項 1 に記載の物理量検出装置。

[請求項19] 複数の画素を有し、前記複数の画素が少なくとも 2 つの画素群に分けられる画素アレイ部と、

画素ごとに設けられ、画素信号をアナログーデジタル変換する A/D 変換器と、

時間とともに変化する時刻コードを生成する時刻コード発生部と、

時間とともに電圧レベルが変化する参照信号を生成する参照信号生成部と、

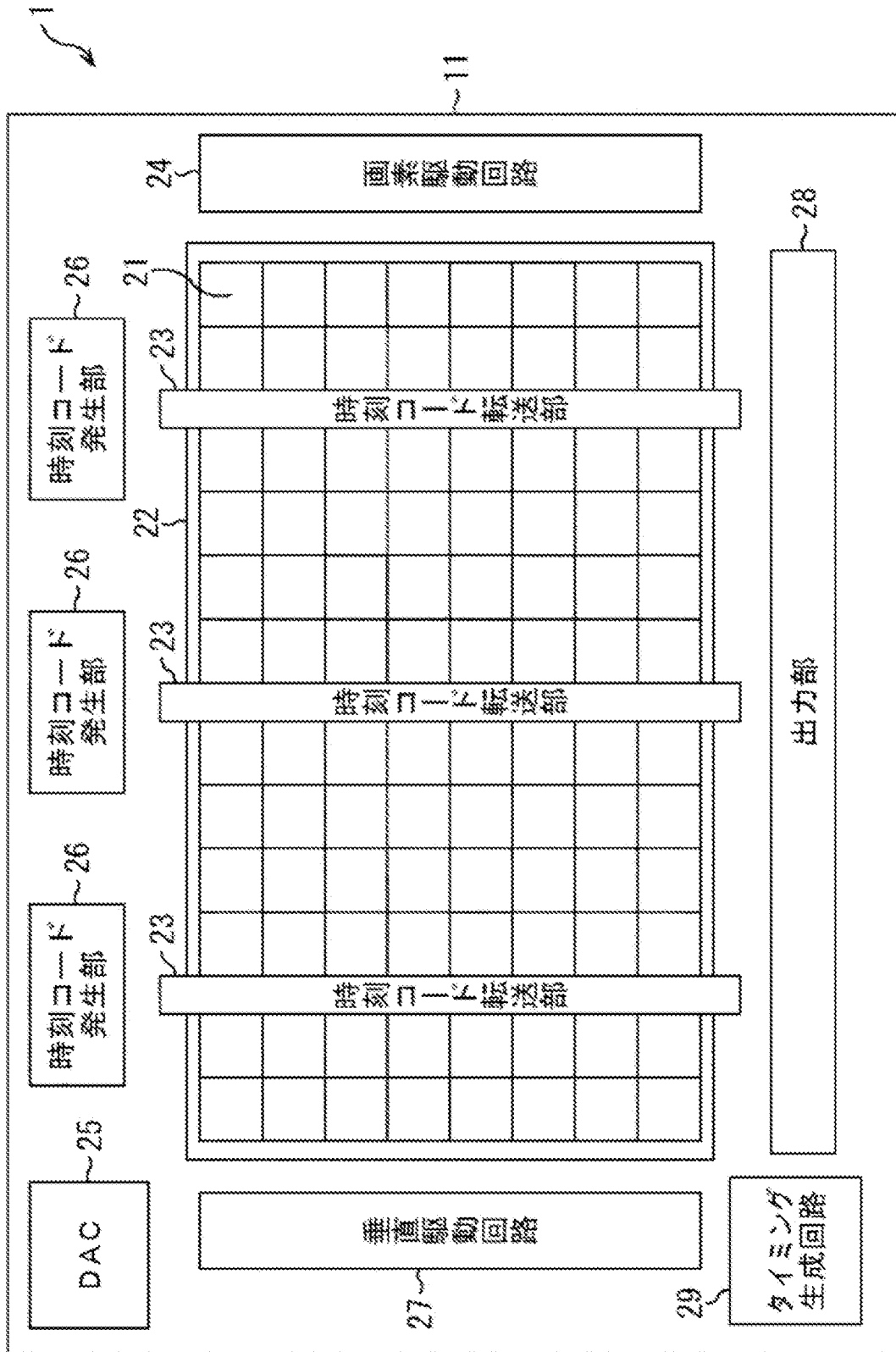
画素ごとの前記 A/D 変換器から出力された画素データに対して信号処理を行う信号処理部と、を備え、

前記 A/D 変換器は、前記画素信号を前記参照信号と比較することにより、前記画素信号に応じた前記時刻コードを記憶する記憶部を有し、

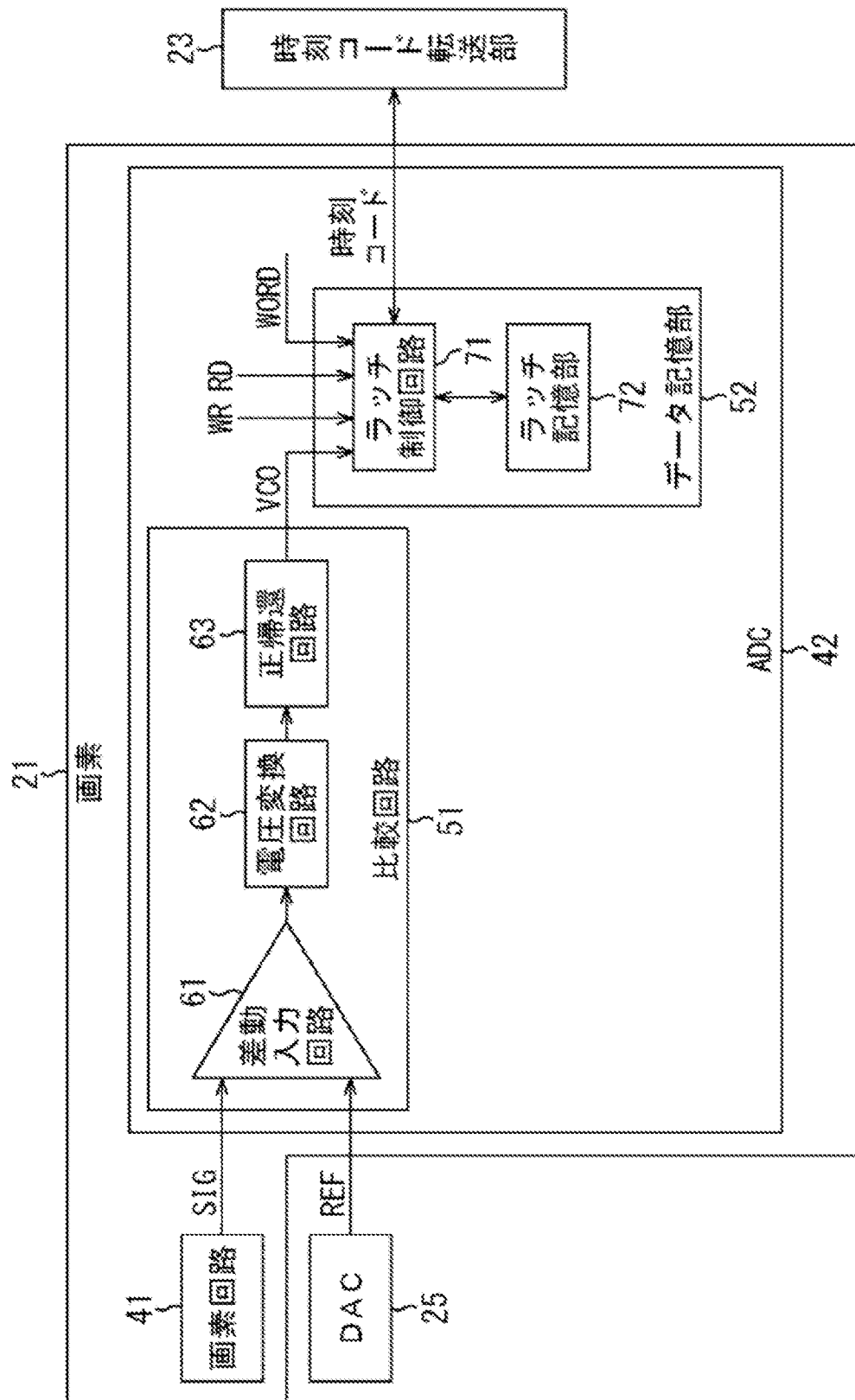
前記記憶部に前記時刻コードを記憶する制御を行うとともに、前記記憶部に記憶された前記時刻コードを更新するか否かを前記画素群ごとに制御する記憶制御部をさらに備える、撮像装置。

[請求項20] 前記記憶制御部は、垂直同期期間内に全画素の画素データを前記信号処理部に転送できなかった画素群については、次の垂直同期期間内に、対応する前記記憶部内の前記時刻コードを更新せずに保持する、請求項 19 に記載の撮像装置。

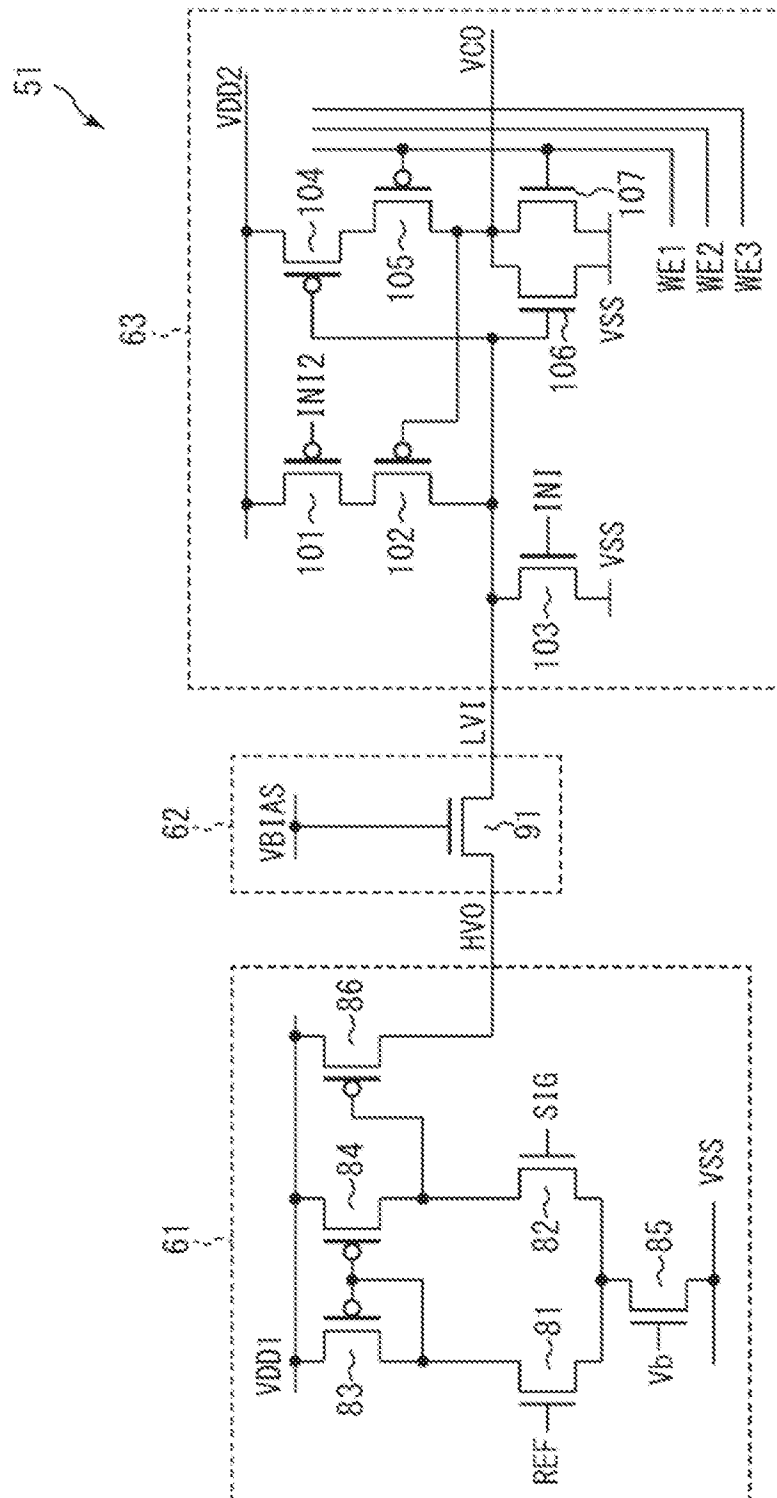
[図1]



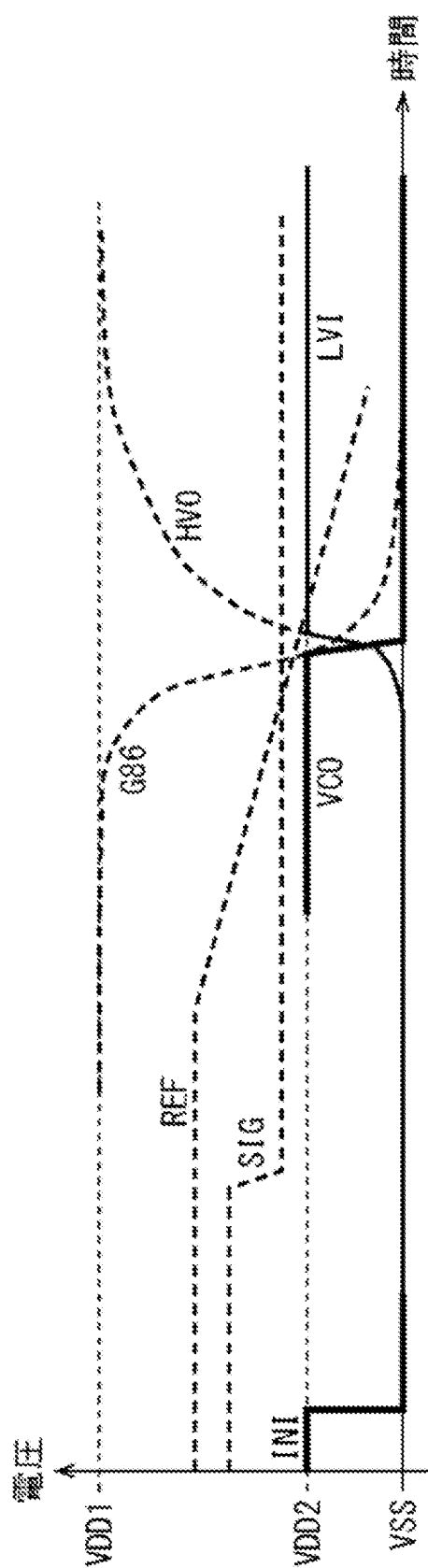
[図2]



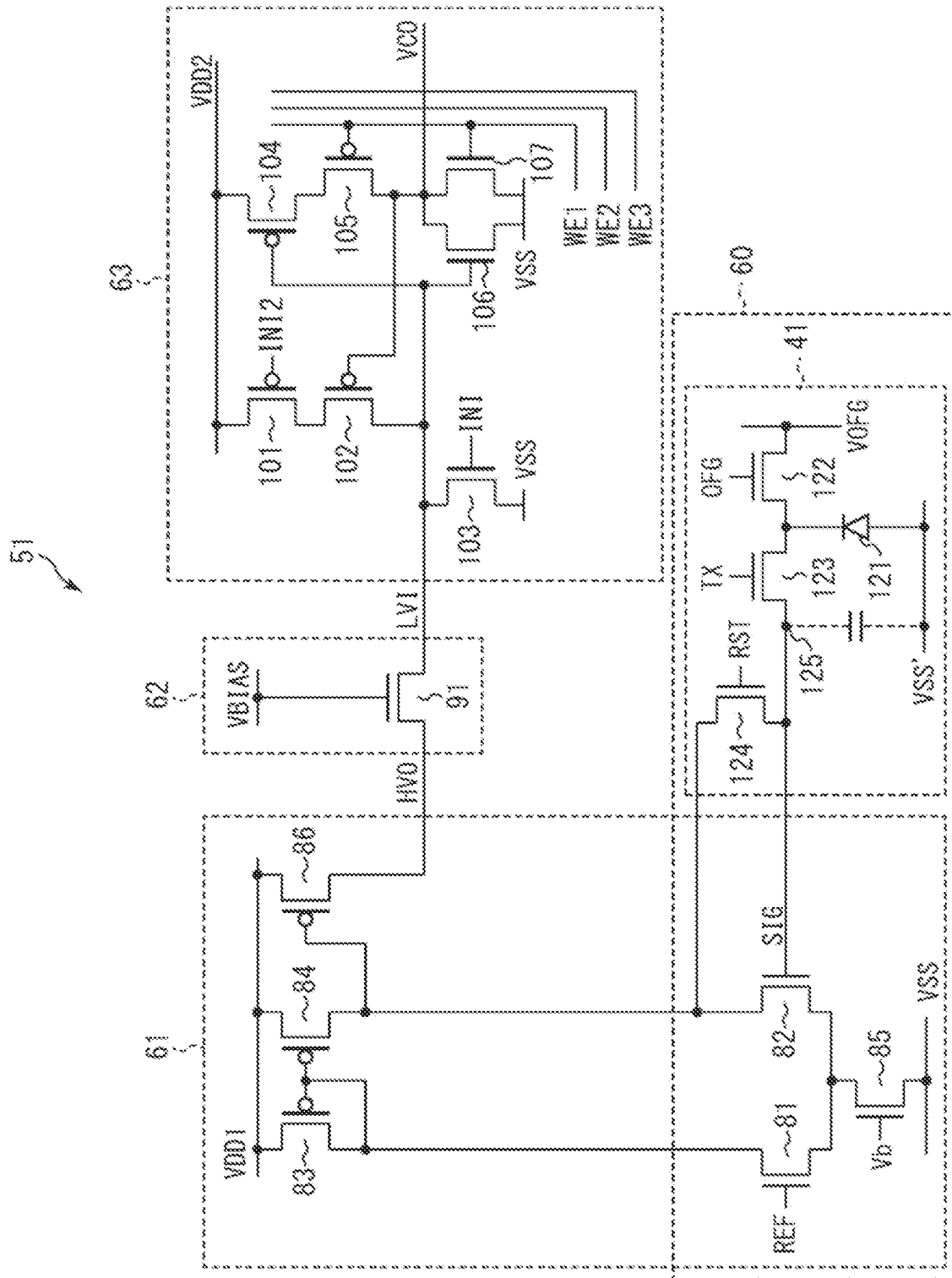
[図3]



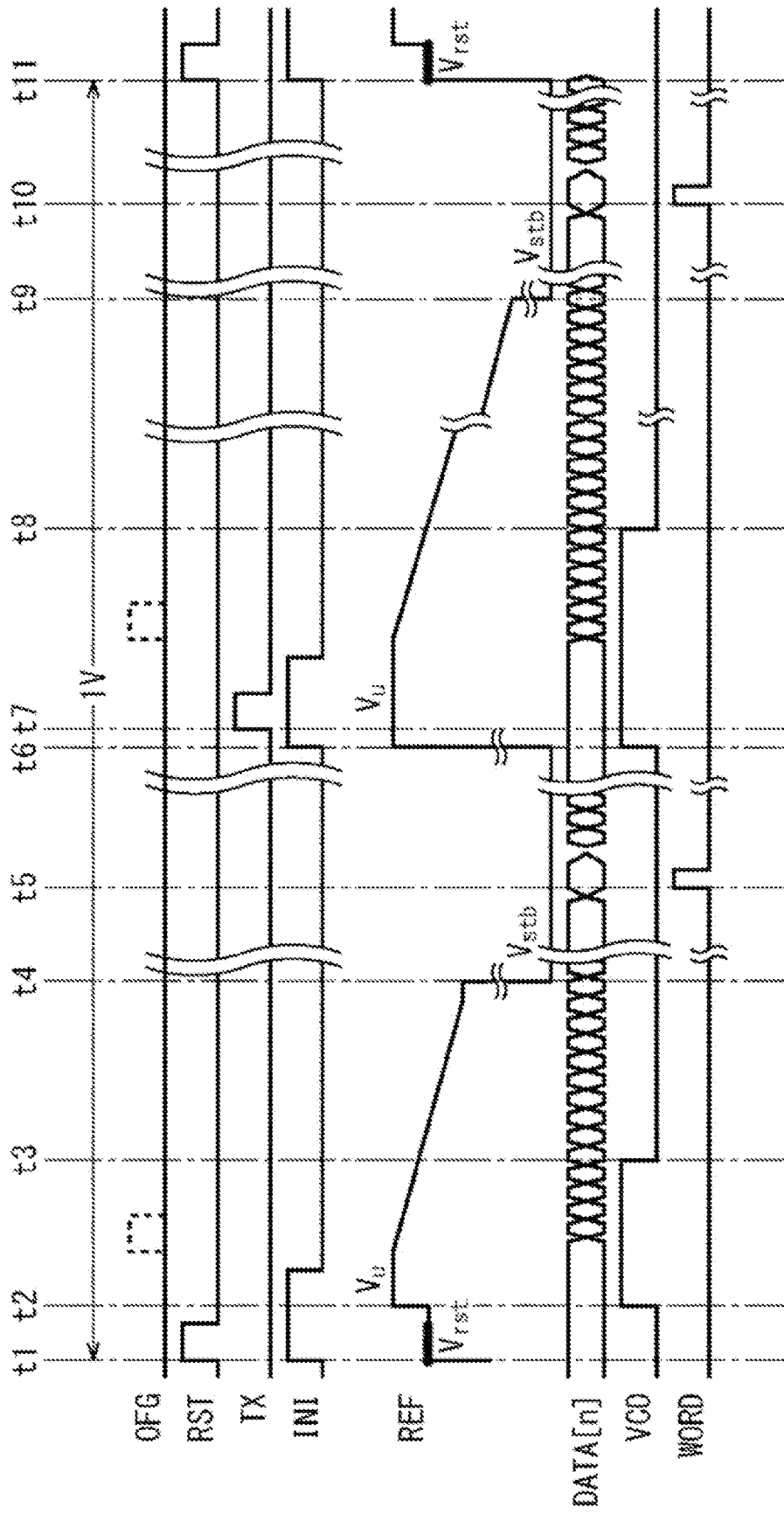
[図4]



[図5]

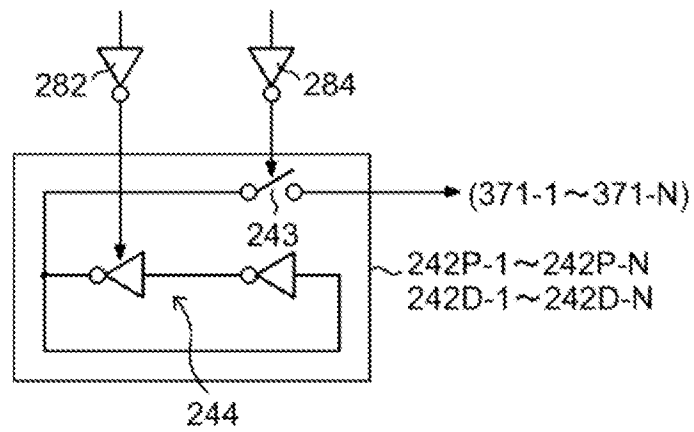


[図6]

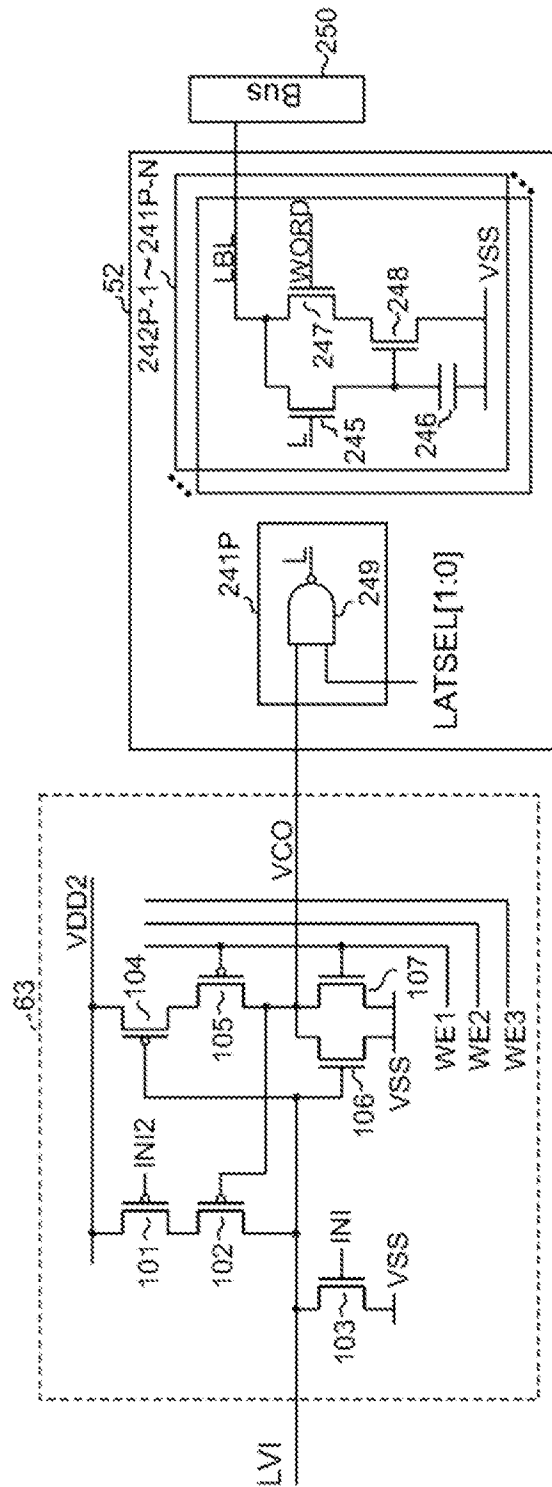


[illegible]

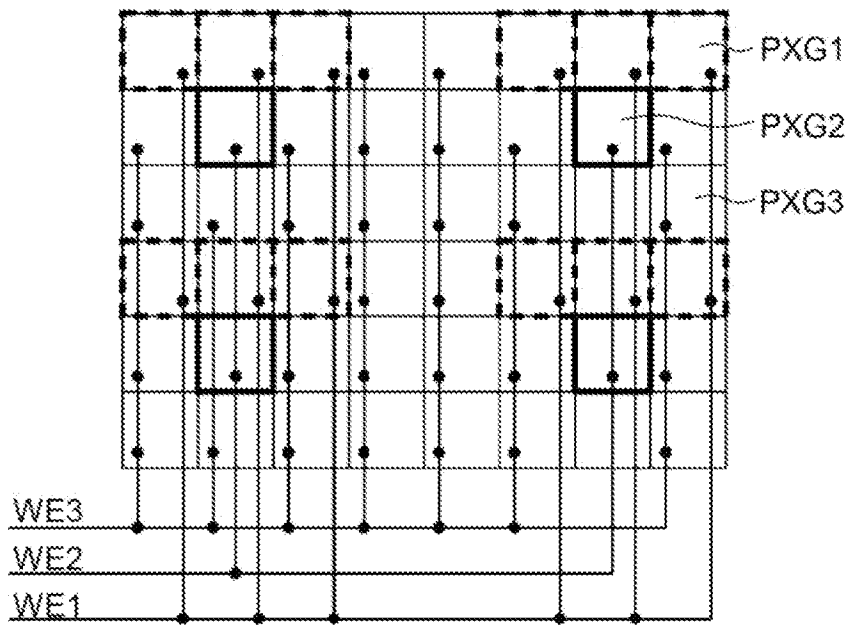
[図8]



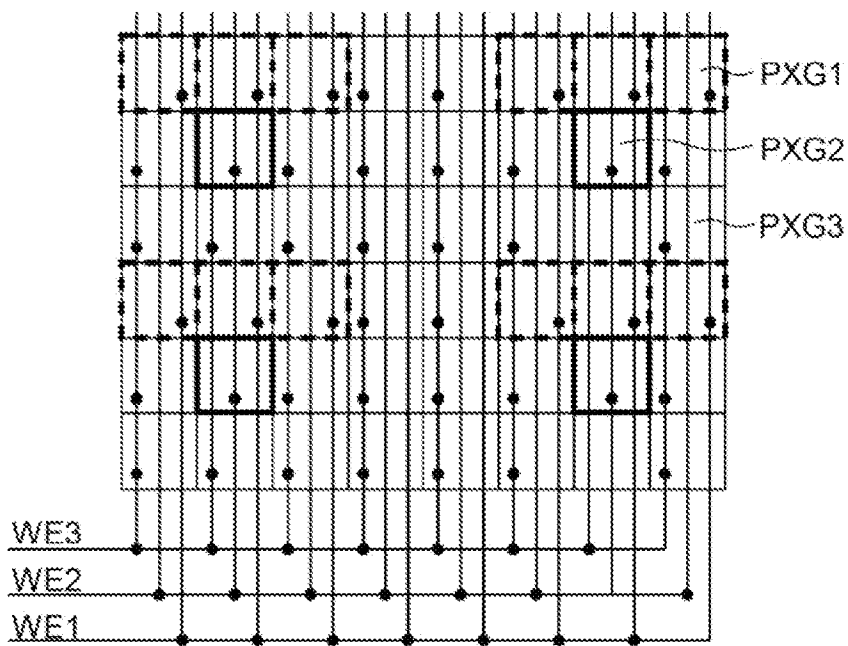
[図9]



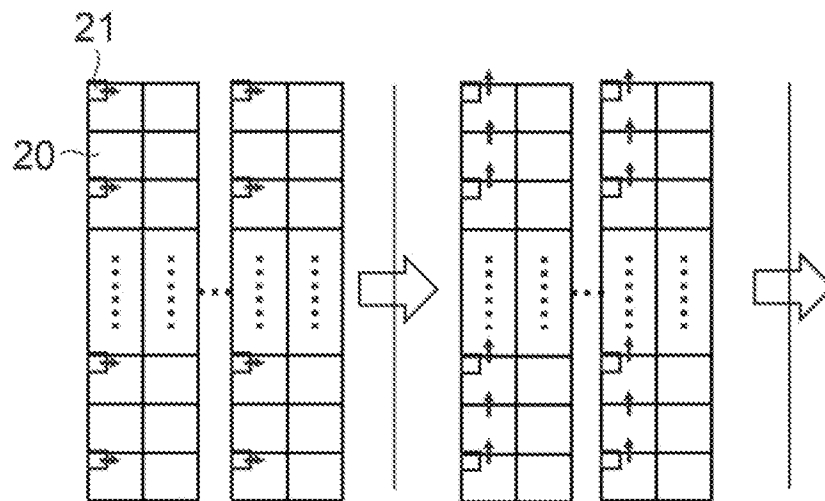
[図10A]



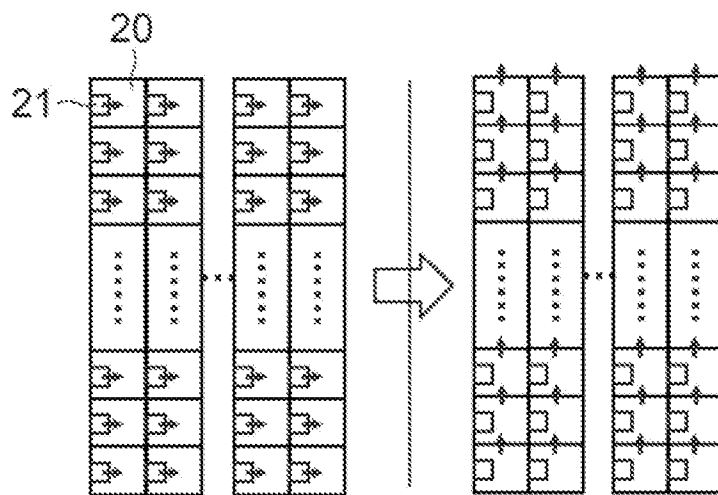
[図10B]



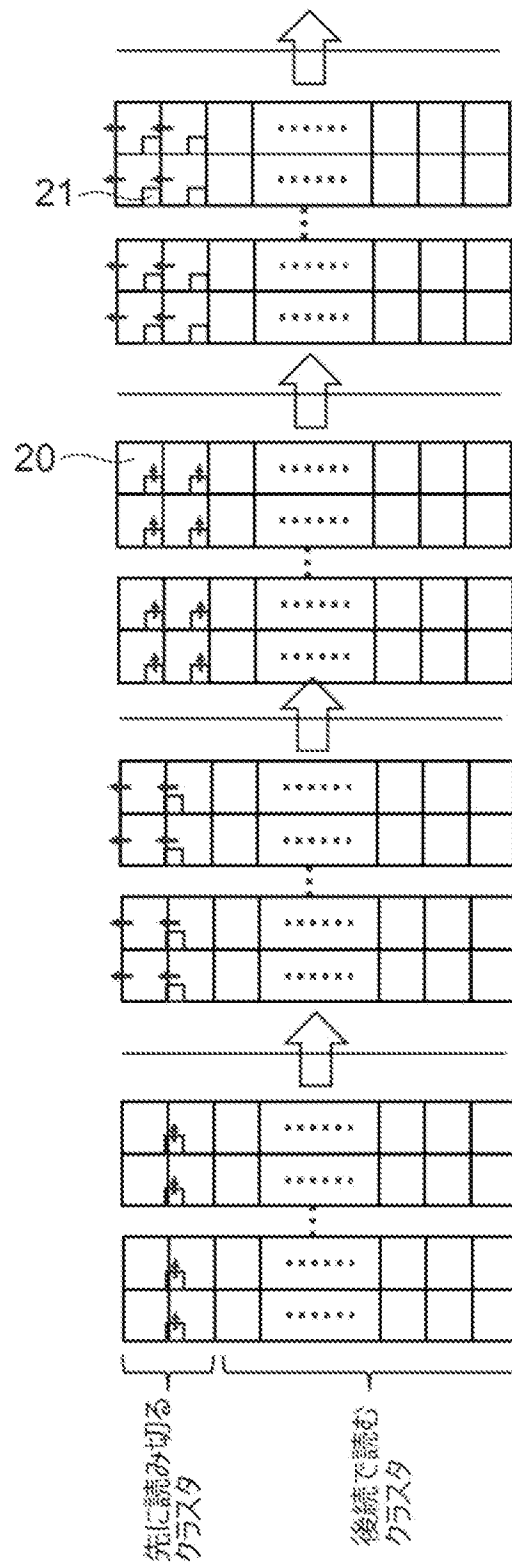
[図11]



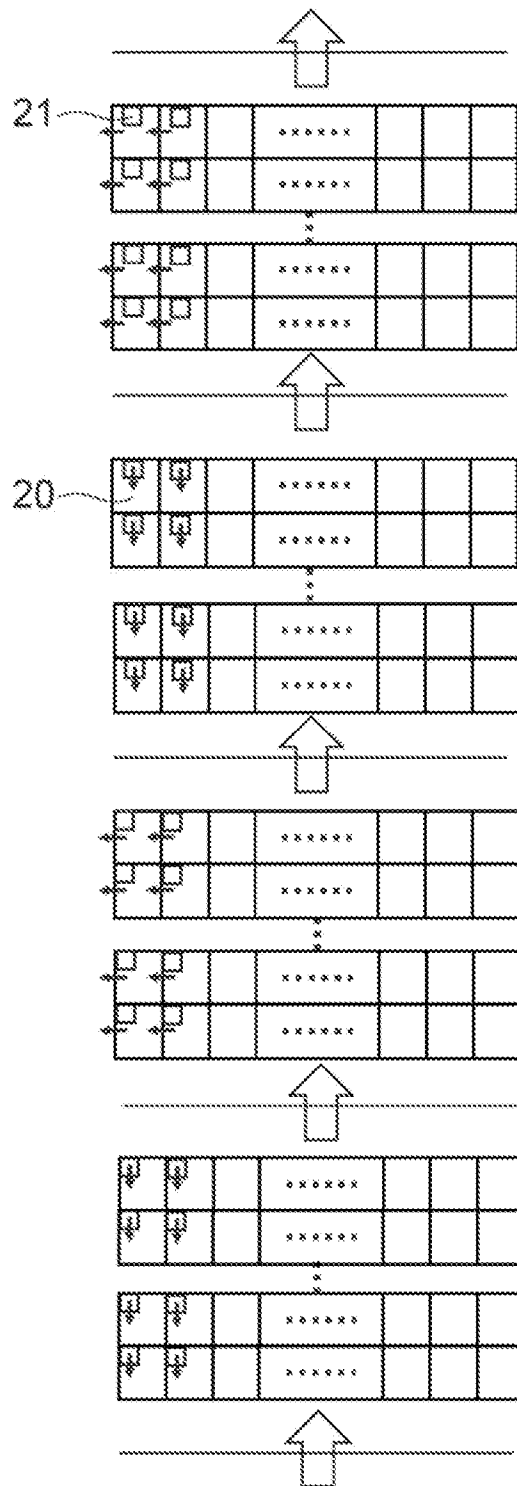
[図12]



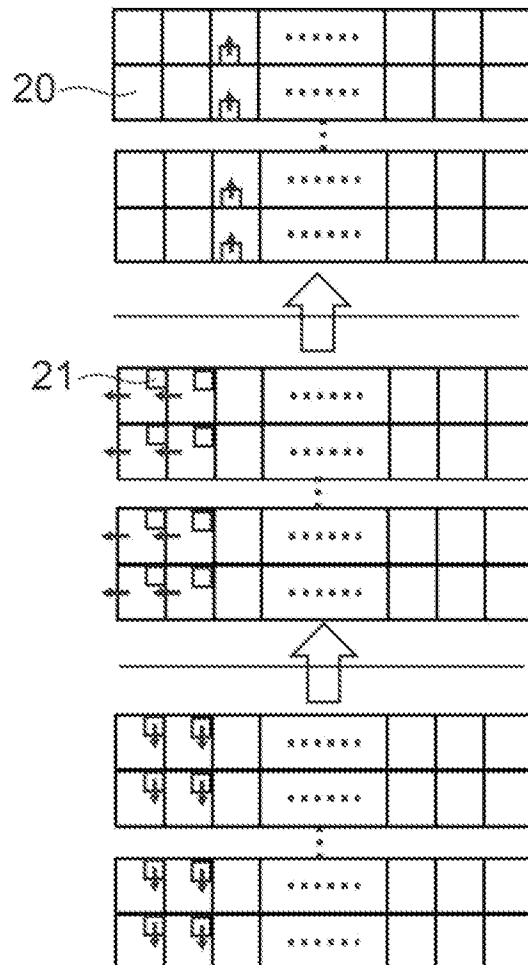
[図13A]



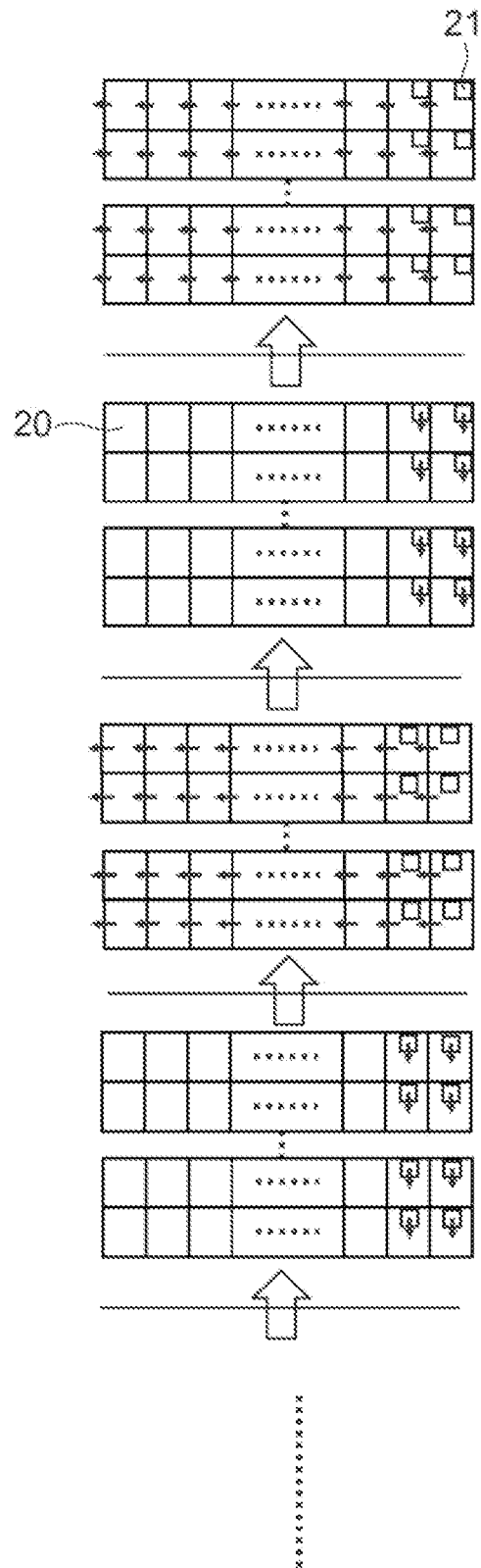
[図13B]



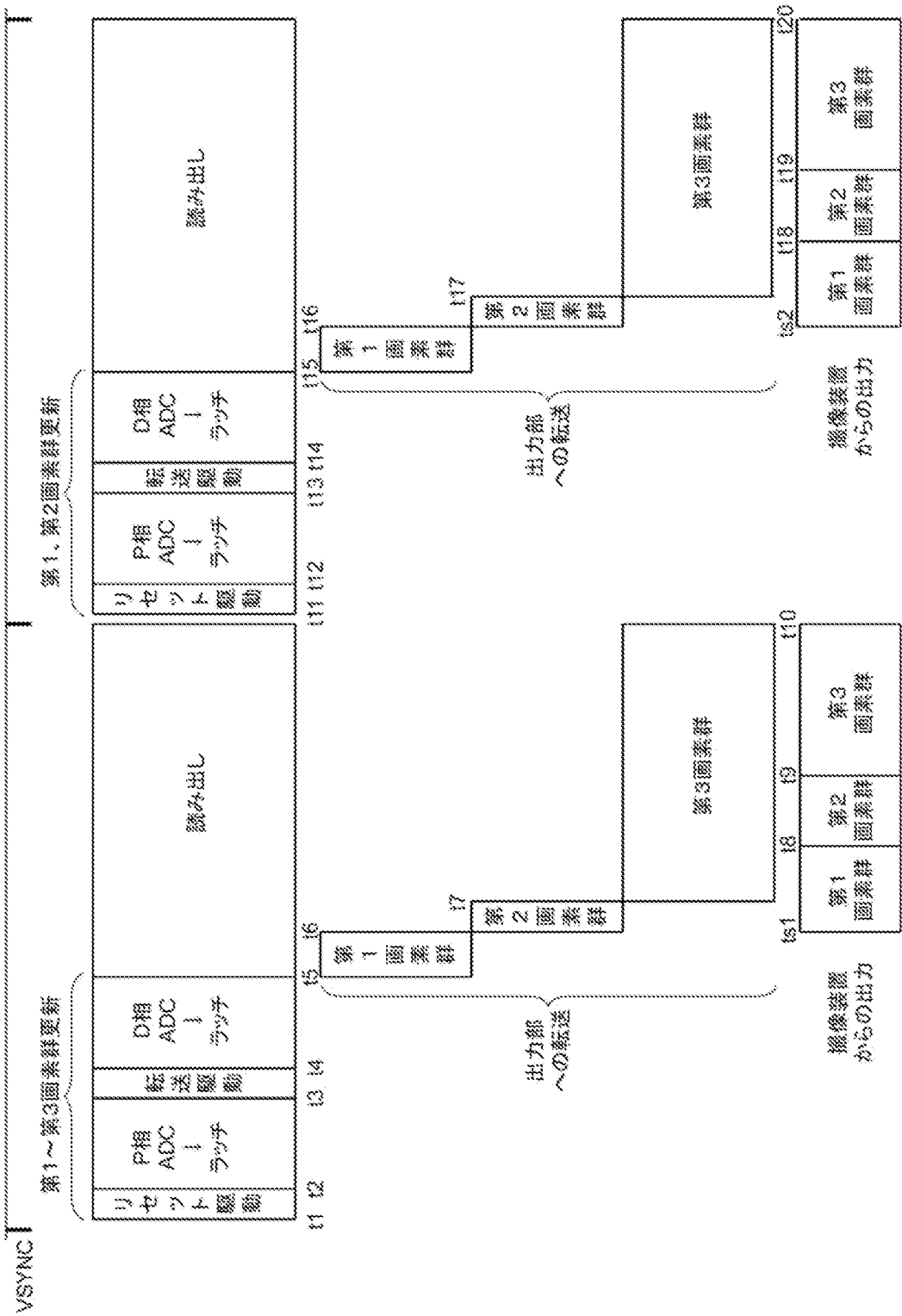
[図13C]



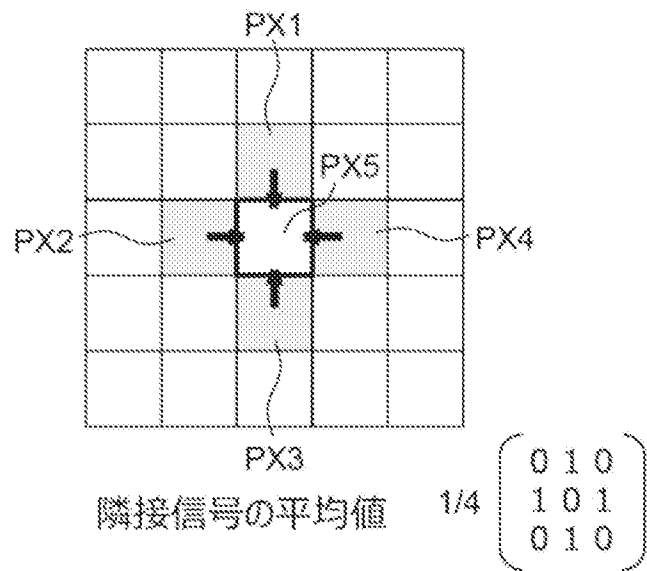
[図13D]



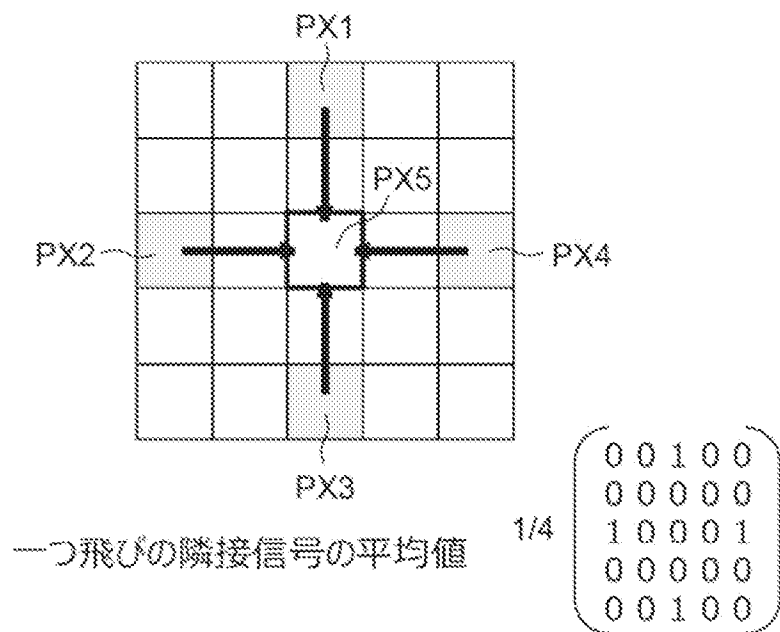
[図14]



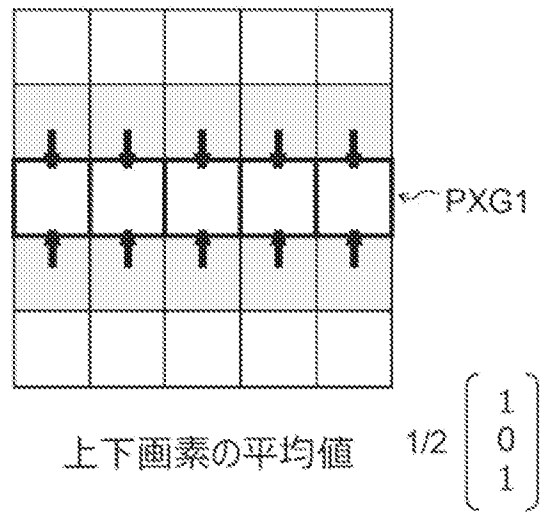
[図15A]



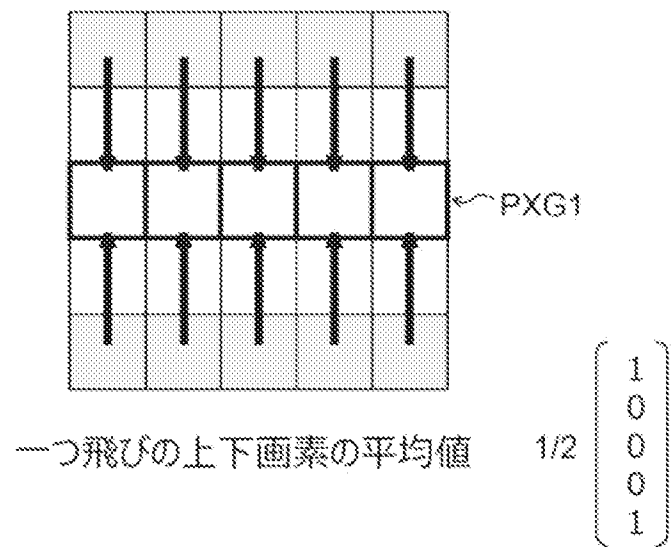
[図15B]



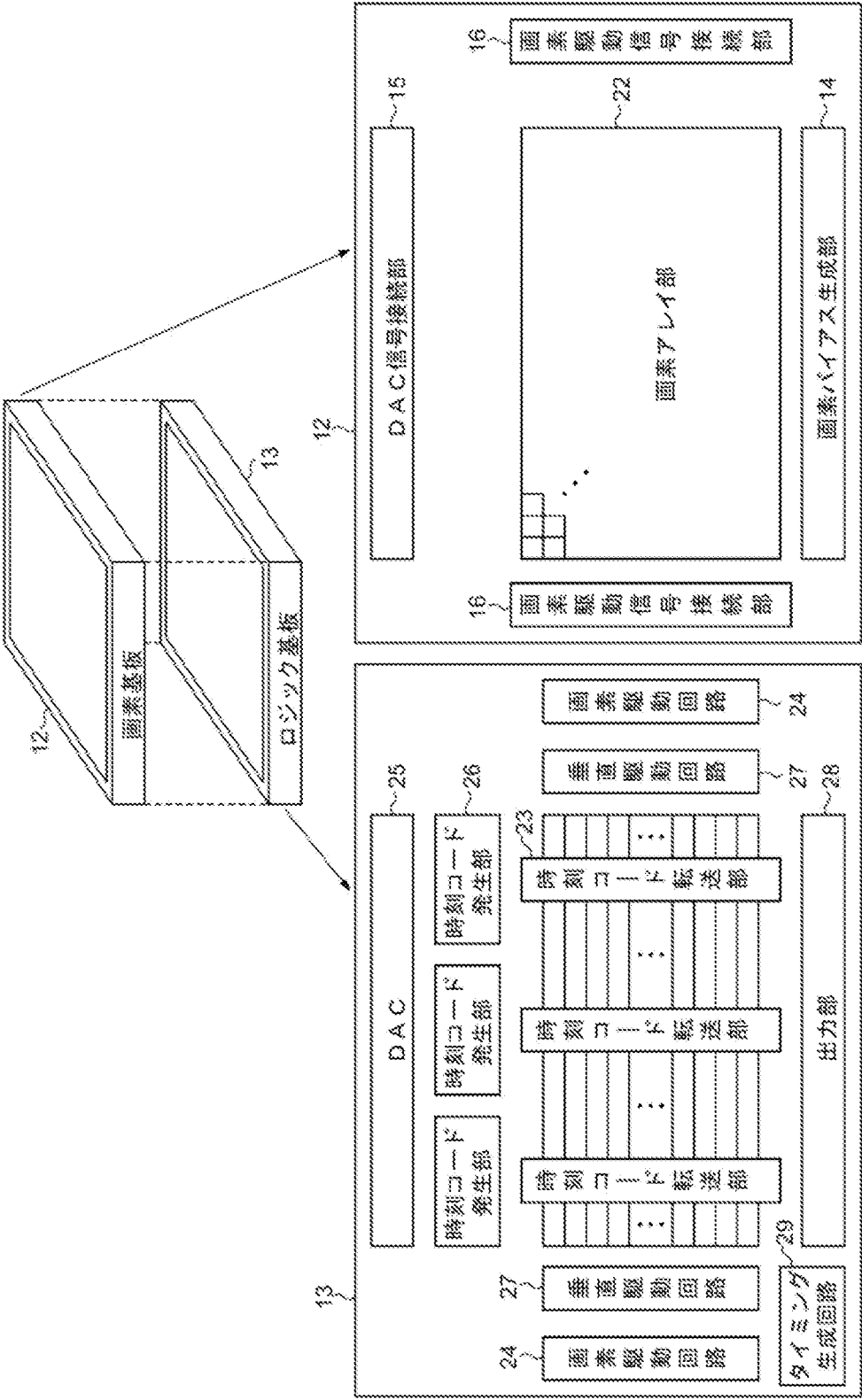
[図15C]



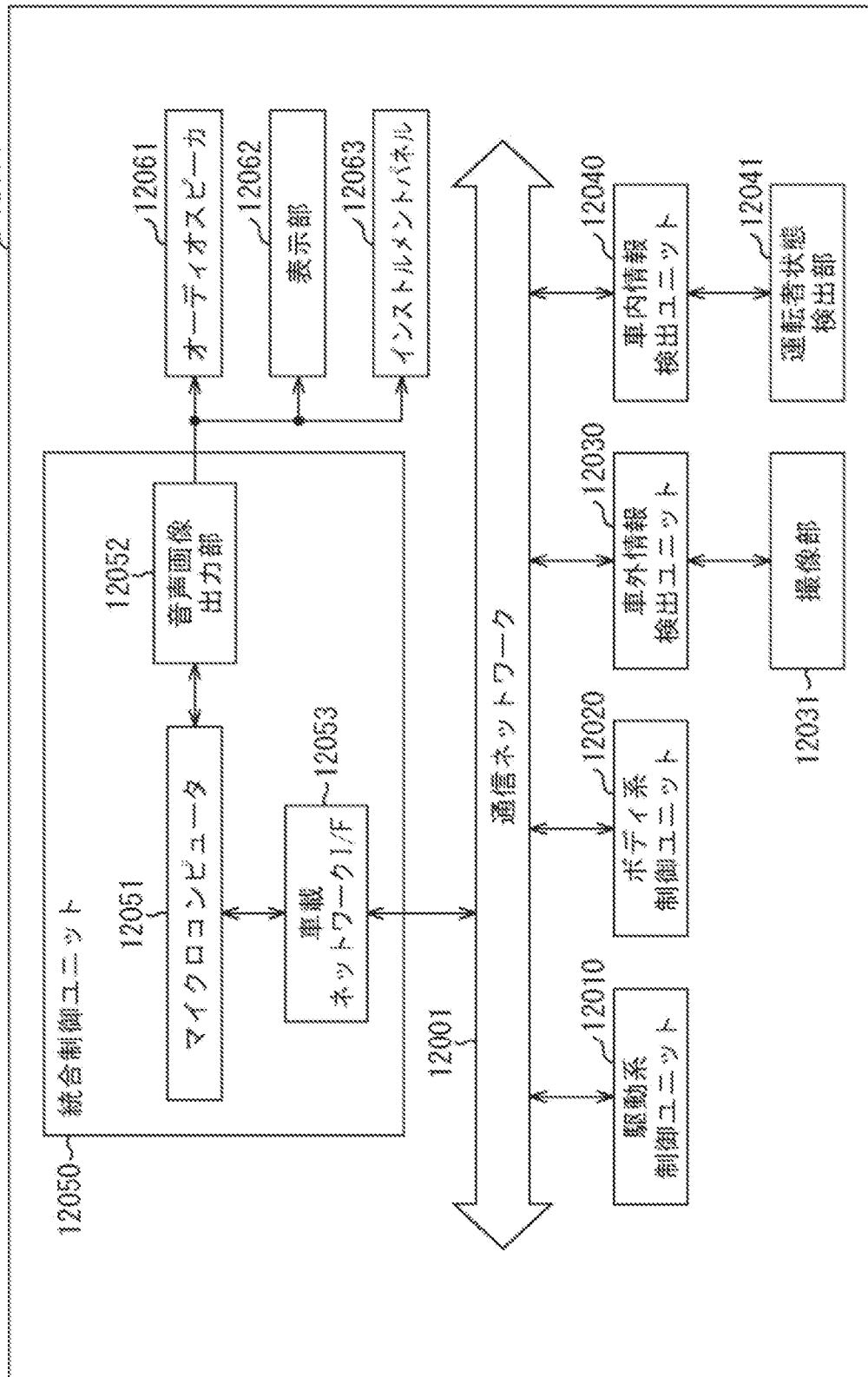
[図15D]



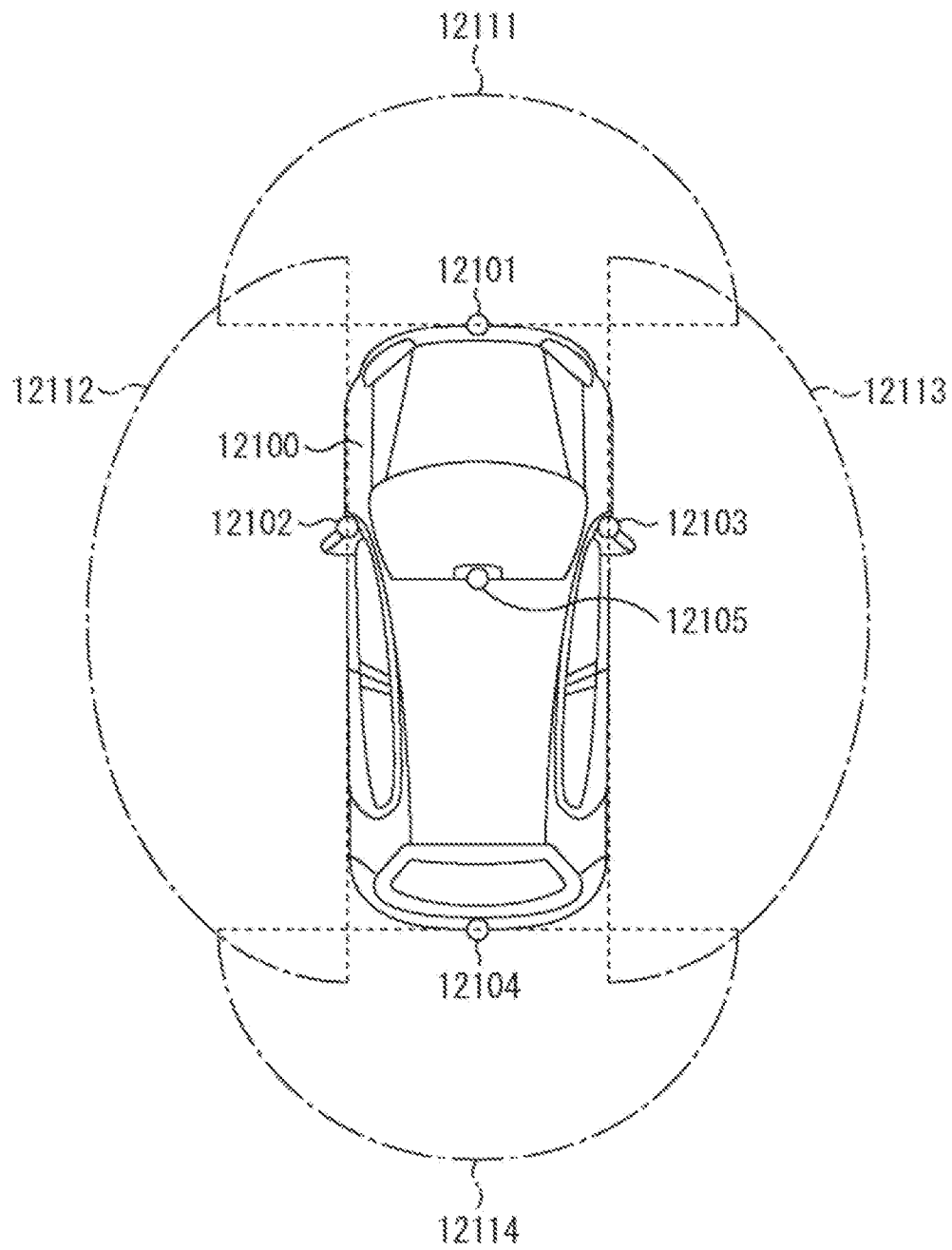
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/039081

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/77**(2023.01)i

FI: H04N5/3745

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-136793 A (CANON KK) 30 August 2018 (2018-08-30) paragraphs [0015], [0016], [0022], fig. 1	1-2, 7-14, 17-18
Y		3-4, 15-16, 19
A		5-6, 20
Y	WO 2016/136448 A1 (SONY CORPORATION) 01 September 2016 (2016-09-01) paragraphs [0027]-[0044], fig. 1, 2	3-4, 19
Y	JP 2019-029985 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 21 February 2019 (2019-02-21) paragraph [0082], fig. 5	15-16

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 December 2022

Date of mailing of the international search report

10 January 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/039081

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-136793	A	30 August 2018	(Family: none)	
WO	2016/136448	A1	01 September 2016	US 2018/0013412 A1 paragraphs [0085]-[0104], fig. 1, 2	
				CN 107409187 A	
JP	2019-029985	A	21 February 2019	US 2020/0161352 A1 paragraph [0122], fig. 5	
				WO 2019/026718 A1	
				CN 110770906 A	
				KR 10-2020-0033802 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/77(2023.01)i FI: H04N5/3745										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/3745 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2022年									
日本国実用新案登録公報	1996 - 2022年									
日本国登録実用新案公報	1994 - 2022年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X Y A	JP 2018-136793 A（キヤノン株式会社）30.08.2018（2018 - 08 - 30） 段落 [0015] , [0016] , [0022] , 図1	1-2, 7-14, 17-18 3-4, 15-16, 19 5-6, 20								
Y	WO 2016/136448 A1（ソニー株式会社）01.09.2016（2016 - 09 - 01） 段落 [0027] - [0044] , 図1, 2	3-4, 19								
Y	JP 2019-029985 A（ソニーセミコンダクタソリューションズ株式会社）21.02.2019 （2019 - 02 - 21） 段落 [0082] , 図5	15-16								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 22. 12. 2022		国際調査報告の発送日 10. 01. 2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/039081

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-136793	A	30.08.2018	(ファミリーなし)	
WO	2016/136448	A1	01.09.2016	US 2018/0013412 A1	
				段落 [0085] - [0104] , 図 1, 2	
				CN 107409187 A	
JP	2019-029985	A	21.02.2019	US 2020/0161352 A1	
				段落 [0122] , 図5	
				WO 2019/026718 A1	
				CN 110770906 A	
				KR 10-2020-0033802 A	