

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4651596号
(P4651596)

(45) 発行日 平成23年3月16日 (2011.3.16)

(24) 登録日 平成22年12月24日 (2010.12.24)

(51) Int.Cl. F I
HO 4 N 1/028 (2006.01) HO 4 N 1/028 Z
HO 4 N 1/19 (2006.01) HO 4 N 1/04 1 O 2

請求項の数 18 (全 21 頁)

(21) 出願番号	特願2006-251547 (P2006-251547)	(73) 特許権者	000006747
(22) 出願日	平成18年9月15日 (2006.9.15)		株式会社リコー
(65) 公開番号	特開2008-72639 (P2008-72639A)		東京都大田区中馬込 1 丁目 3 番 6 号
(43) 公開日	平成20年3月27日 (2008.3.27)	(74) 代理人	100078134
審査請求日	平成21年6月9日 (2009.6.9)		弁理士 武 顕次郎
		(74) 代理人	100106758
			弁理士 橘 昭成
		(72) 発明者	中澤 政元
			東京都大田区中馬込 1 丁目 3 番 6 号 株式
			会社リコー内
		審査官	堀井 啓明

最終頁に続く

(54) 【発明の名称】 光電変換素子、画像読み取り装置及び画像形成装置

(57) 【特許請求の範囲】

【請求項 1】

光信号を電気信号に変換する光電変換素子であって、
 同一出力端子について、光量に依存した信号（以下、通常信号と称す）を出力する通常出力モードと、

光量に依存しない一定の信号（以下、ダミー信号と称す）を出力するダミー出力モードと、

を備えるとともに、

前記ダミー信号を生成するダミー信号生成部と、

前記ダミー信号生成部と前記出力端子の間に設けられたスイッチ手段と、

出力 ON / OFF 制御機能をもつ出力バッファと、

を備え、

前記出力バッファの ON / OFF と前記スイッチ手段の ON / OFF によって前記通常出力モードと前記ダミー出力モードの切り替えを行うことを特徴とする光電変換素子。

【請求項 2】

前記ダミー信号生成部で生成されるダミー信号は直流電位であることを特徴とする請求項 1 記載の光電変換素子。

【請求項 3】

前記ダミー信号のオフセットレベルは通常信号のオフセットレベル相当であることを特徴とする請求項 2 記載の光電変換素子。

10

20

【請求項 4】

電源 ON 時の初期状態が前記ダミー出力モードであることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の光電変換素子。

【請求項 5】

前記通常出力モードか前記ダミー出力モードかを切り替える切替信号は外部端子から供給されることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の光電変換素子。

【請求項 6】

前記通常出力モードか前記ダミー出力モードかを切り替える切替信号はローパスフィルタによる遅延を用いて内部的に生成されることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の光電変換素子。

10

【請求項 7】

前記通常出力モードか前記ダミー出力モードかを切り替える切替信号は、ローパスフィルタによる遅延を用いて内部的に生成された信号と、外部端子からの供給信号の論理和または論理積であることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の光電変換素子。

【請求項 8】

前記ローパスフィルタを構成する抵抗または容量の少なくとも一方は外部端子からの供給であることを特徴とする請求項 6 又は 7 に記載の光電変換素子。

【請求項 9】

光信号を電気信号に変換する光電変換素子であって、
同一出力端子について、通常信号を出力する通常出力モードと、信号変化を遅くした遅延信号を出力する遅延出力モードを備えるとともに、
前記遅延信号を生成する遅延信号生成部と、前記遅延信号か前記通常信号のどちらかに信号ラインを切り替えるラインセレクトまたはラインスイッチを備え、いずれかの切り替えによって前記通常出力モードと遅延出力モードを切り替えることを特徴とする光電変換素子。

20

【請求項 10】

光信号を電気信号に変換する光電変換素子であって、
同一出力端子について、通常信号を出力する通常出力モードと、信号変化を遅くした遅延信号を出力する遅延出力モードを備えるとともに、
前記遅延信号を生成する遅延信号生成部と、
前記遅延信号生成部と出力端子の間に設けられたスイッチ手段と、
出力 ON/OFF 制御機能をもつ出力バッファと、
を備え、
前記出力バッファの ON/OFF とスイッチ手段の ON/OFF によって前記通常出力モードと前記遅延出力モードの切り替えを行うことを特徴とする光電変換素子。

30

【請求項 11】

前記遅延信号生成部はローパスフィルタからなることを特徴とする請求項 9 又は 10 記載の光電変換素子。

【請求項 12】

電源 ON 時の初期状態が前記遅延出力モードであることを特徴とする請求項 9 ないし 11 のいずれか 1 項に記載の光電変換素子。

40

【請求項 13】

前記遅延出力モードか前記通常出力モードかを切り替える切替信号は外部端子によって供給されることを特徴とする請求項 10 ないし 12 のいずれか 1 項に記載の光電変換素子。

【請求項 14】

前記遅延出力モードか前記通常出力モードかを切り替える切替信号は、ローパスフィルタによる遅延を用いて内部的に生成されることを特徴とする請求項 10 ないし 12 のいずれか 1 項に記載の光電変換素子。

50

【請求項 15】

前記遅延出力モードか前記通常出力モードかを切り替える切替信号は、ローパスフィルタによる遅延を用いて内部的に生成された信号と、外部端子からの供給信号の論理和または論理積であることを特徴とする請求項 10 ないし 12 のいずれか 1 項に記載の光電変換素子。

【請求項 16】

前記ローパスフィルタを構成する抵抗又は容量の少なくとも一方は外部端子からの供給であることを特徴とする請求項 11、14 及び 15 のいずれか 1 項に記載の光電変換素子。

【請求項 17】

請求項 1 ないし 16 のいずれか 1 項に記載の光電変換素子を備えていることを特徴とする画像読み取り装置。

【請求項 18】

請求項 17 記載の画像読み取り装置を備えていることを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換素子、この光電変換素子を備えた画像読み取り装置、及び画像形成装置に係り、特に原稿光信号を電気信号に変換する CCD の後段のデバイス保護技術に関する。

【背景技術】

【0002】

光読み取り装置、所謂スキャナは、まず走査光学系により露光走査を行い、得られた反射光を光電変換素子（以下、CCD と称す）によってアナログ電気信号に変換し、種々のアナログ処理を行った後に、当該処理されたアナログ信号をデジタルデータへと変換（A/D 変換）し、画像データを生成する。ここで、種々のアナログ処理から A/D 変換するまでは、通常、アナログ・フロント・エンド（以下、AFE と称す。AFE は Analog Front-End の略である）と呼ばれる信号処理 IC によって一連に処理される。

【0003】

図 19 は従来から実施されている前記処理を実行するアナログ処理回路の構成を示す図である。原稿からの反射光は CCD 9 によって電気信号に変えられ、交流結合 15 を介して AFE 16 に入力し 10 bit のデジタルデータとして外部端子 96a から出力される。なお、一般的には CCD 9 の後段にはバッファが置かれるが、ここでは説明簡略化のため省略する。CCD 9 は、フォトセル（PC）91、転送ゲート（TG）92、アナログシフトレジスタ（ASR）93、出力バッファ（BF）94 から構成される。その主な動作は、PC 91 で光を受光し、その光に応じて蓄積した電荷を、TG 92 を介して ASR 93 に転送する。ASR 93 では、転送された電荷を画素方向に（図中の矢印方向に）順次転送していき、最終段まで信号が転送されると、BF 94 から外部信号として出力される。

【0004】

このとき、図 20 のタイミングチャートに示すように、電源 ON/OFF 時の CCD 出力はオフセット変化や初期蓄積電荷の掃き出し等によって大振幅の信号変化をする。そのため、後段の AFE 16 ではその信号変化によって入力定格を満足できなくなり、デバイスの故障や破壊といった事態を招く可能性がある。

【0005】

すなわち、CCD 出力は通常 AC 結合 15 を介して AFE 16 に入力されており、その出力電圧変化（AC 成分）が AFE 16 に伝達される。このとき AFE 16 の入力端子電圧は最大定格以内である必要があり、一般に通常動作ではこれを満足している。しかし、電源 ON/OFF 時の場合は、大きな直流電位の変化、すなわち過大電圧が確実に発生し

10

20

30

40

50

、上記最大定格を超えてしまう可能性がある。複写機などの機器においては、電源ON／OFFについては日に数回程度と少ないが、低消費電力モード（省エネモード）を備えた機器では頻繁に電源のON／OFFが起こるため、この過大電圧によるデバイスの特性劣化さらには破損といったリスクが大幅にアップしてしまう。

【0006】

過大電圧の発生源は主にCCD9であるが、その要因には直流オフセット変化やCCD9の蓄積電荷などが挙げられる。ここで、直流オフセット変化は電源電位からGND、またはGNDから電源電位の変化に伴うため、電源ON／OFF時には必ず発生する。また、CCD蓄積電荷はCCD9にそれまで蓄積されていた電荷のことであり、この電荷が駆動信号（電荷シフト信号、転送クロック）の入力されるタイミングで掃き出されることによ

10

【0007】

なお、関連する技術として、例えば特許文献1又は2記載の技術が知られている。このうち、特許文献1には、複数の撮像チップを配置した撮像モジュールにおいて、各撮像チップを順次読み出しする場合に、純粋な信号成分のみを、チップ出力信号として読み出せるようにすることを目的とし、画素部からの撮像信号を転送される蓄積ゲートに対して、同様の構成のダミー蓄積ゲートを配置し、ダミー蓄積ゲートの電荷と、蓄積ゲートの電荷を、それぞれダミーシフトゲートと、シフトゲートを通じて、同時に、空送りレジスタおよびCCDレジスタに転送し、補償回路付き信号処理回路においては、先に読み出される空送りレジスタ7の信号に基づいて参照電圧を生成し、続いて読み出されるCCDレジスタからの信号を、この参照電圧により補償して、画素部からの信号に、時間経過に応じて蓄積ゲートで付加される暗時成分を除去し、チップ出力信号として画素部からの信号に忠実な信号出力を得るようにした技術が開示されている。

20

【0008】

また、特許文献2には、レベル調整、或いは検査に用いる疑似読み取り信号の生成を行うための回路構成を簡単化して、部品数を低減、コストを下げることを目的とし、カラー読取モードではCPUにより設定されるDACの各出力チャンネルの電圧を各色のADCのリファレンスVrefとし、各画像出力レベルを調整し、白黒濃度調整読取モードではG信号のみ使用し画像出力し、濃度調整はアナログ処理回路の出力画像のピーク値をADCのリファレンス電圧Vrefとし、オフセット調整回路でDACのG以外のチャンネルの1つを調整に用い、検査モードではDACのチャンネルを使い分け、各色毎にCCD疑似出力信号とADCのリファレンスVrefを生成し、上記各モードでDACを共通化する技術が開示されている。

30

【特許文献1】特開平11-261897号公報

【特許文献2】特開2002-237957号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

一方、これまでCCD出力の変化を抑制する方法として、CCD電源の立ち上げをローパスフィルタ（LPF）で遅くする方法などがある。しかしながら、過大電圧の影響を抑えるには数ms～数十msの時定数が必要であり、当然、大容量のコンデンサを必要とすることになる。大容量のコンデンサは、コストや実装スペースの面で不利になる。特に、電源ON時に一連の事象として起こる過大電圧を全て抑制しようとするとさらに大きな時定数が必要となるため、過大電圧を完全に抑制することは実際上不可能である。前記過大電圧は、電源ON時、過大電圧は数百ms～数sの間にわたり種々の要因（オフセット変化、蓄積電荷、過渡動作）で複数回発生する。

40

【0010】

そこで、本発明が解決すべき課題は、電源ON時などの長期間にわたる一連の過大電圧

50

を抑制することができ、また、電源ON／OFF時のオフセット変化による過大電圧を含む一連の過大電圧を低減することができるようにすることにある。

【課題を解決するための手段】

【0011】

前記課題を解決するため、第1の手段は、光信号を電気信号に変換する光電変換素子であって、同一出力端子について、光量に依存した信号（以下、通常信号と称す）を出力する通常出力モードと、光量に依存しない一定の信号（以下、ダミー信号と称す）を出力するダミー出力モードと、を備えるとともに、前記ダミー信号を生成するダミー信号生成部と、前記ダミー信号生成部と前記出力端子の間に設けられたスイッチ手段と、出力ON／OFF制御機能をもつ出力バッファと、を備え、前記出力バッファのON／OFFと前記スイッチ手段のON／OFFによって前記通常出力モードと前記ダミー出力モードの切り替えを行うことを特徴とする。

10

この場合、前記ダミー信号生成部で生成されるダミー信号は直流電位であり、前記ダミー信号のオフセットレベルは通常信号のオフセットレベル相当である。また、電源ON時の初期状態が前記ダミー出力モードである。

更に、前記通常出力モードか前記ダミー出力モードかを切り替える切替信号は外部端子から供給され、あるいは、ローパスフィルタによる遅延を用いて内部的に生成され、または、ローパスフィルタによる遅延を用いて内部的に生成された信号と、外部端子からの供給信号の論理和または論理積から生成される。なお、前記ローパスフィルタを構成する抵抗または容量の少なくとも一方は外部端子から供給されるようにすることもできる。

20

【0012】

第2の手段は、光信号を電気信号に変換する光電変換素子であって、同一出力端子について、通常信号を出力する通常出力モードと、信号変化を遅くした遅延信号を出力する遅延出力モードを備えるとともに、前記遅延信号を生成する遅延信号生成部と、前記遅延信号か前記通常信号のどちらかに信号ラインを切り替えるラインセクタまたはラインスイッチを備え、いずれかの切り替えによって前記通常出力モードと遅延出力モードを切り替えることを特徴とする。

第3の手段は、光信号を電気信号に変換する光電変換素子であって、同一出力端子について、通常信号を出力する通常出力モードと、信号変化を遅くした遅延信号を出力する遅延出力モードを備えるとともに、前記遅延信号を生成する遅延信号生成部と、前記遅延信号生成部と出力端子の間に設けられたスイッチ手段と、出力ON／OFF制御機能をもつ出力バッファと、を備え、前記出力バッファのON／OFFとスイッチ手段のON／OFFによって前記通常出力モードと前記遅延出力モードの切り替えを行うことを特徴とする。

30

これらの場合、前記遅延信号生成部はローパスフィルタから構成され、電源ON時の初期状態は前記遅延出力モードである。また、前記遅延出力モードか前記通常出力モードかを切り替える切替信号は外部端子によって供給され、あるいは、ローパスフィルタによる遅延を用いて内部的に生成され、または、ローパスフィルタによる遅延を用いて内部的に生成された信号と、外部端子からの供給信号の論理和または論理積から生成される。なお、前記ローパスフィルタを構成する抵抗又は容量の少なくとも一方は外部端子からの供給されるようにすることもできる。

40

【0030】

第4の手段は、第1ないし第16のいずれか1項に係る光電変換素子を画像読み取り装置が備えていることを特徴とする。

【0031】

第5の手段は、第4の手段に係る画像読み取り装置を画像形成装置が備えていることを特徴とする。

【0038】

なお、後述の実施形態では、光電変換素子はCCD9に、ダミー信号生成部は符号95(DUMMY)に、選択手段はセクタ96に、スイッチ手段はスイッチ（切り替え回路

50

） 97 に、ローパスフィルタは符号 96 c に、出力バッファはバッファ 94 に、外部端子 96 a, 96 b, 96 d, 96 e に、遅延信号生成部は符号 98 (D E L A Y) に、画像読み取り装置は 11, 500 に、画像形成装置は P R に、それぞれ対応する。

【発明の効果】

【0039】

本発明によれば、入射光に関係ない一定レベルのダミー信号を C C D が選択的に出力できるようにしたので、電源 O N 時などの長期間にわたる一連の過大電圧を抑制することができ、また、電源 O N / O F F 時のオフセット変化による過大電圧を含む一連の過大電圧を低減することができる。

【発明を実施するための最良の形態】

10

【0040】

以下、図面を参照し、本発明の実施形態について説明する。なお、以下の説明で同等な各部には同一の参照符号を付し、重複する説明は適宜省略する。

【0041】

本実施形態では、まず入射光に関係ない一定レベルのダミー信号を C C D が選択的に出力できる構成とする。これにより、過大電圧期間はダミー信号に切り替えることが可能になり、電源 O N 時などの長期間にわたる一連の過大電圧を抑制することができる。ただし、この場合、ダミー信号が出力される設定であっても、電源 O N / O F F 時はダミー信号自体のオフセット変化による過大電圧が発生してしまう。このため、次に、出力変化を遅くした信号を C C D が選択的に出力できる構成とする。これにより、電源 O N / O F F 時のオフセット変化による過大電圧を含む一連の過大電圧を低減することができる。

20

以下、各実施例について具体的に説明する。

【実施例 1】

【0042】

図 1 は本発明の実施例 1 に係る画像読み取り装置の概略構成を示す図である。デジタル複写機でのスキャナ装置のような、原稿画像を C C D で読み取り、画像信号をデジタル信号に変換して処理する画像読み取り装置は、図 1 に示すようにスキャナ本体 11 の上部に設けられ、原稿 12 を載置するコンタクトガラス 1、原稿露光用のハロゲンランプ 2 及び第 1 反射ミラー 3 を搭載した第 1 キャリッジ 6、第 2 反射ミラー 4 及び第 3 反射ミラー 5 を搭載した第 2 キャリッジ 7、入射した光を光電変換する C C D リニアイメージセンサ 9 (以下、C C D と略称する)、この C C D 9 に第 3 ミラー 5 から入射した読み取り光を結像するためのレンズユニット 8、並びにスキャナ本体 11 の上部に設けられ、読み取り光学系等による各種の歪みを補正するための白基準板 13 から構成される。C C D 9 はセンサボードユニット 10 に搭載され、センサボードユニット 10 上で C C D 9 によって光電変換された信号に対して所定の処理が施される。第 1 キャリッジ 6、第 2 キャリッジ 7、レンズユニット 8、及び C C D 9 を搭載したセンサボードユニット 10 はスキャナ本体 11 内に設置される。原稿走査時は第 1 キャリッジ 3 及び第 2 キャリッジ 7 はステッピングモータ (不図示) によって図示しないレールに沿って 2 対 1 の速度比で副走査方向 A に移動する。

30

【0043】

40

図 2 は本実施例に係る C C D の内部構成を示すブロック図である。この実施例は、C C D 9 に光量に関係なく一定の (直流) レベルをもつダミー信号を出力できるようにして、過大電圧の要因となる一連の大振幅信号変化を抑制し、A F E 16 のデバイス保護を図ったものである。このようにダミー信号を出力したときの特性の一例を図 3 に示す。図 3 はダミー出力による過大電圧抑制特性を示す特性図で、基準電圧 V d d、リセット信号 x r e s e t、c c d - o u t (C C D の通常出力) 及び a f e - i n (アナログフロントエンド入力) の関係を示す。同図から前述の図 20 における初期蓄積電荷掃き出し期間及びリセット期間において c c d - o u t に何の出力変化も生じていないことが分かる。

【0044】

このような特性を有することから、本実施例は、図 19 に示した従来例に対して上記ダ

50

ミー信号を出力し、ダミー出力／通常出力を適切に切り替えられる構成とした。すなわち、図19に図示したCCD9に、さらにダミー信号生成部(DUMMY)95とセレクト(SEL)96を設け、ダミー信号生成部(DUMMY)95でダミー信号を生成し、生成されたダミー信号と通常の有効信号とをSEL96によって切り替えるようにした。swはSEL96によりモード切り替えを行うモード切替信号である。その他、特に説明しない各部分は前述の従来と同等に構成され、同等に機能するので、重複する説明は省略する。

【0045】

ただし、この場合、従来に比べてSEL96を追加した分、SEL96のON抵抗や容量成分などに起因して駆動能力の低下や通常出力時の信号波形の劣化を招く可能性がある。そこで本実施例では、図4のCCDの内部構成を示すブロック図から分かるように、BF出力制御(ON/OFF)とダミー信号ラインのON/OFFによって上記モード(ダミー出力／通常出力)の切り替えを行うスイッチ(切り替え回路)97を設けた。この場合、通常出力時の出力部はバッファ94であるため、上記ON抵抗や容量成分の増加といった問題はなくなり、駆動能力の低下や通常出力時の信号波形の劣化を招くこともない。一方、ダミー信号を単純に直流電位とすれば抵抗のみの分圧回路で済むため、DUMMY95が非常に簡素な構成となる。

10

【0046】

図5はDUMMY95を抵抗R1, R2を使用した分圧回路で構成した例を示すブロック図である。このとき、分圧回路95aの抵抗R1, R2をBF94の出力インピーダンスに対して十分大きい値とすれば、ダミー信号ラインでのスイッチ97は不要となりBF出力制御のみでモードの切り替えを行うことができ、更なる構成の簡素化が可能となる。また、ダミー信号の直流オフセットレベルと通常出力時のオフセットレベルを同程度にすることによって、モード切替時のオフセット変化(過大電圧の要因になる)を最小限にすることができる。さらに、CCD電源投入時の初期状態としてダミー信号を出力するように設定しておくことにより、例えば電源ON時などの外部からの設定は不要とすることができる。これによって、例えば電源ON～設定完了までの間、過大電圧対策ができない無効期間の発生を防ぐことができる。

20

【0047】

また、モード切替信号swを外部端子供給(外部端子96b)とすることによって適切なタイミングでの切り替えが可能となる。ただし、電源投入時の初期状態がダミー信号出力である場合、ある一定時間後(一連の過大電圧の影響が小さくなるまでの時間経過後)に通常出力に切り換えなければならないが、これは必ずしも外部端子96bの信号制御によって行う必要はない。すなわち、切替信号を電源の遅延信号のゲートを取った信号とする構成にすることによって、前述の切替を自動的に行うことができる。

30

【0048】

図6(a)は切替信号を電源の遅延信号のゲートを取った信号としたときのCCD9の内部構成を示すブロック図である。なお、符号97aはゲート回路であり、コンデンサC1と抵抗R3とを直列に接続したフィルタ回路(RCフィルタローパスフィルタ)96cのコンデンサC1と抵抗R3との接続点からの出力が入力される。図6(b)はこのときの基準電位Vdd、GATE入力、GATE出力、及び出力モードとの関係を示すタイミングチャートである。この図から、GATE入力がスレッショレベルVthに達すると、GATE出力がハイになるが、通常出力がダミー出力と同等であることが分かる。さらに、外部端子96bからの信号と上記遅延信号による信号との論理和または論理積をとることによって、電源ON時は自動切替、それ以外では信号制御でモード切替が可能となり、例えば電源ON後しばらくしてシステムリセットがある場合にも過大電圧対応ができるようになる。

40

【0049】

図7(a)は外部端子96bからの信号と上記遅延信号による信号との論理和または論理積をとる場合のCCD9の内部構成を示すブロック図である。図7(a)に示した例で

50

は、アンドゲート97bに外部端子96bからの信号と遅延回路による信号とが入力され、両者の論理積をとってBF94からの出力を制御している。図7(b)はこのときの基準電位Vdd、GATE入力、GATE出力、及び出力モードとの関係を示すタイミングチャートである。この図から、Vddがハイ、モード切換信号swがハイの状態ではGATE入力がスレッショレレベルVthに達すると、GATE出力がハイになり、通常出力が出力されるが、このときの通常出力はダミー出力と同等であることが分かる。また、モード切換信号swがローになると、GATE出力もローとなるが、ダミー出力と通常出力が同等なので、過大電圧が発生することはなく、過大電圧による大振幅信号変化が抑制されることが分かる。

【0050】

10

また、前記遅延信号の時定数はシステムごとに異なるため、遅延回路96cの抵抗R3または容量C1の少なくとも一方を外部端子供給（外部端子96b）とすることによってシステム毎に最適な時定数に調整することができる。

【実施例2】

【0051】

実施例1で説明したようにダミー出力の場合、過大電圧を最小限に抑制することが可能であるが、電源ON時にダミー出力自体に生じるオフセット変化による過大電圧は抑えることができない。これを低減させる方法としてはCCD9における出力オフセット変化を小さくすることが重要となる。

【0052】

20

そこで本実施例では、CCD出力変化を遅延させる遅延モードを導入した。この遅延モードでは、CCD出力変化を直接遅くすることから、オフセット変化による過大電圧を含めて全てを低減することができる。このときの特性を図8に示す。図8は遅延出力による過大電圧抑制特性を示す図である。同図から基準電圧Vdd、リセット信号xreset、ccd-out（CCDの通常出力）及びafe-in（アナログフロントエンド入力）の関係が分かる。なお、従来のは図Bに示した通りであり、オフセット変化期間に過大電圧が発生し、初期蓄積電荷掃き出し期間及びリセット期間にccd-outに出力変動が生じている。

【0053】

30

図9及び図10は本実施例に係るCCDの内部構成を示すブロック図である。この実施例は、実施例1のダミー信号生成部95に代えて遅延信号生成部（DELAY）98を設けたもので、その他の各部は前述の実施例1の図2及び図4に示した構成と同一である。なお、図11のブロック図に示すように遅延信号生成部（DELAY）98はASR93（またはバッファ94出力でも可）からの出力をRC回路98aで遅延させることによって簡素な構成で実現することができる。

【0054】

本実施例2では、実施例1と同様に、CCD電源投入時の初期状態を遅延出力モードとすることによって電源ONから設定完了までの間、過大電圧対策ができない無効期間が発生するのを防ぐことができる。

【0055】

40

図11はモード切換信号swを外部端子96bから供給する例を示す図である。モード切替信号swを外部端子供給（外部端子96b）とすることによって適切なタイミングでの切り換えが可能となる。この構成は実施例1における図5の構成と対応する。

【0056】

図12はモード切替を、遅延回路を用いた自動切り替えによって行う例を示す図で、図12(a)は切替信号を電源の遅延信号のゲートを取った信号としたときのCCD9の内部構成を示すブロック図である。符号97aはゲート回路であり、コンデンサC2と抵抗R2とを直列に接続したフィルタ回路（RCフィルタ）96cのコンデンサC2と抵抗R2との接続点からの出力が当該ゲート回路97aに入力される。図12(b)はこのときの基準電位Vdd、GATE入力、GATE出力、及び出力モードとの関係を示すタイミ

50

ングチャートである。この図から、GATE入力がスレッショレレベルV_{th}に達すると、GATE出力がハイになるが、通常出力が遅延出力と同等であることが分かる。さらに、外部端子96bからの信号と上記遅延信号による信号との論理和または論理積をとることによって、電源ON時は自動切替、それ以外では信号制御でモード切替が可能となり、例えば電源ON後しばらくしてシステムリセットがある場合にも過大電圧対応ができるようになる。この構成は実施例1における図6の構成に対応する。

【0057】

図13は外部端子96bからの信号と上記遅延信号による信号との論理和または論理積をとる場合のCCD9の内部構成を示すブロック図である。図13(a)に示した例では、アンドゲート97bに外部端子96bからの信号とRCフィルタ96c（遅延回路）による信号とが入力され、両者の論理積をとってBF94からの出力を制御している。図13(b)はこのときの基準電位V_{dd}、GATE入力、GATE出力、及び出力モードとの関係を示すタイミングチャートである。この図から、V_{dd}がハイ、モード切換信号swがハイの状態ではGATE入力がスレッショレレベルV_{th}に達すると、GATE出力がハイになり、通常出力が出力されるが、このときの通常出力は遅延出力と同等であることが分かる。また、モード切換信号swがローになると、GATE出力もローとなるが、遅延出力と通常出力が同等なので、過大電圧が発生することはない、過大電圧による大振幅信号変化が抑制されることが分かる。

【0058】

また、前記遅延信号の時定数はシステムごとに異なるため、遅延信号生成部98での時定数やモード切替信号用の時定数についても上記と同様に抵抗R1または容量C1の少なくとも一方を外部端子96eから供給することによって最適な時定数に調整することができる。なお、この構成は実施例1における図7の構成に対応する。

【0059】

一方、一連の過大電圧に対して、実施例1におけるダミー出力モードではオフセット変化による過大電圧は抑制できないが、それ以外は完全に抑制できる。遅延出力モードでは、完全に抑制することはできないが、全ての過大電圧を低減することができる。といったように、両者には一長一短ある。が、これは言い換えると、補完的な使い方をする（併用する）ことによって過大電圧抑制効果をさらに向上させることができることを示している。従って、実施例1と実施例2との構成を併用すると、よりすぐれた過大電圧抑制効果を得ることができる。

【実施例3】

【0060】

過大電圧は発生する期間やタイミングはシステム毎に大きくばらつくため、出力モードの切り替えにはマージンを十分に考慮した適切なタイミングで制御する必要がある。そこで本実施例では、出力モードの切り替えをシーケンシャルに制御するようにした。

【0061】

図14は電源ON時又は省エネルギーモード復帰時の制御シーケンスを説明するための図で、図14(a)は制御シーケンスを示すフローチャート、図14(b)は前記制御シーケンス時のAFEリセット信号、CCD電源、CCD出力設定およびクランプ設定のタイミングを示すタイミングチャートである。図14のフローチャートでは、電源OFF/省エネルギーモードから、システム電源ONあるいは省エネルギーモード復帰が指示され、過大電圧対応シーケンスが開始されると（ステップS101）、AFEリセット解除（ステップS102）、AFEクランプ設定をベタクランプに設定し（ステップS103）、CCD出力モードをダミー出力（または遅延出力）にし（ステップS104）、ウェイトする（ステップS105）。このウェイトは電源ON時一連的に起こる過大電圧の影響が十分小さくなるまでの時間であり、通常出力の場合には過大電圧が問題となる期間と考えてよい。そして、ステップS105のウェイト後に、CCD9の出力モードを通常出力にし（ステップS106）、AFEクランプ設定をラインクランプとし（ステップS107）、課題電圧対応シーケンスを終了（ステップS108）して、電源ON時処理、あるいは省

10

20

30

40

50

エネルギーモード復帰時の処理へと移行する。

【0062】

ただし、図14においては、図14(b)のタイミングチャートから分かるようにシステム電源ON又は省エネルギー復帰指示(T0)後、最初にAFE16のリセットを解除し(T1)、CCD9の出力モードの切り替えと同時にAFE16のクランプ動作をベタクランプ設定(T2)としている。クランプ動作はAFE入力段で行われる直流電位再生であり、任意電位に固定(クランプ)する動作である。ここで、クランプ動作はAFE16自身が過大電圧を吸収する効果をもつことが重要であり、ここで言うベタクランプとは可能な限りクランプ期間を延ばした状態のクランプ動作をいう(理想的には1ライン全期間)。このように動作させることによってAFE16の過大電圧吸収効果を最大限に発揮できる。クランプ設定は、CCD9の出力モードと同様に、ウェイト時間後に通常設定(1ライン中任意の期間だけ行う：ラインクランプ)に戻す。

10

【0063】

図15はハードデフォルト有効時の電源ON時又は省エネルギーモード復帰時の制御シーケンスを説明するための図で、図15(a)は制御シーケンスを示すフローチャート、図15(b)は図15(a)の制御シーケンス時のAFEリセット信号、CCD電源、CCD出力設定およびクランプ設定のタイミングを示すタイミングチャートである。図15(b)に示すように、CCD9の電源投入初期状態(T0ーハードデフォルト(ハード初期値))としてダミー出力または遅延出力モード、AFE初期状態(T1)はベタクランプ(T2)としておけば、上記シーケンスはAFEリセット解除(T1)後のCCD出力モードおよびAFEクランプ設定が省略可能となり簡略化することができる。

20

【0064】

すなわち、図15(a)のフローチャートに示すように、電源OFF/省エネルギーモードから、システム電源ONあるいは省エネルギーモード復帰が指示され、過大電圧対応シーケンスが開始されると(ステップS201-T0)、AFEリセットを解除し(ステップS202-T1)、ウェイトする(ステップS203)。このウェイトは図14のステップS105と同様に電源ON時一連的に起こる過大電圧の影響が十分小さくなるまでの時間であり、通常出力の場合には過大電圧が問題となる期間である。そして、ステップS203のウェイト後に、CCD9の出力モードを通常出力にし(ステップS204)、AFEクランプ設定をラインクランプとし(ステップS205)、課題電圧対応シーケンスを終了(ステップS206)して、電源ON時処理、あるいは省エネルギーモード復帰時の処理へと移行する。

30

【0065】

さらに、実施例2の最終パラグラフで述べたように、ダミー出力と遅延出力モードの補完的使用によって過大電圧の抑制効果をさらに上げることができる。図16はダミー出力と遅延出力を併用したときの電源ON時または省エネルギーモード復帰時の制御シーケンスを説明するための図で、図16(a)は制御シーケンスを示すフローチャート、図16(b)は図16(a)の制御シーケンス時のAFEリセット信号、CCD電源、CCD出力設定およびクランプ設定のタイミングを示すタイミングチャートである。

40

【0066】

この図16に示したシーケンスが図14に示したシーケンスと異なるのは、オフセット変化による過大電圧発生期間は遅延出力モードにし、それ以外ではダミー出力モードに設定する点である。図16におけるウェイト1はオフセット変化による過大電圧の影響が十分小さくなるまでの時間とし、ウェイト2は以降のオフセット変化以外による過大電圧の影響が十分小さくなるまでの時間である。このように制御することによってAFEの入力過大電圧をほぼ全て抑制ないし低減することが可能となる。

【0067】

すなわち、図16(a)のフローチャートに示すように、電源OFF/省エネルギーモードから、システム電源ONあるいは省エネルギーモード復帰が指示され、過大電圧対応シーケンスが開始されると(ステップS301)、AFEリセット解除(ステップS302)

50

、A F E クランプ設定をベタクランプに設定し（ステップ S 3 0 3）、C C D 出力モードを遅延出力にし（ステップ S 3 0 4）、ウェイトする（ステップ S 3 0 5）。このウェイトは前述のウェイト 1 であり、オフセット変化による過大電圧の影響が十分小さくなるまでの時間の経過を待つ。次いでウェイト 1 の時間が経過すると、C C D 出力モードをダミー出力にし（ステップ S 3 0 6）、ウェイトする（ステップ S 3 0 7）。このウェイトは前述のウェイト 2 であり、以降のオフセット変化以外による過大電圧の影響が十分小さくなるまでの時間の経過を待つ。そして、ステップ S 3 0 7 のウェイト 2 後に、C C D 9 の出力モードを通常出力にし（ステップ S 3 0 8）、A F E クランプ設定をラインクランプとし（ステップ S 3 0 9）、課題電圧対応シーケンスを終了（ステップ S 3 1 0）して、電源 O N 時処理、あるいは省エネルギーモード復帰時の処理へと移行する。

10

【0068】

図 1 6 のようにダミー出力と遅延出力の併用を図 1 5 に示したシーケンスに適用したのが図 1 7 に示したシーケンス例である。図 1 7 はハードデフォルト有効時のダミー出力と遅延出力を併用したときの電源 O N 時または省エネルギーモード復帰時の制御シーケンスを説明するための図で、図 1 7（a）は制御シーケンスを示すフローチャート、図 1 7（b）は図 1 7（a）の制御シーケンス時の A F E リセット信号、C C D 電源、C C D 出力設定およびクランプ設定のタイミングを示すタイミングチャートである。

【0069】

この図 1 7 に示したシーケンスが図 1 5 に示したシーケンスと異なるのは、オフセット変化による過大電圧発生期間は遅延出力モードにし、それ以外ではダミー出力モードに設定する点である。図 1 7 におけるウェイト 1 はオフセット変化による過大電圧の影響が十分小さくなるまでの時間とし、ウェイト 2 は以降のオフセット変化以外による過大電圧の影響が十分小さくなるまでの時間である。このように制御することによって A F E の入力過大電圧をほぼ全て抑制ないし低減することが可能となる。

20

【0070】

すなわち、図 1 7（a）のフローチャートに示すように、電源 O F F / 省エネルギーモードから、システム電源 O N あるいは省エネルギーモード復帰が指示され、過大電圧対応シーケンスが開始されると（ステップ S 4 0 1）、A F E リセットを解除し（ステップ S 4 0 2）、ウェイトする（ステップ S 4 0 3）。このウェイトは前述のウェイト 1 であり、オフセット変化による過大電圧の影響が十分小さくなるまでの時間の経過を待つ。次いでウェイト 1 の時間が経過すると、C C D 出力モードをダミー出力にし（ステップ S 4 0 4）、ウェイトする（ステップ S 4 0 5）。このウェイトは前述のウェイト 2 であり、以降のオフセット変化以外による過大電圧の影響が十分小さくなるまでの時間の経過を待つ。そして、ステップ S 4 0 5 のウェイト 2 後に、C C D 9 の出力モードを通常出力にし（ステップ S 4 0 6）、A F E クランプ設定をラインクランプとし（ステップ S 4 0 7）、課題電圧対応シーケンスを終了（ステップ S 4 0 8）して、電源 O N 時処理、あるいは省エネルギーモード復帰時の処理へと移行する。

30

【0071】

これにより図 1 5 の例と同様に、電源投入時の初期状態を過大電圧対策に有利な方に規定することによって制御の簡略化を図ることができる。

40

【実施例 4】

【0072】

図 1 8 は本発明が適用される画像形成装置（ここではデジタル複写機）の一例を示すシステム全体の概略構成図である。同図において、この画像形成装置はモノクロ画像形成用のもので本体 P R と、画像形成装置本体 P R の上部の設置された画像読み取り装置 5 0 0 と、さらにその上に装着された自動原稿給送装置（以下、「A D F」と称す）5 5 0 と、画像形成装置本体 P R の同図において右側に配置された大容量給紙装置 7 0 0 と、画像形成装置本体 P R の同図において左側に配置された用紙後処理装置 8 0 0 とから基本的に構成されている。

【0073】

50

画像形成装置本体 P R は画像書き込み部 4 1 0 と、作像部 4 2 0 と、定着部 4 3 0 と、両面搬送部 4 4 0 と、給紙部 4 5 0 と、垂直搬送部 4 6 0 と、手差し部 4 7 0 とからなる。

【0074】

画像書き込み部 4 1 0 は画像読み取り装置 5 0 0 で読み取った原稿の画像情報に基づいて発光源である L D を変調し、ポリゴンミラー、 $f \theta$ レンズなどの走査光学系により感光体ドラム 4 2 1 にレーザ書き込みを行うものである。作像部 4 2 0 は感光体ドラム 4 2 1 と、この感光体ドラム 4 2 1 の外周に沿って設けられた現像ユニット 4 2 2、転写ユニット 4 2 3、クリーニングユニット 4 2 4 及び除電ユニットなどの公知の電子写真方式の作像要素とからなる。

10

【0075】

定着部 4 3 0 は前記転写ユニット 4 2 3 で転写された画像を転写紙に定着する。両面搬送部 4 4 0 は定着部 4 2 0 の転写紙搬送方向下流側に設けられ、転写紙の搬送方向を用紙後処理装置 8 0 0 側、あるいは両面搬送部 4 4 0 側に切り換える第 1 の切換爪 4 4 1 と、第 1 の切換爪 4 4 1 によって導かれた反転搬送路 4 4 2 と、反転搬送路 4 4 2 で反転した転写紙を再度転写ユニット 4 2 3 側に搬送する画像形成側搬送路 4 4 3 と、反転した転写紙を用紙後処理装置 8 0 0 側に搬送する後処理側搬送路 4 4 4 とを含み、画像形成側搬送路 4 4 3 と後処理側搬送路 4 4 4 との分岐部には第 2 の切換爪 4 4 5 が配されている。

【0076】

給紙部 4 5 0 は 4 段の給紙段からなり、それぞれピックアップローラ、給紙ローラによって選択された給紙段に収納された転写紙が引き出され、垂直搬送部 4 6 0 に導かれる。垂直搬送部 4 6 0 では、各給紙段から送り込まれた転写紙を転写ユニット 4 2 3 の用紙搬送方向上流側直前のレジストローラ 4 6 1 まで搬送し、レジストローラ 4 6 1 では、感光体ドラム 4 2 1 上の顕像の画像先端とタイミングを取って転写紙を転写ユニット 4 2 3 に送り込む。手差し部 4 7 0 は開閉自在な手差しトレイ 4 7 1 を備え、必要に応じて手差しトレイ 4 7 1 を開いて転写紙を手差しにより供給する。この場合もレジストローラ 4 6 1 で転写紙の搬送タイミングが取られ、搬送される。

20

【0077】

大容量給紙装置 7 0 0 は同一サイズの転写紙を大量にスタックして供給するもので、転写紙が消費されるにしたがって底板 7 0 2 が上昇し、常にピックアップローラ 7 0 1 から用紙のピックアップが可能に構成されている。ピックアップローラ 7 0 1 から給紙される転写紙は、垂直搬送部 4 6 0 からレジストローラ 4 6 1 のニップまで搬送される。

30

【0078】

用紙後処理装置 8 0 0 はパンチ、整合、ステイプル、仕分けなどの所定の処理を行うもので、この実施形態では、前記機能のためにパンチ 8 0 1、ステイブルトレイ（整合）8 0 2、ステイプラ 8 0 3、シフトトレイ 8 0 4 を備えている。すなわち、画像形成装置 4 0 0 から用紙後処理装置 8 0 0 に搬入された転写紙は、孔明けを行う場合にはパンチ 8 0 1 で 1 枚ずつ孔明けが行われ、その後、特に処理するものがなければ、ブルーフトレイ 8 0 5 へ、ソート、スタック、仕分けを行う場合にはシフトトレイ 8 0 4 にそれぞれ排紙される。仕分けは、この実施形態は、シフトトレイ 8 0 4 が用紙搬送方向に直交する方向に所定量往復動することにより行われる。このほかに、用紙搬送路で用紙を用紙搬送方向と直交する方向に移動させて仕分けを行うこともできる。

40

【0079】

整合する場合には、孔明けが行われた、あるいは孔明けが行われていない転写紙が下搬送路 8 0 6 に導かれ、ステイブルトレイ 8 0 4 において後端フェンスで用紙搬送方向を直交する方向が整合され、ジョガーフェンスで用紙搬送方向と平行な方向の整合が行われる。ここで、綴じが行われる場合には、整合された用紙束の所定位置、例えば角部、中央 2 個所など所定の位置がステイプラ 8 0 3 によって綴じられ、放出ベルトによってシフトトレイ 8 0 4 に排紙される。また、この実施形態では、下搬送路 8 0 6 にはプレスタック搬送路 8 0 7 が設けられ、搬送時に複数枚の用紙をスタックし、後処理中の画像形成装置本

50

体 P R 側の画像形成動作の中断を避けることができるようになっている。

【0080】

画像読み取り装置 500 は、A D F 550 によってコンタクトガラス 510 上に導かれ、停止した原稿を光学的にスキャンし、第 1 ないし第 3 のミラーを経て結像レンズで結像された読み取り画像を C C D や C M O S などの光電変換素子によって読み取る。読み取られた画像データは、図示しない画像処理回路で所定の画像処理が実行され、記憶装置に一旦記憶される。そして、画像形成時に画像書き込み部 410 によって記憶装置から読み出され、画像データに応じて変調し、光書き込みが行われる。

【0081】

A D F 550 は両面読み取り機能を有するもので、画像読み取り装置 500 のコンタクトガラス 510 設置面に開閉自在に取り付けられている。この A D F 550 では、原稿載置台 551 に載置された原稿が原稿読み取り時に自動的にコンタクトガラス 510 上に送り出される。

【0082】

前記実施例 1 ないし 3 の画像読み取り装置は実施例 4 の画像形成装置の画像読み取り装置 500 として機能する。

【0083】

以上のように、本実施形態によれば、以下のような効果を奏する。

【0084】

1) 入射光に関係なく一定レベルのダミー信号を C C D が選択的に出力できるようにしたので、電源 O N 時などの長期間にわたる一連の過大電圧を抑制することが可能となる。これにより、後段に続く A F E 等の故障や破壊を防ぐことができる。

【0085】

2) 通常出力かダミー出力かを適切に切り替えることができる。また、通常出力時の信号劣化を最小限にしつつ、通常出力かダミー出力かを適切に切り替えることができる。

【0086】

3) 簡素な構成でダミー信号出力を生成することができる。

【0087】

4) ダミー信号のオフセットレベルを通常の C C D 出力オフセットレベルと同程度にすることによって、ダミー信号出力から通常出力へ切り替えた際に発生する A F E への過大電圧を最小限に抑えることができる。

【0088】

5) C C D の電源投入時の初期状態でダミー出力になるよう設定しておくことにより、電源 O N から設定完了までの過大電圧対応の無効期間をなくすることができる。

【0089】

6) ダミー出力から通常出力に切り替える際に、外部からの設定を特に必要としない自動切替制御が可能となる。

【0090】

7) ダミー出力から通常出力に切り替える際に、外部からの設定を特に必要としない自動切替制御を可能にしつつ、任意のタイミングでの切り替えも可能となる。

【0091】

8) 出力を切り替える時間を任意に設定することができる。

【0092】

9) C C D 出力の信号変化を遅くした遅延出力信号を選択的に出力できるようにすることによって、電源 O N 時などの長期間にわたる一連の過大電圧全てを低減することができる。これにより、後段に続く A F E 等の故障や破壊を防ぐことが可能となり、安定なシステムを提供することができる。

【0093】

10) C C D の電源投入時の初期状態で遅延出力になるよう設定しておくことによって、電源 O N から設定完了までの過大電圧対応の無効期間をなくすることができる。

10

20

30

40

50

【0094】

11) 遅延出力の信号変化の度合いや出力を切り替える時間を任意に設定できる。

【0095】

12) 入射光に関係なく一定レベルのダミー信号、またはCCD出力の信号変化を遅くした遅延出力信号を選択的に出力できるようにしたので、電源ON時などの長期間にわたる一連の過大電圧全てを抑制あるいは低減することが可能となる。これにより、後段に続くAFE等の故障や破壊を防ぎ、安定なシステムを提供することができる。

【0096】

13) 一連の過大電圧抑制を適切に行いAFEの特性劣化または破損を防止することによって、読取画像品質の安定した画像読み取り装置を提供することができる。

10

【0097】

14) 一連の過大電圧抑制を適切に行いAFEの特性劣化または破損を防止することによって、印刷画像品質の安定した画像形成装置を提供することができる。

【0098】

15) システムの電源投入時または省エネルギーモード復帰時において、一連の過大電圧抑制処理、あるいは一連の過大電圧低減処理を適切に行うことができる。

【0099】

16) システムの電源投入時または省エネルギーモード復帰時において、一連の過大電圧全てを適切に抑制ないし低減することができる。

【0100】

20

17) 過大電圧の影響が十分小さくなる時間ウェイトすることで、過大電圧抑制効果を適切かつ十分に得ることができる。

【図面の簡単な説明】

【0101】

【図1】本発明の実施例1に係る画像読み取り装置の概略構成を示す図である。

【図2】実施例1に係るCCDの内部構成を示すブロック図である。

【図3】ダミー出力による過大電圧抑制特性を示す特性図である。

【図4】実施例1に係るCCDの変形例の内部構成を示すブロック図である。

【図5】図2及び図4におけるダミーを、抵抗を使用した分圧回路で構成した例を示すブロック図である。

30

【図6】切替信号を電源の遅延信号のゲートを取った信号としたときのCCD9の内部構成を示すブロック図、及びその構成に対応する動作タイミングを示すタイミングチャートである。

【図7】外部端子からの信号と遅延信号による信号との論理和または論理積をとる場合のCCDの内部構成を示すブロック図、及びその構成に対応する動作タイミングを示すタイミングチャートである。

【図8】実施例2における遅延出力による過大電圧抑制特性を示す図である。

【図9】実施例2に係るCCDの内部構成を示すブロック図である。

【図10】図9におけるセクタをバッファスイッチとスイッチで置き換えたCCDの内部構成を示すブロック図である。

40

【図11】実施例2における遅延回路の構成の一例を示す図である。

【図12】実施例2におけるモード切替を、遅延回路を用いた自動切り替えによって行う例を示すブロック図、及びその構成に対応する動作タイミングを示すタイミングチャートである。

【図13】実施例2における外部端子からの信号と遅延信号による信号との論理和または論理積をとる場合のCCDの内部構成を示すブロック図、及びその構成に対応する動作タイミングを示すタイミングチャートである。

【図14】実施例3における電源ON時又は省エネルギーモード復帰時の制御シーケンスを示すフローチャート、及びその時の動作タイミングを示すタイミングチャートである。

【図15】実施例3におけるハードデフォルト有効時の電源ON時又は省エネルギーモード

50

復帰時の制御シーケンスを示すフローチャート、及びその時の動作タイミングを示すタイミングチャートである。

【図１６】実施例３におけるダミー出力と遅延出力を併用したときの電源ＯＮ時または省エネルギーモード復帰時の制御シーケンスを示すフローチャート、及びその時の動作タイミングを示すタイミングチャートである。

【図１７】実施例３におけるハードデフォルト有効時のダミー出力と遅延出力を併用したときの電源ＯＮ時または省エネルギーモード復帰時の制御シーケンスを示すフローチャート、及びその時の動作タイミングを示すタイミングチャートである。

【図１８】実施例４として示した実施例１ないし３の読み取り装置を備えた画像形成装置のシステム全体の概略構成図である。

10

【図１９】従来から実施されている前記処理を実行するアナログ処理回路の構成を示す図である。

【図２０】従来例における電源ＯＮ時の過大電圧の状態を示すタイミングチャートである。

【符号の説明】

【０１０２】

９　ＣＣＤ

１０　センサボード

９１　ＰＣ

９２　ＴＧ

９３　ＡＳＲ

９４　ＢＦ

９５　ダミー

９６　セレクタ

９６ａ，９６ｂ，９６ｄ　外部端子

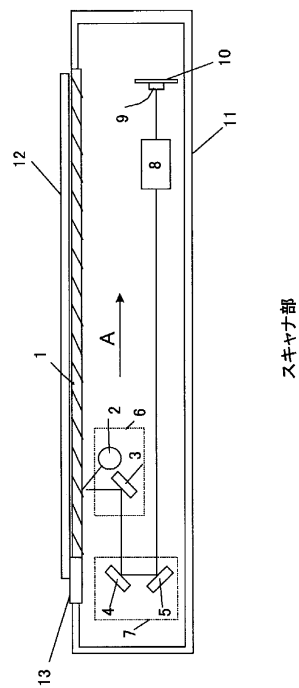
９６ｃ　フィルタ回路

９７ａ，９７ｂ　ゲート回路

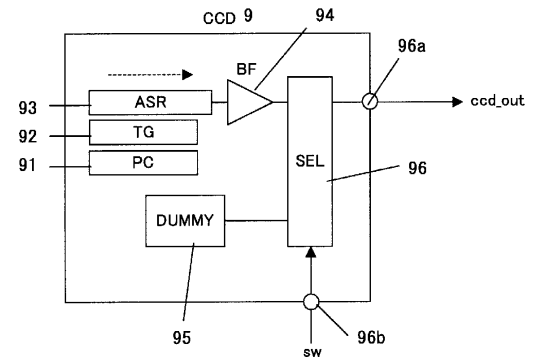
９８　遅延回路

20

【図 1】

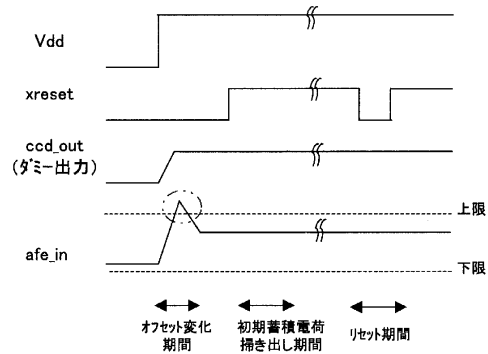


【図 2】



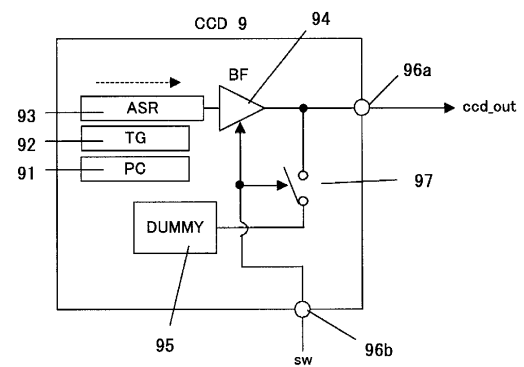
ダミー信号出力構成1(セレクタ)

【図 3】



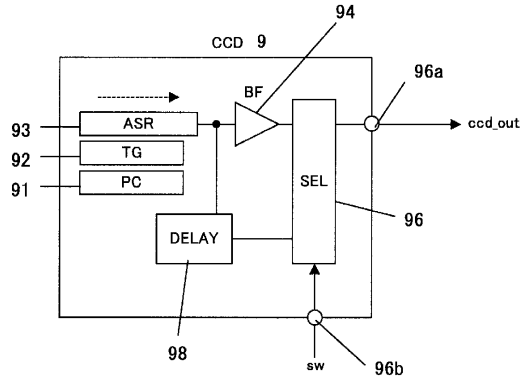
ダミー出力による過大電圧抑制(電源ON時)

【図 4】



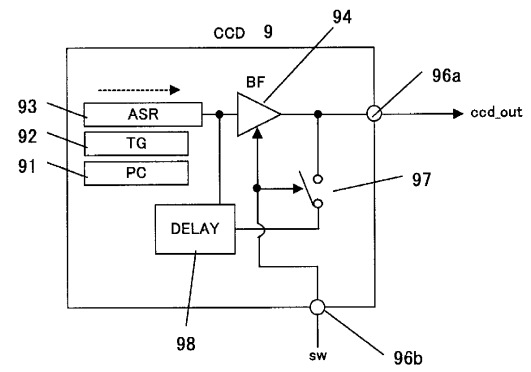
ダミー信号出力構成2(バッファスイッチ&スイッチ)

【図 9】



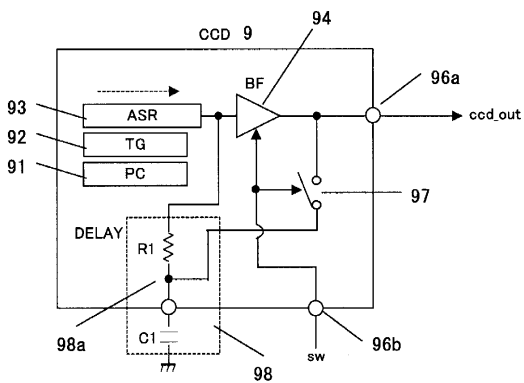
遅延信号出力構成1(セレクタ)

【図 10】



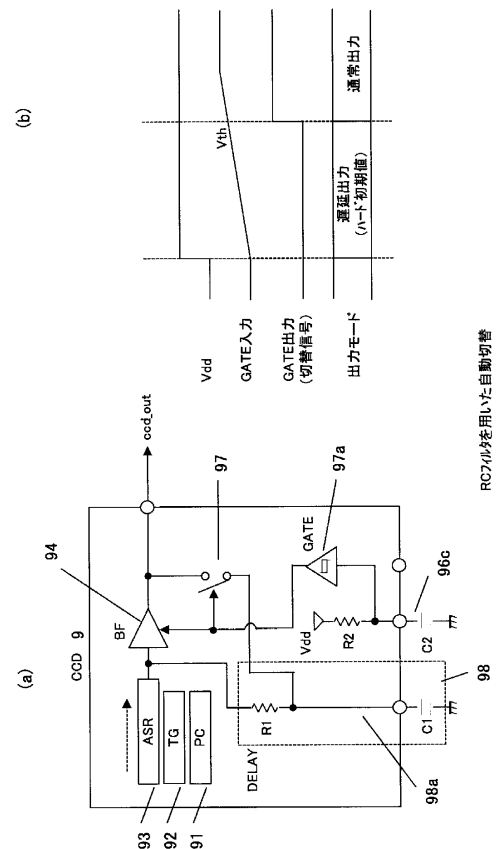
遅延信号出力構成2(ハーフパススイッチ&スイッチ)

【図 11】



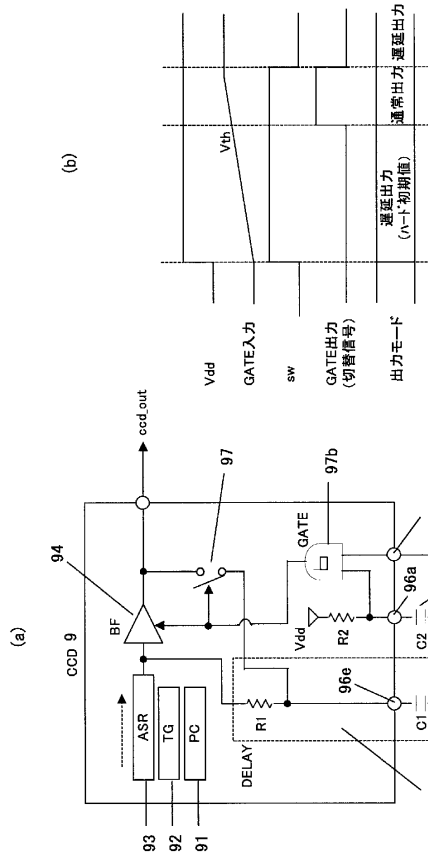
RC回路による遅延信号生成

【図 12】

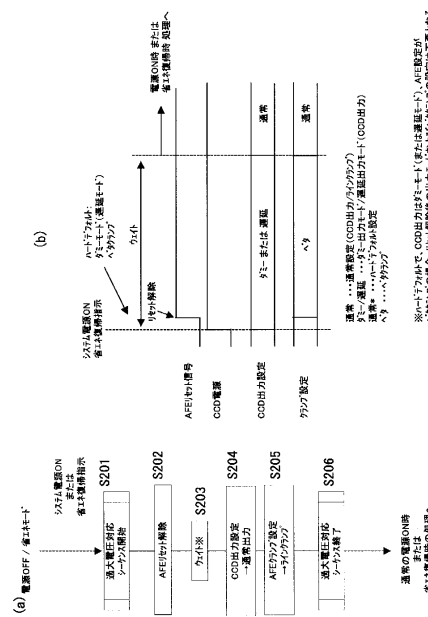


RCフィルタを用いた自動切替

【図 13】



【図 15】

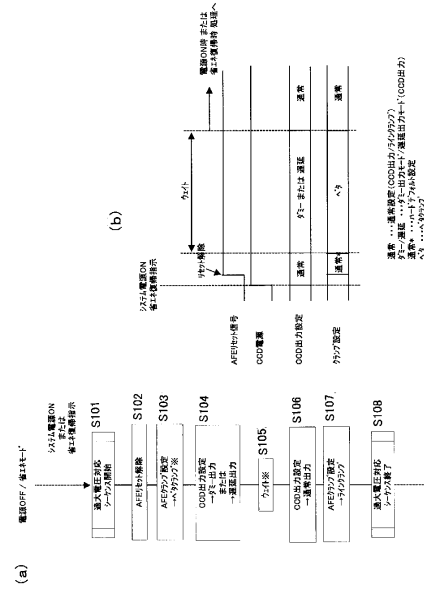


RCフィルタを用いた自動切替および信号切替制御の併用

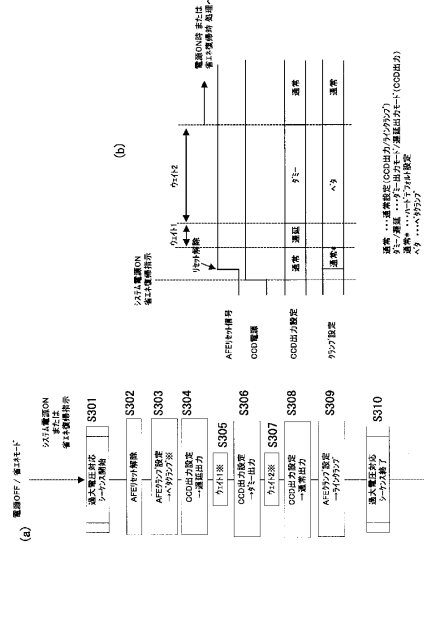
電源ON時または省エネモード復帰時の制御シーケンス (ハードウェア有効)

※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。
※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。
※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。

【図 14】



【図 16】



※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。
※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。
※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。

※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。
※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。
※ハーフラフ ... AFEI入力端子での電源検出動作(ラフ動作)の開始を通常より分岐したラフ(通常時にはラフを省略)。

電源ON時または省エネモード復帰時の制御シーケンス (ソフトウェア有効)

電源ON時または省エネモード復帰時の制御シーケンス (ソフトウェア有効)

フロントページの続き

(56)参考文献 特開2000-101936 (JP, A)
登録実用新案第3124243 (JP, U)

(58)調査した分野(Int.Cl., DB名)
H04N1/024-1/036
H04N1/04-1/207