(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 2 月 9 日 (09.02.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/020362 A1

(51) 国际专利分类号:
H01L 21/77 (2006.01) *H01L 27/12* (2006.01)

(21) 国际申请号: PCT/CN2015/087912

(22) 国际申请日: 2015 年 8 月 24 日 (24.08.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510471923.X 2015 年 8 月 4 日 (04.08.2015) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **卢马才 (LU, Macai)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE)**; 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: TFT SUBSTRATE AND MANUFACTURING METHOD THEREOF

(54) **发明名称** : TFT 基板的制作方法及 TFT 基板

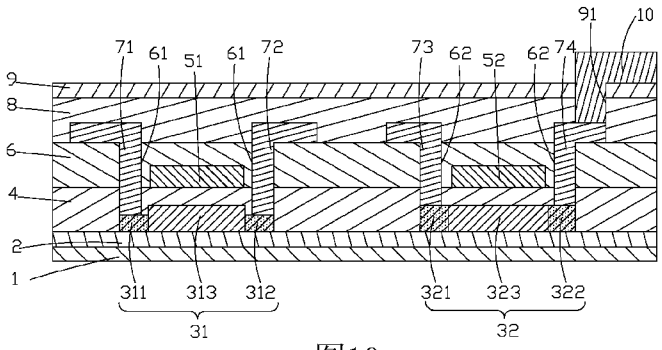


图10

(57) **Abstract**: Disclosed are a TFT substrate and manufacturing method thereof. The manufacturing method performs etching on source and drain contact areas (311, 312) of polysilicon active layers (31, 32) until the heights thereof are less than the height of a middle trench area (313). The source and drain contact areas are designed as steps such that carriers are affected by an electric field (Vds electric field) in a direction deviated from an interface of polysilicon/gate insulating layers (4) in the proximity of the drain contact area, and thus migration paths are deviated from the interface of the polysilicon/gate insulating layers, reducing energetic carriers injected into the gate insulating layer. The existence of the step of the drain contact area reduces both the peak intensity of a transverse electric field (Vds electric field) in the proximity of the drain contact area and the intensity of a longitudinal electric field (Vgs electric field) of the drain contact area, such that a pinch-off point moves towards the drain contact area, reducing the threshold voltage drift and increasing the reliability of TFTs.

(57) **摘要**:

[见续页]

WO 2017/020362 A1

一种 TFT 基板的制作方法及 TFT 基板，制作方法是通过对多晶硅有源层(31、32)的源、漏极接触区(311、312)进行蚀刻，使其高度低于中间沟道区(313)的高度，并且将所述源、漏极接触区设计为台阶状，使得载流子在漏极接触区附近受到偏离多晶硅/栅极绝缘层(4)界面方向电场的作用(Vds 电场)，迁移路径被拉离多晶硅/栅极绝缘层界面，减少高能载子注入栅极绝缘层内，并且由于漏极接触区的台阶的存在，使得漏极接触区附近横向电场(Vds 电场)峰值强度以及漏极接触区纵向电场(Vgs 电场)强度均下降，夹断点往漏极接触区边缘移动，减小阈值电压漂移，提高 TFT 可靠性。

TFT 基板的制作方法及 TFT 基板

技术领域

本发明涉及显示技术领域，尤其涉及一种 TFT 基板的制作方法及 TFT 基板。

背景技术

薄膜晶体管（Thin Film Transistor，简称 TFT）是目前液晶显示装置（Liquid Crystal Display，简称 LCD）和有源矩阵驱动式有机电致发光显示装置（Active Matrix/Organic Light-Emitting Diode，简称 AMOLED）中的主要驱动元件，直接关系到高性能平板显示装置的发展方向。薄膜晶体管具有多种结构，制备相应结构的薄膜晶体管的材料也具有多种，低温多晶硅(Low Temperature Poly-silicon，简称 LTPS)材料是其中较为优选的一种，由于低温多晶硅的原子规则排列，载流子迁移率高，对电压驱动式的液晶显示装置而言，多晶硅薄膜晶体管由于其具有较高的迁移率，可以使用体积较小的薄膜晶体管实现对液晶分子的偏转驱动，在很大程度上缩小了薄膜晶体管所占的体积，增加透光面积，得到更高的亮度和解析度；对于电流驱动式的有源矩阵驱动式有机电致发光显示装置而言，低温多晶硅薄膜晶体管可以更好的满足驱动电流要求。

热载流子效应是金属氧化物半导体（MOS） 器件的一个重要的失效机理，随着 MOS 器件尺寸的日益缩小，器件的热载流子注入效应越来越严重。以 P 型金属氧化物半导体(PMOS) 器件为例，沟道中的空穴，在漏源之间高横向电场的作用下被加速，形成高能载流子，高能载流子与硅晶格碰撞，产生电离的电子空穴对，电子由衬底收集，形成衬底电流，大部分碰撞产生的空穴，流向漏极，但还有部分空穴，在纵向电场的作用下，注入到栅极中形成栅极电流，这种现象称为热载流子注入(Hot Carrier Injection)。

热载流子会造成硅衬底与二氧化硅栅氧界面处能键的断裂，在硅衬底与二氧化硅栅氧界面处产生界面态，导致器件性能，如阈值电压、跨导以及线性区/ 饱和区电流的退化，最终造成 MOS 器件失效。MOS 器件失效通常首先发生在漏端，这是由于载流子通过整个沟道的电场加速，在到达漏端后，载流子的能量达到最大值，因此漏端的热载流子注入现象比较严重。因此，如何减小半导体器件热载流子注入损伤成为本领域工作人员的

研究热点。

对于低温多晶硅薄膜晶体管（LTPS TFT）来说，相较于非晶硅多晶硅薄膜晶体管（a-Si TFT）拥有较高的约 20-100 倍的载流子迁移率，同样容易出现热载流子效应，载流子在高电场（>4E10^4V/cm）下运动，从电场中获得能量大于与晶格作用损失的能量，载流子速率越来越大，出现热载流子效应；为减小热载流子注入损伤，目前一般采取方法是通过用离子注入形成浅掺杂过渡区，如轻掺杂漏区（Lightly Doped Drain，LDD）、栅极重叠轻掺杂漏区（Gate Overlapped Lightly Doped Drain，GOLDD）等，而这些方法较为复杂且容易出现掺杂偏差而失效。

发明内容

本发明的目的在于提供一种 TFT 基板的制作方法，通过对有源层的源、漏极接触区进行蚀刻，使其高度低于中间沟道区的高度，并且将所述源、漏极接触区设计为台阶状，由于漏极接触区的台阶的存在，降低沟道漏极附近横向电场（Vds 电场）峰值强度以及降低漏极纵向电场（Vgs 电场）强度，夹断点往漏极端移动，减小阈值电压 Vth 漂移等，提高 TFT 器件的可靠性。

本发明的目的还在于提供一种 TFT 基板，可以减少热载子效应，减少阈值电压 Vth 漂移，提高薄膜晶体管的可靠性。

为实现上述目的，本发明首先提供一种 TFT 基板的制作方法，包括如下步骤:

步骤 1、提供一基板，在基板上依次沉积缓冲层与非晶硅层;

步骤 2、对所述非晶硅层进行准分子激光退火或固相晶化处理，使所述非晶硅层转化为低温多晶硅层，采用一道光刻制程对所述低温多晶硅层进行图案化处理，得到间隔设置的第一有源层、第二有源层;

步骤 3、在所述第一有源层、第二有源层、及基板上涂布光阻层，通过对所述光阻层进行曝光、显影，暴露出所述第一有源层的两端区域，以所述光阻层为遮蔽层，对所述第一有源层的两端进行 N 型或 P 型离子注入，得到分别位于所述第一有源层两端的第一源极接触区与第一漏极接触区；定义所述第一源极接触区与第一漏极接触区之间的区域为第一沟道区;

步骤 4、对所述光阻层进行灰化处理，对所述第一有源层的第一源极接触区与第一漏极接触区进行部分刻蚀，使所述第一源极接触区与第一漏极接触区的高度均低于所述第一沟道区的高度;

步骤 5、剥离光阻层，在所述第一有源层、第二有源层、及基板上沉积

栅极绝缘层，在所述栅极绝缘层上沉积第一金属层，采用一道光刻制程对该第一金属层进行图案化处理，得到分别对应于第一有源层、第二有源层上方的第一栅极、第二栅极；

步骤 6、在所述第一栅极、第二栅极上方涂布光阻层，对所述光阻层进行曝光、显影，暴露出第二栅极以及栅极绝缘层上对应于所述第二有源层上方的区域；以所述第二栅极为遮蔽层，对所述第二有源层的两端进行 P 型或 N 型离子注入，得到分别位于所述第二有源层两端的第二源极接触区、第二漏极接触区，定义所述第二源极接触区与第二漏极接触区之间的区域为第二沟道区；

步骤 7、剥离光阻层，在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间介电层，采用一道光刻制程对所述层间介电层及栅极绝缘层进行图案化处理，在所述层间介电层及栅极绝缘层上对应于所述第一源极接触区、第一漏极接触区的上方形成第一通孔，对应于所述第二源极接触区、第二漏极接触区的上方形成第二通孔；

步骤 8、在所述层间介电层上沉积第二金属层，采用一道光刻制程对该第二金属层进行图案化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别经由第一通孔与所述第一源极接触区、第一漏极接触区相接触，所述第二源极、第二漏极分别经由第二通孔与所述第二源极接触区、第二漏极接触区相接触；

步骤 9、在所述第一源极、第一漏极、第二源极、第二漏极、及层间介电层上涂布平坦层，在所述平坦层上沉积钝化层，采用一道光刻制程对所述平坦层及钝化层进行图案化处理，在所述平坦层及钝化层上对应于所述第二漏极的上方形成第三通孔；

步骤 10、在所述钝化层沉积透明导电氧化物层，采用一道光刻制程对所述透明导电氧化物层进行图案化处理，得到像素电极，所述像素电极经由第三通孔与所述第二漏极相接触，从而完成 TFT 基板的制作。

经过所述步骤 4 的刻蚀后，所述第一源极接触区、第一漏极接触区的上表面为低于所述第一沟道区上表面的平面或斜面，即所述第一源极接触区、第一漏极接触区的上表面相对于所述第一沟道区上表面形成一个台阶；

或者，所述第一源极接触区、第一漏极接触区的上表面包括从所述第一沟道区向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面。

所述步骤 4 中，采用氧气对所述光阻层进行灰化处理，同时在氧气中加入多晶硅刻蚀性气体对所述第一源极接触区与第一漏极接触区进行刻

蚀；

或者，首先采用氧气对所述光阻层进行灰化处理，然后采用光刻制程对所述第一源极接触区与第一漏极接触区进行刻蚀。

当所述步骤 4 对第一源极接触区与第一漏极接触区进行 N 型离子注入时，所述步骤 6 对所述第二源极接触区与第二漏极接触区进行 P 型离子注入；

当所述步骤 4 对所述第一源极接触区与第一漏极接触区进行 P 型离子注入时，所述步骤 6 对第二源极接触区与第二漏极接触区进行 N 型离子注入。

所述 N 型离子为磷离子，所述 P 型离子为硼离子。

本发明还提供一种 TFT 基板，包括：一基板，设于所述基板上的缓冲层，设于所述缓冲层上的第一有源层、第二有源层，设于所述第一有源层、第二有源层上的栅极绝缘层，设于所述栅极绝缘层上且分别与所述第一有源层、第二有源层对应设置的第一栅极、第二栅极，设于所述第一栅极、第二栅极上的层间介电层，设于所述层间介电层上的第一源极、第一漏极、第二源极、第二漏极，设于所述第一源极、第一漏极、第二源极、第二漏极上的平坦层，设于所述平坦层上的钝化层，以及设于所述钝化层上的像素电极；

其中，所述第一有源层、第二有源层均为低温多晶硅层；

所述第一有源层包括位于中间的第一沟道区、及位于所述第一沟道区两侧的第一源极接触区、第一漏极接触区，且所述第一源极接触区与第一漏极接触区的高度均低于所述第一沟道区的高度；

所述第二有源层包括位于中间且与所述第二栅极完全对应的第二沟道区、及位于所述第二沟道区两侧的第二源极接触区、第二漏极接触区。

所述第一源极接触区、第一漏极接触区的上表面为低于所述第一沟道区上表面的平面或斜面，即所述第一源极接触区、第一漏极接触区的上表面相对于所述第一沟道区上表面形成一个台阶；

或者，所述第一源极接触区、第一漏极接触区的上表面包括从所述第一沟道区向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面。

所述第一源极接触区与第一漏极接触区均为 N 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 P 型重掺杂区；

或者，所述第一源极接触区与第一漏极接触区均为 P 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 N 型重掺杂区。

所述 N 型重掺杂区中掺入的杂质为磷离子，所述 P 型重掺杂区中掺入的杂质为硼离子。

所述层间介电层及栅极绝缘层上设有分别对应于所述第一源极接触区、第一漏极接触区上方的第一通孔，以及分别对应于所述第二源极接触区、第二漏极接触区上方的第二通孔；所述第一源极、第一漏极分别经由第一通孔与所述第一源极接触区、第一漏极接触区相接触，所述第二源极、第二漏极分别经由第二通孔与所述第二源极接触区、第二漏极接触区相接触；

所述平坦层及钝化层上对应于所述第二漏极的上方设有第三通孔，所述像素电极经由第三通孔与所述第二漏极相接触。

本发明还提供一种 TFT 基板，包括：一基板，设于所述基板上的缓冲层，设于所述缓冲层上的第一有源层、第二有源层，设于所述第一有源层、第二有源层上的栅极绝缘层，设于所述栅极绝缘层上且分别与所述第一有源层、第二有源层对应设置的第一栅极、第二栅极，设于所述第一栅极、第二栅极上的层间介电层，设于所述层间介电层上的第一源极、第一漏极、第二源极、第二漏极，设于所述第一源极、第一漏极、第二源极、第二漏极上的平坦层，设于所述平坦层上的钝化层，以及设于所述钝化层上的像素电极；

其中，所述第一有源层、第二有源层均为低温多晶硅层；

所述第一有源层包括位于中间的第一沟道区、及位于所述第一沟道区两侧的第一源极接触区、第一漏极接触区，且所述第一源极接触区与第一漏极接触区的高度均低于所述第一沟道区的高度；

所述第二有源层包括位于中间且与所述第二栅极完全对应的第二沟道区、及位于所述第二沟道区两侧的第二源极接触区、第二漏极接触区；

其中，所述第一源极接触区、第一漏极接触区的上表面为低于所述第一沟道区上表面的平面或斜面，即所述第一源极接触区、第一漏极接触区的上表面相对于所述第一沟道区上表面形成一个台阶；

或者，所述第一源极接触区、第一漏极接触区的上表面包括从所述第一沟道区向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面；

其中，所述第一源极接触区与第一漏极接触区均为 N 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 P 型重掺杂区；

或者，所述第一源极接触区与第一漏极接触区均为 P 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 N 型重掺杂区；

其中，所述层间介电层及栅极绝缘层上设有分别对应于所述第一源极接触区、第一漏极接触区上方的第一通孔，以及分别对应于所述第二源极接触区、第二漏极接触区上方的第二通孔；所述第一源极、第一漏极分别经由第一通孔与所述第一源极接触区、第一漏极接触区相接触，所述第二源极、第二漏极分别经由第二通孔与所述第二源极接触区、第二漏极接触区相接触；

所述平坦层及钝化层上对应于所述第二漏极的上方设有第三通孔，所述像素电极经由第三通孔与所述第二漏极相接触。

本发明的有益效果：本发明的 TFT 基板的制作方法，通过对有源层的源、漏极接触区进行蚀刻，使其高度低于中间沟道区的高度，并且将所述源、漏极接触区设计为台阶状，使得载流子在漏极接触区附近受到偏离多晶硅/栅极绝缘层界面方向电场的作用（Vds 电场），迁移路径被拉离多晶硅/栅极绝缘层界面，减少高能载子注入栅极绝缘层内，并且由于漏极接触区的台阶的存在，使得漏极接触区附近横向电场（Vds 电场）峰值强度以及漏极接触区纵向电场（Vgs 电场）强度均下降，夹断点往漏极接触区边缘移动，减小阈值电压漂移等，提高 TFT 可靠性；本发明的 TFT 基板，通过将所述有源层的源、漏极接触区的高度设计为低于中间沟道区的高度，并且将所述源、漏极接触区设计为台阶状，使得漏极接触区附近横向电场（Vds 电场）峰值强度以及漏极接触区纵向电场（Vgs 电场）强度均下降，夹断点往漏极接触区边缘移动，减小阈值电压漂移等，提高 TFT 可靠性。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为本发明 TFT 基板的制作方法的步骤 1 的示意图；

图 2 为本发明 TFT 基板的制作方法的步骤 2 的示意图；

图 3 为本发明 TFT 基板的制作方法的步骤 3 的示意图；

图 4 为本发明 TFT 基板的制作方法的步骤 4 的示意图；

图 5 为本发明 TFT 基板的制作方法的步骤 5 的示意图；

图 6 为本发明 TFT 基板的制作方法的步骤 6 的示意图；

图 7 为本发明 TFT 基板的制作方法的步骤 7 的示意图；

图 8 为本发明 TFT 基板的制作方法的步骤 8 的示意图；

图 9 为本发明 TFT 基板的制作方法的步骤 9 的示意图;

图 10 为本发明 TFT 基板的制作方法的步骤 10 的示意图兼本发明 TFT 基板的结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1-10，本发明首先提供一种 TFT 基板的制作方法，包括如下步骤:

步骤 1、如图 1 所示，提供一基板 1，在基板 1 上依次沉积缓冲层 2 与非晶硅层 21。

具体的，所述缓冲层 2 可以为氧化硅（SiO_x）层、氮化硅（SiN_x）层、或氧化硅层与氮化硅层的堆叠组合。

步骤 2、如图 2 所示，对所述非晶硅层 21 进行准分子激光退火（Excimer Laser Annealing，ELA）或固相晶化（Solid Phase Crystallization，SPC）处理，使所述非晶硅层转化为低温多晶硅层，采用一道光刻制程对所述低温多晶硅层进行图案化处理，得到间隔设置的第一有源层 31、第二有源层 32。

步骤 3、如图 3 所示，在所述第一有源层 31、第二有源层 32、及基板 1 上涂布光阻层 30，通过对所述光阻层 30 进行曝光、显影，暴露出所述第一有源层 31 的两端区域，以所述光阻层 30 为遮蔽层，对所述第一有源层 31 的两端进行 N 型或 P 型离子注入，得到分别位于所述第一有源层 31 两端的第一源极接触区 311 与第一漏极接触区 312; 定义所述第一源极接触区 311 与第一漏极接触区 312 之间的区域为第一沟道区 313。

具体的，所述 N 型离子可以为磷离子等五价离子，所述 P 型离子可以为硼离子等三价离子。

步骤 4、如图 4 所示，对所述光阻层 30 进行灰化处理，对所述第一有源层 31 的第一源极接触区 311 与第一漏极接触区 312 进行部分刻蚀，使所述第一源极接触区 311 与第一漏极接触区 312 的高度均低于所述第一沟道区 313 的高度。

具体的，通过所述步骤 4 的刻蚀后，所述第一源极接触区 311、第一漏极接触区 312 的上表面为低于所述第一沟道区 313 上表面的平面（如图 4 所示）或斜面，即所述第一源极接触区 311、第一漏极接触区 312 的上表面相对于所述第一沟道区 313 上表面形成一个台阶，该台阶面与所述第一沟道区 313 上表面的高度差为 10-1000 Å;

或者，所述第一源极接触区 311、第一漏极接触区 312 的上表面包括从所述第一沟道区 313 向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面，相邻两台阶面的高度差为 10-1000 Å。

具体的，所述光阻层 30 的灰化处理和第一源极接触区 311、第一漏极接触区 312 的刻蚀过程可以同时进行，比如：采用氧气对所述光阻层 55 进行灰化处理，同时在氧气中加入多晶硅刻蚀性气体对所述第一源极接触区 311 与第一漏极接触区 312 进行刻蚀。

具体的，所述光阻层 55 的灰化处理和第一源极接触区 311、第一漏极接触区 312 的刻蚀过程也可以分两步进行，比如：首先采用氧气对所述光阻层 30 进行灰化处理，然后采用其它方法如光刻制程对所述第一源极接触区 311 与第一漏极接触区 312 进行刻蚀。

步骤 5、如图 5 所示，剥离光阻层 30，在所述第一有源层 31、第二有源层 32、及基板 1 上沉积栅极绝缘层 4，在所述栅极绝缘层 4 上沉积第一金属层，采用一道光刻制程对该第一金属层进行图案化处理，得到分别对应于第一有源层 31、第二有源层 32 上方的第一栅极 51、第二栅极 52。

具体的，所述栅极绝缘层 4 可以为氧化硅层、氮化硅层、或氧化硅层与氮化硅层的堆叠组合。

具体的，所述第一金属层可以为两钼层之间夹设一铝层的复合层结构（Mo/Al/Mo）、或者为两钛层之间夹设一铝层的复合层结构（Ti/Al/Ti）。

步骤 6、如图 6 所示，在所述第一栅极 51、第二栅极 52 上方涂布光阻层 50，对所述光阻层 50 进行曝光、显影，暴露出第二栅极 52 以及栅极绝缘层 4 上对应于所述第二有源层 32 上方的区域；以所述第二栅极 52 为遮蔽层，对所述第二有源层 32 的两端进行 P 型或 N 型离子注入，得到分别位于所述第二有源层 32 两端的第二源极接触区 321、第二漏极接触区 322；定义所述第二源极接触区 321 与第二漏极接触区 322 之间的区域为第二沟道区 323。

具体的，所述 N 型离子可以为磷离子等五价离子，所述 P 型离子可以为硼离子等三价离子。

具体的，当所述步骤 4 对所述第一源极接触区 311 与第一漏极接触区 312 进行 N 型离子注入时，所述步骤 6 对所述第二源极接触区 321 与第二漏极接触区 322 进行 P 型离子注入；

当所述步骤 4 对所述第一源极接触区 311 与第一漏极接触区 312 进行 P 型离子注入时，所述步骤 6 对所述第二源极接触区 321 与第二漏极接触区 322 进行 N 型离子注入。

步骤 7、如图 7 所示，剥离光阻层 50，在所述第一栅极 51、第二栅极 52、及栅极绝缘层 4 上沉积层间介电层 6，采用一道光刻制程对所述层间介电层 6 及栅极绝缘层 4 进行图案化处理，在所述层间介电层 6 及栅极绝缘层 4 上对应于所述第一源极接触区 311、第一漏极接触区 312 的上方形成第一通孔 61，对应于所述第二源极接触区 321、第二漏极接触区 322 的上方形成第二通孔 62。

步骤 8、如图 8 所示，在所述层间介电层 6 上沉积第二金属层，采用一道光刻制程对该第二金属层进行图案化处理，得到第一源极 71、第一漏极 72、第二源极 73、第二漏极 74，所述第一源极 71、第一漏极 72 分别经由第一通孔 61 与所述第一源极接触区 311、第一漏极接触区 312 相接触，所述第二源极 73、第二漏极 74 分别经由第二通孔 62 与所述第二源极接触区 321、第二漏极接触区 322 相接触。

具体的，所述第二金属层可以为两钼层之间夹设一铝层的复合层结构（Mo/Al/Mo）、或者为两钛层之间夹设一铝层的复合层结构（Ti/Al/Ti）。

步骤 9、如图 9 所示，在所述第一源极 71、第一漏极 72、第二源极 73、第二漏极 74、及层间介电层 6 上涂布平坦层 8，在所述平坦层 8 上沉积钝化层 9，采用一道光刻制程对所述平坦层 8 及钝化层 9 进行图案化处理，在所述平坦层 8 及钝化层 9 上对应于所述第二漏极 74 的上方形成第三通孔 91。

步骤 10、如图 10 所示，在所述钝化层 9 沉积透明导电氧化物层，采用一道光刻制程对所述透明导电氧化物层进行图案化处理，得到像素电极 10，所述像素电极 10 经由第三通孔 91 与所述第二漏极 74 相接触，从而完成 TFT 基板的制作。

具体的，所述透明导电氧化物层的材料为 ITO（氧化铟锡）。

请参阅图 10，基于上述 TFT 基板的制作方法，本发明还提供一种 TFT 基板，包括：一基板 1，设于所述基板 1 上的缓冲层 2，设于所述缓冲层 2 上的第一有源层 31、第二有源层 32，设于所述第一有源层 31、第二有源层 32 上的栅极绝缘层 4，设于所述栅极绝缘层 4 上且分别与所述第一有源层 31、第二有源层 32 对应设置的第一栅极 51、第二栅极 52，设于所述第一栅极 51、第二栅极 52 上的层间介电层 6，设于所述层间介电层 6 上的第一源极 71、第一漏极 72、第二源极 73、第二漏极 74，设于所述第一源极 71、第一漏极 72、第二源极 73、第二漏极 74 上的平坦层 8，设于所述平坦层 8 上的钝化层 9，以及设于所述钝化层 9 上的像素电极 10。

具体的，所述第一有源层 31、第二有源层 32 均为低温多晶硅层。

具体的，所述第一有源层 31 包括位于中间的第一沟道区 313、及位于

所述第一沟道区 313 两侧的第一源极接触区 311、第一漏极接触区 312，且所述第一源极接触区 311 与第一漏极接触区 312 的高度均低于所述第一沟道区 313 的高度；

具体的，所述第一源极接触区 311、第一漏极接触区 312 的上表面为低于所述第一沟道区 313 上表面的平面（如图 10 所示）或斜面，即所述第一源极接触区 311、第一漏极接触区 312 的上表面相对于所述第一沟道区 313 上表面形成一个台阶，该台阶面与所述第一沟道区 313 上表面的高度差为 10-1000 Å；

或者，所述第一源极接触区 311、第一漏极接触区 312 的上表面包括从所述第一沟道区 313 向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面，相邻两台阶面的高度差为 10-1000 Å。

具体的，所述第二有源层 32 包括位于中间且与所述第二栅极 52 完全对应的第二沟道区 323、及位于所述第二沟道区 323 两侧的第二源极接触区 321、第二漏极接触区 322。

具体的，所述第一源极接触区 311 与第一漏极接触区 312 均为 N 型重掺杂区，所述第二源极接触区 321 与第二漏极接触区 322 均为 P 型重掺杂区；

或者，所述第一源极接触区 311 与第一漏极接触区 312 均为 P 型重掺杂区，所述第二源极接触区 321 与第二漏极接触区 322 均为 N 型重掺杂区；

所述 N 型重掺杂区中掺入的杂质为磷离子等五价离子，所述 P 型重掺杂区中掺入的杂质为硼离子等三价离子。

具体的，所述层间介电层 6 及栅极绝缘层 4 上设有分别对应于所述第一源极接触区 311、第一漏极接触区 312 上方的第一通孔 61，以及分别对应于所述第二源极接触区 321、第二漏极接触区 322 上方的第二通孔 62；所述第一源极 71、第一漏极 72 分别经由第一通孔 61 与所述第一源极接触区 311、第一漏极接触区 312 相接触，所述第二源极 73、第二漏极 74 分别经由第二通孔 62 与所述第二源极接触区 321、第二漏极接触区 322 相接触。

具体的，所述平坦层 8 及钝化层 9 上对应于所述第二漏极 74 的上方设有第三通孔 91，所述像素电极 10 经由第三通孔 91 与所述第二漏极 74 相接触。

具体的，所述缓冲层 2 可以为氧化硅（SiO_x）层、氮化硅（SiN_x）层、或氧化硅层与氮化硅层的堆叠组合。

所述第一栅极 51、第二栅极 52、第一源极 71、第一漏极 72、第二源极 73、第二漏极 74 可以为两钼层之间夹设一铝层的复合层结构

（Mo/Al/Mo）、或者为两钛层之间夹设一铝层的复合层结构（Ti/Al/Ti）。

具体的，所述像素电极 10 的材料为 ITO（氧化铟锡）。

综上所述，本发明的 TFT 基板的制作方法，通过对有源层的源、漏极接触区进行蚀刻，使其高度低于中间沟道区的高度，并且将所述源、漏极接触区设计为台阶状，使得载流子在漏极接触区附近受到偏离多晶硅/栅极绝缘层界面方向电场的作用（Vds 电场），迁移路径被拉离多晶硅/栅极绝缘层界面，减少高能载子注入栅极绝缘层内，并且由于漏极接触区的台阶的存在，使得漏极接触区附近横向电场（Vds 电场）峰值强度以及漏极接触区纵向电场（Vgs 电场）强度均下降，夹断点往漏极接触区边缘移动，减小阈值电压漂移等，提高 TFT 可靠性；本发明的 TFT 基板，通过将所述有源层的源、漏极接触区的高度设计为低于中间沟道区的高度，并且将所述源、漏极接触区设计为台阶状，使得漏极接触区附近横向电场（Vds 电场）峰值强度以及漏极接触区纵向电场（Vgs 电场）强度均下降，夹断点往漏极接触区边缘移动，减小阈值电压漂移等，提高 TFT 可靠性。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在基板上依次沉积缓冲层与非晶硅层；

步骤 2、对所述非晶硅层进行准分子激光退火或固相晶化处理，使所述非晶硅层转化为低温多晶硅层，采用一道光刻制程对所述低温多晶硅层进行图案化处理，得到间隔设置的第一有源层、第二有源层；

步骤 3、在所述第一有源层、第二有源层、及基板上涂布光阻层，通过对所述光阻层进行曝光、显影，暴露出所述第一有源层的两端区域，以所述光阻层为遮蔽层，对所述第一有源层的两端进行 N 型或 P 型离子注入，得到分别位于所述第一有源层两端的第一源极接触区与第一漏极接触区；定义所述第一源极接触区与第一漏极接触区之间的区域为第一沟道区；

步骤 4、对所述光阻层进行灰化处理，对所述第一有源层的第一源极接触区与第一漏极接触区进行部分刻蚀，使所述第一源极接触区与第一漏极接触区的高度均低于所述第一沟道区的高度；

步骤 5、剥离光阻层，在所述第一有源层、第二有源层、及基板上沉积栅极绝缘层，在所述栅极绝缘层上沉积第一金属层，采用一道光刻制程对该第一金属层进行图案化处理，得到分别对应于第一有源层、第二有源层上方的第一栅极、第二栅极；

步骤 6、在所述第一栅极、第二栅极上方涂布光阻层，对所述光阻层进行曝光、显影，暴露出第二栅极以及栅极绝缘层上对应于所述第二有源层上方的区域；以所述第二栅极为遮蔽层，对所述第二有源层的两端进行 P 型或 N 型离子注入，得到分别位于所述第二有源层两端的第二源极接触区、第二漏极接触区，定义所述第二源极接触区与第二漏极接触区之间的区域为第二沟道区；

步骤 7、剥离光阻层，在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间介电层，采用一道光刻制程对所述层间介电层及栅极绝缘层进行图案化处理，在所述层间介电层及栅极绝缘层上对应于所述第一源极接触区、第一漏极接触区的上方形成第一通孔，对应于所述第二源极接触区、第二漏极接触区的上方形成第二通孔；

步骤 8、在所述层间介电层上沉积第二金属层，采用一道光刻制程对该第二金属层进行图案化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别经由第一通孔与所述第一源极接触区、

第一漏极接触区相接触，所述第二源极、第二漏极分别经由第二通孔与所述第二源极接触区、第二漏极接触区相接触；

步骤 9、在所述第一源极、第一漏极、第二源极、第二漏极、及层间介电层上涂布平坦层，在所述平坦层上沉积钝化层，采用一道光刻制程对所述平坦层及钝化层进行图案化处理，在所述平坦层及钝化层上对应于所述第二漏极的上方形成第三通孔；

步骤 10、在所述钝化层沉积透明导电氧化物层，采用一道光刻制程对所述透明导电氧化物层进行图案化处理，得到像素电极，所述像素电极经由第三通孔与所述第二漏极相接触，从而完成 TFT 基板的制作。

2、如权利要求 1 所述的 TFT 基板的制作方法，其中，经过所述步骤 4 的刻蚀后，所述第一源极接触区、第一漏极接触区的上表面为低于所述第一沟道区上表面的平面或斜面，即所述第一源极接触区、第一漏极接触区的上表面相对于所述第一沟道区上表面形成一个台阶；

或者，所述第一源极接触区、第一漏极接触区的上表面包括从所述第一沟道区向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面。

3、如权利要求 1 所述的 TFT 基板的制作方法，其中，所述步骤 4 中，采用氧气对所述光阻层进行灰化处理，同时在氧气中加入多晶硅刻蚀性气体对所述第一源极接触区与第一漏极接触区进行刻蚀；

或者，首先采用氧气对所述光阻层进行灰化处理，然后采用光刻制程对所述第一源极接触区与第一漏极接触区进行刻蚀。

4、如权利要求 1 所述的 TFT 基板的制作方法，其中，当所述步骤 4 对第一源极接触区与第一漏极接触区进行 N 型离子注入时，所述步骤 6 对所述第二源极接触区与第二漏极接触区进行 P 型离子注入；

当所述步骤 4 对所述第一源极接触区与第一漏极接触区进行 P 型离子注入时，所述步骤 6 对第二源极接触区与第二漏极接触区进行 N 型离子注入。

5、如权利要求 1 所述的 TFT 基板的制作方法，其中，所述 N 型离子为磷离子，所述 P 型离子为硼离子。

6、一种 TFT 基板，包括：一基板，设于所述基板上的缓冲层，设于所述缓冲层上的第一有源层、第二有源层，设于所述第一有源层、第二有源层上的栅极绝缘层，设于所述栅极绝缘层上且分别与所述第一有源层、第二有源层对应设置的第一栅极、第二栅极，设于所述第一栅极、第二栅极上的层间介电层，设于所述层间介电层上的第一源极、第一漏极、第二源

极、第二漏极，设于所述第一源极、第一漏极、第二源极、第二漏极上的平坦层，设于所述平坦层上的钝化层，以及设于所述钝化层上的像素电极；

其中，所述第一有源层、第二有源层均为低温多晶硅层；

所述第一有源层包括位于中间的第一沟道区、及位于所述第一沟道区两侧的第一源极接触区、第一漏极接触区，且所述第一源极接触区与第一漏极接触区的高度均低于所述第一沟道区的高度；

所述第二有源层包括位于中间且与所述第二栅极完全对应的第二沟道区、及位于所述第二沟道区两侧的第二源极接触区、第二漏极接触区。

7、如权利要求 6 所述的 TFT 基板，其中，所述第一源极接触区、第一漏极接触区的上表面为低于所述第一沟道区上表面的平面或斜面，即所述第一源极接触区、第一漏极接触区的上表面相对于所述第一沟道区上表面形成一个台阶；

或者，所述第一源极接触区、第一漏极接触区的上表面包括从所述第一沟道区向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面。

8、如权利要求 6 所述的 TFT 基板，其中，所述第一源极接触区与第一漏极接触区均为 N 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 P 型重掺杂区；

或者，所述第一源极接触区与第一漏极接触区均为 P 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 N 型重掺杂区。

9、如权利要求 8 所述的 TFT 基板，其中，所述 N 型重掺杂区中掺入的杂质为磷离子，所述 P 型重掺杂区中掺入的杂质为硼离子。

10、如权利要求 6 所述的 TFT 基板，其中，所述层间介电层及栅极绝缘层上设有分别对应于所述第一源极接触区、第一漏极接触区上方的第一通孔，以及分别对应于所述第二源极接触区、第二漏极接触区上方的第二通孔；所述第一源极、第一漏极分别经由第一通孔与所述第一源极接触区、第一漏极接触区相接触，所述第二源极、第二漏极分别经由第二通孔与所述第二源极接触区、第二漏极接触区相接触；

所述平坦层及钝化层上对应于所述第二漏极的上方设有第三通孔，所述像素电极经由第三通孔与所述第二漏极相接触。

11、一种 TFT 基板，包括：一基板，设于所述基板上的缓冲层，设于所述缓冲层上的第一有源层、第二有源层，设于所述第一有源层、第二有源层上的栅极绝缘层，设于所述栅极绝缘层上且分别与所述第一有源层、第二有源层对应设置的第一栅极、第二栅极，设于所述第一栅极、第二栅

极上的层间介电层，设于所述层间介电层上的第一源极、第一漏极、第二源极、第二漏极，设于所述第一源极、第一漏极、第二源极、第二漏极上的平坦层，设于所述平坦层上的钝化层，以及设于所述钝化层上的像素电极；

其中，所述第一有源层、第二有源层均为低温多晶硅层；

所述第一有源层包括位于中间的第一沟道区、及位于所述第一沟道区两侧的第一源极接触区、第一漏极接触区，且所述第一源极接触区与第一漏极接触区的高度均低于所述第一沟道区的高度；

所述第二有源层包括位于中间且与所述第二栅极完全对应的第二沟道区、及位于所述第二沟道区两侧的第二源极接触区、第二漏极接触区；

其中，所述第一源极接触区、第一漏极接触区的上表面为低于所述第一沟道区上表面的平面或斜面，即所述第一源极接触区、第一漏极接触区的上表面相对于所述第一沟道区上表面形成一个台阶；

或者，所述第一源极接触区、第一漏极接触区的上表面包括从所述第一沟道区向外侧高度依次递减的数个台阶，所述数个台阶的台阶面为平面或斜面；

其中，所述第一源极接触区与第一漏极接触区均为 N 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 P 型重掺杂区；

或者，所述第一源极接触区与第一漏极接触区均为 P 型重掺杂区，所述第二源极接触区与第二漏极接触区均为 N 型重掺杂区；

其中，所述层间介电层及栅极绝缘层上设有分别对应于所述第一源极接触区、第一漏极接触区上方的第一通孔，以及分别对应于所述第二源极接触区、第二漏极接触区上方的第二通孔；所述第一源极、第一漏极分别经由第一通孔与所述第一源极接触区、第一漏极接触区相接触，所述第二源极、第二漏极分别经由第二通孔与所述第二源极接触区、第二漏极接触区相接触；

所述平坦层及钝化层上对应于所述第二漏极的上方设有第三通孔，所述像素电极经由第三通孔与所述第二漏极相接触。

12、如权利要求 11 所述的 TFT 基板，其中，所述 N 型重掺杂区中掺入的杂质为磷离子，所述 P 型重掺杂区中掺入的杂质为硼离子。

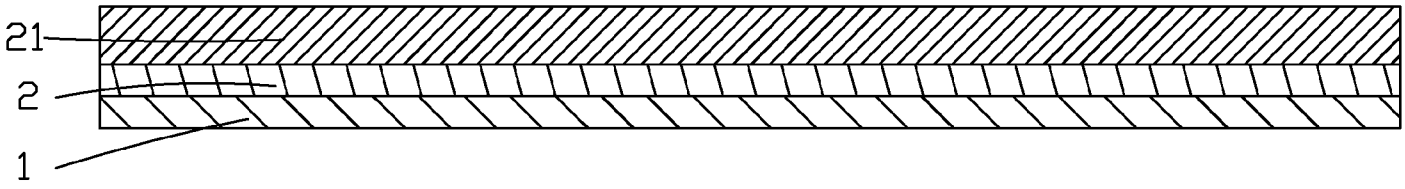


图1

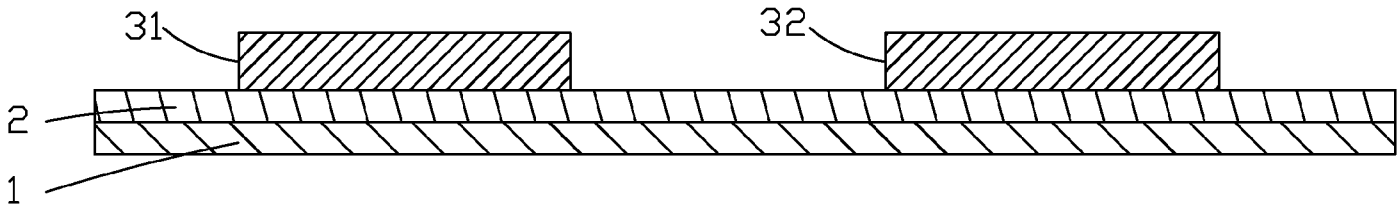


图2

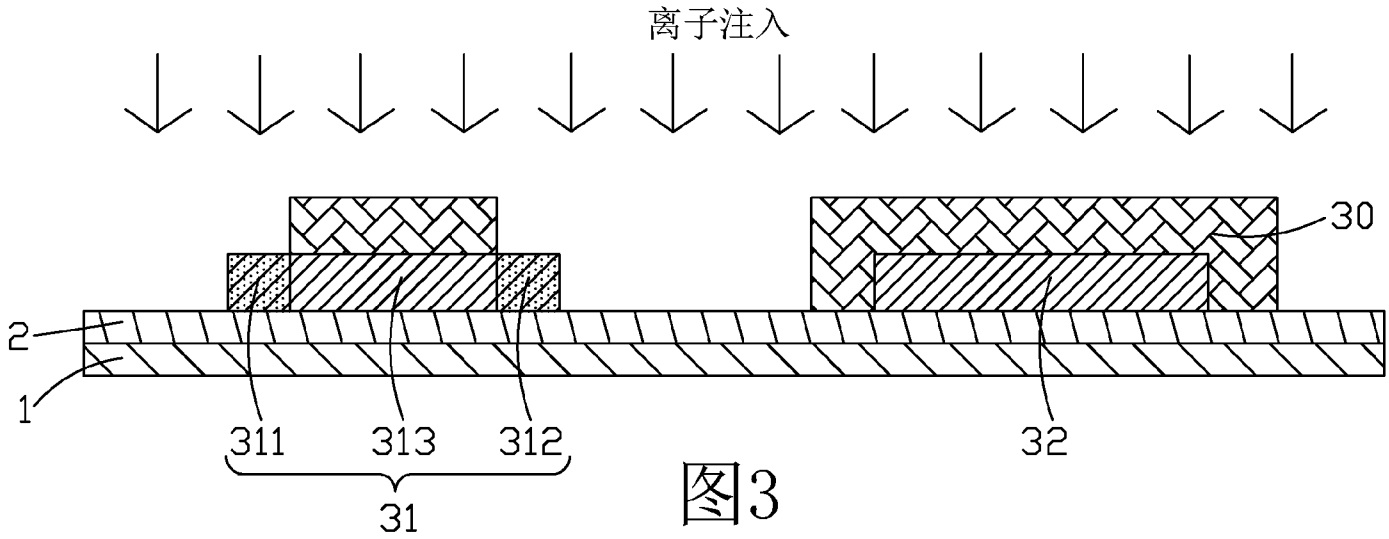


图3

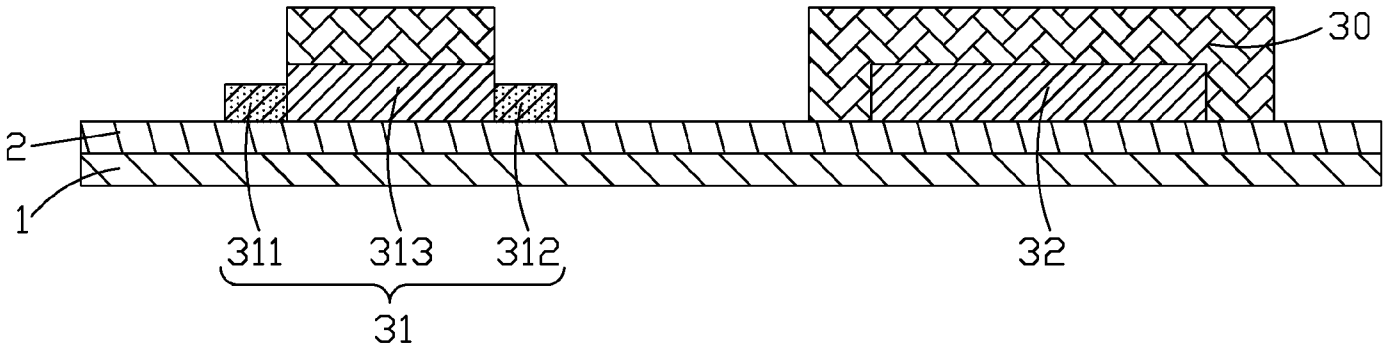

30
2
1
311
313
312
32
31

图4

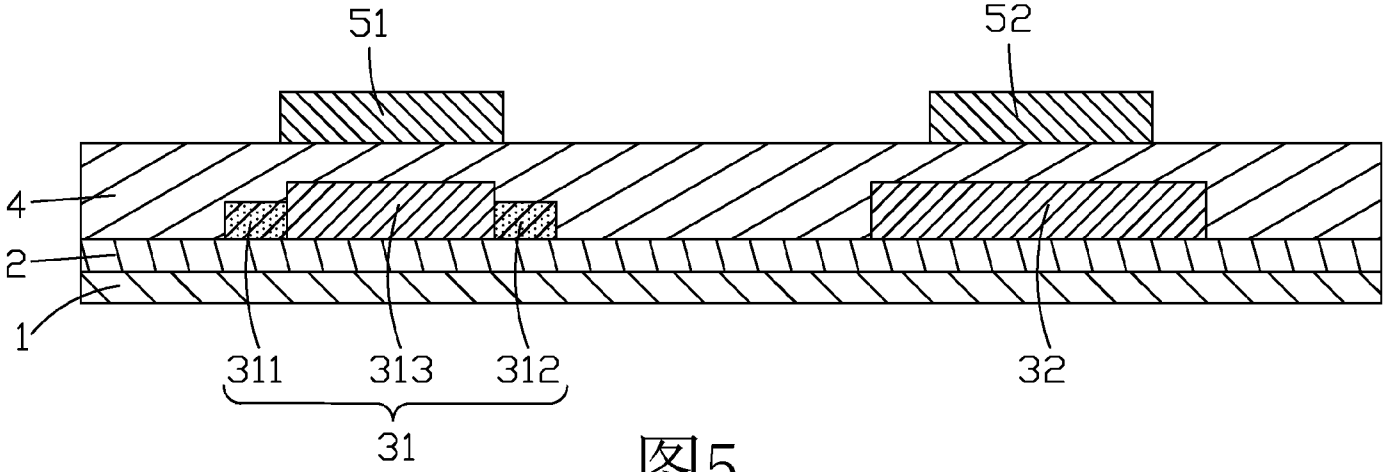

51
52
4
2
1
311
313
312
32
31

图5

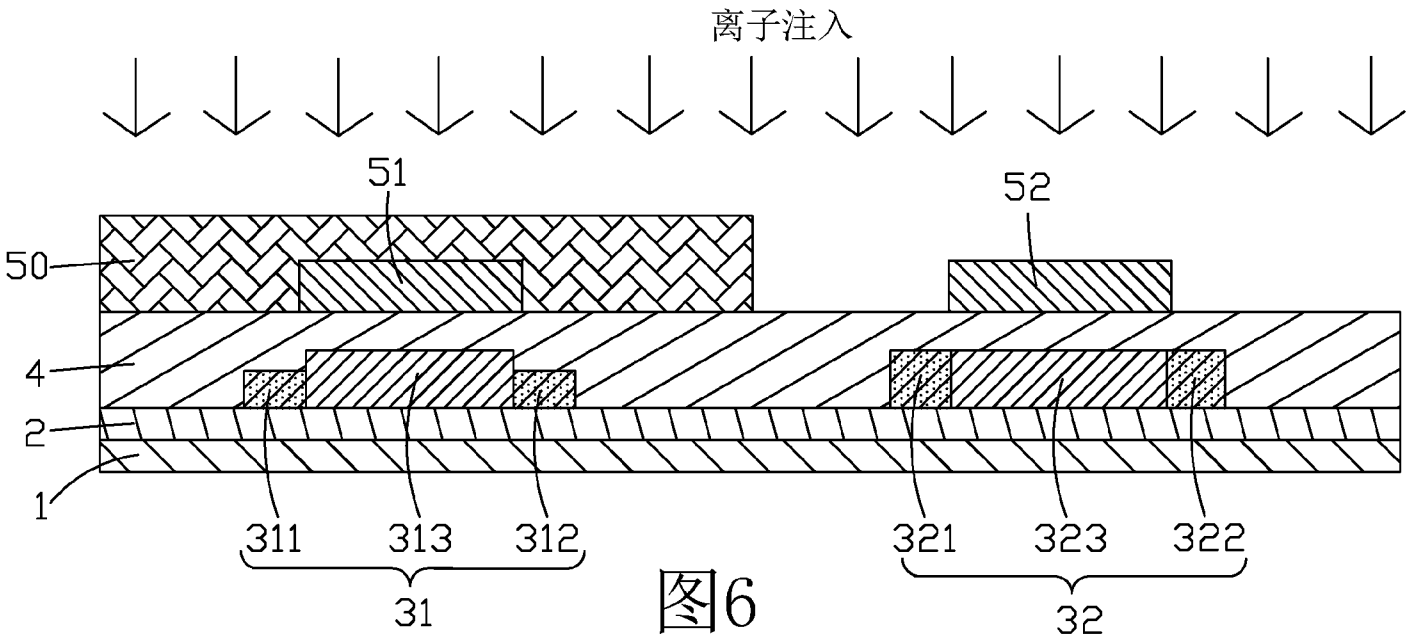

离子注入
51
52
50
4
2
1
311
313
312
321
323
322
31
32

图6

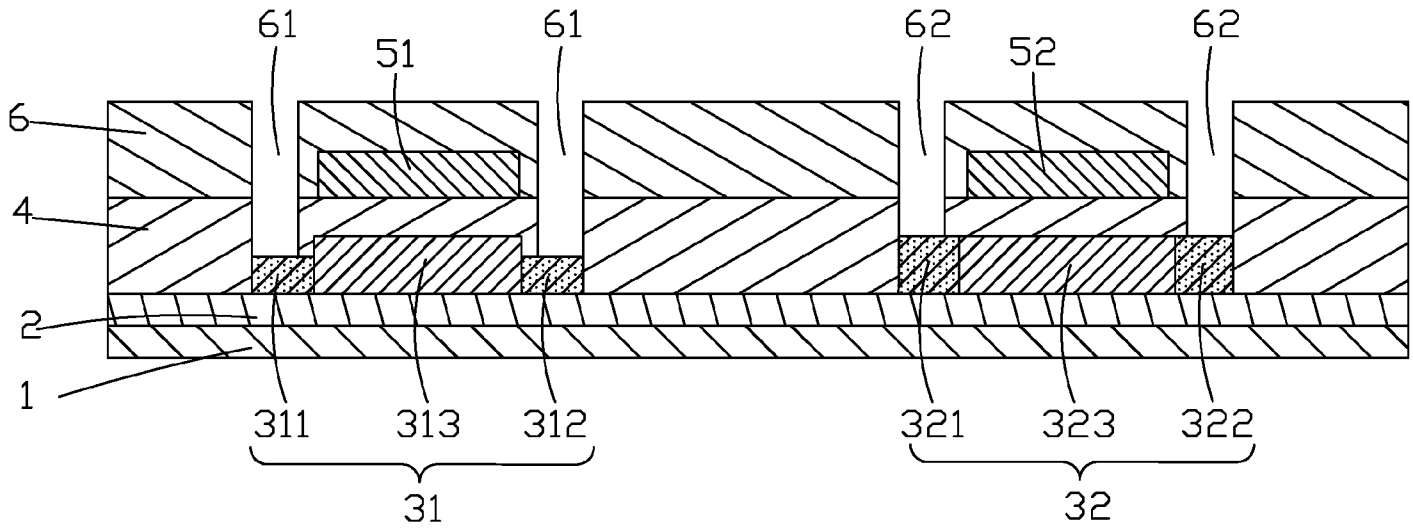

61
51
61
62
52
62
6
4
2
1
311
313
312
321
323
322
31
32

图7

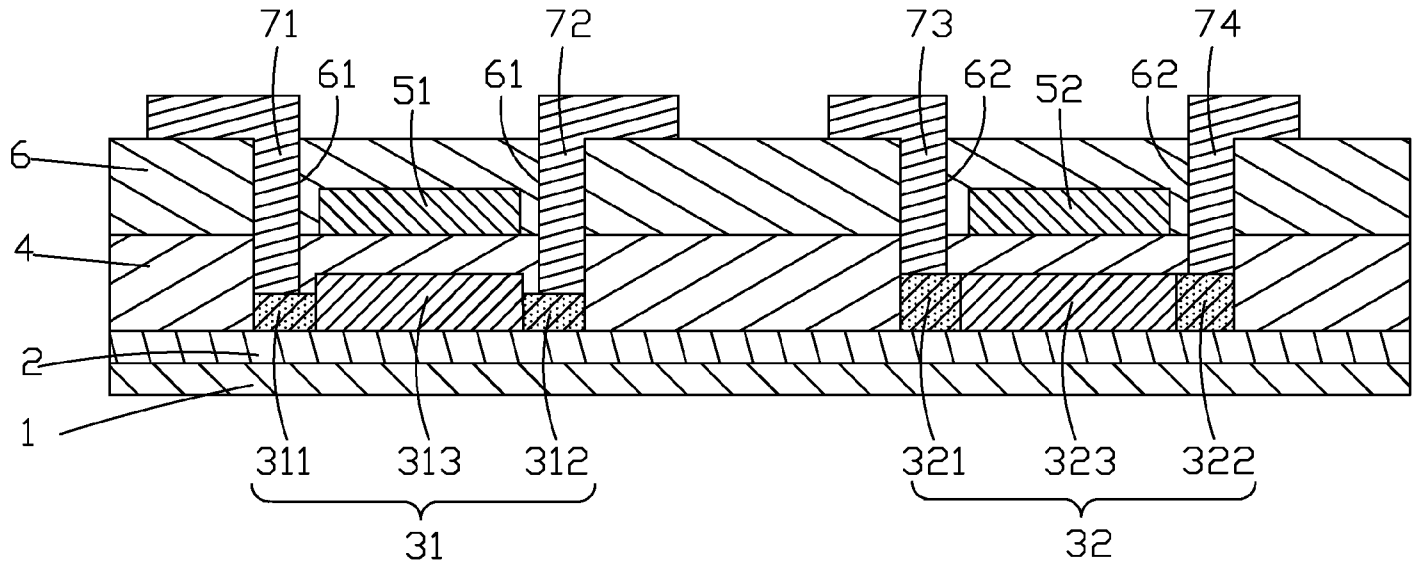

71
72
73
74
61
51
61
62
52
62
6
4
2
1
311
313
312
321
323
322
31
32

图8

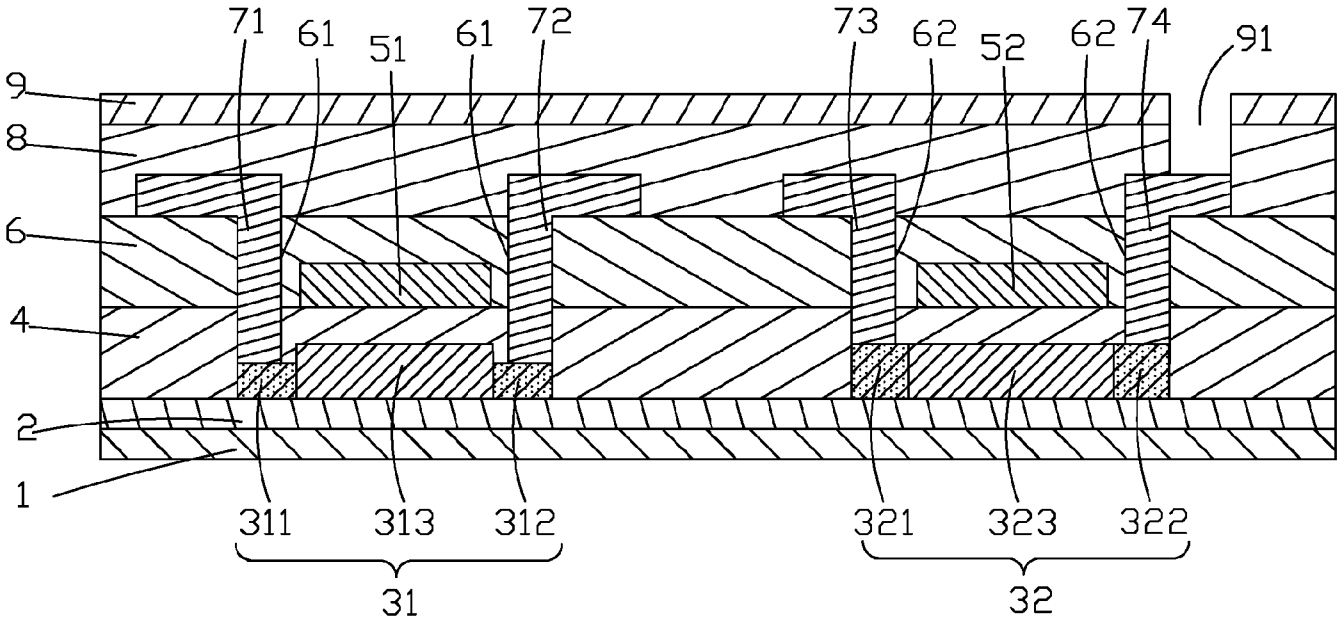

71
61
51
61
72
73
62
52
62
74
91
9
8
6
4
2
1
311
313
312
321
323
322
31
32

图9

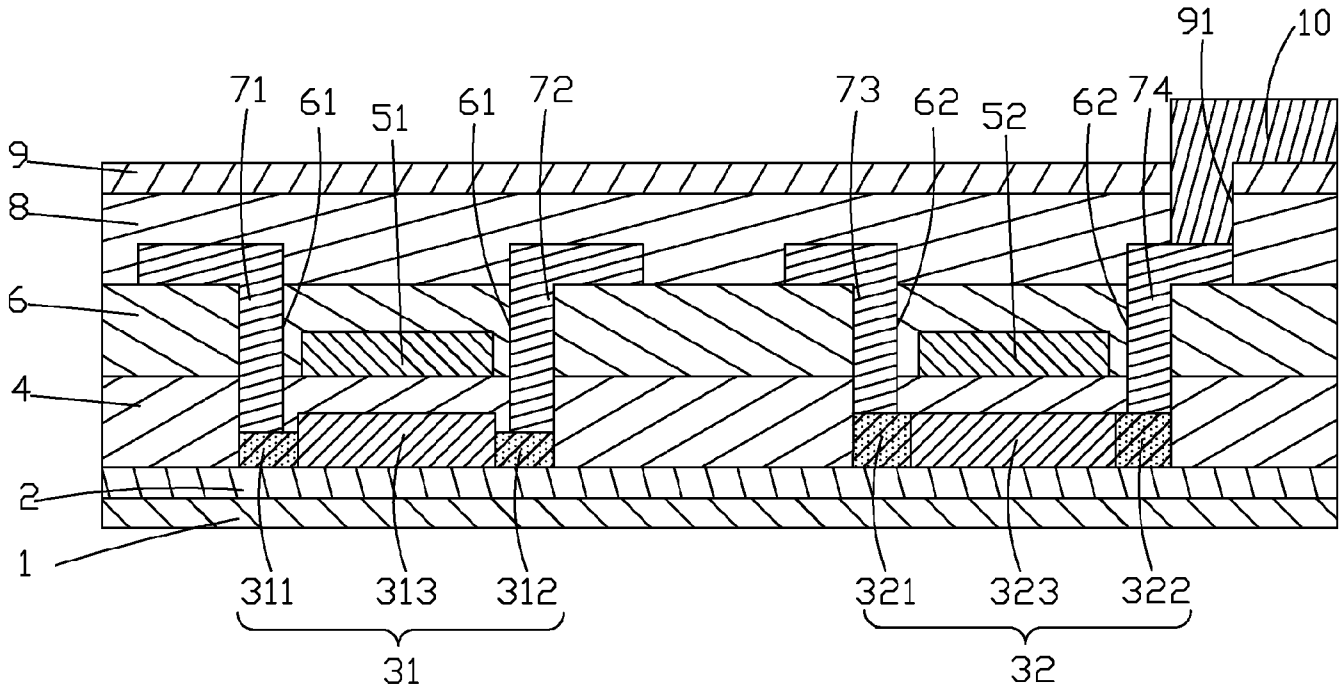

91
10
71
61
51
61
72
73
62
52
62
74
9
8
6
4
2
1
311
313
312
321
323
322
31
32

图10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/087912

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/-, H01L 27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI: polycrystalline silicon, short, TFT, thin film transistor, active, source, drain, channel, high, above, below, upper, down, step

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1909249 A (NEC LCD TECHNOLOGIES LTD.), 07 February 2007 (07.02.2007), description, page 25, paragraph 2 to page 31, paragraph 1, and figures 4A-4M	1-12
A	CN 101022096 A (AU OPTRONICS CORP.), 22 August 2007 (22.08.2007), the whole document	1-12
A	JP 2008021719 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO.), 31 January 2008 (31.01.2008), the whole document	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 April 2016 (27.04.2016)	**13 May 2016 (13.05.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **WU, Haitao** Telephone No.: (86-10) **62089265**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/087912

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1909249 A	07 February 2007	US 2007029614 A1	08 February 2007
		US 7714387 B2	11 May 2010
		JP 2007048777 A	22 February 2007
		CN 1909249 B	11 July 2012
		JP 4957942 B2	20 June 2012
		TW I338372 B	01 March 2011
		KR 100838752 B	19 June 2008
		TW 200707756 A	16 February 2007
		KR 20070016961 A	08 February 2007
CN 101022096 A	22 August 2007	CN 100505221 C	24 June 2009
JP 2008021719 A	31 January 2008	None	

国际检索报告

国际申请号
PCT/CN2015/087912

A. 主题的分类

H01L 21/77(2006.01)i; H01L 27/12(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L 21/-, H01L 27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,DWPI：薄膜晶体管，多晶硅，有源，源，漏，沟道，高，矮，台阶，TFT，thin film transistor, active, source, drain, channel, high, above, below, upper, down, step

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 1909249 A (NEC液晶技术株式会社) 2007年 2月 7日 (2007-02-07) 说明书第25页第2段至第31页第1段，附图4A-4M	1-12
A	CN 101022096 A (友达光电股份有限公司) 2007年 8月 22日 (2007-08-22) 全文	1-12
A	JP 2008021719 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO) 2008年 1月 31日 (2008-01-31) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 4月 27日	2016年 5月 13日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	吴海涛
传真号 (86-10)62019451	电话号码 (86-10)62089265

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/087912

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1909249	A	2007年 2月 7日	US	2007029614	A1	2007年 2月 8日
				US	7714387	B2	2010年 5月 11日
				JP	2007048777	A	2007年 2月 22日
				CN	1909249	B	2012年 7月 11日
				JP	4957942	B2	2012年 6月 20日
				TW	I338372	B	2011年 3月 1日
				KR	100838752	B	2008年 6月 19日
				TW	200707756	A	2007年 2月 16日
				KR	20070016961	A	2007年 2月 8日
CN	101022096	A	2007年 8月 22日	CN	100505221	C	2009年 6月 24日
JP	2008021719	A	2008年 1月 31日		无		