

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7576152号
(P7576152)

(45)発行日 令和6年10月30日(2024.10.30)

(24)登録日 令和6年10月22日(2024.10.22)

(51)国際特許分類

F I

H O 1 L 21/66 (2006.01)

H O 1 L 23/12 (2006.01)

H O 1 L 21/60 (2006.01)

H O 1 L 21/66 E

H O 1 L 23/12 5 0 1 P

H O 1 L 21/60 3 0 1 N

請求項の数 13 (全23頁)

(21)出願番号	特願2023-501542(P2023-501542)	(73)特許権者	522246670
(86)(22)出願日	令和4年6月29日(2022.6.29)		チャンシン メモリー テクノロジーズ
(65)公表番号	特表2024-523066(P2024-523066 A)		インコーポレイテッド
(43)公表日	令和6年6月28日(2024.6.28)		CHANGXIN MEMORY T E C
(86)国際出願番号	PCT/CN2022/102515		H N O L O G I E S , I N C .
(87)国際公開番号	WO2023/231122		中華人民共和国 2 3 0 6 0 1 アンファイ
(87)国際公開日	令和5年12月7日(2023.12.7)		プロヴィンス ヘーフエイ シティ エコ
審査請求日	令和5年1月10日(2023.1.10)		ノミック アンド テクノロジカル ディ
(31)優先権主張番号	202210619084.1		ベロップメント エリア エアポート イ
(32)優先日	令和4年6月1日(2022.6.1)		ンダストリアル パーク シンイエ アベ
(33)優先権主張国・地域又は機関	中国(CN)	(74)代理人	100145403
			弁理士 山尾 憲人
		(74)代理人	100189555
			弁理士 徳山 英浩

最終頁に続く

(54)【発明の名称】 パッケージ構造及びその製作方法、半導体デバイス

(57)【特許請求の範囲】
【請求項1】

パッケージ構造であって、複数のバイアホールを有する隔離層と、N個の第1パッドと、N個の再配線層と、第1絶縁層と、を含み、Nは、1より大きい正の整数であり、前記隔離層は相互接続層の表面を覆い、前記バイアホールは前記相互接続層の一部を露出させ、前記相互接続層は半導体機能構造の表面に設けられ、各前記第1パッドは、1つの前記バイアホールで露出される前記相互接続層によって構成され、各再配線層は前記隔離層を覆い、前記N個の第1パッドのうちの1つの対応する前記第1パッドと電氣的に接続され、前記N個の第1パッドのうちのM1個の第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、前記N個の第1パッドのうちのM2個の第1パッドは、第1方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置され、 $N = M1 + M2$ であり、前記第1エッジ及び前記第2エッジは、前記半導体機能構造の対向する2つのエッジであり、前記第1絶縁層は各前記再配線層の一部領域を露出させるように各前記再配線層を覆い、各前記再配線層の露出される一部領域は、いずれも第2パッドと第3パッドとを含み、前記N個の再配線層に対応して、前記第2パッドと前記第3パッドの数もN個であり、N個の前記第2パッドのうちの各前記第2パッドの中心点は、対応する前記第1パッドの中心点に対するオフセット方向及びオフセット距離が同じであり、前記M1個の第1パッドと電氣的に接続する前記再配線層の前記第2パッドと前記第3パッドとの相対位置は、前

前記M 2個の第1パッドと電氣的に接続する前記再配線層の前記第2パッド及び前記第3パッドとの相対位置と異なり、前記第1パッド及び第2パッドはそれぞれ、前記半導体機能構造の異なる動作速度でテストするために使用され、前記第3パッドは、前記第2パッドのテスト内容に係る信号交換のために使用される、パッケージ構造。

【請求項2】

前記N個の再配線層の各前記再配線層に含まれる前記第2パッド及び前記第3パッドはいずれも、第2方向に沿って並列に配置され、前記第2方向は、前記第1方向に垂直する、請求項1に記載のパッケージ構造。

【請求項3】

各前記第2パッドの中心点の前記相互接続層の所在平面への正投影は、対応する前記第1パッドの中心点に対して前記第2方向へ第1距離をオフセットする、

請求項2に記載のパッケージ構造。

【請求項4】

各前記再配線層の前記相互接続層の所在平面への正投影の形状はすべて長手形状である、請求項3に記載のパッケージ構造。

【請求項5】

前記M 1個の第1パッドの前記第1エッジに近い第1端と、前記M 1個の第1パッドと電氣的に接続する前記再配線層の前記第1エッジに近い第2端は、第3方向においてほぼ位置合わせられており、第3方向は、前記第1方向と前記第2方向のいずれもと垂直しており、

前記M 2個の第1パッドの前記第2エッジに近い第3端と、前記M 2個の第1パッドと電氣的に接続する前記再配線層の前記第2エッジに近い第4端は、前記第3方向においてほぼ位置合わせられている、

請求項4に記載のパッケージ構造。

【請求項6】

前記M 1個の第1パッドと電氣的に接続する前記再配線層において、前記第2パッドは、前記第2端に近い位置に位置し、前記第3パッドは、前記第2端から離れた位置に位置し、前記M 2個の第1パッドと電氣的に接続する前記再配線層において、前記第2パッドは、前記第4端に近い位置に位置し、前記第3パッドは、前記第4端から離れた位置に位置する、

請求項5に記載のパッケージ構造。

【請求項7】

各前記再配線層は、前記第1パッドに導電的に接続される第1領域を更に含み、前記M 1個の第1パッドと電氣的に接続する前記再配線層における前記第2パッド及び前記第3パッドは、いずれも前記第1領域の一侧に位置し、前記M 2個の第1パッドと電氣的に接続する前記再配線層における前記第2パッド及び前記第3パッドは、いずれも前記第1領域の両側に位置する、

請求項6に記載のパッケージ構造。

【請求項8】

前記再配線層は、対応する前記第1パッドと直接に接触し、

又は、

前記パッケージ構造は更に、前記再配線層と対応する前記第1パッドとの間に位置する導電柱を備え、前記再配線層は、前記導電柱を介して、前記相互接続層に導電的に接続される、

請求項1に記載のパッケージ構造。

【請求項9】

前記パッケージ構造は、前記導電柱を備え、前記導電柱の数は複数を含み、複数の導電柱は、第1方向に沿って並列に配置される、

請求項8に記載のパッケージ構造。

【請求項10】

前記再配線層は、前記バイアホールの側壁及び底部を覆い、前記再配線層は、対応する前記第1パッドと直接に接触し、前記パッケージ構造は更に、

各前記再配線層によって取り囲まれた溝内に位置する第2絶縁層を備え、前記第2絶縁層の材料の硬さは、前記再配線層の材料の硬さより小さい、

請求項8に記載のパッケージ構造。

【請求項11】

半導体機能構造と、請求項1ないし10のいずれか一項に記載のパッケージ構造と、を備え、

前記パッケージ構造の相互接続層は前記半導体機能構造の表面に設けられ、

前記パッケージ構造のN個の第1パッドのうちのM1個の第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、前記N個の第1パッドのうちのM2個の第1パッドは、第1方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置され、 $N = M1 + M2$ であり、前記第1エッジ及び前記第2エッジは、前記半導体機能構造の対向する2つのエッジである、

半導体デバイス。

【請求項12】

前記半導体デバイスは更に、

基板と、積層で配置された複数のダイを含み、

各前記ダイは、前記半導体機能構造及び前記半導体機能構造に位置する前記パッケージ構造を備え、

各ダイは、前記パッケージ構造における第3パッド上のリードワイヤによって前記基板に電氣的に接続される、

請求項11に記載の半導体デバイス。

【請求項13】

パッケージ構造の製作方法であって、

半導体機能構造を提供することであって、前記半導体機能構造の表面に相互接続層が配置されることと、

複数のバイアホールを備える隔離層を形成することであって、前記隔離層は相互接続層の表面を覆い、前記バイアホールは前記相互接続層の一部を露出させ、各前記バイアホールで露出される前記相互接続層の一部を1つの第1パッドとし、N個（Nは、1より大きい正の整数である）の第1パッドを形成し、前記第1パッドは、第1種類テストを実行するために使用されることと、

前記第1種類テストを完了した後、前記N個の第1パッド及び前記隔離層上にN個の再配線層を形成することであって、各再配線層は前記隔離層を覆い、前記N個の第1パッドのうちの1つの対応する前記第1パッドと電氣的に接続され、前記N個の第1パッドのうちのM1個の第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、前記N個の第1パッドのうちのM2個の第1パッドは、第1方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置され、 $N = M1 + M2$ であり、前記第1エッジ及び前記第2エッジは、前記半導体機能構造の対向する2つのエッジであることと、

前記再配線層の一部を露出させるように前記再配線層を覆う第1絶縁層を形成し、露出される前記再配線層の一部を第2パッド及び第3パッドとすることであって、前記第2パッドと前記第3パッドの数はいずれもN個であり、N個の前記第2パッドのうちの各前記第2パッドの中心点は、対応する前記第1パッドの中心点に対するオフセット方向及びオフセット距離が同じであり、前記M1個の第1パッドと電氣的に接続する再配線層における前記第2パッドと前記第3パッドとの相対位置は、前記M2個の第1パッドと電氣的に接続する前記再配線層における前記第2パッドと前記第3パッドとの相対位置と異なり、前記第2パッドは、第2種類テストを実行するために使用され、前記第3パッドは、前記第2種類テストの内容に関係する信号交換を行うために使用され、前記半導体機能構造は、前記第1種類テストを実行するときの動作速度は、前記第2種類テストを実行するとき

10

20

30

40

50

の動作速度より低いことと、を含む、パッケージ構造の製作方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願への相互参照)

本願は、2022年06月01日に中国特許局に提出された、出願番号が202210619084.1であり、発明の名称が「パッケージ構造及びその製作方法、半導体デバイス」である、中国特許出願に基づいて提出されるものであり、当該中国特許出願の優先権を主張し、当該中国特許出願の全ての内容が参照によって本願に援用される。

【0002】

本開示は、半導体技術分野に関し、パッケージ構造及びその製作方法、半導体デバイスに関するがこれに限定されない。

【背景技術】

【0003】

電子機器の普及率が急速に向上し、電子機器市場の活発な発展に伴い、電子製品が高性能、多機能、高信頼性及び便利性を有しながら、小型化、薄型化の方向に進化するように要求されている。このような需要によって、半導体デバイスのパッケージに対して、より良く、より軽く、より薄く、パッケージ密度がより高く、より良い電気性能と熱性能、より高い信頼性及びより高いコストパフォーマンスを求めている。

【0004】

半導体デバイスの性能を対応する要求を満たせるために、パッケージ構造において、テスト、機能インタラクションを行うためのポートを製造する必要がある。

【発明の概要】

【0005】

それを鑑みて、関連する技術的課題のうちの1つ又は複数を解決するために、本開示の実施例は、パッケージ構造及びその製作方法、半導体デバイスを提案する。

【0006】

本開示の実施例によれば、パッケージ構造を提供し、前記パッケージ構造は、複数のバイアホールを有する隔離層と、N個の第1パッドと、N個の再配線層と、第1絶縁層と、を含み、Nは、1より大きい正の整数であり、

前記隔離層は相互接続層の表面を覆い、前記バイアホールは前記相互接続層の一部を露出させ、前記相互接続層は半導体機能構造の表面に設けられ、

各前記第1パッドは、1つの前記バイアホールで露出される前記相互接続層によって構成され、

各再配線層は前記隔離層を覆い、前記N個の第1パッドのうちの1つの対応する前記第1パッドと電気的に接続され、一部の前記第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、他の一部の前記第1パッドは、第1方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置され、前記第1エッジ及び前記第2エッジは、前記半導体機能構造の対向する2つのエッジであり、

前記第1絶縁層は各前記再配線層の一部領域を覆いながら、一部領域を露出させ、

各前記再配線層の露出される一部領域は、いずれも第2パッドと第3パッドとを含み、各前記第2パッドの中心点は、対応する前記第1パッドの中心点に対するオフセット方向及びオフセット距離が同じであり、一部の前記再配線層の前記第2パッドと前記第3パッドとの相対位置は、ほかの一部の前記再配線層の前記第2パッド及び前記第3パッドとの相対位置と異なり、前記第1パッド及び第2パッドはそれぞれ、前記半導体機能構造の異なる動作速度でテストするために使用され、前記第3パッドは、前記第2パッドのテスト内容に対応する機能インタラクションのために使用される。

【0007】

上記の技術案において、前記N個の再配線層の各前記再配線層に含まれる前記第2パッド及び前記第3パッドはいずれも、第2方向に沿って並列に配置され、前記第2方向は、

10

20

30

40

50

前記第 1 方向に垂直する。

【0008】

上記の技術案において、各前記第 2 パッドの中心点の前記相互接続層の所在平面への正投影は、対応する前記第 1 パッドの中心点に対して前記第 2 方向へ第 1 距離をオフセットする。

【0009】

上記の技術案において、各前記再配線層の前記相互接続層の所在平面への正投影の形状はすべて長手形状である。

【0010】

上記の技術案において、一部の前記第 1 パッドの前記第 1 エッジに近い第 1 端と、一部の
前記再配線層の前記第 1 エッジに近い第 2 端は、第 3 方向においてほぼ位置合わせられて
おり、第 3 方向は、前記第 1 方向と前記第 2 方向のいずれもと垂直しており、

10

他の一部の前記第 1 パッドの前記第 2 エッジに近い第 3 端と、他の一部の前記再配線層
の前記第 2 エッジに近い第 4 端は、前記第 3 方向においてほぼ位置合わせられている。

【0011】

上記の技術案において、一部の前記再配線層における前記第 2 パッドは、前記第 2 端に
近い位置に位置し、前記第 3 パッドは、前記第 2 端から離れた位置に位置し、

他の一部の前記再配線層における前記第 2 パッドは、前記第 4 端に近い位置に位置し、
前記第 3 パッドは、前記第 4 端から離れた位置に位置する。

【0012】

20

上記の技術案において、各前記再配線層は、前記第 1 パッドに導電的に接続される第 1
領域を更に含み、

一部の前記再配線層における前記第 2 パッド及び前記第 3 パッドは、いずれも前記第 1
領域の一側に位置し、他の一部の前記再配線層における前記第 2 パッド及び前記第 3 パッ
ドは、いずれも前記第 1 領域の両側に位置する。

【0013】

上記の技術案において、前記再配線層は、対応する前記第 1 パッドと直接に接触し、
又は、

前記パッケージ構造は更に、前記再配線層と対応する前記第 1 パッドとの間に位置する
導電柱を備え、前記再配線層は、前記導電柱を介して、前記相互接続層に導電的に接続さ
れる。

30

【0014】

上記の技術案において、前記パッケージ構造は、前記導電柱を備え、前記導電柱の数は
複数を含み、複数の導電柱は、第 1 方向に沿って並列に配置される。

【0015】

上記の技術案において、前記再配線層は、対応する前記第 1 パッドと直接に接触し、前
記パッケージ構造は更に、

各前記再配線層によって取り囲まれた溝内に位置する第 2 絶縁層を備え、前記第 2 絶縁
層の材料の硬さは、前記再配線層の材料の硬さより小さい。

【0016】

40

本開示の実施例の 1 様態では、半導体機能構造と、本開示の上記の実施例に記載のパッ
ケージ構造と、を備える半導体デバイスを提供する。

【0017】

上記の技術案において、前記半導体デバイスは、更に、
基板と、

積層で配置された複数のダイであって、各前記ダイは、半導体機能構造及び前記半導体
機能構造に位置するパッケージ構造を備える、複数のダイと、を備え、

各ダイは、前記パッケージ構造における第 3 パッド上のリードワイヤによって前記基板
に電氣的に接続される。

【0018】

50

本開示の実施例のもう 1 様態では、パッケージ構造の製作方法を提供し、前記方法は、半導体機能構造を提供することであって、前記半導体機能構造の表面に相互接続層が配置されることと、

複数のバイアホールを備える隔離層を形成することであって、前記隔離層は相互接続層の表面を覆い、前記バイアホールは前記相互接続層の一部を露出させ、各前記バイアホールで露出される前記相互接続層の一部を 1 つの第 1 パッドとし、N 個（N は、1 より大きい正の整数である）の第 1 パッドを形成し、前記第 1 パッドは、第 1 種類テストを実行するために使用されることと、

前記第 1 種類テストを完了した後、前記 N 個の第 1 パッド及び前記隔離層上に N 個の再配線層を形成することであって、各再配線層は前記隔離層を覆い、前記 N 個の第 1 パッドのうちの 1 つの対応する前記第 1 パッドと電氣的に接続され、一部の第 1 パッドは、第 1 方向に沿って、前記半導体機能構造の第 1 エッジに近い位置に並列に配置され、他の一部の第 1 パッドは、第 1 方向に沿って、前記半導体機能構造の第 2 エッジに近い位置に並列に配置され、前記第 1 エッジ及び前記第 2 エッジは、前記半導体機能構造の対向する 2 つのエッジであることと、

前記再配線層の一部を覆いながら、再配線層の一部を露出させる第 1 絶縁層を形成し、露出される前記再配線層の一部を第 2 パッド及び第 3 パッドとすることであって、ここで、各前記第 2 パッドの中心点は、対応する前記第 1 パッドの中心点に対するオフセット方向及びオフセット距離が同じであり、一部の再配線層における前記第 2 パッドと前記第 3 パッドとの相対位置は、他の一部の再配線層における前記第 2 パッドと前記第 3 パッドとの相対位置と異なり、前記第 2 パッドは、第 2 種類テストを実行するために使用され、前記第 3 パッドは、前記第 2 種類テストの内容に対応する機能インタラクションを行うために使用され、前記半導体機能構造は、前記第 1 種類テストを実行するときの動作速度は、前記第 2 種類テストを実行するときの動作速度より低いことと、を含む。

【0019】

本開示の各実施例において、最上層の金属層に N 個の第 1 パッドを配置することによって、前記半導体機能構造が第 1 種の動作速度でのテストを実行し、ここで、一部の第 1 パッドは、第 1 方向に沿って、前記半導体機能構造の第 1 エッジに近い位置に並列に配置され、前記第 1 パッドの他の一部は、第 1 方向に沿って前記半導体機能構造の第 2 エッジに近い位置に並列に配置され、第 1 種の動作速度でのテストが完了した後、第 1 パッド上の再配線層に、第 1 パッドと一対一に対応する第 2 パッドを配置することによって、前記半導体機能構造に対して第 2 種の動作速度でのテストを実行し、ここで、一部の再配線層における前記第 2 パッドと前記第 3 パッドとの相対位置は、他の一部の再配線層における前記第 2 パッドと前記第 3 パッドとの相対位置と異なり、ここで、各第 2 パッドの中心点を、対応する第 1 パッドの中心点に対して同じ方向をオフセットし、同じ距離をオフセットするように設定することにより、N 個の第 1 パッド及び N 個の第 2 パッドが、完全に同じである相対位置を維持させる同時に、異なるエッジに位置する第 2 パッドと第 3 パッドとの第 2 位置を異なるように設定することにより、2 つのエッジに位置する再配線層が、より大きなフォールトレランスを有し、いずれもエッジに近づくが、エッジを超えないようにし、このようにして、第 1 パッド及び第 2 パッドを、両方とも総面積を節約するのに有益である有利な位置に配置させ、同時に、同じプローブカードを使用して、上記の 2 つの異なる動作速度のテストを実行することができ、2 つのプローブカードを使用してそれぞれテストすることと比べて、テストコストやテスト時間を節約し、生産周期や製造コストを低下させる。

【図面の簡単な説明】

【0020】

【図 1】本開示の実施例によるパッケージ構造の例示的な断面図である。

【図 2 a】本開示の実施例による別のパッケージ構造の例示的な断面図である。

【図 2 b】図 2 a の例示的な上面図である。

【図 2 c】本開示の実施例による、導電柱を備えるパッケージ構造の例示的な断面図であ

る。

【図 3】本開示の実施例による、第 1 パッドと第 2 パッドとの相対位置の概略図である。

【図 4】本開示の実施例による、第 2 パッドと第 3 パッドとの相対位置の概略図である。

【図 5】本開示の実施例によるパッケージ構造の製造方法の例示的なフローチャートである。

【図 6 a】本開示の実施例によるパッケージ構造の製造過程の概略図である。

【図 6 b】本開示の実施例によるパッケージ構造の製造過程の概略図である。

【図 6 c】本開示の実施例によるパッケージ構造の製造過程の概略図である。

【図 6 d】本開示の実施例によるパッケージ構造の製造過程の概略図である。

【発明を実施するための形態】

【0021】

上記の図面（必ずしも縮尺通りに描かれているわけではない）において、同様の参照番号は、異なる図における同様の部品を示すことができる。異なる文字の接尾辞を有する同様の参照番号は、同様の部品の異なる例を示すことができる。図面によって、限定ではなく、例として、本明細書で議論される各実施例を示している。

【0022】

以下は、図面及び実施例を参照して、本開示の技術的解決策を更に詳細に説明する。図面に、本開示の例示的な実施形態が示されているが、理解すべきこととして、本開示は、本明細書に示される実施形態によって限定されずに、様々な形態で実現できる。むしろ、これらの実施形態は、本開示をより完全に理解させ、本開示の範囲を当業者に十分に伝えるために提供される。

【0023】

以下の段落では、図面を参照して例を挙げて、本開示の各実施例をより具体的に説明する。以下の説明及び特許請求の範囲により、本開示の利点及び特徴はより明確になる。説明すべきこととして、図面は、いずれも簡略化された形を採用し、いずれも非精確な比率を使用し、本開示の実施例の目的を簡単かつ明確に説明するためのみ使用される。

【0024】

理解できるように、本開示の「…上」、「…の上」や「…の上方」の意味は、最も広い方式で解釈されるべきであり、「…上」が、それがああるもの「上」にあり、その間には介在する特徴又は層がない（即ち、直接にあるものの上にある）ことを意味するだけでなく、更に、あるものの「上」にあり、その間には介在する特徴又は層があることを意味する。

【0025】

本開示の実施例において、「A は B と接続する」という用語は、A、B の両者が直接に接触する場合、又は A と B が、中間の導電構造によって間接的に接触される場合を含み、「第 1」、「第 2」などの用語は、類似する対象を区別するためのものであり、特定の順序又は先後順序を説明するために使用されない。

【0026】

本開示の実施例において、「層」という用語は、厚さを有する領域を含む材料部分を指す。層は、構造の下方表面又は上方表面で延在することができ、その面積は、位置する延在表面以下であってもよい。本開示の実施例で説明された技術的解決策は、矛盾でなければ、任意に組み合わせることができることに留意されたい。

【0027】

本開示の実施例に係る半導体機能構造は、後続の製造プロセスで使用され、最終的な半導体デバイスの一部であり、半導体デバイスの主な機能を実現する中心部分である。ここで、前記最終的な半導体デバイスは、メモリを含むがこれに限定されない。

【0028】

ダイナミックランダムアクセスメモリ（DRAM：Dynamic Random Access Memory）などの半導体デバイスのパッケージ構造の設計において、パッド（PAD）は、最上層メタル開口方式と、再配線層（RDL：Redistribution Layer）開口方式の 2 つの設置方法がある。

10

20

30

40

50

【0029】

前記最上層メタル開口は、半導体機能構造が破壊されないように保護するために、半導体機能構造の最上層メタル層でパッシベーション層（Passivation）又は絶縁層を形成し、その後、前記パッシベーション層又は絶縁層において開口領域を形成して、最上層メタル層の一部を露出することにより、パッドを形成することを指す。ここで、当該パッド上でプローブカードのタッチダウンテストを実行することができ、それによって半導体機能構造の電気的性能をテストする。当該パッド上でボンディングワイヤ（Bonding wire）の引き出しを行い、半導体機能構造の電気的引き出しを実現してもよい。

【0030】

前記再配線層開口は、半導体機能構造の最上層メタル層で再配線層を形成し、再配線層上でパッシベーション層又は絶縁層を形成し、その後、前記パッシベーション層又は絶縁層上で開口領域を形成することにより、再配線層の一部を露出させて、並列に配置された2つのパッドを形成することを指す。ここで、当該2つのパッドのうちの一方は、プローブカードのタッチダウンテストを実行するために使用され、他方は、当該パッド上でボンディングワイヤの引き出しを行うために使用される。ここで、半導体デバイスにおいて再配線層は、パッド位置を調整する役割を果たすことができ、パワーグラウンドの電力供給ネットワークを強化する役割を果たすこともできる。

【0031】

理解できるように、最上層メタル層は比較的に薄く、且つその下にガスケット構造があるため、パッケージのワイヤボンディングの歩留まりに影響を及ぼせず、開口された同じ金属領域で、まず、プローブカードのタッチダウンテストを実行した後、パッケージ工場でボンディングワイヤパッケージングを行うようにサポートすることができ、再配線層の材料は通常金属であり、再配線層は、最上層メタル層より厚く、プローブカードのタッチダウンを経てから、比較的に深くかつ表面が粗い針痕があり、この針痕は、パッケージのワイヤボンディングの歩留まりに影響を及ぼすため、再配線層において、テストのためのパッドとボンディングワイヤを引き出すためのパッドを分ける必要がある。パッケージ構造において、上記のうちのどの開口方式を採用しても、半導体デバイスの機能に大きな影響を及ぼすことがなく、再配線層の開口は、性能の向上に有益であるが、生産周期及び生産コスト増加する必要がある。

【0032】

関連技術において、通常、半導体デバイスの実際のニーズに応じて、以上の2つの開口方式のうちの1つを採用してパッケージ構造を設計する。しかし、実際の適用において、半導体デバイスの生産過程において、需要が単一ではないため、しばしば複数の需要がある場合が存在する。以下では、複数の需要のいくつかの例を挙げる。

【0033】

例示的に、半導体デバイス（又は「製品」と呼ぶ）の量産化前に、長い機能のテスト過程があり、当該テスト過程において、テストは、半導体機能構造の動作速度が比較的に低い状況で遂行しており、この場合、最上層メタル開口方式を採用すれば、半導体機能構造のパッケージやテストを遂行することができる。製品の製造プロセス工程が成熟した後、半導体機能構造の高速動作の状態をテストする必要がある際に、再配線層開口方式を採用してパッケージテストを実行する必要がある。

【0034】

それを鑑みて、本開示の実施例は、パッケージ構造を提供し、図1を参照すると、前記パッケージ構造は、最上層メタル開口方式及び再配線層開口方式を含み、ここで、最上層メタル開口方式において、最上層メタル層101に第1種類のパッド102を配置し、当該第1種類のパッド102は、低速テスト及びボンディングワイヤの引き出しを行うために使用されることができ、再配線層開口方式において、再配線層103には、2種類のパッド（第2種類パッド104及び第3種類パッド105）が配置され、第2種類パッド104は、高速テストを実行するために使用され、第3種類パッド105は、ボンディング

10

20

30

40

50

ワイヤを引き出すために使用される。

【0035】

ここで、第1種類のパッド102を利用して低速テストを実行する場合、テストプローブカードは、すべての第1種類のパッド102の中心点に同時にタッチダウンする必要がある、第2種類パッド104を利用して高速テストを実行する場合、テストプローブカードは、すべての第2種類パッド104の中心点にタッチダウンする必要がある。しかし、図1から分かるように、第1種類のパッド102及び第2パッド104は、パッケージ構造の異なる層に配置され、異なる層における各第1種類のパッド102と各第2パッド104との相対位置は異なる。そうすると、低速テスト及び高速テストの需要を満たすために、2つのテストプローブカードを製作する必要がある、2つのテストプローブカードを製作すると、テストコスト及びテスト時間が大幅に増加する。

10

【0036】

一方、テストの点が多い場合、半導体機能構造の1つのエッジに近い位置に、すべての第1種類のパッド102を配置することができない可能性があり、この場合、第1種類のパッドを半導体機能構造の対向する2つのエッジにそれぞれ配置する必要がある、それに対応して、再配線層103も、半導体機能構造の対向する2つのエッジに配置する必要があるが、第2種類パッド104及び第3種類パッド105が一緒に占める面積は、第1種類のパッド102が占める面積より大きい。この場合、少なくとも1つのエッジに位置する再配線層103は、エッジを超えやすい。

【0037】

それを鑑みて、上記の課題を更に解決するために、本開示の実施例は、パッケージ構造及びその製作方法及び半導体デバイスを提供し、ここで、前記パッケージ構造は、複数のバイアホールを有する隔離層と、N個の第1パッドと、N個の再配線層と、第1絶縁層と、を含み、Nは、1より大きい正の整数であり、前記隔離層は相互接続層の表面を覆い、前記バイアホールは前記相互接続層の一部を露出させ、前記相互接続層は半導体機能構造の表面に設けられ、各前記第1パッドは、1つの前記バイアホールで露出される前記相互接続層によって構成され、各再配線層は前記隔離層を覆い、前記N個の第1パッドのうちの1つの対応する前記第1パッドと電気的に接続され、一部の前記第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、他の一部の前記第1パッドは、第1方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置され、前記第1エッジ及び前記第2エッジは、前記半導体機能構造の対向する2つのエッジであり、前記第1絶縁層は各前記再配線層の一部領域を覆いながら、一部領域を露出させ、各前記再配線層の露出される一部領域は、いずれも第2パッドと第3パッドとを含み、各前記第2パッドの中心点は、対応する前記第1パッドの中心点に対するオフセット方向及びオフセット距離が同じであり、一部の前記再配線層の前記第2パッドと前記第3パッドとの相対位置は、ほかの一部の前記再配線層の前記第2パッド及び前記第3パッドとの相対位置と異なり、前記第1パッド及び第2パッドはそれぞれ、前記半導体機能構造の異なる動作速度でテストするために使用され、前記第3パッドは、前記第2パッドのテスト内容に対応する機能インタラクションのために使用される。

20

30

【0038】

説明すべきこととして、本開示の実施例における第1方向は、半導体機能構造の表面と平行し、本開示の実施例における第2方向は、前記半導体機能構造と平行し、且つ前記第1方向に垂直し、本開示の実施例における第3方向は、第1方向及び第2方向のいずれもと垂直する。いくつかの実施例において、第1方向はX軸方向と平行し得、第2方向はY軸方向と平行し得、第3方向はZ軸方向と平行し得る。

40

【0039】

ここで、図2aを参照すると、前記パッケージ構造は、ベース（図2aに示されていない）と、半導体機能構造200と、を備え、前記ベースの構成材料は、シリコン（Si）、ゲルマニウム（Ge）、シリコンゲルマニウム（SiGe）、絶縁体上シリコン（SOI：Silicon on Insulator）又は絶縁体上ゲルマニウム（GOI：Germanium on Insulator）である。

50

ermanium on Insulator) を含み得る。

【0040】

前記半導体機能構造200はベース上に配置され、具体的には、前記半導体機能構造200は、半導体機能層201と、前記半導体機能層201の表面に位置する相互接続層202と、を含み、実際のニーズに応じて、前記半導体機能層201に、複数の機能構造を配置することができ、それに対応して、前記相互接続層202は、半導体機能層201における機能構造の電気信号を引き出して、前記機能構造を動作させるために使用される。いくつかの実施例において、相互接続層202は、最上層メタル層を含み、最上層メタル層は、機能構造の電気信号を引き出すだけでなく、更に、半導体機能構造200を支持するために使用される。

10

【0041】

説明すべきこととして、後続の製造プロセスで形成される再配線層の接続する任意の信号は、すべて前記相互接続層202に接続され、即ち、再配線層が存在しなくても、半導体機能構造200の機能が完全であることを保証する。図2aでは、相互接続層202の一部が除去された後のある断面の断面効果図を示し、実際の適用において、相互接続層における各部分は切断されておらず、相互接続され、即ち、他の断面では、相互接続層における各部分は連続している。

【0042】

前記隔離層203は、相互接続層202の表面を覆い、相互接続層202を一部領域で、後続で形成される再配線層206と隔離するために使用される。隔離層203に、バイアホール204が設けられ、バイアホール204は、相互接続層202の一部を露出させる。ここで、バイアホール204の形状は円柱状であってもよいし、逆台形であってもよいし、又は任意の適した形状であってもよく、隔離層203の構成材料は、オルトケイ酸エチル(TEOS)を含むが、これに限定されない。

20

【0043】

前記第1パッド205は、1つの前記バイアホール204で露出された前記相互接続層202によって構成され、隔離層203に複数のバイアホール204を含み、それにより、バイアホール204によって露出される複数の前記第1パッド205が形成され、その数が複数である。ここで、前記第1パッド205は、第1種類テストを実行するために使用されることができ、また、前記第1種類テストの内容に対応する機能インタラクションを行うために使用されることもできる。

30

【0044】

例示的に、前記第1種類テストは、半導体機能構造に対して、比較的に低い動作速度におけるいくつかのテストであると理解されることができ、説明すべきこととして、メモリにおいて、前記動作速度は、メモリの読み書き速度を指す。前記第1種類テストの内容に対応する機能インタラクションを行うことは、第1パッドからボンディングワイヤを引き出すことと理解されることができ、つまり、第1種類テストを実行するとき、第1パッド205は、プローブカードと接触するために使用されることができ、プローブカード内の複数のプローブは、N個の第1パッドと一対一に対応して、相互接続層を他のテストシステムに電氣的に接続させる。

40

【0045】

実際の適用において、テストする点が多い場合、半導体機能構造の1つのエッジに近い位置に、すべての第1パッド205を配置することができない可能性があり、この場合、第1パッド205を半導体機能構造の対向する2つのエッジにそれぞれ配置することができ、図2bを参照すると、N個の第1パッド205において、N個の前記第1パッドは2つの部分、即ち、第1部分の第1パッド2051及び第2部分の第1パッド2052に分けられ、ここで、第1部分の第1パッド2051は、M1個の第1パッドを含み、M1個の第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジ20aに近い位置に並列に配置され、第2部分の第1パッド2052は、M2個の第1パッドを含み、M2個の第1パッドは、前記第1方向に沿って、前記半導体機能構造の第2エッジ20bに近

50

い位置に並列に配置され、前記第1エッジ20aと前記第2エッジ20bは、前記半導体機能構造の対向する2つのエッジである。ここで、 $M1 + M2 = N$ である。

【0046】

説明すべきこととして、図2aは、第1パッド205が再配線層206と直接に接触する、パッケージ構造の部分的な断面の概略図であり、図2bは、パッケージ構造の上面図の例であり、ここで、図2bでは、第1パッドの位置配列をより明確に示すため、他の層を隠しており、図2cは、第1パッド205が導電柱207を介して再配線層206と間接的に接触する、パッケージ構造の部分的な断面の概略図である。

【0047】

いくつかの実施例において、第1部分の第1パッド2051の数は、第2部分の第1パッド2052の数と同じであってもよいし、異なってもよい。

【0048】

具体的には、図2bにおいて、6つの第1パッドは、第1部分の第1パッド2051と第2部分の第1パッド2052に分けられ、第1部分の第1パッド2051は、3つの第1パッドを含み、第1方向に沿って、前記半導体機能構造の第1エッジ20aに近い位置に並列に配置され、第2部分の第1パッド2052は3つの第1パッドを含み、前記第1方向に沿って、前記半導体機能構造の第2エッジ20bに近い位置に並列に配置される。

【0049】

図2aを参照すると、N個の再配線層206は、前記隔離層203の表面及び前記バイアホール204の上に配置される。ここで、各再配線層206は前記隔離層203を覆い、かつ、N個の再配線層206は、前記N個の第1パッド205内の対応する前記第1パッド205と直接に接触する。

【0050】

再配線層206と第1パッド205は、直接に接触してもよいし（図2aを参照）、間接的に接触してもよく、即ち、再配線層206と第1パッド205との間に、導電材料層（図2b、図2cを参照して、例えば、導電柱207）を配置することができる。前記導電柱207の構成材料は、再配線層206の構成材料と同じであってもよいし、異なってもよい。説明すべきこととして、前記導電柱207の高さは、前記バイアホール204の深さ以下であってもよく、図2cには、導電柱207の高さが、前記バイアホール204の深さと等しい場合を示している。

【0051】

いくつかの実施例において、前記パッケージ構造は、前記導電柱207を備え、前記導電柱の数は複数を含み、複数の導電柱は、第1方向に沿って並列に配置される。

【0052】

上記の実施例において、同一のバイアホール204内の前記導電柱207の数は1つを含んでもよいし、複数を含んでもよく、隣接する導電柱207同士は、絶縁材料によって隔離され、それに対応して、各前記導電柱207は、1つの第1パッド205に対応し、つまり、導電柱207の数が複数である場合、同じバイアホール204の底部に、複数の第1パッド205を有する。

【0053】

理解できるように、導電柱207の数が複数を含む場合、複数の導電柱207はすべて、前記再配線層206及び相互接続層202に接続され、このようにして、再配線層206と相互接続層202との電氣的接続の信頼性を向上させることができる。

【0054】

理解できるように、バイアホールの底面積が変わらない前提で、複数の第1パッド205を配置することは、同一のバイアホール204の底部のすべての第1パッド205の総面積を減少するのに有益であり、それによって、第1パッド205と周辺の導電材料との間の寄生容量を低減し、更に、信号伝送性能を最適化するのに有益である。

【0055】

図2aを参照すると、第1絶縁層208は、前記再配線層206の上に配置される。

【0056】

前記第1絶縁層208は、再配線層206の表面を覆い、前記相互接続層202の露出される部分の上の再配線層206の厚さは、隔離層203の表面上の再配線層206の厚さと同じであってもよい。いくつかの実施例において、バイアホール204の径の幅は、再配線層206の厚さの2倍より大きい場合、再配線層206は、バイアホール204の側壁及び底部を覆い、再配線層206によって溝209を取り囲む。

【0057】

いくつかの実施例において、図2aを参照すると、前記再配線層206は、対応する前記第1パッド205と直接に接触し、前記パッケージ構造は、各前記再配線層によって取り囲まれた溝209内に位置する第2絶縁層210を更に含み、前記第2絶縁層210の材料の硬さは、前記再配線層206の材料の硬さより小さく、このようにして、パッケージ構造の応力を低減し、パッケージ構造の信頼性を向上させることができ、また、再配線層206で溝209を充填することと比べて、第2絶縁層210材料で溝209を充填することは、より多い寄生容量の発生を回避することができる。

【0058】

いくつかの実施例において、第2絶縁層210と第1絶縁層208は、一体構造であってもよいし、別体構造であってもよく、別体構造である場合、両方も材料は異なってもよい。図2aは、第2絶縁層210と第1絶縁層208が一体構造である場合を示す。前記第2絶縁層210の構成材料は、ポリイミド(PI)を含むがこれに限定されない。

【0059】

図2aを参照すると、N個の再配線層206の少なくとも一部の前記再配線層206の露出される一部領域は、第2パッド211及び第3パッド212を含む。

【0060】

ここで、N個の再配線層206内の各再配線層206に、いずれも1つの第2パッド211及び1つの第3パッド212が配置され、言い換えると、N個の第2パッド211は、N個の第3パッド212と一対一に対応する。第2パッド211は、第2種類テストを実行するために使用され、前記第3パッド212は、前記第2種類テストの内容に対応する機能インタラクションを行うために使用される。前記第2種類テストは、半導体機能構造が比較的高い動作速度で動作するときのいくつかのテストであると理解されることができる。第2種類テストの内容に対応する機能インタラクションを行うことは、第3パッドからボンディングワイヤを引き出し、信号交換を行うと理解されることができる。

【0061】

説明すべきこととして、第2パッド211と第3パッド212とは、連続して配置することができ、即ち、第2パッド211と第3パッド212との間に仕切りが配置されなくてもよく、間隔をあけて配置することもでき、即ち、第2パッド211と第3パッド212との間に仕切りが配置されている。

【0062】

ここで、第2パッド211と第3パッド212が、連続して配置された場合、テストの過程において、プローブが照準を合わせていない場合、プローブカードに対する仕切りの損傷を回避し、それにより、プローブカードの使用寿命が延びる同時に、不純物の発生を低減することによって、テスト効率を向上させることができ、更に、仕切りに対するプローブカードの破壊を低減することによって、パッケージ構造の信頼性を全体的に向上させる。

【0063】

第2パッド211と第3パッド212との間に仕切りが配置された場合、テストの過程において、各パッドに対するデバイスの識別精度を向上させることができる。

【0064】

以下で実施例において、第2パッド211と第3パッド212との間に、仕切りが配置されたことを例として説明しており、理解できるように、以下の仕切りに関する説明は、本開示を説明するためにのみ使用され、本開示の範囲を限定するものではない。

【0065】

プローブカードが第2種類テストを実行する際に、プローブカード内の各プローブをすべて第2パッドに対応させるために、本開示の実施例において、各前記第2パッド211の中心点を、対応する前記第1パッド205の中心点に対して、同じ方向にオフセットさせ、同じ距離をオフセットさせ、このようにして、N個の第1パッドとN個の第2パッドが完全に同じ相対位置を維持させ、このようにして、同じプローブカードが、第1種類テストを実行した後、第1パッド205の中心点から一定の方向に向かって一定の距離を移動した後、すべての第2パッド211の中心点と合わせることができ、即ち、プローブカードは、新しいプローブカードに変更する必要がなく、テストする必要のあるすべての第2パッドに対して直接に第2種類テストを実行することができる。

10

【0066】

同時に、異なるエッジに位置する第2パッド211と第3パッド212との間の位置を異なるように配置することにより、エッジに近づくが、エッジを超えないようにすることができる。以下では、1つの例を介して、第1パッド及び第2パッドの位置配置方式を具体的に説明する。

【0067】

いくつかの実施例において、前記N個の再配線層の各前記再配線層に含まれる前記第2パッド及び前記第3パッドはいずれも、第2方向に沿って並列に配置され、前記第2方向は、前記第1方向に垂直する。

【0068】

ここで、第1パッド205は、半導体機能構造の対向する2つのエッジの位置に分布され、例示的に、図3を参照すると、図3内の矢印の左に、第1パッド205の配列の例を示しており、当該例は、図2bと同じであり、ここでは繰り返して説明しない。

20

【0069】

同様に、N個の前記第2パッドは、第3部分及び第4部分の2部分に分けられ、ここで、第3部分は、M1個の第2パッドを含み、第4部分は、M2個の第2パッドを含み、当該第3部分におけるM1個の第2パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、当該第4部分におけるM2個の第2パッドは、前記第2方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置される。同様に、N個の前記第3パッドは、第5部分及び第6部分の2部分に分けられ、ここで、第5部分は、M1個の第3パッドを含み、第6部分は、M2個の第3パッドを含み、当該第5部分におけるM1個の第3パッド及びM1個の第2パッドは、第2方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、当該第6部分におけるM2個の第3パッド及びM2個の第2パッドは、第2方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置される。

30

【0070】

例示的に、図3内の矢印の右には、再配線層206の配列の例を示しており、具体的には、6つの再配線層206を2部分に分け、各部分は、3つの再配線層を含み、各部分における3つの再配線層206はすべて、X軸方向に沿って並列して配列され、各再配線層206は、1つの第2パッド211及び対応する第3パッド212を含み、当該第2パッド211及び第3パッド212はすべて、沿Y軸方向に沿って並列に配置され、図3内の破線は、第1パッド205の中心点が所在する直線を示す。

40

【0071】

いくつかの実施例において、前記第1パッド205、前記第2パッド211、第3パッド212はすべて長手形状であり、各前記再配線層206の前記相互接続層の所在平面への正投影の形状は長手形状を含む。第1方向における各第1パッド205の幅は、第1方向における各第2パッド211、第3パッド212の幅と同じであってもよく、第2方向における各前記第1パッド205の長さは、第2方向における各前記第2パッド211、第3パッド212の長さとも異なってもよい。

【0072】

50

いくつかの実施例において、各前記第 2 パッドの中心点の前記相互接続層の所在平面への正投影は、対応する前記第 1 パッドの中心点に対して前記第 2 方向へ第 1 距離をオフセットする。

【0073】

例示的に、図 3 を参照すると、第 1 エッジ 20a における各前記第 2 パッドの中心点 O2 は、対応する前記第 1 パッドの中心点 O1 の Y 軸方向へ第 1 距離 H1 をオフセットし、同時に、第 2 エッジ 20b における各前記第 2 パッドの中心点 O2 は、対応する前記第 1 パッドの中心点 O1 の Y 軸方向へ第 1 距離 H1 をオフセットする。

【0074】

いくつかの実施例において、一部の前記第 1 パッドの前記第 1 エッジに近い第 1 端と、一部の前記再配線層の前記第 1 エッジに近い第 2 端は、第 3 方向においてほぼ位置合わせられており、第 3 方向は、前記第 1 方向と前記第 2 方向のいずれもと垂直しており、

【0075】

他の一部の前記第 1 パッドの前記第 2 エッジに近い第 3 端と、他の一部の前記再配線層の前記第 2 エッジに近い第 4 端は、前記第 3 方向においてほぼ位置合わせられている。

【0076】

いくつかの実施例において、一部の前記再配線層における前記第 2 パッドは、前記第 2 端に近い位置に位置し、前記第 3 パッドは、前記第 2 端から離れた位置に位置し、

【0077】

他の一部の前記再配線層における前記第 2 パッドは、前記第 4 端に近い位置に位置し、前記第 3 パッドは、前記第 4 端から離れた位置に位置する。

【0078】

別のいくつかの実施例において、一部の前記再配線層における前記第 3 パッドは、前記第 2 端に近い位置に位置し、前記第 2 パッドは、前記第 2 端から離れた位置に位置し、他の一部の前記再配線層における前記第 3 パッドは、前記第 4 端に近い位置に位置し、前記第 2 パッドは、前記第 4 端から離れた位置に位置する。

【0079】

つまり、各前記第 2 パッドの中心点の、対応する前記第 1 パッドの中心点に対するオフセット方向及びオフセット距離がいずれも等しいことを満たす前提で、第 2 パッドは、第 1 パッドから遠く離れた距離に配置されてもよい。

【0080】

理解できるように、一部の前記再配線層における第 2 パッドは、前記第 2 端に近い位置に位置し、且つ他の一部の前記再配線層における第 2 パッドは、前記第 4 端に近い位置に位置し、一部の前記再配線層における第 2 パッドが前記第 2 端から離れた位置に位置し、且つ他の一部の前記再配線層における第 2 パッドが、前記第 4 端に近い位置に位置する場合と比べて、第 2 テストを実行するとき、プローブの移動距離がより短く、テスト効率をより向上させ、エラー発生の確率をより低下させることができる。いくつかの実施例において、各前記再配線層は、前記第 1 パッドに導電的に接続される第 1 領域を更に含み、

【0081】

一部の前記再配線層における前記第 2 パッド及び前記第 3 パッドは、いずれも前記第 1 領域の一侧に位置し、他の一部の前記再配線層における前記第 2 パッド及び前記第 3 パッドは、いずれも前記第 1 領域の両側に位置する。

【0082】

前記パッケージ構造に導電柱 207 が配置される場合、図 3、図 4 を参照すると、第 1 領域 213 は前記導電柱 207 と接触し、且つ前記導電柱の周囲に位置し、第 1 パッド及び再配線層に電氣的に接続するために使用されることを理解されたい。前記パッケージ構造に導電柱 207 が配置されてない場合、第 1 領域 213 は、バイアホール 204 内に位置する。前記第 1 領域 213 の材料は、再配線層 206 の材料と同じであってもよいし、異なってもよいし、任意の適した導電材料であってもよい。

【0083】

本開示の実施例において、第2パッド及び第3パッドの相対位置関係は異なり、図4に示す一部のパッケージ構造における第2パッドは、導電柱と第3パッドとの間に位置し、別の一部のパッケージ構造における導電柱207は、第2パッド211と第3パッド212との間に配置され、そのため、第1領域213の位置は、対応する第2パッド211と第3パッド212との間に配置されることができ、対応する第2パッド211及び第3パッド212の一侧に配置されることもできる。

【0084】

更に、導電柱207及び／又は第1領域213を、対応する第2パッド211と第3パッド212との間に配置する場合、当該対応する第2パッド211と第3パッド212との間に仕切りを配置することができることを理解されたい。

【0085】

説明すべきこととして、第1パッド、第2パッド及び第3パッド間の相対位置関係をより明確に示すために、図4に、第1エッジ20aに近い位置における1つの再配線層、及び第2エッジ20bに近い位置における1つの再配線層を示しており、それに、図3、図4に、第1エッジ20aに近い位置における再配線層と、対応する第2エッジ20bに近い位置における再配線層との距離は、実際の適用における両者の距離を表すことがなく、その実際の距離は、実際のニーズに応じて設定することができることを例示的に示している。

【0086】

本開示の各実施例において、異なるエッジに位置する第2パッドと第3パッドと間の位置を異なるように設定することにより、同一セットのプロブカードを利用して、上記の2つの異なる動作速度でのテストを実行することができ、2つのプロブカードを使用してそれぞれテストすることと比べて、テストコストやテスト時間を節約させ、生産周期や製造コストを低減させる。

【0087】

本開示の実施例の他の様態では、半導体機能構造と、本開示の上記の実施例に記載のパッケージ構造と、を備える半導体デバイスを提供する。

【0088】

いくつかの実施例において、前記半導体デバイスは、基板と、積層で配置された複数のダイと、を更に備え、各前記ダイは、半導体機能構造及び前記半導体機能構造に位置するパッケージ構造を備え、各ダイは、前記パッケージ構造における第3パッド上のリードワイヤを介して、前記基板に電氣的に接続される。

【0089】

本開示の実施例の他の様態では、パッケージ構造の製作方法を提供し、図5に示すように、本開示の実施例によるパッケージ構造の製造方法は、以下のステップを含む。

【0090】

ステップS501において、半導体機能構造を提供し、前記半導体機能構造の表面に相互接続層が配置される。

【0091】

ステップS502において、複数のバイアホールを備える隔離層を形成し、前記隔離層は相互接続層の表面を覆い、前記バイアホールは前記相互接続層の一部を露出させ、各前記バイアホールで露出される前記相互接続層の一部を1つの第1パッドとし、N個（Nは、1より大きい正の整数である）の第1パッドを形成し、前記第1パッドは、第1種類テストを実行するために使用される。

【0092】

ステップS503において、前記第1種類テストを完了した後、前記N個の第1パッド及び前記隔離層上にN個の再配線層を形成し、各再配線層は前記隔離層を覆い、前記N個の第1パッドのうちの1つの対応する前記第1パッドと電氣的に接続され、一部の第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、他の一部の第1パッドは、第1方向に沿って、前記半導体機能構造の第2エ

10

20

30

40

50

ッジに近い位置に並列に配置され、前記第 1 エッジ及び前記第 2 エッジは、前記半導体機能構造の対向する 2 つのエッジである。

【0093】

ステップ S 5 0 4 において、前記再配線層の一部を覆いながら、再配線層の一部を露出させる第 1 絶縁層を形成し、露出される前記再配線層の一部を第 2 パッド及び第 3 パッドとし、ここで、各前記第 2 パッドの中心点は、対応する前記第 1 パッドの中心点に対するオフセット方向及びオフセット距離が同じであり、一部の再配線層における前記第 2 パッドと前記第 3 パッドとの相対位置は、他の一部の再配線層における前記第 2 パッドと前記第 3 パッドとの相対位置と異なり、前記第 2 パッドは、第 2 種類テストを実行するために使用され、前記第 3 パッドは、前記第 2 種類テストの内容に対応する機能インタラク

10

【0094】

理解されたいこととして、図 5 に示すステップは、排他的なものではなく、示された操作における任意のステップの前、その後又はその間で他のステップを行うことができ、図 5 に示す各ステップは、実際のニーズに応じて順序を調整できる。図 6 a ないし図 6 d は、本開示の実施例によるパッケージ構造の製作過程の例示的な断面図である。以下では、図 5、図 6 a ～図 6 d を参照して、本開示の実施例によるパッケージ構造の製作方法について詳細に説明する。

【0095】

ステップ S 5 0 1 において、図 6 a を参照すると、半導体機能層 6 0 1 及び相互接続層 6 0 2 を備える半導体機能構造 6 0 0 を提供する。前記半導体機能構造 6 0 0 を提供することは、ベース（図 6 a には未図示）を提供することを含み、前記ベース上に半導体機能層 6 0 1 を形成し、前記半導体機能層上に相互接続層 6 0 2 を形成する。

20

【0096】

具体的には、前記半導体機能層 6 0 1 は、単層又は多層の薄膜を含み、半導体機能層は、導電層及び／又は誘電体層を備え、実際のニーズに応じて、前記半導体機能層 6 0 1 には、複数の機能構造を配置することができ、それに対応して、前記相互接続層 2 0 2 は、半導体機能層 2 0 1 における機能構造の電気信号を引き出して、前記機能構造を動作させるために使用される。いくつかの実施例において、相互接続層 6 0 2 は、最上層メタル層

30

【0097】

いくつかの実施例において、前記方法は、相互接続層 6 0 2 の一部を除去し、相互接続層の面積を減らして、前記相互接続層による寄生容量を低減する。図 6 a では、相互接続層 6 0 2 の一部が除去された後のある断面の断面効果図を示し、実際の適用において、相互接続層における各部分は切断されておらず、相互接続され、即ち、他の断面では、相互接続層における各部分は連続している。

【0098】

ステップ S 5 0 2 において、図 6 b を参照すると、前記相互接続層 6 0 2 上に隔離層 6 0 3 を形成する。前記隔離層の構成材料は、オルトケイ酸エチルを含むがこれに限定されない。

40

【0099】

次に、前記隔離層の一部を除去して、複数のバイアホール 6 0 4 を形成する。前記バイアホールは前記相互接続層の一部を露出させ、各前記バイアホールで露出される前記相互接続層の一部を 1 つの第 1 パッド 6 0 5 とし、N 個の第 1 パッド 6 0 5 を形成する。ここで、前記バイアホール 6 0 4 は円柱状であってもよいし、逆台形であってもよいし、又は任意の適した形状であってもよく、前記バイアホールの横断面積は、前記バイアホールの前記相互接続層の所在平面への正投影の面積を含み、例えば、バイアホールが逆台形である場合、前記第 1 パッドの横断面積は、前記バイアホールの最小の横断面積である。

50

【0100】

前記第1パッド605は、第1種類テストを実行するために使用されてもよいし、前記第1種類テストの内容に対応する機能インタラクションを行うために使用されてもよく、例えば、ボンディングワイヤを引き出して信号の交換を行うことができる。前記第1種類テストは、半導体機能構造に対して、比較的に低い動作速度におけるいくつかのテストを実行することとして理解されることができる。説明すべきこととして、メモリにおいて、前記動作速度は、メモリの読み書き速度を指す。

【0101】

ステップS503において、図6cを参照すると、前記隔離層603及び前記バイアホール604で再配線層606を形成する。

【0102】

ここで、前記隔離層603上に再配線層606を形成する具体的な方式は、露光現像方式により、前記隔離層上に新しいワイヤーパターンを形成し、その後、電気めっき技術により、前記新しいワイヤーパターンに従って再配線層を形成し、前記再配線層は、新しいワイヤー経路を含み、当該新しいワイヤー経路は、前記相互接続層に導電的に接続される。

【0103】

ここで、各再配線層606は、前記隔離層603を覆い、前記N個の第1パッドのうちの1つの対応する前記第1パッド605に電氣的に接続され、説明すべきこととして、第1パッド605は、第1部分の第1パッド及び第2部分の第1パッドを含み、第1部分の第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、第2部分の前記第1パッドは、第1方向に沿って、前記半導体機能構造の第2エッジに近い位置に並列に配置され、前記第1エッジと前記第2エッジは、前記半導体機能構造の対向する2つのエッジである。

【0104】

ステップS504において、図6dを参照すると、前記再配線層606上に第1絶縁層608を形成する。

【0105】

次に、前記第1絶縁層608の一部を除去して、再配線層606の一部を露出させ、ここで、露出される前記再配線層の一部は、第2パッド611及び第3パッド612を含み、ここで、前記第2パッド611は、第2種類テストを実行するために使用され、前記第3パッド612は、前記第2種類テストの内容に対応する機能インタラクションを行うために使用され、前記第2種類テストは、半導体機能構造がより高い動作速度で動作するいくつかのテストとして理解されることができる。ここで、第2パッド611及び第3パッド612の位置は、実際のニーズに応じて設定することができる。

【0106】

説明すべきこととして、本実施例において、図6dを参照すると、第1絶縁層は、前記再配線層の一部を露出させて第2パッド及び第3パッドを構成する以外に、第1パッドの上方に位置する再配線層を露出させ、再配線層によって構成された溝609内に後続の第2絶縁層610を充填し、この場合、第2絶縁層の密度は、第1絶縁層以下であってもよく、他の実施例において、第1絶縁層は、更に、再配線層によって構成された溝609の底面及び側壁を覆い、後続の第2絶縁層610は、第1絶縁層によって構成された溝609内に形成される。

【0107】

別のいくつかの実施例において、前記パッケージ構造は更に、導電柱を含み、それに対応して、前記方法は、前記第1種類テストを完了した後、前記第1パッド上に導電柱を形成することを更に含み、前記第1パッド及び前記隔離層上に再配線層を形成することは、前記導電柱及び前記隔離層上に、再配線層を形成することを含み、前記再配線層は、前記導電柱を介して、前記相互接続層に導電的に接続される。

【0108】

本開示の実施例において、第2パッド及び第3パッドの相対位置関係は、実際のニーズ

10

20

30

40

50

に応じて設定することができ、例えば、パッケージ構造における第2パッドは、導電柱と第3パッドとの間に位置し、及び／又は、パッケージ構造における導電柱は、第2パッド611と第3パッド612との間に位置し、そのため、一部の再配線層606における第2パッド611と前記第3パッド612との相対位置は、他の一部の再配線層606における前記第2パッド611と前記第3パッド612との相対位置と同じであってもよいし異なってもよく、上記に説明したため、ここでは繰り返して説明しない。

【0109】

各前記第2パッドの中心点の、対応する前記第1パッドの中心点に対するオフセット方向及びオフセット距離はすべて同じであるため、同一セットのプロブカードが第1種類テストを実行した後、第1パッドの中心点から、一定の方向に向かって一定の距離を移動した後、すべての第2パッドの中心点と合わせることができ、即ち、プロブカードは、新しいプロブカードに変更する必要がなく、すべての第2パッドに対して直接に第2種類テストを実行することができる。

10

【0110】

更に、説明すべきこととして、本開示の上記の実施例において、2種類のテストを行うことができるパッケージ構造を採用し、半導体機能構造が、異なる製造プロセス段階で異なる種類のテストを実行することができるようにするが、注意すべきこととして、パッケージ構造のレイアウト設計を行うときに、最上層メタル層で再配線層のバイアホール位置を予め用意する必要があり、再配線層を増加する必要があるときに、最上層メタル層又は他の任意のフォトリソグラフィ板及び工程製造プロセスを変更する必要がないことを保証する。

20

【0111】

本開示で提供するいくつかの実施例において、開示された機器および方法は、非ターゲットの方式で実現されてもよいことを理解されたい。上記で説明された装置の実施例は、例示的なものに過ぎず、例えば、前記ユニットの分割は、論理機能の分割に過ぎず、実際の実現では、他の分割方法を採用することができ、例えば、複数のユニット又はコンポーネントを組み合わせるか又は別のシステムに統合してもよく、その一部の特徴を無視するか実行しなくてもよい。なお、表示又は議論された構成要素は、互いに結合又は直接結合されてもよい。

【0112】

上記の別個の部品として説明されたユニットは、物理的に分離されていてもいなくてもよく、ユニットとして表示された部品は、物理的なユニットであってもなくてもよく、すなわち、1箇所に配置されてもよく、複数のネットワークユニットに分散されてもよく、実際の必要に応じてそのうちの一部又はすべてのユニットを選択して本実施例の技術案の目的を実現することができる。

30

【0113】

本開示によるいくつかの方法、または機器の実施例に開示される特徴は、競合することなく任意に組み合わせて、新たな方法の実施例または機器の実施例を取得することができる。

【0114】

以上は、本開示の具体的な実施形態に過ぎないが、本開示の保護範囲はこれに限定されず、当業者は、本開示に開示された技術的範囲内で容易に想到し得る変更または置換は、すべて本開示の保護範囲内に含まれるべきである。したがって、本開示の保護範囲は、特許請求の保護範囲に従うものとする。

40

【産業上の利用可能性】

【0115】

本開示の各実施例において、最上層の金属層にN個の第1パッドを配置することによって、前記半導体機能構造が第1種の動作速度でのテストを実行し、ここで、一部の第1パッドは、第1方向に沿って、前記半導体機能構造の第1エッジに近い位置に並列に配置され、前記第1パッドの他の一部は、第1方向に沿って前記半導体機能構造の第2エッ

50

ジに近い位置に並列に配置され、第1種の動作速度でのテストが完了した後、第1パッド上の再配線層に、第1パッドと一対一に対応する第2パッドを配置することによって、前記半導体機能構造に対して第2種の動作速度でのテストを実行し、ここで、一部の前記再配線層における前記第2パッドと前記第3パッドとの相対位置は、他の一部の前記再配線層における前記第2パッドと前記第3パッドとの相対位置と異なり、ここで、各第2パッドの中心点を、対応する第1パッドの中心点に対して同じ方向をオフセットし、同じ距離をオフセットするように設定することにより、N個の第1パッド及びN個の第2パッドが、完全に同じである相対位置を維持させる同時に、異なるエッジに位置する第2パッドと第3パッドとの第の位置を異なるように設定することにより、2つのエッジに位置する再配線層が、より大きなフォールトレランスを有し、いずれもエッジに近づくが、エッジを超えないようにし、このようにして、第1パッド及び第2パッドを、両方とも総面積を節約するのに有益である有利な位置に配置させ、同時に、同じプローブカードを使用して、上記の2つの異なる動作速度のテストを実行することができ、2つのプローブカードを使用してそれぞれテストすることと比べて、テストコストやテスト時間を節約し、生産周期や製造コストを低下させる。

10

【符号の説明】

【0116】

- 101 最上層メタル層
- 102 第1種類のパッド
- 103 再配線層
- 104 第2種類パッド
- 05 第3種類パッド
- 200 半導体機能構造
- 201 半導体機能層
- 202 相互接続層
- 203 隔離層
- 204 バイアホール
- 205 第1パッド
- 2051 第1部分の第1パッド
- 2052 第2部分の第1パッド
- 2051a 第1パッドの第1端
- 2052a 第1パッドの第3端
- 206 再配線層
- 206a 再配線層の第2端
- 206b 再配線層の第4端
- 207 導電柱
- 208 第1絶縁層
- 209 溝
- 210 第2絶縁層
- 211 第2パッド
- 212 第3パッド
- 213 第1領域
- 600 半導体機能構造
- 601 半導体機能層
- 602 相互接続層
- 603 隔離層
- 604 バイアホール
- 605 第1パッド
- 606 再配線層
- 608 第1絶縁層

20

30

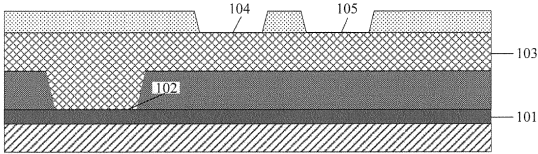
40

50

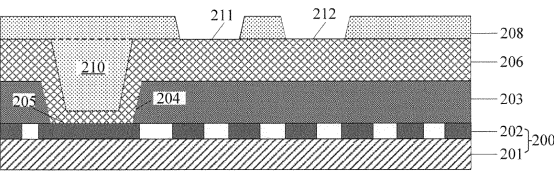
- 6 0 9 溝
- 6 1 0 第 2 絶 縁 層
- 6 1 1 第 2 パッド
- 6 1 2 第 3 パッド

【図面】

【図 1】

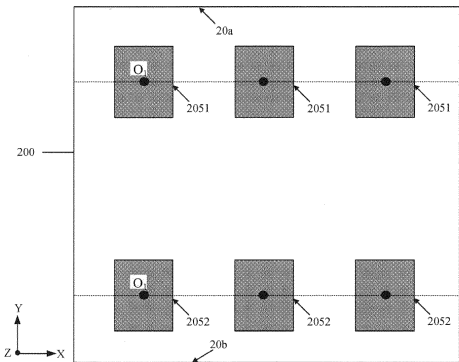


【図 2 a】

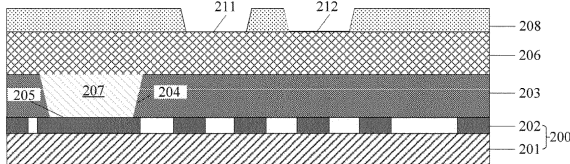


10

【図 2 b】



【図 2 c】



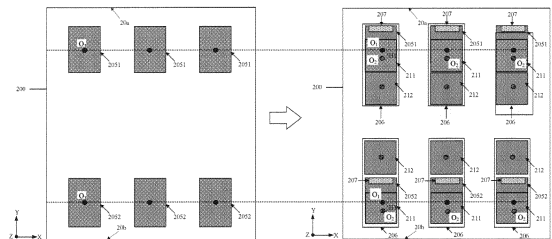
20

30

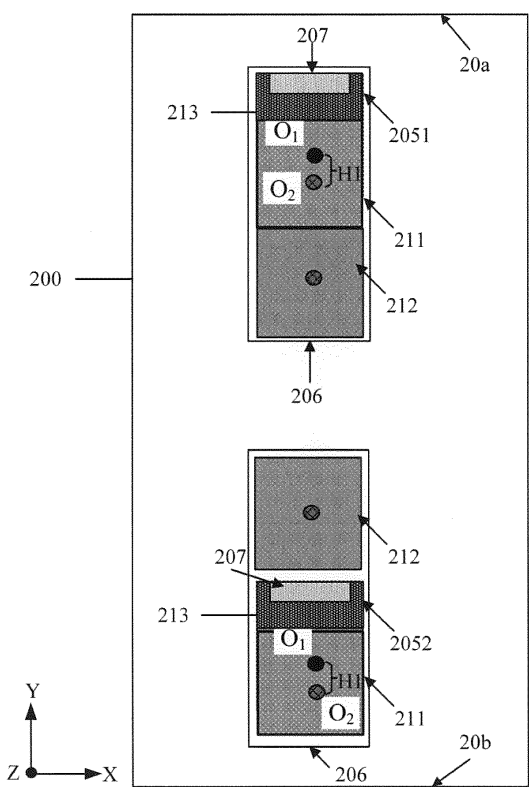
40

50

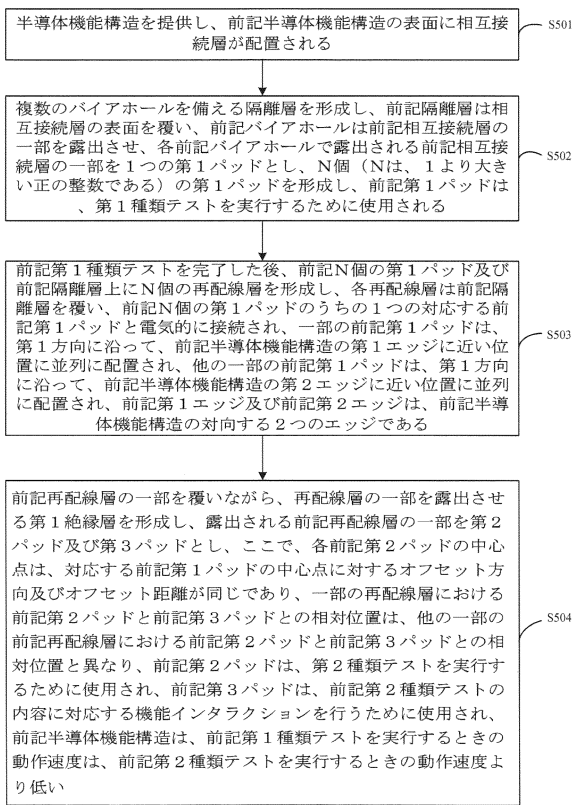
【図 3】



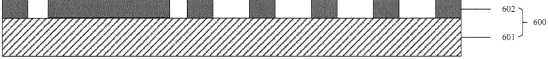
【図 4】



【図 5】



【図 6 a】



10

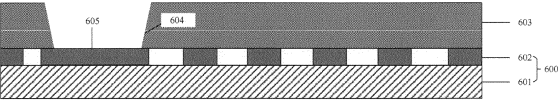
20

30

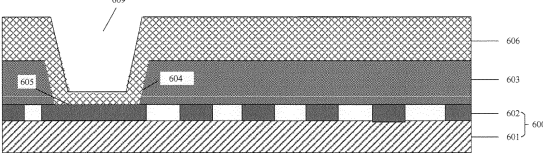
40

50

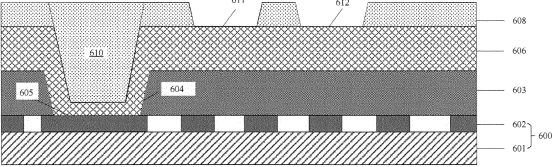
【図 6 b】



【図 6 c】



【図 6 d】



10

20

30

40

50

フロントページの続き

- (74)代理人 100125922
弁理士 三宅 章子
- (72)発明者 田 凱
中華人民共和国 2 3 0 6 0 1 安徽省合肥市経済技術開発区空港工業園興業大道 3 8 8 号
- (72)発明者 李 紅文
中華人民共和国 2 3 0 6 0 1 安徽省合肥市経済技術開発区空港工業園興業大道 3 8 8 号
- (72)発明者 全 昌鎬
中華人民共和国 2 3 0 6 0 1 安徽省合肥市経済技術開発区空港工業園興業大道 3 8 8 号
- (72)発明者 陳 亮
中華人民共和国 2 3 0 6 0 1 安徽省合肥市経済技術開発区空港工業園興業大道 3 8 8 号
- (72)発明者 汪 玉霞
中華人民共和国 2 3 0 6 0 1 安徽省合肥市経済技術開発区空港工業園興業大道 3 8 8 号
- (72)発明者 郭 迎冬
中華人民共和国 2 3 0 6 0 1 安徽省合肥市経済技術開発区空港工業園興業大道 3 8 8 号
- 審査官 安田 雅彦
- (56)参考文献 米国特許出願公開第 2 0 1 7 / 0 2 3 6 8 0 2 (U S , A 1)
米国特許出願公開第 2 0 0 9 / 0 0 3 3 3 4 6 (U S , A 1)
特開 2 0 0 7 - 1 1 5 9 5 7 (J P , A)
特開 2 0 0 7 - 1 1 5 9 5 8 (J P , A)
特開平 0 9 - 0 1 7 8 3 4 (J P , A)
特開平 0 4 - 2 5 3 3 5 3 (J P , A)
- (58)調査した分野 (Int.Cl., DB名)
H 0 1 L 2 1 / 6 6
G 0 1 R 3 1 / 2 6 - 3 1 / 3 1 9 3
H 0 1 L 2 3 / 5 2 - 2 3 / 5 3 8
H 0 1 L 2 3 / 4 8 - 2 3 / 5 0
H 0 1 L 2 3 / 1 2 - 2 3 / 1 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 1 / 6 0 - 2 1 / 6 0 7