

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】令和 6 年 2 月 16 日(2024.2.16)

【公開番号】特開 2022-119632(P2022-119632A)
【公開日】令和 4 年 8 月 17 日(2022.8.17)
【年通号数】公開公報(特許)2022-150
【出願番号】特願 2021-16891(P2021-16891)
【国際特許分類】

H 0 4 N 2 5 / 7 8 (2 0 2 3 . 0 1)

10

H 0 4 N 2 5 / 7 6 (2 0 2 3 . 0 1)

【 F I 】

H 0 4 N 5 / 3 7 8

H 0 4 N 5 / 3 7 4

【手続補正書】

【提出日】令和 6 年 2 月 7 日(2024.2.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素を有する画素アレイが配置され、かつ、前記画素アレイから出力される信号をサンプルホールドするサンプルホールド回路の少なくとも一部が配置された第 1 基板と

、
前記サンプルホールド回路から出力されるアナログ信号をデジタル信号に変換する

A D 変換器の少なくとも一部が配置された第 2 基板と、

が積層された構造を有することを特徴とする光電変換装置。

30

【請求項 2】

前記 A D 変換器は、変調器と、デシメーションフィルタとを含み、

前記変調器および前記デシメーションフィルタが前記第 2 基板に配置されている、
ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記 A D 変換器の全体が前記第 2 基板に配置されている、
ことを特徴とする請求項 1 又は 2 に記載の光電変換装置。

【請求項 4】

前記 A D 変換器は、変調器と、デシメーションフィルタとを含み、

前記変調器が前記第 1 基板に配置され、前記デシメーションフィルタが前記第 2 基板に配置されている、

40

ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 5】

前記第 2 基板に配置された前記デシメーションフィルタに供給される最大電圧は、前記第 1 基板に配置された前記画素アレイに供給される最大電圧より低い、

ことを特徴とする請求項 4 に記載の光電変換装置。

【請求項 6】

前記 A D 変換器は、変調器と、デシメーションフィルタとを含み、

前記変調器は、減算器と、積分器と、量子化器と、D A 変換器とを含み、

前記減算器、前記積分器および前記 D A 変換器が前記第 1 基板に配置され、前記量子化

50

器および前記デシメーションフィルタが前記第 2 基板に配置されている、
ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 7】

前記第 2 基板に配置された前記量子化器および前記デシメーションフィルタに供給される最大電圧は、前記第 1 基板に配置された前記減算器、前記積分器および前記 D A 変換器に供給される最大電圧より低い、

ことを特徴とする請求項 6 に記載の光電変換装置。

【請求項 8】

前記 A D 変換器は、変調器と、デシメーションフィルタとを含み、

前記変調器は、前記変調器の入力ノードに供給される電流を積分する第 1 積分器と、前記入力ノードの電圧を電流に変換する電圧電流変換器と、前記電圧電流変換器の出力に接続された中間ノードに供給される電流を積分する第 2 積分器と、前記中間ノードの電圧を量子化する量子化器と、前記量子化器の出力に応じて所定電流を前記入力ノードから引き抜く第 1 D A 変換器と、前記量子化器の出力に応じて所定電流を前記中間ノードから引き抜く第 2 D A 変換器とを含む、

ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 9】

前記第 1 積分器、前記電圧電流変換器、前記第 2 積分器、前記量子化器、前記第 1 D A 変換器および前記第 2 D A 変換器を含む回路の少なくとも一部、および、前記デシメーションフィルタが前記第 2 基板に配置されている、

ことを特徴とする請求項 8 に記載の光電変換装置。

【請求項 10】

前記 A D 変換器は、変調器と、デシメーションフィルタとを含み、

前記変調器は、第 1 減算器、第 1 積分器、第 2 減算器、第 2 積分器、量子化器、第 1 D A 変換器および第 2 D A 変換器を含み、

前記第 1 減算器は、前記 A D 変換器に供給される信号と前記第 1 D A 変換器の出力との差分を出力し、前記第 1 積分器は、前記第 1 減算器の出力を積分し、前記第 2 減算器は、前記第 1 積分器の出力と前記第 2 D A 変換器の出力との差分を出力し、前記第 2 積分器は、前記第 2 減算器の出力を積分し、前記量子化器は、前記第 2 積分器の出力を量子化し、前記第 1 D A 変換器および前記第 2 D A 変換器は、前記量子化器の出力を D A 変換する、

ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 11】

前記第 1 減算器、前記第 1 積分器、前記第 2 減算器、前記第 2 積分器、前記量子化器、前記第 1 D A 変換器および前記第 2 D A 変換器を含む回路の少なくとも一部、および、前記デシメーションフィルタが前記第 2 基板に配置されている、

ことを特徴とする請求項 10 に記載の光電変換装置。

【請求項 12】

前記サンプルホールド回路から出力される前記アナログ信号に応じた電流を生成する電流生成部を含み、

前記第 1 積分器は、前記電流生成部によって生成される前記電流を積分する、

ことを特徴とする請求項 8 乃至 11 のいずれか 1 項に記載の光電変換装置。

【請求項 13】

前記電流生成部は、前記第 1 基板に配置される、

ことを特徴とする請求項 12 に記載の光電変換装置。

【請求項 14】

前記第 2 基板に供給される電源電圧は、1 種類である、

ことを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の光電変換装置。

【請求項 15】

前記サンプルホールド回路の一部は、前記第 2 基板に配置されている、

10

20

30

40

50

ことを特徴とする請求項 1 乃至 1 4 のいずれか 1 項に記載の光電変換装置。

【請求項 1 6】

前記第 2 基板は、前記 A D 変換器からの出力を処理するプロセッサおよびメモリの少なくとも 1 つを含む、

ことを特徴とする請求項 1 乃至 1 5 のいずれか 1 項に記載の光電変換装置。

【請求項 1 7】

電源電圧および接地電圧の供給を受けるパッドが前記第 1 基板に配置され、前記第 2 基板には配置されていない、

ことを特徴とする請求項 1 乃至 1 6 のいずれか 1 項に記載の光電変換装置。

【請求項 1 8】

電源電圧および接地電圧の供給を受けるパッドが前記第 2 基板に配置され、前記第 1 基板には配置されていない、

ことを特徴とする請求項 1 乃至 1 6 のいずれか 1 項に記載の光電変換装置。

【請求項 1 9】

前記サンプルホールド回路を含む複数のサンプルホールド回路を備え、前記複数のサンプルホールド回路の各々は、前記画素アレイの選択された画素のノイズレベルをサンプルホールドする第 1 サンプルホールド回路と、前記画素アレイの前記選択された画素の光信号レベルをサンプルホールドする第 2 サンプルホールド回路と、前記ノイズレベルと前記光信号レベルとの差分に対応する差分電流を前記アナログ信号として生成する素子と、を含み、

10

20

前記 A D 変換器は、前記差分電流をデジタル信号に変換し、

前記複数のサンプルホールド回路の各々の前記素子によって生成される前記差分電流は、前記第 1 基板から前記第 2 基板に供給される、

ことを特徴とする請求項 1 乃至 1 8 のいずれか 1 項に記載の光電変換装置。

【請求項 2 0】

請求項 1 乃至 1 9 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置が出力する信号を処理する信号処理部と、
を備えることを特徴とする光電変換システム。

【請求項 2 1】

請求項 1 乃至 1 9 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置が出力する信号を処理する信号処理部と、
を備えることを特徴とする移動体。

30

40

50