

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/164915

発行日 平成27年12月24日 (2015.12.24)

(43) 国際公開日 平成25年11月7日 (2013.11.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/345 (2011.01)	HO4N 5/335 450	4M118
HO4N 5/347 (2011.01)	HO4N 5/335 470	5C024
HO4N 5/353 (2011.01)	HO4N 5/335 530	5C122
HO4N 5/374 (2011.01)	HO4N 5/335 740	
HO4N 5/235 (2006.01)	HO4N 5/235	

審査請求 未請求 予備審査請求 未請求 (全 115 頁) 最終頁に続く

出願番号 特願2014-513339 (P2014-513339)	(71) 出願人 000004112 株式会社ニコン 東京都千代田区神田駿河台四丁目6番地
(21) 国際出願番号 PCT/JP2013/002927	
(22) 国際出願日 平成25年5月2日 (2013.5.2)	
(31) 優先権主張番号 特願2012-105316 (P2012-105316)	(74) 代理人 110000877 龍華国際特許業務法人
(32) 優先日 平成24年5月2日 (2012.5.2)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 栗山 孝司 東京都千代田区有楽町一丁目12番1号 株式会社ニコン内
(31) 優先権主張番号 特願2012-139026 (P2012-139026)	(72) 発明者 村田 寛信 東京都千代田区有楽町一丁目12番1号 株式会社ニコン内
(32) 優先日 平成24年6月20日 (2012.6.20)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 綱井 史郎 東京都千代田区有楽町一丁目12番1号 株式会社ニコン内
(31) 優先権主張番号 特願2012-142126 (P2012-142126)	
(32) 優先日 平成24年6月25日 (2012.6.25)	
(33) 優先権主張国 日本国 (JP)	
(31) 優先権主張番号 特願2012-149844 (P2012-149844)	
(32) 優先日 平成24年7月3日 (2012.7.3)	
(33) 優先権主張国 日本国 (JP)	

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【要約】

少なくとも1つの画素からなる複数のグループと、グループごとに設けられ、画素からの信号を読み出す複数の信号読み出し部とを有する撮像部と、複数のグループのうちの少なくとも1つのグループの信号読み出し部を制御する制御部とを備える撮像素子が提供される。複数のグループの各々は、複数の画素を含んでもよい。制御部は、複数のグループのうちの少なくとも1つのグループを選択して、複数のグループのうちの他のグループとは異なる制御パラメータで、信号読み出し部を制御してもよい。

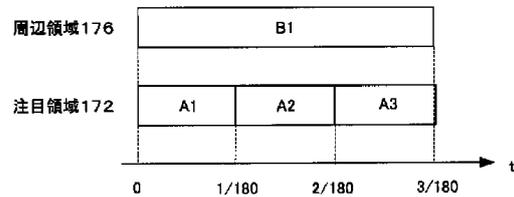


FIG. 10:
172 Region of interest
176 Peripheral region

【特許請求の範囲】**【請求項 1】**

少なくとも 1 つの画素からなる複数のグループと、前記グループごとに設けられ、前記画素からの信号を読み出す複数の信号読出部とを有する撮像部と、

前記複数のグループのうちの少なくとも 1 つのグループの前記信号読出部を制御する制御部とを備える撮像素子。

【請求項 2】

前記複数のグループの各々は、複数の前記画素を含む請求項 1 に記載の撮像素子。

【請求項 3】

前記制御部は、前記複数のグループのうちの少なくとも 1 つのグループを選択して、前記複数のグループのうちの他のグループとは異なる制御パラメータで、前記信号読み出し部を制御する請求項 1 または 2 に記載の撮像素子。

【請求項 4】

前記制御パラメータはフレームレートを含み、

前記制御部は、第 1 のフレームレートで、前記少なくとも 1 つのグループに対応する前記信号読み出し部を制御するとともに、前記第 1 のフレームレートとは異なる第 2 のフレームレートで、前記他のグループに対応する前記信号読み出し部を制御する請求項 3 に記載の撮像素子。

【請求項 5】

請求項 4 に記載の撮像素子を有し、

前記第 1 のフレームレートで出力された前記少なくとも 1 つのグループの信号に基づき、前記少なくとも 1 つのグループに対応する第 1 の部分領域の動画を生成するとともに、前記第 2 のフレームレートで出力された前記他のグループの信号に基づき、前記他のグループに対応する第 2 の部分領域の動画を生成する動画生成部を備える撮像装置。

【請求項 6】

前記動画生成部は、前記撮像部により撮像される領域全体に対する前記第 1 の部分領域の範囲を示す領域情報と、前記第 1 のフレームレートで出力された信号および前記第 2 のフレームレートで出力された信号の出力タイミングの関係を示すタイミング情報とを、前記第 1 の部分領域の動画および前記第 2 の部分領域の動画に対応付けて記憶部に記憶する請求項 5 に記載の撮像装置。

【請求項 7】

前記制御パラメータは間引き率を含み、

前記制御部は、第 1 の間引き率で、前記少なくとも 1 つのグループに対応する前記信号読出部を制御するとともに、前記第 1 の間引き率とは異なる第 2 の間引き率で、前記他のグループに対応する前記信号読み出し部を制御する請求項 3 に記載の撮像素子。

【請求項 8】

請求項 7 に記載の撮像素子を有し、

前記第 1 の間引き率で出力された前記少なくとも 1 つのグループの信号に基づき、前記少なくとも 1 つのグループに対応する第 1 の部分領域の動画を生成するとともに、前記第 2 の間引き率で出力された前記他のグループの信号に基づき、前記他のグループに対応する第 2 の部分領域の動画を生成する動画生成部を備える撮像装置。

【請求項 9】

前記動画生成部は、前記撮像部により撮像される領域全体に対する前記第 1 の部分領域の範囲を示す領域情報と、前記第 1 の間引き率および第 2 の間引き率の関係を示す間引き情報とを、前記第 1 の部分領域の動画および前記第 2 の部分領域の動画に対応付けて記憶部に記憶する請求項 8 に記載の撮像装置。

【請求項 10】

前記制御パラメータは画素からの信号を加算する加算行数または加算列数を含み、

前記制御部は、第 1 の行数または列数で信号を加算すべく、前記少なくとも 1 つのグル

10

20

30

40

50

ープに対応する前記信号読み出し部を制御するとともに、前記第 1 の行数または列数とは異なる第 2 の行数または列数で信号を加算すべく、前記他のグループに対応する前記信号読み出し部を制御する請求項 3 に記載の撮像素子。

【請求項 1 1】

前記制御パラメータは電荷の蓄積時間を含み、

前記制御部は、前記複数のグループに 1 回の電荷蓄積を実行させている期間に、前記少なくとも 1 のグループに複数回の電荷蓄積を実行させて各々の信号を出力させる請求項 3 に記載の撮像素子。

【請求項 1 2】

前記制御パラメータは画素信号をデジタル化するビット数を含み、

前記制御部は、前記少なくとも 1 のグループの信号を、前記複数のグループのうち他のグループよりも大きいビット数でデジタル化する請求項 3 に記載の撮像素子。

【請求項 1 3】

前記撮像部により撮像された画像に基づいて主要被写体を推定する被写体推定部と、

前記被写体推定部により推定された前記主要被写体の像光が入射しているグループを、前記少なくとも 1 つのグループとして選択するグループ選択部とをさらに備える請求項 1 から 4、7、10 から 12 のいずれか 1 項に記載の撮像素子。

【請求項 1 4】

前記制御部は、前記複数のグループのうち、前記少なくとも 1 つのグループと前記他のグループとの境界に存在するグループに対して、前記少なくとも一つのグループの前記制御パラメータの値と前記他の単位グループの前記制御パラメータの値との中間の値を、前記制御パラメータとして用いる請求項 3、4、7、10 から 12 のいずれか 1 項に記載の撮像素子。

【請求項 1 5】

前記複数のグループが二次元的に配された撮像チップと、前記制御部の少なくとも一部が配された信号処理チップとが積層されている請求項 1 から 4、7、10 から 14 のいずれか 1 項に記載の撮像素子。

【請求項 1 6】

前記撮像チップは裏面照射型 CMOS チップにより形成される請求項 1 5 に記載の撮像素子。

【請求項 1 7】

少なくとも 1 つの画素からなる複数のグループと、前記グループごとに設けられ、前記画素からの信号を読み出す複数の信号読み出し部と、を有する撮像部と、

前記グループごとに設けられ、前記画素からの信号に基づいて前記信号読み出し部を制御する複数の制御部とを備える撮像素子。

【請求項 1 8】

前記複数のグループの各々は、複数の前記画素を含む請求項 1 7 に記載の撮像素子。

【請求項 1 9】

第 1 画素および第 2 画素が設けられた撮像領域と、前記第 1 画素から出力される第 1 画素信号を読み出す第 1 読み出し回路と、前記第 2 画素から出力される第 2 画素信号を読み出す第 2 読み出し回路と、を有する撮像部と、

前記第 1 画素信号に基づいて第 1 評価値を演算する第 1 演算部と、

前記第 2 画素信号に基づいて第 2 評価値を演算する第 2 演算部と、

前記第 1 評価値に基づいて前記第 1 画素の露光または読み出しに関する制御を行う第 1 制御部と、

前記第 2 評価値に基づいて前記第 2 画素の露光または読み出しに関する制御を行う第 2 制御部と、

を備えた撮像素子。

【請求項 2 0】

10

20

30

40

50

前記撮像領域は、複数の前記第 1 画素が設けられた第 1 領域と、複数の前記第 2 画素が設けられた第 2 領域を有し、

前記第 1 制御部は、前記第 1 領域に設けられた複数の前記第 1 画素の露光または読み出しに関する制御を行い、

前記第 2 制御部は、前記第 2 領域に設けられた複数の前記第 2 画素の露光または読み出しに関する制御を行う請求項 19 に記載の撮像素子。

【請求項 21】

前記第 1 制御部は、前記第 1 評価値に基づいて前記第 1 画素を読み出すフレームレート制御し、

前記第 2 制御部は、前記第 2 評価値に基づいて前記第 2 画素を読み出すフレームレート制御する請求項 19 または請求項 20 に記載の撮像素子。

10

【請求項 22】

前記第 1 制御部は、前記第 1 評価値に基づいて前記第 1 領域に設けられた複数の前記第 1 画素を間引いて読み出しする間引き率を制御し、

前記第 2 制御部は、前記第 2 評価値に基づいて前記第 2 領域に設けられた複数の前記第 2 画素を間引き読み出しする間引き率を制御する請求項 20 に記載の撮像素子。

【請求項 23】

前記第 1 制御部は、前記第 1 評価値に基づいて前記第 1 領域に設けられた複数の前記第 1 画素を加算して読み出す加算画素数を制御し、

前記第 2 制御部は、前記第 2 評価値に基づいて前記第 2 領域に設けられた複数の前記第 2 画素を加算して読み出す加算画素数を制御する請求項 20 に記載の撮像素子。

20

【請求項 24】

前記第 1 演算部は、前記第 2 画素信号に応じて前記第 1 評価値を演算する請求項 19 から請求項 23 のいずれか 1 項に記載の撮像素子。

【請求項 25】

前記第 1 演算部は、前記第 2 評価値に応じて前記第 1 評価値を演算する請求項 19 から請求項 23 のいずれか 1 項に記載の撮像素子。

【請求項 26】

前記撮像部を有する撮像チップと、

前記第 1 演算部および前記第 2 演算部を有し、前記撮像チップと積層により接合される信号処理チップとによって構成される請求項 19 から 25 のいずれか 1 項に記載の撮像素子。

30

【請求項 27】

前記撮像チップは裏面照射型 CMOS チップにより形成される請求項 26 に記載の撮像素子。

【請求項 28】

請求項 19 から 27 のいずれか 1 項に記載の撮像素子を備える撮像装置。

【請求項 29】

少なくとも 1 つの画素からなる複数のグループと、前記グループ毎に設けられ、前記画素からの信号を読み出す複数の信号読出部と、を有する撮像部と、

40

前記グループ毎に設けられ、前記信号読出し部の制御に関する情報を、前記信号に画像処理を施す画像処理部に伝送する複数の演算部とを備える撮像素子。

【請求項 30】

前記複数のグループの各々は、複数の画素からなる請求項 1 に記載の撮像素子。

【請求項 31】

第 1 画素および第 2 画素が配された撮像領域と、前記第 1 画素から出力される第 1 画素信号を読み出す第 1 読出回路と、前記第 2 画素から出力される第 2 画素信号を読み出す第 2 読出回路と、を有する撮像部と、

前記第 1 画素信号に基づいて第 1 評価値を演算し、演算した前記第 1 評価値を、前記第

50

1画素信号に対応する第1画素データに画像処理を施す後段の画像処理部に伝送する第1演算部と、

前記第2画素信号に基づいて第2評価値を演算し、演算した前記第2評価値を、前記第2画素信号に対応する第2画素データに画像処理を施す後段の画像処理部に伝送する第2演算部と、

を備える撮像素子。

【請求項32】

前記撮像領域は、複数の前記第1画素が配された第1画素ブロックと、複数の前記第2画素が配された第2画素ブロックとを有し、

前記第1演算部は、前記第1画素ブロックに含まれる複数の前記第1画素が出力する複数の前記第1画素信号に基づいて前記第1評価値を算出し、

前記第2演算部は、前記第2画素ブロックに含まれる複数の前記第2画素が出力する複数の前記第2画素信号に基づいて前記第2評価値を算出する

請求項31に記載の撮像素子。

【請求項33】

前記第1演算部は、前記第1評価値を前記第1画素データに対応付け、

前記第2演算部は、前記第2評価値を前記第2画素データに対応付ける

請求項31または請求項32に記載の撮像素子。

【請求項34】

前記第1演算部は、前記第1評価値の演算内容を示すデータコードを前記第1評価値に付し、

前記第2演算部は、前記第2評価値の演算内容を示すデータコードを前記第2評価値に付す

請求項31から請求項33のいずれか1項に記載の撮像素子。

【請求項35】

前記第1演算部は、前記第2画素信号に更に基づいて前記第1評価値を演算する

請求項31から請求項34のいずれか1項に記載の撮像素子。

【請求項36】

前記第1演算部は、前記第2演算部における前記第2評価値、または、前記第2演算部が前記第2評価値を演算する過程における演算結果に更に基づいて前記第1評価値を演算する

請求項31から請求項35のいずれか1項に記載の撮像素子。

【請求項37】

前記第1演算部は、

前記第1画素データに対して予め定められた演算を行う当該ブロック算出部と、

前記第2演算部における前記第2評価値または前記演算結果と、当該ブロック算出部における演算結果とに対して、予め定められた演算を行う平均算出部と

を有し、

当該ブロック算出部における演算結果を前記第2演算部に伝送し、

前記平均算出部における演算結果を、前記第1評価値として前記画像処理部に伝送する

請求項36に記載の撮像素子。

【請求項38】

前記第1演算部は、前記平均算出部における演算結果に基づいて、前記第1画素データを圧縮する平均-平均算出部を更に有する

請求項37に記載の撮像素子。

【請求項39】

前記第1演算部および前記第2演算部の少なくとも一方は、現フレームにおける前記画素データに対して、以前のフレームにおける前記画素データを用いて予め定められた演算を行う

請求項31から請求項34のいずれか一項に記載の撮像素子。

10

20

30

40

50

【請求項 40】

前記第1画素ブロックに対応して設けられ、それぞれの前記第1画素信号を前記第1画素データに変換する第1A/Dコンバータと、

前記第2画素ブロックに対応して設けられ、それぞれの前記第2画素信号を前記第2画素データに変換する第2A/Dコンバータと

を更に備える

請求項32に記載の撮像素子。

【請求項 41】

前記撮像部は撮像チップに形成され、

前記第1演算部および前記第2演算部は、前記撮像チップと積層される信号処理チップに形成される

請求項31から請求項40のいずれか一項に記載の撮像素子。

【請求項 42】

前記撮像チップは、裏面照射型CMOSチップである

請求項41に記載の撮像素子。

【請求項 43】

前記画像処理部は、前記撮像素子に設けられ、前記第1評価値および前記第2評価値に基づいて、前記第1画素データおよび前記第2画素データに画像処理を施す

請求項31から請求項42のいずれか一項に記載の撮像素子。

【請求項 44】

請求項31から請求項42のいずれか一項に記載の撮像素子を備える撮像装置。

【請求項 45】

前記画像処理部は、前記撮像素子の外部に設けられ、前記第1評価値および前記第2評価値に基づいて、前記第1画素データおよび前記第2画素データに画像処理を施す請求項44に記載の撮像装置。

【請求項 46】

少なくとも1つの画素からなるグループを複数有する撮像部と、

前記複数のグループに対応して設けられ、それぞれ対応するグループの画素からの信号の記憶と、前記対応するグループ以外の画素からの信号の記憶とを行う記憶ブロックを複数有する記憶部と

を備えた撮像素子。

【請求項 47】

前記複数のグループの各々は、複数の画素からなる請求項46に記載の撮像素子。

【請求項 48】

前記複数のグループにおいて前記信号を生成する周期を示すフレームレートが、基準フレームレートおよび前記基準フレームレートよりも周期の短い高速フレームレートの少なくとも2つから、前記グループ毎に選択可能であり、

前記高速フレームレートの前記グループに対応する前記記憶ブロックの前記信号を、前記基準フレームレートの前記グループに対応する前記記憶ブロックに記憶させる制御部を更に備える請求項46または47に記載の撮像素子。

【請求項 49】

それぞれの前記グループは、画素領域の全体に渡って行列方向に一定間隔で離間して分布する複数の前記グループ毎にブロック化され、ブロック内の前記グループに対応するそれぞれの前記記憶ブロックは、ブロック内の全ての前記グループによって共有され、

前記制御部は、前記高速フレームレートの前記グループに対応する前記記憶ブロックに既に前記信号が記憶されている場合に、当該グループに対応する前記信号を、当該グループと同一ブロック内のいずれかの前記記憶ブロックに記憶させる請求項48に記載の撮像素子。

【請求項 50】

前記グループにおいて前記信号を生成する周期を示すフレームレートが、基準フレーム

10

20

30

40

50

レートおよび前記基準フレームレートよりも周期の短い高速フレームレートの少なくとも2つから、前記グループ毎に選択可能であり、

前記高速フレームレートの前記グループに対応する前記記憶ブロックに既に前記信号が記憶されている場合に、当該記憶ブロックの前記信号を、前記基準フレームレートの前記グループに対応する前記記憶ブロックに移動させ、当該グループに対応する前記信号を、対応する前記記憶ブロックに記憶させる制御部を更に備える請求項46または47に記載の撮像素子。

【請求項51】

隣接する前記グループに対応する前記記憶ブロックの間で前記信号を伝送する伝送路を更に備え、

前記制御部は、前記高速フレームレートの前記グループに対応する前記信号を、前記高速フレームレートに同期して、隣接する前記記憶ブロックに順次移動させる請求項50に記載の撮像素子。

【請求項52】

前記制御部は、それぞれの前記信号を、隣接する前記記憶ブロックのうち、画素領域のエッジに最も近い前記記憶ブロックに移動させる請求項51に記載の撮像素子。

【請求項53】

前記制御部は、前記複数のグループのうち、画素領域の最外周に沿った前記グループの前記フレームレートを、前記基準フレームレートに固定する請求項52に記載の撮像素子。

【請求項54】

それぞれの前記記憶ブロックは、それぞれの前記グループ毎に設けられたメモリである請求項48から53のいずれか一項に記載の撮像素子。

【請求項55】

前記記憶部は、複数の前記記憶ブロックにおける総記憶領域に対して、少なくとも同一の大きさの記憶領域を有し、複数の前記記憶ブロックが記憶した前記信号が、予め定められた周期毎に転送される転送メモリを更に有する請求項46から54のいずれか一項に記載の撮像素子。

【請求項56】

請求項46から55のいずれか一項に記載の撮像素子を備える撮像装置。

【請求項57】

前記複数のグループごとに設けられ、前記画素からの信号を画素データに変換する複数のA/Dコンバータを更に備える請求項1に記載の撮像素子。

【請求項58】

前記複数のグループごとに設けられ、前記画素からの信号を画素データに変換する複数のA/Dコンバータを更に備える請求項17に記載の撮像素子。

【請求項59】

前記第1領域に対応して設けられ、それぞれの前記第1画素信号を第1画素データに変換する第1A/Dコンバータと、

前記第2領域に対応して設けられ、それぞれの前記第2画素信号を第2画素データに変換する第2A/Dコンバータと

を更に備える

請求項20に記載の撮像素子。

【請求項60】

前記複数のグループごとに設けられ、前記画素からの信号を画素データに変換する複数のA/Dコンバータを更に備える請求項29に記載の撮像素子。

【請求項61】

前記複数のグループごとに設けられ、前記画素からの信号を画素データに変換する複数のA/Dコンバータを更に備える請求項46に記載の撮像素子。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、撮像装置に関する。

【背景技術】

【0002】

裏面照射型撮像チップと信号処理チップが、複数画素をまとめたセル単位ごとにマイクロバンプを介して接続された撮像ユニットが知られている。

[先行技術文献]

[特許文献]

[特許文献1] 特開2006-49361号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

上記撮像ユニットにあって、セルごとに制御線がある。しかしながら、セル間での電荷の蓄積時間および画素信号の読み出しを細かく制御していない。

【課題を解決するための手段】

【0004】

本発明の第1の態様においては、少なくとも1つの画素からなる複数のグループと、グループごとに設けられ、画素からの信号を読み出す複数の信号読み出し部とを有する撮像部と、複数のグループのうち少なくとも1つのグループの信号読み出し部を制御する制御部とを備える撮像素子が提供される。

20

【0005】

本発明の第2の態様においては、少なくとも1つの画素からなる複数のグループと、グループごとに設けられ、画素からの信号を読み出す複数の信号読み出し部と、を有する撮像部と、グループごとに設けられ、画素からの信号に基づいて信号読み出し部を制御する複数の制御部とを備える撮像素子が提供される。

【0006】

本発明の第3の態様においては、第1画素および第2画素が設けられた撮像領域と、第1画素から出力される第1画素信号を読み出す第1読み出し回路と、第2画素から出力される第2画素信号を読み出す第2読み出し回路と、を有する撮像部と、第1画素信号に基づいて第1評価値を演算する第1演算部と、第2画素信号に基づいて第2評価値を演算する第2演算部と、第1評価値に基づいて第1画素の露光または読み出しに関する制御を行う第1制御部と、第2評価値に基づいて第2画素の露光または読み出しに関する制御を行う第2制御部と、を備えた撮像素子が提供される。

30

【0007】

本発明の第4の態様においては、少なくとも1つの画素からなる複数のグループと、グループ毎に設けられ、画素からの信号を読み出す複数の信号読出部と、を有する撮像部と、グループ毎に設けられ、信号読出し部の制御に関する情報を、信号に画像処理を施す画像処理部に伝送する複数の演算部とを備える撮像素子が提供される。

【0008】

40

本発明の第5の態様においては、第1画素および第2画素が配された撮像領域と、第1画素から出力される第1画素信号を読み出す第1読出回路と、第2画素から出力される第2画素信号を読み出す第2読出回路と、を有する撮像部と、第1画素信号に基づいて第1評価値を演算し、演算した第1評価値を、第1画素信号に対応する第1画素データに画像処理を施す後段の画像処理部に伝送する第1演算部と、第2画素信号に基づいて第2評価値を演算し、演算した第2評価値を、第2画素信号に対応する第2画素データに画像処理を施す後段の画像処理部に伝送する第2演算部と、を備える撮像素子が提供される。

【0009】

本発明の第6の態様においては、少なくとも1つの画素からなるグループを複数有する撮像部と、複数のグループに対応して設けられ、それぞれ対応するグループの画素からの

50

信号の記憶と、対応するグループ以外の画素からの信号の記憶とを行う記憶ブロックを複数有する記憶部とを備えた撮像素子が提供される。

【0010】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0011】

【図1】本実施形態に係る裏面照射型のMOS型撮像素子の断面図である。

【図2】撮像チップの画素配列と単位グループを説明する図である。

【図3】撮像チップの単位グループに対応する回路図である。

10

【図4】撮像素子の機能的構成を示すブロック図である。

【図5】本実施形態に係る撮像装置の構成を示すブロック図である。

【図6】画像処理部の機能ブロック図である。

【図7】撮像装置が動画を生成して記録する動作を示すフローチャートである。

【図8】撮像素子により撮像される画像の一例を示す。

【図9】撮像素子により撮像される画像の一例を示す。

【図10】各フレームレートと画像信号の出力タイミングとの関係を示す。

【図11】動画生成部により生成された注目領域動画および周辺領域動画を模式的に示す。

。

【図12】動画生成部が付加するヘッダ情報の一例を示す。

20

【図13】撮像装置が動画を再生して表示する動作を示すフローチャートである。

【図14】撮像装置が動画を生成して記録する他の動作の例を示すフローチャートである。

。

【図15】単位グループに対して間引き率0.5で読み出される画素の例を示す。

【図16】撮像装置が動画を再生して表示する動作を示すフローチャートである。

【図17】シーンの例と領域分割を説明する図である。

【図18】図17の例による分割された領域ごとの電荷蓄積制御を説明する図である。

【図19】積算回数とダイナミックレンジの関係を示す図である。

【図20】撮影動作の処理を示すフロー図である。

【図21】信号処理チップの一例としての具体的構成を示すブロック図である。

30

【図22】本実施形態に係る他の裏面照射型のMOS型撮像素子の断面図である。

【図23】撮像チップの画素配列と単位グループを説明する図である。

【図24】撮像チップの単位グループに対応する回路図である。

【図25】本実施形態に係る撮像装置の構成を示すブロック図である。

【図26】信号処理チップの一例としての具体的構成を示すブロック図である。

【図27】演算回路1415の機能ブロックの一例である。

【図28】フレーム間の差分dとフレームレートfとの対応関係の一例を示す。

【図29】撮像素子により撮像される画像の一例を示す。

【図30】撮像素子により撮像される画像の一例を示す。

【図31】他の演算回路の機能ブロックの一例である。

40

【図32】一の単位グループに対して間引き率0.5で読み出される画素1188の例を示す。

【図33】さらに他の演算回路の機能ブロックの一例を示す。

【図34】利得と画素信号との関係を模式的に示す。

【図35】本実施形態に係る裏面照射型のMOS型撮像素子の断面図である。

【図36】撮像チップの画素配列と画素ブロックを説明する図である。

【図37】撮像チップの画素ブロックに対応する回路図である。

【図38】撮像素子の構成の一部とその動作例を示す図である。

【図39】本実施形態に係る撮像装置の構成を示すブロック図である。

【図40】画像処理部の機能ブロック図である。

50

- 【図 4 1】撮像装置が動画を生成して記録する動作を示すフローチャートである。
- 【図 4 2】撮像素子により撮像される画像の一例を示す。
- 【図 4 3】撮像素子により撮像される画像の一例を示す。
- 【図 4 4】各フレームレートと画像信号の出力タイミングとの関係を示す。
- 【図 4 5】動画生成部により生成された注目領域動画および周辺領域動画を模式的に示す。

- 【図 4 6】動画生成部が付加するヘッダ情報の一例を示す。
- 【図 4 7】撮像装置が動画を再生して表示する動作を示すフローチャートである。
- 【図 4 8】撮像装置が動画を生成して記録する他の動作の例を示すフローチャートである。

10

- 【図 4 9】一の画素ブロックに対して間引き率 0.5 で読み出される画素の例を示す。
- 【図 5 0】撮像装置が動画を再生して表示する動作を示すフローチャートである。
- 【図 5 1 A】シーンの例を説明する図である。
- 【図 5 1 B】領域分割を説明する図である。
- 【図 5 2】図 5 1 B の例による分割された領域ごとの電荷蓄積制御を説明する図である。

- 【図 5 3】積算回数とダイナミックレンジの関係を示す図である。
- 【図 5 4】撮影動作の処理を示すフロー図である。
- 【図 5 5】信号処理チップの一例としての具体的構成を示すブロック図である。
- 【図 5 6】周辺画素データ処理部の構成を示すブロック図である。

20

- 【図 5 7】演算回路の構成の一例を示すブロック図である。
- 【図 5 8】演算回路の動作の例を示すフローチャートである。
- 【図 5 9】出力回路で生成されるデータ配列の構成を示す。
- 【図 6 0】図 5 9 に示すデータ配列の内容を示す。
- 【図 6 1】本実施形態に係る裏面照射型の MOS 型撮像素子の断面図である。
- 【図 6 2】撮像チップの画素配列と画素ブロックを説明する図である。
- 【図 6 3】撮像チップの画素ブロックに対応する回路図である。
- 【図 6 4 A】撮像素子の構成の一部とその動作例を示す図である。
- 【図 6 4 B】撮像素子の他の動作例を示す図である。
- 【図 6 4 C】撮像素子の他の動作例を示す図である。
- 【図 6 5】本実施形態に係る撮像装置の構成を示すブロック図である。
- 【図 6 6】画像処理部の機能ブロック図である。
- 【図 6 7】撮像装置が動画を生成して記録する動作を示すフローチャートである。
- 【図 6 8】撮像素子により撮像される画像の一例を示す。
- 【図 6 9】撮像素子により撮像される画像の一例を示す。
- 【図 7 0】各フレームレートと画像信号の出力タイミングとの関係を示す。
- 【図 7 1】動画生成部により生成された注目領域動画および周辺領域動画を模式的に示す。

30

- 【図 7 2】動画生成部が付加するヘッダ情報の一例を示す。
- 【図 7 3】撮像装置が動画を再生して表示する動作を示すフローチャートである。
- 【図 7 4】撮像素子の画素領域とその動作例の平面図である。
- 【図 7 5】撮像素子の画素領域の他の構成とその動作例の平面図である。
- 【図 7 6】撮像素子の画素領域の他の構成とその動作例の平面図である。
- 【図 7 7】撮像素子の画素領域の他の構成とその動作例の平面図である。
- 【図 7 8】撮像素子の画素領域の他の構成とその動作例を示す図である。
- 【図 7 9】撮像装置が動画を生成して記録する他の動作の例を示すフローチャートである。

40

- 【図 8 0】に対して間引き率 0.5 で読み出される画素の例を示す。
- 【図 8 1】撮像装置が動画を再生して表示する動作を示すフローチャートである。
- 【図 8 2 A】シーンの例を説明する図である。

50

【図 8 2 B】領域分割を説明する図である。

【図 8 3】図 8 2 B の例による分割された領域ごとの電荷蓄積制御を説明する図である。

【図 8 4】積算回数とダイナミックレンジの関係を示す図である。

【図 8 5】撮影動作の処理を示すフロー図である。

【図 8 6】信号処理チップの一例としての具体的構成を示すブロック図である。

【発明を実施するための形態】

【0012】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

10

【0013】

図 1 は、本実施形態に係る裏面照射型の撮像素子 100 の断面図である。撮像素子 100 は、入射光に対応した画素信号を出力する撮像チップ 113 と、画素信号を処理する信号処理チップ 111 と、画素信号を記憶するメモリチップ 112 とを備える。これら撮像チップ 113、信号処理チップ 111 およびメモリチップ 112 は積層されており、Cu 等の導電性を有するバンプ 109 により互いに電氣的に接続される。

【0014】

なお、図示するように、入射光は主に白抜き矢印で示す Z 軸プラス方向へ向かって入射する。本実施形態においては、撮像チップ 113 において、入射光が入射する側の面を裏面と称する。また、座標軸に示すように、Z 軸に直交する紙面左方向を X 軸プラス方向、Z 軸および X 軸に直交する紙面手前方向を Y 軸プラス方向とする。以降のいくつかの図においては、図 1 の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

20

【0015】

撮像チップ 113 の一例は、裏面照射型の MOS イメージセンサである。PD 層 106 は、配線層 108 の裏面側に配されている。PD 層 106 は、二次元的に配され、入射光に応じた電荷を蓄積する複数の PD (フォトダイオード) 104、および、PD 104 に対応して設けられたトランジスタ 105 を有する。

【0016】

PD 層 106 における入射光の入射側にはパッシベーション膜 103 を介してカラーフィルタ 102 が設けられる。カラーフィルタ 102 は、互いに異なる波長領域を透過する複数の種類を有しており、PD 104 のそれぞれに対応して特定の配列を有している。カラーフィルタ 102 の配列については後述する。カラーフィルタ 102、PD 104 およびトランジスタ 105 の組が一つの画素を形成する。

30

【0017】

カラーフィルタ 102 における入射光の入射側には、それぞれの画素に対応して、マイクロレンズ 101 が設けられる。マイクロレンズ 101 は、対応する PD 104 へ向けて入射光を集光する。

【0018】

配線層 108 は、PD 層 106 からの画素信号を信号処理チップ 111 に伝送する配線 107 を有する。配線 107 は多層であってもよく、また、受動素子および能動素子が設けられてもよい。

40

【0019】

配線層 108 の表面には複数のバンプ 109 が配される。当該複数のバンプ 109 が信号処理チップ 111 の対向する面に設けられた複数のバンプ 109 と位置合わせされて、撮像チップ 113 と信号処理チップ 111 とが加圧等されることにより、位置合わせされたバンプ 109 同士が接合されて、電氣的に接続される。

【0020】

同様に、信号処理チップ 111 およびメモリチップ 112 の互いに対向する面には、複

50

数のパンプ109が配される。これらのパンプ109が互いに位置合わせされて、信号処理チップ111とメモリチップ112とが加圧等されることにより、位置合わせされたパンプ109同士が接合されて、電氣的に接続される。

【0021】

なお、パンプ109間の接合には、固相拡散によるCuパンプ接合に限らず、はんだ溶解によるマイクロパンプ結合を採用しても良い。また、パンプ109は、例えば後述する一つの単位グループに対して一つ程度設ければ良い。したがって、パンプ109の大きさは、PD104のピッチよりも大きくても良い。また、画素が配列された画素領域以外の周辺領域において、画素領域に対応するパンプ109よりも大きなパンプを併せて設けても良い。

10

【0022】

信号処理チップ111は、表裏面にそれぞれ設けられた回路を互いに接続するTSV(シリコン貫通電極)110を有する。TSV110は、周辺領域に設けられることが好ましい。また、TSV110は、撮像チップ113の周辺領域、メモリチップ112にも設けられて良い。

【0023】

図2は、撮像チップ113の画素配列と単位グループ131を説明する図である。特に、撮像チップ113を裏面側から観察した様子を示す。画素領域には2000万個以上の画素がマトリックス状に配列されている。本実施形態においては、隣接する4画素×4画素の16画素が一つの単位グループ131を形成する。図の格子線は、隣接する画素がグループ化されて単位グループ131を形成する概念を示す。単位グループ131を形成する画素の数はこれに限られず1000個程度、例えば32画素×64画素でもよいし、それ以上でもそれ以下でもよい。

20

【0024】

画素領域の部分拡大図に示すように、単位グループ131は、緑色画素Gb、Gr、青色画素Bおよび赤色画素Rの4画素から成るいわゆるベイヤー配列を、上下左右に4つ内包する。緑色画素は、カラーフィルタ102として緑色フィルタを有する画素であり、入射光のうち緑色波長帯の光を受光する。同様に、青色画素は、カラーフィルタ102として青色フィルタを有する画素であって青色波長帯の光を受光し、赤色画素は、カラーフィルタ102として赤色フィルタを有する画素であって赤色波長帯の光を受光する。

30

【0025】

本実施形態において、複数の単位グループ131のうちの少なくとも一つの単位グループが選択され、他の単位グループとは異なる制御パラメータで、それぞれの単位グループに含まれる画素が制御される。制御パラメータの例は、フレームレート、間引き率、画素信号を加算する加算行数または加算列数、電荷の蓄積時間または蓄積回数、デジタル化のビット数等である。さらに、制御パラメータは、画素からの画像信号取得後の画像処理におけるパラメータであってもよい。

【0026】

図3は、撮像チップ113の単位グループ131に対応する回路図である。図において、代表的に点線で囲む矩形が、1画素に対応する回路を表す。なお、以下に説明する各トランジスタの少なくとも一部は、図1のトランジスタ105に対応する。

40

【0027】

上述のように、単位グループ131は、16画素から形成される。それぞれの画素に対応する16個のPD104は、それぞれ転送トランジスタ302に接続され、各転送トランジスタ302の各ゲートには、転送パルスが供給されるTX配線307に接続される。本実施形態において、TX配線307は、16個の転送トランジスタ302に対して共通接続される。

【0028】

各転送トランジスタ302のドレインは、対応する各リセットトランジスタ303のソースに接続されると共に、転送トランジスタ302のドレインとリセットトランジスタ3

50

03のソース間のいわゆるフローティングディフュージョンFDが増幅トランジスタ304のゲートに接続される。リセットトランジスタ303のドレインは電源電圧が供給されるVdd配線310に接続され、そのゲートはリセットパルスが供給されるリセット配線306に接続される。本実施形態において、リセット配線306は、16個のリセットトランジスタ303に対して共通接続される。

【0029】

各々の増幅トランジスタ304のドレインは電源電圧が供給されるVdd配線310に接続される。また、各々の増幅トランジスタ304のソースは、対応する各々の選択トランジスタ305のドレインに接続される。選択トランジスタの各ゲートには、選択パルスが供給されるデコーダ配線308に接続される。本実施形態において、デコーダ配線308は、16個の選択トランジスタ305に対してそれぞれ独立に設けられる。そして、各々の選択トランジスタ305のソースは、共通の出力配線309に接続される。負荷電流源311は、出力配線309に電流を供給する。すなわち、選択トランジスタ305に対する出力配線309は、ソースフォロアにより形成される。なお、負荷電流源311は、撮像チップ113側に設けても良いし、信号処理チップ111側に設けても良い。

10

【0030】

ここで、電荷の蓄積開始から蓄積終了後の画素出力までの流れを説明する。リセット配線306を通じてリセットパルスがリセットトランジスタ303に印加され、同時にTX配線307を通じて転送パルスが転送トランジスタ302に印加されると、PD104およびフローティングディフュージョンFDの電位はリセットされる。

20

【0031】

PD104は、転送パルスの印加が解除されると、受光する入射光を電荷に変換して蓄積する。その後、リセットパルスが印加されていない状態で再び転送パルスが印加されると、蓄積された電荷はフローティングディフュージョンFDへ転送され、フローティングディフュージョンFDの電位は、リセット電位から電荷蓄積後の信号電位になる。そして、デコーダ配線308を通じて選択パルスが選択トランジスタ305に印加されると、フローティングディフュージョンFDの信号電位の変動が、増幅トランジスタ304および選択トランジスタ305を介して出力配線309に伝わる。これにより、リセット電位と信号電位とに対応する画素信号は、単位画素から出力配線309に出力される。

【0032】

図示するように、本実施形態においては、単位グループ131を形成する16画素に対して、リセット配線306とTX配線307が共通である。すなわち、リセットパルスと転送パルスはそれぞれ、16画素全てに対して同時に印加される。したがって、単位グループ131を形成する全ての画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。ただし、蓄積された電荷に対応する画素信号は、それぞれの選択トランジスタ305が選択パルスによって順次印加されて、選択的に出力配線309に出力される。また、リセット配線306、TX配線307、出力配線309は、単位グループ131毎に別個に設けられる。

30

【0033】

このように単位グループ131を基準として回路を構成することにより、単位グループ131ごとに電荷蓄積時間を制御することができる。換言すると、隣接する単位グループ131同士で、異なった電荷蓄積時間による画素信号をそれぞれ出力させることができる。更に言えば、一方の単位グループ131に1回の電荷蓄積を行わせている間に、他方の単位グループ131に何回もの電荷蓄積を繰り返させてその都度画素信号を出力させることにより、これらの単位グループ131同士で異なるフレームレートで動画用の各フレームを出力することもできる。

40

【0034】

図4は、撮像素子100の機能的構成を示すブロック図である。アナログのマルチプレクサ411は、単位グループ131を形成する16個のPD104を順番に選択して、それぞれの画素信号を当該単位グループ131に対応して設けられた出力配線309へ出力

50

させる。マルチプレクサ 4 1 1 は、PD 1 0 4 と共に、撮像チップ 1 1 3 に形成される。

【 0 0 3 5 】

マルチプレクサ 4 1 1 を介して出力された画素信号は、信号処理チップ 1 1 1 に形成された、相関二重サンプリング (CDS) ・アナログ / デジタル (A / D) 変換を行う信号処理回路 4 1 2 により、CDS および A / D 変換が行われる。A / D 変換された画素信号は、デマルチプレクサ 4 1 3 に引き渡され、それぞれの画素に対応する画素メモリ 4 1 4 に格納される。画素メモリ 4 1 4 のそれぞれは、後述する最大積算回数に対応する画素信号を格納できる容量を有する。デマルチプレクサ 4 1 3 および画素メモリ 4 1 4 は、メモリチップ 1 1 2 に形成される。

【 0 0 3 6 】

演算回路 4 1 5 は、画素メモリ 4 1 4 に格納された画素信号を処理して後段の画像処理部に引き渡す。演算回路 4 1 5 は、信号処理チップ 1 1 1 に設けられても良いし、メモリチップ 1 1 2 に設けられても良い。なお、図では 1 つの単位グループ 1 3 1 の分の接続を示すが、実際にはこれらが単位グループ 1 3 1 ごとに存在して、並列で動作する。ただし、演算回路 4 1 5 は単位グループ 1 3 1 ごとに存在しなくても良く、例えば、一つの演算回路 4 1 5 がそれぞれの単位グループ 1 3 1 に対応する画素メモリ 4 1 4 の値を順に参照しながらシーケンシャルに処理しても良い。

【 0 0 3 7 】

上記の通り、単位グループ 1 3 1 のそれぞれに対応して出力配線 3 0 9 が設けられている。撮像素子 1 0 0 は撮像チップ 1 1 3、信号処理チップ 1 1 1 およびメモリチップ 1 1 2 を積層しているため、これら出力配線 3 0 9 にバンプ 1 0 9 を用いたチップ間の電気的接続を用いることにより、各チップを面方向に大きくすることなく配線を引き回すことができる。

【 0 0 3 8 】

図 5 は、本実施形態に係る撮像装置の構成を示すブロック図である。撮像装置 5 0 0 は、撮影光学系としての撮影レンズ 5 2 0 を備え、撮影レンズ 5 2 0 は、光軸 O A に沿って入射する被写体光束を撮像素子 1 0 0 へ導く。撮影レンズ 5 2 0 は、撮像装置 5 0 0 に対して着脱できる交換式レンズであっても構わない。撮像装置 5 0 0 は、撮像素子 1 0 0、システム制御部 5 0 1、駆動部 5 0 2、測光部 5 0 3、ワークメモリ 5 0 4、記録部 5 0 5、および表示部 5 0 6 を主に備える。

【 0 0 3 9 】

撮影レンズ 5 2 0 は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図 1 では瞳近傍に配置された仮想的な 1 枚のレンズで当該撮影レンズ 5 2 0 を代表して表している。駆動部 5 0 2 は、システム制御部 5 0 1 からの指示に従って撮像素子 1 0 0 のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。この意味において駆動部 5 0 2 は、撮像素子 1 0 0 に対して電荷蓄積を実行させて画素信号を出力させる撮像素子制御部の機能を担うと言える。

【 0 0 4 0 】

撮像素子 1 0 0 は、画素信号をシステム制御部 5 0 1 の画像処理部 5 1 1 へ引き渡す。画像処理部 5 1 1 は、ワークメモリ 5 0 4 をワークスペースとして種々の画像処理を施し、画像データを生成する。例えば、J P E G ファイル形式の画像データを生成する場合は、ペイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部 5 0 5 に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部 5 0 6 に表示される。

【 0 0 4 1 】

測光部 5 0 3 は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部 5 0 3 は、例えば 1 0 0 万画素程度の A E センサを含む。システム制御部 5 0 1 の演算部 5 1 2 は、測光部 5 0 3 の出力を受けてシーンの領域ごとの輝度を算出する。演算部 5 1 2 は、算出した輝度分布に従ってシャッタ速度、絞り値、I S O 感度を決定する。測光部 5 0 3 は撮像素子 1 0 0 で兼用してもよい。なお、演算部 5 1 2

10

20

30

40

50

は、撮像装置 500 を動作させるための各種演算も実行する。

【0042】

駆動部 502 は、一部または全部が撮像チップ 113 に搭載されてもよいし、一部または全部が信号処理チップ 111 に搭載されてもよい。システム制御部 501 の一部が撮像チップ 113 または信号処理チップ 111 に搭載されてもよい。

【0043】

図 6 は、画像処理部の機能ブロック図である。画像処理部 511 は、上記の機能に加えて、被写体推定部 150、グループ選択部 152、動画生成部 154 および動画合成部 156 を有する。これらの各機能は、後述する。

【0044】

図 7 は、撮像装置が動画を生成して記録する動作を示すフローチャートである。図 8 および図 9 は撮像素子により撮像される画像の一例を示す。図 10 は各フレームレートと画像信号の出力タイミングとの関係を示す。

【0045】

図 7 の動作は、ユーザが録画ボタンの押下等により、撮像装置 500 に対して動画の生成を指示したときに開始する。まず、被写体推定部 150 は、駆動部 502 を駆動して撮像素子 100 からの画像信号に基づく画像データを取得し、当該画像データが示す画像に含まれる主要被写体を推定する (S100)。

【0046】

この場合に、駆動部 502 は撮像領域全体に含まれる単位グループ 131、例えばすべての単位グループ 131 から画像信号を出力させることが好ましい。また、駆動部 502 は各単位グループ 131 に含まれるすべての画素から画像信号を出力させてもよいし、予め定められた間引き率で間引いた画素から画像信号を出力させてもよい。被写体推定部 150 は、撮像素子 100 から時系列的に得られた複数の画像を比較して、移動している被写体を主要被写体として特定する。なお、主要被写体の推定には、他の方法が用いられてもよい。

【0047】

例えば、被写体推定部 150 は、撮像素子 100 から時間的に前後する画像として図 8 の画像 170 および図 9 の画像 178 を取得した場合に、これらの差分から子供を主要被写体 171 として特定する。なお、画像 170 および画像 178 における格子線は単位グループ 131 の境界を示すが、単位グループ 131 の数は例示であってこれらの図に示す数に限られない。

【0048】

グループ選択部 152 は、被写体推定部 150 により推定された主要被写体 171 の像光が入射している単位グループ 131 を少なくとも一つ選択する (S102)。例えば、画像 170 において、主要被写体 171 を少なくとも一部含んでいる単位グループ 131 が選択される。さらに、主要被写体 171 が撮像領域内で移動することを考慮して、グループ選択部 152 は、主要被写体 171 を少なくとも一部含んでいる単位グループ 131 のさらに周囲の単位グループ 131 も選択することが好ましい。

【0049】

グループ選択部 152 は、これら選択した単位グループ 131 の集合を注目領域 172 とする。さらにグループ選択部 152 は、撮像領域全体において注目領域 172 にふくまれない単位グループ 131 からなる集合を周辺領域 176 とする。グループ選択部 152 は、撮像領域の全体に対する注目領域 172 の範囲を示す領域情報 174 を特定する。

【0050】

図 8 に示す例において、注目領域 172 は、横 7 個、縦 4 個の計 28 個の単位グループ 131 からなる矩形の領域である。これに対し、周辺領域 176 は、撮像領域である横 21 個、縦 6 個の計 126 個から注目領域 172 を除いた 98 個の単位グループ 131 からなる。また、領域情報 174 として、撮像領域における注目領域 172 の図中の左上端の単位グループ 131 の左からおよび上から数えた位置 (9, 2) が特定される。さらにサ

10

20

30

40

50

イズ情報として、注目領域 172 の縦横数 7×4 が特定される。

【0051】

グループ選択部 152 が、注目領域 172 に含まれる単位グループ 131 を特定する情報と周辺領域 176 とを特定する情報とを駆動部 502 に伝達する。この場合に、注目領域 172 と周辺領域 176 とにそれぞれ適用するフレームレートの情報とを併せて伝達する。ここで、注目領域 172 に適用するフレームレートは、周辺領域 176 に適用するフレームレートより高いことが好ましい。例えば、周辺領域 176 に適用するフレームレートが 60 fps である場合に、注目領域 172 に適用するフレームレートは 180 fps に設定される。これらのフレームレートの値は予め設定されて、グループ選択部 152 が参照可能に格納されていることが好ましいが、ユーザが後から値を変更できるようになって

10

【0052】

駆動部 502 は、撮像素子 100 を駆動して各フレームレートで撮像を行う (S104)。すなわち、駆動部 502 は、注目領域 172 に含まれる単位グループ 131 に対しては、高いフレームレートで電荷蓄積および画像信号の出力を実行させ、周辺領域 176 に含まれる単位グループ 131 に対しては、低いフレームレートで電荷蓄積および画像信号の出力を実行させる。言い換えれば、駆動部 502 は、周辺領域 176 に含まれる単位グループ 131 に対して 1 つのフレームに対応する画像信号を得る間に、注目領域 172 に含まれる単位グループ 131 に対して時系列的に並んだ複数のフレームに対応する画像信号を得る。

20

【0053】

例えば、周辺領域 176 のフレームレートが 60 fps であって、注目領域 172 のフレームレートが 180 fps に設定されている場合に、図 10 に示すように、駆動部 502 は、周辺領域 176 から 1 つのフレーム B1 の画像信号を得る時間 $1/60 \text{ s}$ までの間に、注目領域 172 から 3 つのフレーム A1, A2, A3 の画像信号を得る ($1/60 \text{ s} = 3 \times 1/180 \text{ s}$)。この場合に、駆動部 502 は、周辺領域 176 に含まれる単位グループ 131 のリセットトランジスタ 303、転送トランジスタ 302 および選択トランジスタ 305 の組と、注目領域 172 に含まれる単位グループ 131 のリセットトランジスタ 303、転送トランジスタ 302 および選択トランジスタ 305 の組とを別個に駆動することにより、異なるフレームレートで画像信号を得る。

30

【0054】

なお、図 10 は画像信号の出力のタイミングを示しているが、露光時間の長さまでも示しているものではない。駆動部 502 は予め演算部 512 で算出された露光時間となるように、周辺領域 176 と注目領域 172 とに対して、上記トランジスタの組を駆動する。

【0055】

これに加えて、露光時間の長さをフレームレートに応じて変化させてもよい。例えば図 10 に示す例において、周辺領域 176 の 1 フレームの露光時間を $1/3$ 倍にしておき、注目領域 172 と実質的に同じ露光時間としてもよい。また、画像信号の出力後にフレームレートの比で当該画像信号を補正してもよい。また、周辺領域 176 と注目領域 172 との間で画像信号の出力のタイミングが図 10 のように同期していなくても、非同期であ

40

【0056】

画像処理部 511 は、注目領域 172 からの画像信号をワークメモリ 504 の予め定められた記憶領域に、フレームごとに順次、記憶する (S106)。同様に、画像処理部 511 は、周辺領域 176 からの画像信号をワークメモリ 504 の予め定められた記憶領域に、フレームごとに順次、記憶する (同ステップ)。

【0057】

動画生成部 154 は、ワークメモリ 504 に記憶された注目領域 172 の画像信号を読み出して (S108)、注目領域 172 の複数のフレームが含まれる注目領域動画のデータを生成する (S110)。同様に、動画生成部 154 は、ワークメモリ 504 に記憶さ

50

れた周辺領域 176 の画像信号を読み出して、周辺領域 176 の複数のフレームが含まれる周辺領域動画のデータを生成する（同ステップ）。ここで、注目領域動画および周辺領域動画はそれぞれ、MPEG のような汎用のフォーマットで生成されてそれぞれ別個に再生できるようになっていてもよいし、後述する合成処理を経なければ再生できない専用のフォーマットで生成されてもよい。

【0058】

図 11 は、動画生成部により生成された注目領域動画および周辺領域動画を模式的に示す。動画生成部 154 は、駆動部 502 が注目領域 172 を駆動したフレームレートに対応したフレームレートで、注目領域動画を生成する。図 11 に示す例において、駆動部 502 が注目領域 172 を駆動したフレームレート 1 / 180 fps と同一のフレームレ

10

【0059】

同様に、動画生成部 154 は、駆動部 502 が周辺領域 176 を駆動したフレームレートに対応したフレームレートで、周辺領域動画を生成する。図 11 に示す例において、駆動部 502 が周辺領域 176 を駆動したフレームレート 1 / 60 fps と同一のフレームレート 1 / 60 fps で、周辺領域動画が生成される。なお、周辺領域動画において注目領域 172 に対応する領域には有効な値が存在せず、図中では斜線で示した。

【0060】

さらに動画生成部 154 は注目領域動画および周辺領域動画にヘッダ情報を付加して、これらのデータを記録部 505 に記録する（S112）。ヘッダ情報は、撮像領域の全体に対する注目領域 172 の位置を示す領域情報、注目領域 172 の大きさを示すサイズ情報および、注目領域 172 の画像信号の出力タイミングと周辺領域 176 の画像信号の出力タイミングとの関係を示すタイミング情報を含む。

20

【0061】

システム制御部 501 は次の単位時間の撮像を行うか否かを判断する（S114）。次の単位時間の撮像を行うか否かは、その時点でユーザから動画の記録ボタンが押下されているか否かで判断される。次の単位時間の撮像を行う場合は（S114：Yes）、上記ステップ S102 に戻り、次の単位時間の撮像を行わない場合は（S114：No）、当該動作を終了する。

【0062】

ここで「単位時間」は予めシステム制御部 501 に設定されている時間であって、数秒程度である。この単位時間、注目領域 172 のフレームレートおよび単位グループ数、並びに、周辺領域 176 のフレームレートおよび単位グループ数によって、ステップ S106 において記憶に用いられる記憶容量が決まる。またこれらの情報に基づいて、当該記憶容量において注目領域 172 のデータを記憶する領域と、周辺領域 176 のデータを記憶する領域とが定められる。

30

【0063】

以上により、主要被写体 171 が含まれる注目領域 172 からは高いフレームレートで画像信号を得ることができるとともに、周辺領域 176 を低いフレームレートで抑えることでデータ量を減らすことができる。よって、全画素からの高速読出しに比べて、駆動および画像処理の負荷を減らし、消費電力および発熱を抑えることができる。

40

【0064】

なお、図 7 に示す例において次の単位時間が開始されるときに、ステップ S102 で改めて単位グループ 131 が選択され、領域情報およびサイズ情報が更新される。これにより、主要被写体 171 に追従して注目領域 172 を逐次、更新することができる。図 11 に示す例においては、注目領域動画における単位時間の最初のフレーム A7 において、以前の単位時間の最後のフレーム A6 とは異なる単位グループ 131 からなる注目領域 182 が選択されるとともに、これに伴って領域情報 184 および周辺領域 186 も更新されている。

【0065】

50

図 1 2 は、動画生成部が付加するヘッダ情報の一例を示す。図 1 2 のヘッダ情報は、注目領域動画を特定する注目領域動画 ID、注目領域動画のフレームレート、当該注目領域動画に対応する周辺領域動画を特定する周辺領域動画 ID、周辺領域動画のフレームレート、タイミング情報、領域情報およびサイズ情報を含む。これらのヘッダ情報は、注目領域動画および周辺領域動画のいずれか一方にヘッダ情報として付加されていてもよいし、両方に付加されていてもよい。

【 0 0 6 6 】

図 1 3 は、撮像装置が動画を再生して表示する動作を示すフローチャートである。当該動作は、表示部 5 0 6 にサムネイル表示された注目領域動画のいずれかをユーザが特定して再生ボタンを押下したことにより開始する。

10

【 0 0 6 7 】

動画合成部 1 5 6 は、ユーザにより特定された注目領域動画のデータを記録部 5 0 5 から読み出す (S 1 5 0)。動画合成部 1 5 6 は、当該注目領域動画に対応する周辺領域動画のデータを記録部 5 0 5 から読み出す (S 1 5 2)。

【 0 0 6 8 】

この場合に、動画合成部 1 5 6 は、ステップ S 1 5 0 で読み出した注目領域動画のヘッダ情報に示されている周辺領域動画 ID により周辺領域動画を特定する。これに代えて、ヘッダ情報に示されているタイミング情報と同一のタイミング情報をヘッダ情報として含む周辺領域画像が検索されて特定されてもよい。

20

【 0 0 6 9 】

なお、上記の例では注目領域動画にヘッダ情報が含まれるとしている。一方、注目領域動画にヘッダ情報が含まれずに周辺領域動画にヘッダ情報が含まれている場合には、先にステップ S 1 5 0 においてユーザに周辺領域動画を特定させて読出し、そのヘッダ情報からステップ S 1 5 2 において注目領域動画を特定して読み出してもよい。

【 0 0 7 0 】

動画合成部 1 5 6 は、注目領域動画のフレームと周辺領域動画のフレームとを用いて、表示動画のフレームを合成する (S 1 5 4)。この場合にまず、注目領域動画の先頭のフレーム A 1 が、周辺領域動画の先頭のフレーム B 1 における領域情報 1 7 4 が示す位置に嵌め込まれることにより、表示動画の先頭のフレーム C 1 が合成される。動画合成部 1 5 6 は、図 1 1 に示すように、表示動画の先頭のフレーム C 1 を表示部 5 0 6 に表示させる (S 1 5 6)。

30

【 0 0 7 1 】

動画合成部 1 5 6 は、周辺領域動画における次のフレーム B 2 までの間に注目領域動画の次のフレームがあるか否かを判断する (S 1 5 8)。動画合成部 1 5 6 は、注目領域動画の次のフレームがある場合に (S 1 5 8 : Y e s)、注目領域 1 7 2 を次のフレーム A 2、A 3 で更新しかつ周辺領域 1 7 6 を前のフレーム B 1 に保持することにより (S 1 6 2)、表示動画の次のフレーム C 2、C 3 を合成して (S 1 6 2)、順次、表示する (S 1 5 6)。

【 0 0 7 2 】

一方、ステップ S 1 5 8 において周辺領域動画における次のフレーム B 2 までの間に注目領域動画の次のフレームがない場合に (S 1 5 8)、動画合成部 1 5 6 は、注目領域 1 7 2 を次のフレーム A 4 で更新しかつ周辺領域 1 7 6 も次のフレーム B 2 で更新することにより (S 1 6 4)、表示動画の次のフレーム C 4 を合成して (S 1 6 2)、表示する (S 1 5 6)。

40

【 0 0 7 3 】

周辺領域動画において周辺領域 1 7 6 の次フレームがある限り (S 1 6 0 : Y e s)、ステップ S 1 5 4 から S 1 6 0 が繰り返される。周辺領域動画において周辺領域 1 7 6 の次フレームがない場合に (S 1 6 0 : N o)、動画合成部 1 5 6 は、当該注目領域動画と周辺領域動画との組の単位時間の次の単位時間における注目領域動画と周辺領域動画との組があるか否かを検索する (S 1 6 6)。例えば、動画合成部 1 5 6 は、記録部 5 0 5 の

50

同一フォルダ内において、当該注目領域動画のタイミング情報が示すタイミングの直後を示すタイミング情報がヘッダ情報に含まれた注目領域動画があるか否かを検索する。

【0074】

次の単位時間における注目領域動画と周辺領域動画との組がある限り（S166：Yes）、ステップS150からS166が繰り返される。次の単位時間における注目領域動画と周辺領域動画との組がない場合に（S166：No）、当該動作を終了する。

【0075】

以上によれば、全体のデータ量を減らしつつ、主要被写体171が含まれる注目領域172について滑らかな動画を表示することができる。なお、ステップS162においては、注目領域172がそのまま次のフレームで更新されて表示画像のフレームが合成されているが、合成の方法はこれに限られない。他の例として、注目領域172における主要被写体171の境界線が画像処理により特定され、当該境界線で囲まれた主要被写体171については次のフレームに更新するとともに、注目領域172内であっても主要被写体171の境界線外側については前のフレームを維持して、周辺領域176のフレームと合成されてもよい。すなわち、注目領域172における境界線外側については周辺領域176のフレームレートに落としてもよい。これにより表示動画における滑らかさの境界が不自然に見えることを防ぐことができる。また、再生のフレームレートは、撮影時のフレームレート（注目領域は180fps、周辺領域は60fps）と同じである必要はなく、例えば注目領域を60fps、周辺領域を20fpsなどとしてもよい。その場合はスローモーション再生となる。

10

20

【0076】

図14は、撮像装置が動画を生成して記録する他の動作の例を示すフローチャートである。図14において図7と同一の動作については同一の参照番号を付して説明を省略する。

【0077】

図14の動作において、注目領域172と周辺領域176とで、図7のフレームレートに代えて、または、加えて間引き率を異ならせている。より詳しくは、ステップS120において、駆動部502は、注目領域172に含まれる単位グループ131に対しては、低い間引き率で間引いた画素に対して電荷蓄積および画像信号の出力を実行させ、周辺領域176に含まれる単位グループ131に対しては、高い間引き率で間引いた画素に対して電荷蓄積および画像信号の出力を実行させる。例えば注目領域172に含まれる単位グループ131に対して間引き率0すなわち全画素が読み出され、周辺領域176に含まれる単位グループ131に対して間引き率0.5すなわち半分画素が読み出される。

30

【0078】

この場合に、駆動部502は、周辺領域176に含まれる単位グループ131のリセットトランジスタ303、転送トランジスタ302および選択トランジスタ305の組と、注目領域172に含まれる単位グループ131のリセットトランジスタ303、転送トランジスタ302および選択トランジスタ305の組とを別個に駆動することにより、異なる間引き率で画像信号を得る。

【0079】

ステップS110において、動画生成部154は、低い間引き率で出力された注目領域172の画像信号に基づき、注目領域172に対応する注目領域動画を生成する。動画生成部154は、同様に、高い間引き率で出力された周辺領域176の画像信号に基づき、周辺領域176に対応する周辺領域動画を生成する。またステップS112において、動画生成部154は、それぞれの間引き率の情報を付加して注目領域動画および周辺領域動画を記録部505に記録する。

40

【0080】

図15は、一の単位グループに対して間引き率0.5で読み出される画素188の例を示す。図15に示す例において、周辺領域176の単位グループ132がベイヤー配列である場合に垂直方向についてベイヤー配列の単位の一つ置き、すなわち、画素単位でみた

50

場合の二行づつ交互に、読み出される画素 188 と読み出されない画素が設定される。これにより色バランスを崩すことなく間引き読出しをすることができる。

【0081】

図 16 は、図 14 に対応した、撮像装置が動画を再生して表示する動作を示すフローチャートである。図 16 において図 13 と同一の動作については同一の参照番号を付して説明を省略する。

【0082】

図 16 のステップ S170 において、動画合成部 156 は、周辺領域動画のフレームの画素を補完して解像度を注目領域動画のフレームの解像度と整合させてから、注目領域動画のフレームを周辺領域動画のフレームに嵌め込むことにより、表示画像のフレームを合成する。これにより、主要被写体 171 が含まれる注目領域 172 からは高い解像度で画像信号を得ることができるとともに、周辺領域 176 を低い解像度で抑えることでデータ量を減らすことができる。よって、全画素からの高速読出しに比べて、駆動および画像処理の負荷を減らし、消費電力および発熱を抑えることができる。

10

【0083】

なお、図 1 から図 16 に示す例において、注目領域 172 は矩形であるが注目領域 172 の形状はこれに限られない。注目領域 172 は単位グループ 131 の境界線に沿っていれば凸の多角形、凹の多角形、または、中に周辺領域 176 が入り込んだドーナツ形状等であってもよい。また、注目領域 172 は互いに離間して複数個設定されてもよい。その場合に、互いの注目領域 172 で異なるフレームレートが設定されてもよい。

20

【0084】

また、注目領域 172 および周辺領域 176 のフレームレートは可変であってもよい。例えば、単位時間が経過するごとに主要被写体 171 の移動量を検出して、主要被写体 171 の移動量が多いほど注目領域 172 により高いフレームレートを設定してもよい。また、単位時間内で随時、主要被写体 171 に追従して注目領域 172 に含まれるべき単位グループ 131 の選択を更新してもよい。

【0085】

図 7 および図 14 の動画の生成はユーザの録画ボタンの押下により開始し、図 13 および図 16 の動画の再生はユーザの再生ボタンの押下により開始しているが、開始時点はこれに限られない。他の例として、ユーザからの一つのボタン操作によって、動画の生成の動作と再生の動作とを連続して実行させて、表示部 506 にスルー画表示（またはライブビュー表示ともいう）してもよい。この場合に、注目領域 172 をユーザに認識させる表示が重畳されてもよい。例えば、表示部 506 において注目領域 172 の境界線に枠を表示したり、周辺領域 176 の輝度を下げるか注目領域 172 の輝度を上げるかしてもよい。

30

【0086】

図 14 の動作において、注目領域 172 と周辺領域 176 とで間引き率を異ならせている。間引き率を異ならせることに代えて、隣接行の画素の画素信号を加算するときの行数を異ならせてもよい。例えば、注目領域 172 においては行数が 1、すなわち、隣接行で加算せずに画素信号を出力し、周辺領域 176 においては注目領域 172 よりも多い行数、例えば行数を 2 として、隣接する 2 行の同じ列の画素の画素信号を出力する。これにより、図 14 と同様に、周辺領域 176 よりも注目領域 172 の解像度を高く維持しつつ、全体の信号量を減らすことができる。また、隣接行の画素信号を加算することに代えて、隣接列の画素信号を加算してもよい。この場合は、注目領域 172 と周辺領域 176 とで隣接列の画素の画素信号を加算するときの列数を異ならせる。さらに、上記加算においては、加算した行数または列数で当該加算値を割った平均を算出する処理を含めてもよい。

40

【0087】

なお、動画合成部 156 は撮像装置 500 の画像処理部 511 に設けられていることに代えて、外部の表示装置、例えば PC に設けられてもよい。また、動画を生成する場合に限られず、静止画を生成する場合に上記実施形態が適用されてもよい。

50

【 0 0 8 8 】

また、上記実施形態はいずれも複数の単位グループ 1 3 1 を、注目領域 1 7 2 と周辺領域 1 7 6 との 2 つに分けているが、これに限られず 3 つ以上の領域に分けてもよい。この場合に、注目領域 1 7 2 と周辺領域 1 7 6 との境界に該当する単位グループ 1 3 1 を境界領域として、当該境界領域には、注目領域 1 7 2 に用いられる制御パラメータの値と周辺領域 1 7 6 に用いられる制御パラメータの値との中間の値が用いられて制御されてもよい。これにより、注目領域 1 7 2 と周辺領域 1 7 6 との境界が不自然に見えることを防ぐことができる。

【 0 0 8 9 】

注目領域 1 7 2 と周辺領域 1 7 6 とで電荷の蓄積時間、蓄積回数等を異ならせてもよい。この場合に注目領域 1 7 2 と周辺領域 1 7 6 とを輝度に基づいて分けてもよく、さらに中間領域を設けてもよい。

【 0 0 9 0 】

図 1 7 は、シーンの例と領域分割を説明する図である。図 1 7 (a) は、撮像チップ 1 1 3 の画素領域が捉えるシーンを示す。具体的には、屋内環境に含まれるシャドウ被写体 6 0 1 および中間被写体 6 0 2 と、窓枠 6 0 4 の内側に観察される屋外環境のハイライト被写体 6 0 3 とが同時に写り込むシーンである。このような、ハイライト部からシャドウ部までの明暗差が大きなシーンを撮影する場合、従来の撮像素子であれば、ハイライト部を基準として電荷蓄積を実行するとシャドウ部で黒潰れが生じ、シャドウ部を基準として電荷蓄積を実行するとハイライト部で白飛びが生じた。すなわち、ハイライト部もシャドウ部も一律に一度の電荷蓄積により画像信号を出力させるには、明暗差の大きなシーンに対してフォトダイオードのダイナミックレンジが不足していると言える。そこで、本実施形態においては、シーンをハイライト部、シャドウ部といった部分領域に分割して、それぞれの領域に対応するフォトダイオードの電荷蓄積回数を互いに異ならせることにより、ダイナミックレンジの実質的な拡大を図る。

【 0 0 9 1 】

図 1 7 (b) は、撮像チップ 1 1 3 の画素領域における領域分割を示す。演算部 5 1 2 は、測光部 5 0 3 が捉えた図 1 7 (a) のシーンを解析して、輝度を基準に画素領域を分割する。例えば、システム制御部 5 0 1 は、測光部 5 0 3 に露光時間を変更しつつ複数回のシーン取得を実行させ、演算部 5 1 2 は、その白飛び領域、黒潰れ領域の分布の変化を参照して画素領域の分割ラインを決定する。図 1 7 (b) の例においては、演算部 5 1 2 は、シャドウ領域 6 1 1、中間領域 6 1 2、およびハイライト領域 6 1 3 の 3 領域に分割している。

【 0 0 9 2 】

分割ラインは、単位グループ 1 3 1 の境界に沿って定義される。すなわち、分割された各領域は、整数個のグループをそれぞれ含む。そして、同一の領域に包含される各グループの画素は、演算部 5 1 2 によって決定されたシャッタ速度に対応する期間内において、同一回数の電荷蓄積および画素信号出力を行う。属する領域が異なれば、異なる回数の電荷蓄積および画素信号出力を行う。

【 0 0 9 3 】

図 1 8 は、図 1 7 の例による分割された領域ごとの電荷蓄積制御を説明する図である。演算部 5 1 2 は、ユーザから撮影準備指示を受けると、測光部 5 0 3 の出力からシャッタ速度 T_0 を決定する。さらに、上述のようにシャドウ領域 6 1 1、中間領域 6 1 2 およびハイライト領域 6 1 3 に分割して、それぞれの輝度情報から電荷蓄積回数を決定する。電荷蓄積回数は、1 回あたりの電荷蓄積により画素が飽和しないように決定される。例えば、1 回の電荷蓄積動作において蓄積可能な 8 割から 9 割の電荷が蓄積されることを基準として、電荷蓄積回数が決定される。

【 0 0 9 4 】

ここでは、シャドウ領域 6 1 1 を 1 回とする。すなわち、決定されたシャッタ速度 T_0 と電荷蓄積時間を一致させる。また、中間領域 6 1 2 の電荷蓄積回数を 2 回とする。すな

10

20

30

40

50

わち、1回の電荷蓄積時間を $T_0/2$ として、シャッタ速度 T_0 の間に2回の電荷蓄積を繰り返させる。また、ハイライト領域613の電荷蓄積回数を4回とする。すなわち、1回の電荷蓄積時間を $T_0/4$ として、シャッタ速度 T_0 の間に4回の電荷蓄積を繰り返させる。

【0095】

ユーザから撮影指示を時刻 $t=0$ で受けると、駆動部502は、いずれの領域に属するグループの画素に対しても、リセットパルスと転送パルスを印加する。この印加をトリガーとして、いずれの画素も電荷蓄積を開始する。

【0096】

時刻 $t=T_0/4$ になったら、駆動部502は、ハイライト領域613に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線309に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部502は、ハイライト領域613に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、2回目の電荷蓄積を開始させる。

10

【0097】

なお、画素信号の選択出力には時間を要するので、1回目の電荷蓄積の終了と2回目の電荷蓄積の開始の間には時間差が生じる。この時間差が実質的に無視し得るのであれば、上述のように、シャッタ速度 T_0 に対して電荷蓄積回数で割った時間を1回の電荷蓄積時間とすれば良い。一方、無視し得ないのであれば、その時間を考慮して、シャッタ速度 T_0 を調整したり、1回の電荷蓄積時間をシャッタ速度 T_0 に対して電荷蓄積回数で割った時間よりも短くしたりすれば良い。

20

【0098】

時刻 $t=T_0/2$ になったら、駆動部502は、中間領域612とハイライト領域613に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線309に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部502は、中間領域612とハイライト領域613に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、中間領域612に対しては2回目の、ハイライト領域613に対しては3回目の電荷蓄積を開始させる。

30

【0099】

時刻 $t=3T_0/4$ になったら、駆動部502は、ハイライト領域613に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線309に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部502は、ハイライト領域613に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、4回目の電荷蓄積を開始させる。

【0100】

時刻 $t=T_0$ になったら、駆動部502は、全領域の画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線309に出力させる。以上の制御により、シャドウ領域611に対応する画素メモリ414にはそれぞれ1回分の画素信号が格納され、中間領域612に対応する画素メモリ414にはそれぞれ2回分の画素信号が格納され、ハイライト領域613に対応する画素メモリ414にはそれぞれ4回分の画素信号が格納される。

40

【0101】

これらの画素信号は、順次、画像処理部511へ転送される。画像処理部511は、この画素信号から高ダイナミックレンジの画像データを生成する。具体的な処理については後述する。

【0102】

図19は、積算回数とダイナミックレンジの関係を示す図である。繰り返し実行された

50

電荷蓄積に対応する複数回分の画素信号は、画像処理部 5 1 1 により積算処理されて、高ダイナミックレンジの画像データの一部を形成する。

【 0 1 0 3 】

積算回数が 1 回、すなわち電荷蓄積を 1 回行った領域のダイナミックレンジを基準とした場合、積算回数が 2 回、すなわち電荷蓄積を 2 回行って出力信号を積算した領域のダイナミックレンジの拡大分は 1 段分となる。同様に、積算回数を 4 回にすれば 2 段分となり、1 2 8 回にすれば 7 段分となる。すなわち、 n 段分のダイナミックレンジ拡大を図るには、 2^n 回の出力信号を積算すれば良い。

【 0 1 0 4 】

ここで、画像処理部 5 1 1 がいずれの分割領域が何回の電荷蓄積を行ったかを識別するために、積算回数を示す 3 b i t の指数桁が画像信号に付与されている。図示するように、指数桁は、積算数 1 回に対して 0 0 0、2 回に対して 0 0 1、... 1 2 8 回に対して 1 1 1 のように順に割り当てられる。

10

【 0 1 0 5 】

画像処理部 5 1 1 は、演算回路 4 1 5 から受け取った各画素信号の指数桁を参照して、参照した結果が 2 回以上の積算数である場合には、画素信号の積算処理を実行する。例えば、積算回数が 2 回の場合 (1 段) は、2 個の画素信号に対して、電荷蓄積に対応する 1 2 b i t の画素信号のうち上位 1 1 b i t 同士を加算して、1 2 b i t の 1 つの画素信号を生成する。同様に、積算回数が 1 2 8 回 (7 段) の場合は、1 2 8 個の画素信号に対して、電荷蓄積に対応する 1 2 b i t の画素信号のうち上位 5 b i t 同士を加算して、1 2 b i t の 1 つの画素信号を生成する。すなわち、積算回数に対応する段数を 1 2 から引いた上位 b i t を互いに足し合わせて、1 2 b i t の 1 つの画素信号を生成する。なお、加算の対象とならない下位 b i t は除去される。

20

【 0 1 0 6 】

このように処理することにより、階調を与える輝度範囲を積算回数に合わせて高輝度側にシフトさせることができる。すなわち、高輝度側の限られた範囲に対して 1 2 b i t が割り当てられることになる。したがって、従来白飛びしていた画像領域に対して階調を与えることができる。

【 0 1 0 7 】

ただし、他の分割領域については異なる輝度範囲に対して 1 2 b i t を割り当てているので、単純に領域ごとに繋ぎ合わせる合成により画像データを生成することができない。そこで、画像処理部 5 1 1 は、得られた階調をできる限り維持しつつ全領域を 1 2 b i t の画像データとするために、最大輝度画素と最低輝度画素を基準として、再量子化処理を行う。具体的には、階調がより滑らかに維持されるように、ガンマ変換を施して量子化を実行する。このように処理することにより、高ダイナミックレンジの画像データを得ることができる。

30

【 0 1 0 8 】

なお、積算回数は、上記のように 3 b i t の指数桁が画素信号に付与されている場合に限らず、画素信号とは別の付随情報として記述されていても良い。また、画素信号から指数桁を省き、代わりに画素メモリ 4 1 4 に格納されている画素信号の数をカウントすることにより、加算処理時に積算回数を取得しても良い。

40

【 0 1 0 9 】

また、上記の画像処理においては、全領域を 1 2 b i t の画像データに収める再量子化処理を実行したが、画素信号の b i t 数に対し、上限の積算回数に合わせて出力 b i t 数を増やしても良い。例えば、上限の積算回数を 1 6 回 (4 段) と定めれば、1 2 b i t の画素信号に対して、全領域を 1 6 b i t の画像データとすれば良い。このように処理すれば、桁落ちさせずに画像データを生成することができる。

【 0 1 1 0 】

次に、一連の撮影動作処理について説明する。図 2 0 は、撮影動作の処理を示すフロー図である。フローは、撮像装置 5 0 0 の電源が O N にされて開始される。

50

【 0 1 1 1 】

システム制御部 5 0 1 は、ステップ S 2 0 1 で、撮影準備指示であるスイッチ S W 1 の押し下げがなされるまで待機する。スイッチ S W 1 の押し下げを検知したらステップ S 2 0 2 へ進む。

【 0 1 1 2 】

ステップ S 2 0 2 では、システム制御部 5 0 1 は、測光処理を実行する。具体的には、測光部 5 0 3 の出力を得て、演算部 5 1 2 がシーンの輝度分布を算出する。そして、ステップ S 2 0 3 へ進み、上述のように、シャッタ速度、領域分割、積算回数等を決定する。

【 0 1 1 3 】

撮影準備動作が完了したら、ステップ S 2 0 4 へ進み、撮影指示であるスイッチ S W 2 の押し下げがなされるまで待機する。このとき、経過時間が予め定められた時間 T w を超えたら（ステップ S 2 0 5 の Y E S ）、ステップ S 2 0 1 へ戻る。T w を超える前に（ステップ S 2 0 5 の N O ）スイッチ S W 2 の押し下げを検知したら、ステップ S 2 0 6 へ進む。

10

【 0 1 1 4 】

ステップ S 2 0 6 では、システム制御部 5 0 1 の指示を受けた駆動部 5 0 2 が、図 1 8 を用いて説明した電荷蓄積処理、信号読み出し処理を実行する。そして、全ての信号読み出しが完了したらステップ S 2 0 7 へ進み、図 1 9 を用いて説明した画像処理を実行し、生成された画像データを記録部に記録する記録処理を実行する。

【 0 1 1 5 】

記録処理が完了したらステップ S 2 0 8 へ進み、撮像装置 5 0 0 の電源が O F F にされたか否かを判断する。電源が O F F にされなければステップ S 2 0 1 へ戻り、O F F にされたら一連の撮影動作処理を終了する。

20

【 0 1 1 6 】

図 2 1 は、信号処理チップ 1 1 1 の一例としての具体的構成を示すブロック図である。上述の図 4 を用いた説明においては、デマルチプレクサ 4 1 3 および画素メモリ 4 1 4 がメモリチップ 1 1 2 に形成された一例を示したが、ここでは、信号処理チップ 1 1 1 に形成された例を説明する。

【 0 1 1 7 】

信号処理チップ 1 1 1 は、駆動部 5 0 2 の機能を担う。信号処理チップ 1 1 1 は、分担化された制御機能としてのセンサ制御部 4 4 1、ブロック制御部 4 4 2、同期制御部 4 4 3、信号制御部 4 4 4 と、これらの各制御部を統括制御する駆動制御部 4 2 0 とを含む。駆動制御部 4 2 0 は、システム制御部 5 0 1 からの指示を、各制御部が実行可能な制御信号に変換してそれぞれに引き渡す。

30

【 0 1 1 8 】

センサ制御部 4 4 1 は、撮像チップ 1 1 3 へ送出する、各画素の電荷蓄積、電荷読み出しに関わる制御パルスの送出制御を担う。具体的には、センサ制御部 4 4 1 は、対象画素に対してリセットパルスと転送パルスを送出することにより、電荷蓄積の開始と終了を制御し、読み出し画素に対して選択パルスを送出することにより、画素信号を出力配線 3 0 9 へ出力させる。

40

【 0 1 1 9 】

ブロック制御部 4 4 2 は、撮像チップ 1 1 3 へ送出する、制御対象となる単位グループ 1 3 1 を特定する特定パルスの送出を実行する。図 1 7 等を用いて説明したように、分割された領域には、互いに隣接する複数の単位グループ 1 3 1 が包含され得る。これら同一の領域に属する単位グループ 1 3 1 は、ひとつのブロックを形成する。同一のブロックに含まれる画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。そこで、ブロック制御部 4 4 2 は、駆動制御部 4 2 0 からの指定に基づいて対象となる単位グループ 1 3 1 に特定パルスを送出することにより、単位グループ 1 3 1 をブロック化する役割を担う。各画素が T X 配線 3 0 7 およびリセット配線 3 0 6 を介して受ける転送パルスおよびリセットパルスは、センサ制御部 4 4 1 が送出する各パルスとブ

50

ロック制御部 4 4 2 が送出する特定パルスの論理積となる。このように、各領域を互いに独立したブロックとして制御することにより、図 1 8 を用いて説明した電荷蓄積制御を実現する。駆動制御部からのブロック化指定については、後に詳述する。

【 0 1 2 0 】

同期制御部 4 4 3 は、同期信号を撮像チップ 1 1 3 へ送出する。各パルスは、同期信号に同期して撮像チップ 1 1 3 においてアクティブとなる。例えば、同期信号を調整することにより、同一の単位グループ 1 3 1 に属する画素の特定画素のみを制御対象とするランダム制御、間引き制御等を実現する。

【 0 1 2 1 】

信号制御部 4 4 4 は、主に A / D 変換器 4 1 2 b に対するタイミング制御を担う。出力配線 3 0 9 を介して出力された画素信号は、C D S 回路 4 1 2 a およびマルチプレクサ 4 1 1 を経て A / D 変換器 4 1 2 b に入力される。A / D 変換器 4 1 2 b は、信号制御部 4 4 4 によって制御されて、入力された画素信号をデジタル信号に変換する。デジタル信号に変換された画素信号は、デマルチプレクサ 4 1 3 に引き渡され、そしてそれぞれの画素に対応する画素メモリ 4 1 4 にデジタルデータの画素値として格納される。

10

【 0 1 2 2 】

信号処理チップ 1 1 1 は、いずれの単位グループ 1 3 1 を組み合わせてブロックを形成するかについてのブロック区分情報と、形成されたそれぞれのブロックが何回の電荷蓄積を繰り返すかについての蓄積回数情報とを格納する、蓄積制御メモリとしてのタイミングメモリ 4 3 0 を有する。タイミングメモリ 4 3 0 は、例えばフラッシュ R A M によって構成される。

20

【 0 1 2 3 】

上述のように、いずれの単位グループを組み合わせてブロックを形成するかについては、一連の撮影シーケンスに先立って実行されるシーンの輝度分布検出の検出結果に基づいて、システム制御部 5 0 1 により決定される。決定されたブロックは、例えば第 1 ブロック、第 2 ブロック... のように区分され、それぞれのブロックがいずれの単位グループ 1 3 1 を包含するかにより規定される。駆動制御部 4 2 0 は、このブロック区分情報をシステム制御部 5 0 1 から受け取り、タイミングメモリ 4 3 0 へ格納する。

【 0 1 2 4 】

また、システム制御部 5 0 1 は、輝度分布の検出結果に基づいて、各ブロックが何回の電荷蓄積を繰り返すかを決定する。駆動制御部 4 2 0 は、この蓄積回数情報をシステム制御部 5 0 1 から受け取り、対応するブロック区分情報と対でタイミングメモリ 4 3 0 へ格納する。このようにタイミングメモリ 4 3 0 へブロック区分情報と蓄積回数情報を格納することにより、駆動制御部 4 2 0 は、一連の電荷蓄積制御を、タイミングメモリ 4 3 0 を逐次参照して独立して実行し得る。すなわち、駆動制御部 4 2 0 は、1 枚の画像取得制御において撮影指示の信号をシステム制御部 5 0 1 から一旦受け取ると、その後は各画素の制御についてその都度システム制御部 5 0 1 から指示を受けること無く、蓄積制御を完了させることができる。

30

【 0 1 2 5 】

駆動制御部 4 2 0 は、撮影準備指示に同期して実行される測光結果（輝度分布の検出結果）に基づいて更新されるブロック区分情報と蓄積回数情報をシステム制御部 5 0 1 から受け取って、タイミングメモリ 4 3 0 の記憶内容を適宜更新する。例えば、駆動制御部 4 2 0 は、撮影準備指示または撮影指示に同期して、タイミングメモリ 4 3 0 を更新する。このように構成することにより、より高速な電荷蓄積制御を実現すると共に、駆動制御部 4 2 0 が電荷蓄積制御を実行している間に、システム制御部 5 0 1 は他の処理を並行して実行し得る。

40

【 0 1 2 6 】

駆動制御部 4 2 0 は、撮像チップ 1 1 3 に対する電荷蓄積制御を実行するに留まらず、読み出し制御の実行においてもタイミングメモリ 4 3 0 を参照する。例えば、駆動制御部 4 2 0 は、各ブロックの蓄積回数情報を参照して、デマルチプレクサ 4 1 3 から出力され

50

る画素信号を画素メモリ 4 1 4 の対応アドレスに格納する。

【 0 1 2 7 】

駆動制御部 4 2 0 は、システム制御部 5 0 1 からの引渡要求に従って、対象画素信号を画素メモリ 4 1 4 から読み出し、画像処理部 5 1 1 へ引き渡す。画素メモリ 4 1 4 は、上述の通り、各画素に対して最大積算回数に対応する画素信号を格納できるメモリ空間を有し、実行された蓄積回数に対応するそれぞれの画素信号を画素値として格納する。例えば、あるブロックにおいて 4 回の電荷蓄積が繰り返された場合には、当該ブロックに含まれる画素は 4 回分の画素信号を出力するので、画素メモリ 4 1 4 上の各画素のメモリ空間には、4 つの画素値が格納される。駆動制御部 4 2 0 は、特定画素の画素信号を要求する引渡要求をシステム制御部 5 0 1 から受けた場合には、画素メモリ 4 1 4 上の当該特定画素のアドレスを指定して、格納されている全ての画素信号を読み出し、画像処理部 5 1 1 へ引き渡す。例えば 4 つの画素値が格納されている場合には、その 4 つの画素値全てを順次引き渡し、1 つの画素値のみが格納されている場合には、その画素値を引き渡す。

10

【 0 1 2 8 】

駆動制御部 4 2 0 は、画素メモリ 4 1 4 に格納された画素信号を、演算回路 4 1 5 に読み出して、演算回路 4 1 5 に上述の積算処理を実行させることができる。積算処理された画素信号は、画素メモリ 4 1 4 の対象画素アドレスに格納される。対象画素アドレスは、積算処理前のアドレス空間に隣接して設けても良いし、積算処理前の画素信号に対して上書きするように同一アドレスとしても良い。また、積算処理後の各画素の画素値を纏めて格納する専用空間を設けても良い。駆動制御部 4 2 0 は、特定画素の画素信号を要求する引渡要求をシステム制御部 5 0 1 から受けた場合には、その引渡要求の態様によっては、積算処理後の画素信号を画像処理部 5 1 1 へ引き渡すことができる。もちろん、積算処理前後の画素信号を共に引き渡すこともできる。

20

【 0 1 2 9 】

画素メモリ 4 1 4 には、引渡要求に従って画素信号を伝送するデータ転送インタフェースが設けられている。データ転送インタフェースは、画像処理部 5 1 1 と繋がるデータ転送ラインと接続されている。データ転送ラインは例えばバスラインのうちのデータバスによって構成される。この場合、システム制御部 5 0 1 から駆動制御部 4 2 0 への引渡要求は、アドレスバスを利用したアドレス指定によって実行される。

【 0 1 3 0 】

データ転送インタフェースによる画素信号の伝送は、アドレス指定方式に限らず、さまざまな方式を採用しうる。例えば、データ転送を行うときに、各回路の同期に用いられるクロック信号の立ち上がり・立ち下りの両方を利用して処理を行うダブルデータレート方式を採用し得る。また、アドレス指定などの手順を一部省略することによってデータを一気に転送し、高速化を図るバースト転送方式を採用し得る。また、制御部、メモリ部、入出力部を並列に接続している回線を用いたバス方式、直列にデータを 1 ビットずつ転送するシリアル方式などを組み合わせて採用することもできる。

30

【 0 1 3 1 】

このように構成することにより、画像処理部 5 1 1 は、必要な画素信号に限って受け取ることができるので、特に低解像度の画像を形成する場合などにおいて、高速に画像処理を完了させることができる。また、演算回路 4 1 5 に積算処理を実行させる場合には、画像処理部 5 1 1 が積算処理を実行しなくて良いので、機能分担と並行処理により、画像処理の高速化を図ることができる。

40

【 0 1 3 2 】

上記図 1 7 から図 2 1 の例においては、注目領域 1 7 2 と周辺領域 1 7 6 とで電荷の蓄積回数等を異ならせることにより、注目領域 1 7 2 の画素信号をデジタル化したときのビット数を周辺領域 1 7 6 よりも大きくした。他の方法で、注目領域 1 7 2 と周辺領域 1 7 6 とのデジタル化のビット数を変えてもよい。例えば、信号処理回路 4 1 2 の A / D 回路が、駆動部 5 0 2 のからの指示により、同じ一回の蓄積回数に対して注目領域 1 7 2 を周辺領域 1 7 6 よりも高いビット数でデジタル化してもよい。

50

【0133】

図21の信号処理チップ111を用いて、注目領域172と周辺領域176とで異なる制御パラメータを用いて画素信号取得後に画像処理してもよい。例えば、図7から図10では、注目領域172と周辺領域176とで異なるフレームレートで取得した画像から動画を生成しているが、これに代えて、高いフレームレートで取得した画像を平均化する画像処理をしてS/N比を向上させてもよい。この場合に、例えば駆動制御部420により周辺領域176から1回の画素信号を得る間に、注目領域142から複数回、例えば4回の画像信号を得て、画素メモリ414に格納する。演算回路415は、画素メモリ414から注目領域142の各画素に対して得られた複数の画素信号を読み出して、画素ごとに平均する。これにより、注目領域172の各画素でのランダムノイズが減って、注目領域172のS/N比を向上させることができる。

10

【0134】

また、図7から図10では、注目領域172と周辺領域176とで異なるフレームレートで取得した画像から動画を生成しているが、被写体の動きの速度に基づいて異なるフレームレートにしてもよい。この場合に、被写体推定部150は、フレーム間の被写体の位置の変化で上下左右方向の速度を推定する。また、被写体推定部150は、当該フレーム間の被写体の大きさの変化で、被写体の前後方向の速度が推定される。当該推定に基づいて、グループ選択部152は、低速または静止の被写体を受光する単位グループ131と、中速の被写体を受光する単位グループ131と、高速の被写体を受光する単位グループ131とを特定する。

20

【0135】

駆動部502は、撮像素子100を駆動して、低速または静止の被写体を受光する単位グループ131には低いフレームレート、中速の被写体を受光する単位グループ131には中程度のフレームレート、高速の被写体を受光する単位グループ131に対しては高いフレームレートで撮像を行う。それぞれのフレームレートの一例は、60fps、120fps、240fpsである。

【0136】

図22は、本実施形態に係る他の裏面照射型の撮像素子1100の断面図である。撮像素子1100は、入射光に対応した画素信号を出力する撮像チップ1113と、画素信号を処理する信号処理チップ1111と、画素信号を記憶するメモリチップ1112とを備える。これら撮像チップ1113、信号処理チップ1111およびメモリチップ1112は積層されており、Cu等の導電性を有するバンプ1109により互いに電気的に接続される。

30

【0137】

なお、図示するように、入射光は主に白抜き矢印で示すZ軸プラス方向へ向かって入射する。本実施形態においては、撮像チップ1113において、入射光が入射する側の面を裏面と称する。また、座標軸に示すように、Z軸に直交する紙面左方向をX軸プラス方向、Z軸およびX軸に直交する紙面手前方向をY軸プラス方向とする。以降のいくつかの図においては、図22の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

40

【0138】

撮像チップ1113の一例は、裏面照射型のMOSイメージセンサである。PD層1106は、配線層1108の裏面側に配されている。PD層1106は、二次元的に配され、入射光に応じた電荷を蓄積する複数のPD(フォトダイオード)104、および、PD1104に対応して設けられたトランジスタ1105を有する。

【0139】

PD層1106における入射光の入射側にはパッシベーション膜1103を介してカラーフィルタ1102が設けられる。カラーフィルタ1102は、互いに異なる波長領域を透過する複数の種類を有しており、PD1104のそれぞれに対応して特定の配列を有している。カラーフィルタ1102の配列については後述する。カラーフィルタ1102、

50

PD 1104 およびトランジスタ 1105 の組が一つの画素を形成する。

【0140】

カラーフィルタ 1102 における入射光の入射側には、それぞれの画素に対応して、マイクロレンズ 1101 が設けられる。マイクロレンズ 1101 は、対応する PD 1104 へ向けて入射光を集光する。

【0141】

配線層 1108 は、PD 層 1106 からの画素信号を信号処理チップ 1111 に伝送する配線 1107 を有する。配線 1107 は多層であってもよく、また、受動素子および能動素子が設けられてもよい。

【0142】

配線層 1108 の表面には複数のバンプ 1109 が配される。当該複数のバンプ 1109 が信号処理チップ 1111 の対向する面に設けられた複数のバンプ 1109 と位置合わせされて、撮像チップ 1113 と信号処理チップ 1111 とが加圧等されることにより、位置合わせされたバンプ 1109 同士が接合されて、電氣的に接続される。

【0143】

同様に、信号処理チップ 1111 およびメモリチップ 1112 の互いに対向する面には、複数のバンプ 1109 が配される。これらのバンプ 1109 が互いに位置合わせされて、信号処理チップ 1111 とメモリチップ 1112 とが加圧等されることにより、位置合わせされたバンプ 1109 同士が接合されて、電氣的に接続される。

【0144】

なお、バンプ 1109 間の接合には、固相拡散による Cu バンプ接合に限らず、はんだ溶融によるマイクロバンプ結合を採用しても良い。また、バンプ 1109 は、例えば後述する一つの単位グループに対して一つ程度設ければ良い。したがって、バンプ 1109 の大きさは、PD 1104 のピッチよりも大きくても良い。また、画素が配列された画素領域以外の周辺領域において、画素領域に対応するバンプ 1109 よりも大きなバンプを併せて設けても良い。

【0145】

信号処理チップ 1111 は、表裏面にそれぞれ設けられた回路を互いに接続する TSV (シリコン貫通電極) 1110 を有する。TSV 1110 は、周辺領域に設けられることが好ましい。また、TSV 1110 は、撮像チップ 1113 の周辺領域、メモリチップ 1112 にも設けられて良い。

【0146】

図 23 は、撮像チップ 1113 の画素配列と単位グループ 1131 を説明する図である。特に、撮像チップ 1113 を裏面側から観察した様子を示す。画素領域には 2000 万個以上もの画素がマトリックス状に配列されている。図 23 の例においては、隣接する 4 画素 × 4 画素の 16 画素が一つの単位グループ 1131 を形成する。図の格子線は、隣接する画素がグループ化されて単位グループ 1131 を形成する概念を示す。単位グループ 1131 を形成する画素の数はこれに限られず 1000 個程度、例えば 32 画素 × 64 画素でもよいし、それ以上でもそれ以下でもよい。

【0147】

画素領域の部分拡大図に示すように、単位グループ 1131 は、緑色画素 Gb、Gr、青色画素 B および赤色画素 R の 4 画素から成るいわゆるベイヤー配列を、上下左右に 4 つ内包する。緑色画素は、カラーフィルタ 1102 として緑色フィルタを有する画素であり、入射光のうち緑色波長帯の光を受光する。同様に、青色画素は、カラーフィルタ 1102 として青色フィルタを有する画素であって青色波長帯の光を受光し、赤色画素は、カラーフィルタ 1102 として赤色フィルタを有する画素であって赤色波長帯の光を受光する。

【0148】

本実施形態において、複数の単位グループ 1131 のそれぞれについて評価値が算出され、当該評価値に基づいた制御パラメータで単位グループに含まれる画素の露光または読

10

20

30

40

50

み出しが制御される。評価値の例は、単位グループ 1 1 3 1 内の画素信号の平均、単位グループ 1 1 3 1 内外の画素信号の重み付け平均、単位グループ 1 1 3 1 内のコントラスト、単位グループ 1 1 3 1 内外のコントラストの重み付け平均単位ブロック 1 1 3 1 内の輝度、単位グループ 1 1 3 1 内外の輝度の重み付け平均等である。また、制御パラメータの例は、フレームレート、間引き率、画素信号を加算する加算行数または加算列数、電荷の蓄積時間または蓄積回数、デジタル化のビット数等である。さらに、制御パラメータは、画素からの画像信号取得後の画像処理におけるパラメータであってもよい。

【 0 1 4 9 】

図 2 4 は、撮像チップ 1 1 1 3 の単位グループ 1 1 3 1 に対応する回路図である。図において、代表的に点線で囲む矩形が、1 画素に対応する回路を表す。なお、以下に説明する各トランジスタの少なくとも一部は、図 2 2 のトランジスタ 1 1 0 5 に対応する。

10

【 0 1 5 0 】

上述のように、単位グループ 1 1 3 1 は、1 6 画素から形成される。それぞれの画素に対応する 1 6 個の P D 1 1 0 4 は、それぞれ転送トランジスタ 1 3 0 2 に接続され、各転送トランジスタ 1 3 0 2 の各ゲートには、転送パルスが供給される T X 配線 1 3 0 7 に接続される。本実施形態において、T X 配線 1 3 0 7 は、1 6 個の転送トランジスタ 1 3 0 2 に対して共通接続される。

【 0 1 5 1 】

各転送トランジスタ 1 3 0 2 のドレインは、対応する各リセットトランジスタ 1 3 0 3 のソースに接続されると共に、転送トランジスタ 1 3 0 2 のドレインとリセットトランジスタ 1 3 0 3 のソース間のいわゆるフローティングディフュージョン F D が増幅トランジスタ 1 3 0 4 のゲートに接続される。リセットトランジスタ 1 3 0 3 のドレインは電源電圧が供給される V d d 配線 1 3 1 0 に接続され、そのゲートはリセットパルスが供給されるリセット配線 1 3 0 6 に接続される。本実施形態において、リセット配線 1 3 0 6 は、1 6 個のリセットトランジスタ 1 3 0 3 に対して共通接続される。

20

【 0 1 5 2 】

各々の増幅トランジスタ 1 3 0 4 のドレインは電源電圧が供給される V d d 配線 1 3 1 0 に接続される。また、各々の増幅トランジスタ 1 3 0 4 のソースは、対応する各々の選択トランジスタ 1 3 0 5 のドレインに接続される。選択トランジスタの各ゲートには、選択パルスが供給されるデコーダ配線 1 3 0 8 に接続される。本実施形態において、デコーダ配線 1 3 0 8 は、1 6 個の選択トランジスタ 1 3 0 5 に対してそれぞれ独立に設けられる。そして、各々の選択トランジスタ 1 3 0 5 のソースは、共通の出力配線 1 3 0 9 に接続される。負荷電流源 1 3 1 1 は、出力配線 1 3 0 9 に電流を供給する。すなわち、選択トランジスタ 1 3 0 5 に対する出力配線 1 3 0 9 は、ソースフォロアにより形成される。なお、負荷電流源 1 3 1 1 は、撮像チップ 1 1 1 3 側に設けても良いし、信号処理チップ 1 1 1 1 側に設けても良い。

30

【 0 1 5 3 】

ここで、電荷の蓄積開始から蓄積終了後の画素出力までの流れを説明する。リセット配線 1 3 0 6 を通じてリセットパルスがリセットトランジスタ 1 3 0 3 に印加され、同時に T X 配線 1 3 0 7 を通じて転送パルスが転送トランジスタ 1 3 0 2 に印加されると、P D 1 1 0 4 およびフローティングディフュージョン F D の電位はリセットされる。

40

【 0 1 5 4 】

P D 1 1 0 4 は、転送パルスの印加が解除されると、受光する入射光を電荷に変換して蓄積する。その後、リセットパルスが印加されていない状態で再び転送パルスが印加されると、蓄積された電荷はフローティングディフュージョン F D へ転送され、フローティングディフュージョン F D の電位は、リセット電位から電荷蓄積後の信号電位になる。そして、デコーダ配線 1 3 0 8 を通じて選択パルスが選択トランジスタ 1 3 0 5 に印加されると、フローティングディフュージョン F D の信号電位の変動が、増幅トランジスタ 1 3 0 4 および選択トランジスタ 1 3 0 5 を介して出力配線 1 3 0 9 に伝わる。これにより、リセット電位と信号電位とに対応する画素信号は、単位画素から出力配線 1 3 0 9 に出力さ

50

れる。

【0155】

図示するように、本実施形態においては、単位グループ1131を形成する16画素に対して、リセット配線1306とTX配線1307が共通である。すなわち、リセットパルスと転送パルスはそれぞれ、16画素全てに対して同時に印加される。したがって、単位グループ1131を形成する全ての画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。ただし、蓄積された電荷に対応する画素信号は、それぞれの選択トランジスタ1305が選択パルスによって順次印加されて、選択的に出力配線1309に出力される。また、リセット配線1306、TX配線1307、出力配線1309は、単位グループ1131毎に別個に設けられる。

10

【0156】

このように単位グループ1131を基準として回路を構成することにより、単位グループ1131ごとに電荷蓄積時間を制御することができる。換言すると、隣接する単位グループ1131同士で、異なった電荷蓄積時間による画素信号をそれぞれ出力させることができる。更に言えば、一方の単位グループ1131に1回の電荷蓄積を行わせている間に、他方の単位グループ1131に何回もの電荷蓄積を繰り返させてその都度画素信号を出力させることにより、これらの単位グループ1131同士で異なるフレームレートで動画用の各フレームを出力することもできる。

【0157】

図25は、本実施形態に係る撮像装置の構成を示すブロック図である。撮像装置1500は、撮影光学系としての撮影レンズ1520を備え、撮影レンズ1520は、光軸OAに沿って入射する被写体光束を撮像素子1100へ導く。撮影レンズ1520は、撮像装置1500に対して着脱できる交換式レンズであっても構わない。撮像装置1500は、撮像素子1100、システム制御部1501、駆動部1502、測光部1503、ワークメモリ1504、記録部1505、および表示部1506を主に備える。

20

【0158】

撮影レンズ1520は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図25では瞳近傍に配置された仮想的な1枚のレンズで当該撮影レンズ1520を代表して表している。駆動部1502は、システム制御部1501からの指示に従って撮像素子1100のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。

30

【0159】

撮像素子1100は、画素信号をシステム制御部1501の画像処理部1511へ引き渡す。画像処理部1511は、ワークメモリ1504をワークスペースとして種々の画像処理を施し、画像データを生成する。例えば、JPEGファイル形式の画像データを生成する場合は、ベイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部1505に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部1506に表示される。

【0160】

測光部1503は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部1503は、例えば100万画素程度のAEセンサを含む。システム制御部1501の演算部1512は、測光部1503の出力を受けてシーンの領域ごとの輝度を算出する。演算部1512は、算出した輝度分布に従ってシャッタ速度、絞り値、ISO感度を決定する。測光部1503は撮像素子1100で兼用してもよい。なお、演算部1512は、撮像装置1500を動作させるための各種演算も実行する。

40

【0161】

駆動部1502は、一部または全部が撮像チップ1113に搭載されてもよいし、一部または全部が信号処理チップ1111に搭載されてもよい。システム制御部1501の一部が撮像チップ1113または信号処理チップ1111に搭載されてもよい。

【0162】

50

図 26 は、信号処理チップ 1111 の一例としての具体的構成を示すブロック図である。信号処理チップ 1111 は、駆動部 1502 の機能を担う。

【0163】

信号処理チップ 1111 は、分担化された制御機能としてのセンサ制御部 1441、ブロック制御部 1442、同期制御部 1443、信号制御部 1444、個別回路部 1450A 等と、これらの各制御部を統括制御する駆動制御部 1420 とを含む。信号処理チップ 1111 は、さらに、駆動制御部 1420 と撮像装置 1500 本体のシステム制御部 1501 と間の I/F 回路 1418 を含む。これらセンサ制御部 1441、ブロック制御部 1442、同期制御部 1443、信号制御部 1444 および駆動制御部 1420 は、信号処理チップ 1111 に対して一つずつ設けられる。

10

【0164】

一方、個別回路部 1450A、450B、450C、450D、450E は、単位グループ 1131A、131B、131C、131D、131E ごとに設けられる。個別回路部 1450A、450B、450C、450D、450E は、同一の構成を有するので、以下、個別回路部 1450A について説明する。個別回路部 1450A は、CDS 回路 1410、マルチプレクサ 1411、A/D 変換回路 1412、デマルチプレクサ 1413、画素メモリ 1414 および演算回路 1415 を含む。演算回路 1415 は、I/F 回路 1418 を介してシステム制御部 1501 との間で信号を送受信する。

【0165】

個別回路部 1450A は対応する単位グループ 1131A の画素が配された領域に重畳した領域に配されていることが好ましい。これにより、各チップを面方向に大きくすることなく、複数の単位グループ 1131A のそれぞれに個別回路部 1450A を設けることができる。

20

【0166】

駆動制御部 1420 は、タイミングメモリ 1430 を参照して、システム制御部 1501 からの指示を、各制御部が実行可能な制御信号に変換してそれぞれに引き渡す。特に、駆動制御部 1420 は、単位グループ 1131A 等のそれぞれに対して別個の制御パラメータで制御する場合に、単位グループ 1131A を特定する情報とともに各制御部に当該制御パラメータを引き渡す。駆動制御部 1420 は、1 枚の画像取得制御において撮影指示の信号をシステム制御部 1501 から一旦受け取ると、その後は各画素の制御についてその都度システム制御部 1501 から指示を受けること無く、蓄積制御を完了させることができる。

30

【0167】

センサ制御部 1441 は、撮像チップ 1113 へ送出する、各画素の電荷蓄積、電荷読み出しに関わる制御パルスの送出制御を担う。具体的には、センサ制御部 1441 は、対象画素に対してリセットパルスと転送パルスを送出することにより、電荷蓄積の開始と終了を制御し、読み出し画素に対して選択パルスを送出することにより、画素信号を出力配線 1309 へ出力させる。

【0168】

ブロック制御部 1442 は、撮像チップ 1113 へ送出する、制御対象となる単位グループ 1131 を特定する特定パルスの送出を実行する。各画素が TX 配線 1307 およびリセット配線 1306 を介して受ける転送パルスおよびリセットパルスは、センサ制御部 1441 が送出する各パルスとブロック制御部 1442 が送出する特定パルスの論理積となる。このように、各領域を互いに独立したブロックとして制御することができる。

40

【0169】

同期制御部 1443 は、同期信号を撮像チップ 1113 へ送出する。各パルスは、同期信号に同期して撮像チップ 1113 においてアクティブとなる。例えば、同期信号を調整することにより、同一の単位グループ 1131A 等に属する画素の特定画素のみを制御対象とするランダム制御、間引き制御等を実現する。

【0170】

50

信号制御部 1444 は、主に A/D 変換回路 1412 に対するタイミング制御を担う。出力配線 1309 を介して出力された画素信号は、CDS 回路 1410 およびマルチプレクサ 1411 を経て A/D 変換回路 1412 に入力される。CDS 回路 1410 は画素信号からノイズを取り除く。

【0171】

A/D 変換回路 1412 は、信号制御部 1444 によって制御されて、入力された画素信号をデジタル信号に変換する。デジタル信号に変換された画素信号は、デマルチプレクサ 1413 に引き渡され、そしてそれぞれの画素に対応する画素メモリ 1414 にデジタルデータの画素値として格納される。

【0172】

画素メモリ 1414 には、引渡要求に従って画素信号を伝送するデータ転送インタフェースが設けられている。データ転送インタフェースは、画像処理部 1511 と繋がるデータ転送ラインと接続されている。データ転送ラインは例えばバスラインのうちのデータバスによって構成される。この場合、システム制御部 1501 から駆動制御部 1420 への引渡要求は、アドレスバスを利用したアドレス指定によって実行される。

【0173】

データ転送インタフェースによる画素信号の伝送は、アドレス指定方式に限らず、さまざまな方式を採用しうる。例えば、データ転送を行うときに、各回路の同期に用いられるクロック信号の立ち上がり・立ち下りの両方を利用して処理を行うダブルデータレート方式を採用し得る。また、アドレス指定などの手順を一部省略することによってデータを一気に転送し、高速化を図るバースト転送方式を採用し得る。また、制御部、メモリ部、入出力部を並列に接続している回線を用いたバス方式、直列にデータを 1 ビットずつ転送するシリアル方式などを組み合わせて採用することもできる。

【0174】

このように構成することにより、画像処理部 1511 は、必要な画素信号に限って受け取ることができるので、特に低解像度の画像を形成する場合などにおいて、高速に画像処理を完了させることができる。また、演算回路 1415 に積算処理を実行させる場合には、画像処理部 1511 が積算処理を実行しなくて良いので、機能分担と並行処理により、画像処理の高速化を図ることができる。

【0175】

信号処理チップ 1111 は、フラッシュ RAM 等により形成されるタイミングメモリ 1430 を有する。タイミングメモリ 1430 は、いずれの単位グループ 1131A 等に対して何回の電荷蓄積を繰り返すかについての蓄積回数情報等の制御パラメータを、単位グループ 1131A 等を特定する情報に対応づけて格納する。制御パラメータのいずれかは、個別回路部 1450A 等の演算回路 1415 により算出されて、上記タイミングメモリ 1430 に格納される。

【0176】

駆動制御部 1420 は、撮像チップ 1113 に対する電荷蓄積制御を実行するに留まらず、読み出し制御の実行においてもタイミングメモリ 1430 を参照する。例えば、駆動制御部 1420 は、各単位グループ 1131 の蓄積回数情報を参照して、デマルチプレクサ 1413 から出力される画素信号を画素メモリ 1414 の対応アドレスに格納する。

【0177】

駆動制御部 1420 は、システム制御部 1501 からの引渡要求に従って、対象画素信号を画素メモリ 1414 から読み出し、画像処理部 1511 へ引き渡す。画素メモリ 1414 は、各画素に対して最大積算回数に対応する画素信号を格納できるメモリ空間を有し、実行された蓄積回数に対応するそれぞれの画素信号を画素値として格納する。例えば、あるブロックにおいて 4 回の電荷蓄積が繰り返された場合には、当該ブロックに含まれる画素は 4 回分の画素信号を出力するので、画素メモリ 1414 上の各画素のメモリ空間には、4 つの画素値が格納される。駆動制御部 1420 は、特定画素の画素信号を要求する引渡要求をシステム制御部 1501 から受けた場合には、画素メモリ 1414 上の当該特

10

20

30

40

50

定画素のアドレスを指定して、格納されている全ての画素信号を読み出し、画像処理部 1511へ引き渡す。例えば4つの画素値が格納されている場合には、その4つの画素値全てを順次引き渡し、1つの画素値のみが格納されている場合には、その画素値を引き渡す。

【0178】

駆動制御部1420は、画素メモリ1414に格納された画素信号を、演算回路1415に読み出して、演算回路1415に上述の積算処理を実行させることができる。積算処理された画素信号は、画素メモリ1414の対象画素アドレスに格納される。対象画素アドレスは、積算処理前のアドレス空間に隣接して設けても良いし、積算処理前の画素信号に対して上書きするように同一アドレスとしても良い。また、積算処理後の各画素の画素値を纏めて格納する専用空間を設けても良い。駆動制御部1420は、特定画素の画素信号を要求する引渡要求をシステム制御部1501から受けた場合には、その引渡要求の態様によっては、積算処理後の画素信号を画像処理部1511へ引き渡すことができる。もちろん、積算処理前後の画素信号を共に引き渡すこともできる。

10

【0179】

上記の通り、単位グループ1131のそれぞれに対応して出力配線1309が設けられている。撮像素子1100は撮像チップ1113、信号処理チップ1111およびメモリチップ1112を積層しているので、これら出力配線1309にパンプ1109を用いたチップ間の電氣的接続を用いることにより、各チップを面方向に大きくすることなく配線を引き回すことができる。同様に、各制御部から単位グループへの信号線についても、パンプ1109を用いたチップ間の電氣的接続を用いることにより、各チップを面方向に大きくすることなく配線を引き回すことができる。

20

【0180】

図27は、演算回路1415の機能ブロックの一例である。演算回路1415は、個別回路部1450Aの画素メモリ1414に格納された画素信号を用いて評価値を演算し、当該評価値に基づいて、対応する単位グループ1131A露光または読み出しを制御する制御パラメータを出力する。図27に示す例において、演算回路1415は単位グループ1131Aの画素信号の平均の時系列における差分に基づいて、当該画素単位グループ1131Aに適用するフレームレートを算出する。

【0181】

図27の演算回路1415は、平均算出部1452、平均記憶部1454、差分算出部1456およびフレームレート算出部1458を有する。平均算出部1452は、画素メモリ1414に格納された単位グループ1131Aの各画素のG画素信号を単純平均して、平均値 A_g を算出する。この場合に、平均算出部1452は、予め定められたフレームレートに対応する時間間隔で、そのときのフレームにおける平均値 A_g を算出する。

30

【0182】

上記の例において平均値 A_g が単位グループ1131Aごとに一つの値が算出され、平均記憶部1454に記憶される。前後のフレームの平均値 A_g の差分をとるので、平均記憶部1454に少なくとも二つの値を記憶するメモリ空間が設けられる。

【0183】

差分算出部1456は、平均記憶部1454に記憶されている最新のフレームにおける平均値 A_g と、時間的にその一つ前のフレームにおける平均値 A_g との差分 d を算出する。この差分は絶対値で出力されてよい。

40

【0184】

フレームレート算出部1458は、差分算出部1456により算出された差分 d を、予め定められた基準値 d_0 等と比較することにより、フレームレート f を算出する。ここで、例えば、フレーム間の差分 d が大きいほどフレームレート f が高くなるような対応関係がテーブルとしてフレームレート算出部1458に格納されている。

【0185】

フレームレート算出部1458は、算出したフレームレート f を駆動制御部1420に

50

出力する。これに代えてまたはこれに加えて、フレームレート算出部 1 4 5 8 は、当該フレームレート f をタイミングメモリ 1 4 3 0 に直接書き込んでよい。

【 0 1 8 6 】

図 2 8 は、フレーム間の差分 d とフレームレート f との対応関係の一例を示す。図 2 8 において、フレーム間の差分は 2 つの基準値 d_0 、 d_1 を有し、これに対応して、3 段階のフレームレート f_0 、 f_1 、 f_2 が設けられている。

【 0 1 8 7 】

フレーム間の差分 d が、低い方の基準値 d_0 以下の場合、フレームレート算出部 1 4 5 8 は、最も低いフレームレート f_0 を、当該単位グループ 1 1 3 1 A に適用するフレームレート f として出力する。また、フレーム間の差分 d が基準値 d_0 と、高い方の基準値 d_1 との間である場合、フレームレート算出部 1 4 5 8 は、中間のフレームレート f_1 を出力する。フレーム間の差分 d が基準値 d_1 よりも大きい場合、フレームレート算出部 1 4 5 8 は、最も高いフレームレート f_2 を出力する。

【 0 1 8 8 】

ここで、演算回路 1 4 1 5 が上記一連の演算をする時間間隔は、最も低いフレームレート f_0 のフレーム間に対応する、 $(1/f_0)$ 秒に設定されることが好ましい。これにより、そのときに駆動されているフレームレートに関わらず、複数の単位グループ 1 1 3 1 A、1 3 1 B 等の中で同じタイミングで次のフレームレートを算出することができる。また、当該最も低いフレームレート f_0 で駆動されている場合でも、前回の算出時とは異なるフレームに基づいて新たなフレームレート f を算出することができる。

【 0 1 8 9 】

図 2 9 および図 3 0 は撮像素子により撮像される画像の一例を示す。画像 1 1 7 0 および画像 1 1 7 8 における格子線は単位グループ 1 1 3 1 の境界を示すが、単位グループ 1 1 3 1 の数は例示であってこれらの図に示す数に限られない。また、単位グループ 1 1 3 1 A 等を単に「A」等で示した。なお主要被写体 1 1 7 1 を含む単位グループを太線で示した。

【 0 1 9 0 】

撮像素子 1 1 0 0 が、例えば、時間的に前後する画像として図 2 9 の画像 1 1 7 0 および図 3 0 の画像 1 1 7 8 を取得したとする。図中の単位グループ 1 1 3 1 A に着目すると、前のフレームの画像 1 1 7 0 では当該単位グループ 1 1 3 1 A は、主要被写体 1 1 7 1 を含まないが、後のフレームの画像 1 1 7 8 では含んでいる。よって、平均算出部 1 4 5 2 により算出された画像 1 1 7 0 と画像 1 1 7 8 における単位グループ 1 1 3 1 A の平均値 A_g の差分 d は、大きく表れる。

【 0 1 9 1 】

これによりフレームレート算出部 1 4 5 8 は、図 2 8 の対応関係に基づいて、画像 1 1 7 8 以降の単位グループ 1 1 3 1 A のフレームレート f を高く算出する。よって、駆動制御部 1 4 2 0 は、画像 1 1 7 8 以降の単位グループ 1 1 3 1 A の各画素を高いフレームレート f_2 等で駆動する。従って、駆動制御部 1 4 2 0 は、時間的な前後のフレーム間で動きの大きい被写体に対して高いフレームレート f_2 等で画素信号を取得することができる。

【 0 1 9 2 】

高いフレームレート f_2 で駆動されている単位グループ 1 1 3 1 に対しては、低いフレームレート f_0 で駆動されている単位グループ 1 1 3 1 が一回の電気蓄積をしている間に、複数回の電気蓄積を行うことができる。よって、高いフレームレート f_2 等で駆動された単位グループ 1 1 3 1 の画素信号をデジタル化したときのビット数を、低いフレームレート f_0 で駆動された単位グループ 1 1 3 1 よりも大きくすることができる。これにより、高いフレームレート f_2 等で駆動された単位グループ 1 1 3 1 から高い階調の画像を生成することができる。

【 0 1 9 3 】

デジタル化のビット数を大きくすることに代えて、高いフレームレート f_2 等で取得し

10

20

30

40

50

た画像を平均化する画像処理をしてS/N比を向上させてもよい。この場合に、低いフレームレート f_0 で駆動されている単位グループ1131が一回の電気蓄積をしている間に、高いフレームレート f_2 で駆動されている単位グループ1131から複数回、例えば4回の画像信号が得られ、画素メモリ1414に格納される。演算回路1415は、画素メモリ1414から高いフレームレート f_2 で制御された単位グループ1131の各画素に対して得られた複数の画素信号を読み出して、画素ごとに平均する。これにより、当該単位グループ1131の各画素でのランダムノイズを減らして、S/N比を向上させることができる。

【0194】

以上により、画像1170等の全体の画素信号を後段の画像処理部1511が取得して主要被写体を推定してから各单位グループ1131A等のフレームレート f を算出するのに比べて、迅速かつ省電力でフレームレート f を算出することができる。また、いずれかの単位グループ1131の画素自体、配線、処理回路等に不具合があっても、他の単位グループ1131に対しては、迅速かつ省電力でフレームレート f を算出することができる。

10

【0195】

なお、図27の平均算出部1452は、対応する単位グループ1131AのG画素の画素信号を平均している。これに代えて、平均算出部1452は、R画素およびB画素の画素信号を含んだ平均を算出してもよい。また、平均算出部1452は、G画素の平均、R画素の平均およびB画素の平均を算出してもよい。この場合にフレームレート算出部1458は、G画素の平均の差分、R画素の平均の差分およびB画素の差分のいずれかが閾値を越えているか等の条件に基づいて、フレームレート f を算出してもよい。さらには、G画素の平均、R画素の平均、B画素の平均を所定割合で加算した結果で判断してもよい。また、平均値の算出は、単位グループ内に配置される部分領域の平均値でもよい。

20

【0196】

また、平均算出部1452は、図29等に示す、当該単位グループ1131Aの周辺の単位グループ1131B、131C、131D、131E等の平均値 A_g を、他の個別回路部1450等の演算回路1415から取得して、当該単位グループ1131Aの平均値 A_g に加味してもよい。例えば、それらの平均値が重み付け平均されてもよい。平均算出部1452は、当該単位グループ1131Aの周辺の単位グループ1131B、131C、131D、131E等の平均値 A_g を、他の演算回路1415等から取得するのに代えて、他の個別回路部1450B等の画素メモリ1414から画素信号を読み出して自らが平均値 A_g を算出してもよい。

30

【0197】

また、図28の例において差分の基準値は2つであってフレームレートは3段階であるが、差分の基準値の個数およびフレームレートの段階数はこれらに限られない。

【0198】

図31は、他の演算回路1416の機能ブロックの一例である。図31に示す例において、演算回路1416は単位グループ1131Aの画素信号のコントラストに基づいて、当該画素単位グループ1131Aに適用する間引率を算出する。

40

【0199】

図31の演算回路1416は、高域成分算出部1460と、総和算出部1462と、間引率算出部1464とを有する。高域成分算出部1460は、画素メモリ1414に格納された単位グループ1131Aの各画素のG画素信号を読み出し、その2次元配列に基づいたハイパスフィルタ処理をすることにより空間的な高周波成分 G_h を抽出する。同様に、高域成分算出部1460は、R画素の高周波成分 R_h およびB画素の高周波成分 B_h を算出する。

【0200】

総和算出部1462は、上記高周波成分 G_h 、 R_h 、 B_h の絶対値の総和を算出する。間引率算出部1464は、上記総和に基づいて、当該単位グループ1131Aに含まれる

50

画素を間引き読み出しする間引き率を算出する。この場合に、総和が大きいほど間引き率が低くなる対応関係を示すテーブルが予め間引率算出部 1 4 6 4 に記憶されていることが好ましい。例えば、図 2 8 の対応関係に変えて、総和の基準値と間引率とが対応づけられている。

【 0 2 0 1 】

例えば、総和の基準値が 1 つ設定されており、総和が基準値よりも高い場合には間引き無しすなわち全画素読み出しで、総和が基準値よりも低い場合には間引き率 0 . 5 が算出される。間引率算出部 1 4 6 4 は、算出した間引き率を駆動制御部 1 4 2 0 に出力する。これに代えてまたはこれに加えて、間引率算出部 1 4 6 4 は、当該間引率をタイミングメモリ 1 4 3 0 に直接書き込んでよい。

10

【 0 2 0 2 】

駆動制御部 1 4 2 0 は、上記間引率算出部 1 4 6 4 が算出した間引き率で、対応する単位グループ 1 1 3 1 に含まれる画素を間引いて画像信号の出力を実行させる。この場合に、駆動制御部 1 4 2 0 は、間引き率 0 . 5 の単位グループ 1 1 3 1 のリセットトランジスタ 1 3 0 3、転送トランジスタ 1 3 0 2 および選択トランジスタ 1 3 0 5 の組と、間引き率 0 の単位グループ 1 1 3 1 のリセットトランジスタ 1 3 0 3、転送トランジスタ 1 3 0 2 および選択トランジスタ 1 3 0 5 の組とを別個に駆動することにより、異なる間引き率で画素信号を得る。

【 0 2 0 3 】

これにより、コントラストの高い領域に対応する単位グループ 1 1 3 1 の解像度を高く維持しつつ、コントラストの低い領域に対する単位グループ 1 1 3 1 の信号量を減らすことができる。さらに、この場合に後段の画像処理部 1 5 1 1 で間引率を算出するのに比べて、迅速かつ省電力で間引率を算出することができる。また、いずれかの単位グループ 1 1 3 1 の画素自体、配線、処理回路等に不具合があっても、他の単位グループ 1 1 3 1 に対しては、迅速かつ省電力で間引率を算出することができる。

20

【 0 2 0 4 】

図 3 2 は、一の単位グループに対して間引き率 0 . 5 で読み出される画素 1 1 8 8 の例を示す。図 3 2 に示す例において、単位グループ 1 1 3 2 がペイヤー配列である場合に垂直方向についてペイヤー配列の単位の一つ置き、すなわち、画素単位でみた場合の二行づつ交互に、読み出される画素 1 1 8 8 と読み出されない画素が設定される。これにより色バランスを崩すことなく間引き読み出しをすることができる。

30

【 0 2 0 5 】

図 3 2 の例では、行毎に間引き読み出しされているが、これに代えて、列毎に間引き読み出しされてもよい。さらに、高域成分算出部 1 4 6 0 が列方向と行方向とのそれぞれに高波長成分を抽出し、間引率算出部 1 4 6 4 が列方向の間引き率と行方向の間引き率とをそれぞれ算出してよい。

【 0 2 0 6 】

図 3 1 および図 3 2 の構成において、間引率算出部 1 4 6 4 は対応する画素グループの間引き率を算出する。これに代えて、同色隣接画素の画素信号を加算するときの画素数が算出されてもよい。例えば、総和算出部 1 4 6 2 で算出された総和が基準値以上である場合には行数が 1、すなわち、同色隣接行で加算せずに画素信号が出力され、基準値より小さい場合にはよりも多い行数、例えば行数を 2 として、同色隣接する 2 行の同じ列の画素で加算した画素信号が出力される。

40

【 0 2 0 7 】

これにより、図 3 2 と同様に、コントラストの高い領域の解像度を高く維持しつつ、全体の信号量を減らすことができる。また、同色隣接行の画素信号を加算することに代えて、同色隣接列の画素信号を加算してもよい。さらに、上記加算においては、加算した行数または列数で当該加算値を割った平均を算出する処理を含めてもよい。また、同色隣接の行および列の画素信号を加算してもよい。

【 0 2 0 8 】

50

なお、上記高域成分算出部 1460 等において R 画素、G 画素および B 画素ごとの高波長成分 R_h 、 G_h 、 B_h が用いられた。これに代えて、R 画素、G 画素および B 画素から算出される輝度成分を用いて高周波成分が求められてもよい。この場合に、R 画素、G 画素および B 画素の輝度成分間でゲインを調整してから高周波成分が求められてもよい。

【0209】

また、総和算出部 1462 において、図 29 等に示す、当該単位グループ 1131A の周辺の単位グループ 1131B、131C、131D、131E 等の高周波成分を、他の個別回路部 1450B 等の演算回路 1416 から取得して、当該単位グループ 1131A の高周波成分に加味してもよい。例えば、それらの平均値が重み付け平均されてもよい。総和算出部 1462 は、当該単位グループ 1131A の周辺の単位グループ 1131B、

10

【0210】

また、フレームレート算出部 1458 および間引率算出部 1464 で閾値を越えた単位グループに対して、閾値以下の単位グループよりも、画素信号のデジタル化のビット数を大きくしてもよい。例えば、A/D 変換回路 1412 が、駆動部 1502 のからの指示により、同じ一回の蓄積回数に対して高いビット数でデジタル化してもよい。

【0211】

図 33 は、さらに他の演算回路 1417 の機能ブロックの一例を示す。演算回路 1417 は、自己平均算出部 1472 と、隣接平均算出部 1470 と、利得算出部 1474 と、補正部 1476 とを有する。

20

【0212】

自己平均算出部 1472 は、画素メモリ 1414 に格納された単位グループ 1131A の各画素の G 画素信号を単純平均して、平均値 A_g を算出する。同様に、自己平均算出部 1472 は、画素メモリ 1414 に格納された単位グループ 1131A の各画素の R 画素信号、B 画素信号をそれぞれ単純平均して、平均値 A_r 、 A_b を算出する。さらに自己平均算出部 1472 は単位グループ 1131A の平均値 A_g 、 A_r 、 A_b を周辺の単位グループ 1131B 等の隣接平均算出部 1470 に出力する。

【0213】

隣接平均算出部 1470 は、当該単位グループ 1131A に隣接する他の単位グループ 1131B、131C、131D、131E に対応する自己平均算出部 1472 から平均値 A_g 、 A_r 、 A_b を取得し、それらの加重平均を算出する。利得算出部 1474 は、自己平均算出部 1472 により算出された平均値 A_g 、 A_r 、 A_b と、隣接平均算出部 1470 により算出された平均値 A_g 、 A_r 、 A_b とを RGB ごとに加重平均して、それらの比に基づいて G 画素信号に対する R 画素信号および B 画素信号の利得を算出する。この場合に例えば、当該単位グループ 1131A の平均値の重み付けを $4/8$ 、隣接する単位グループ 1131B 等の平均値の重み付けを $1/8$ とした加重平均が用いられる。

30

【0214】

R 画素信号および B 画素信号の利得は、I/F 回路 1418 を介してシステム制御部 1501 に付加情報として送信される。なお隣接平均算出部 1470、当該単位グループ 1131A の周辺の単位グループ 1131B、131C、131D、131E 等の平均値 A_g 等を、他の個別回路部 1450B 等の演算回路 1417 等から取得するのに代えて、他の個別回路部 1450B 等の画素メモリ 1414 から画素信号を読み出して自らが平均値 A_g 等を算出してもよい。

40

【0215】

補正部 1476 は、利得算出部 1474 により算出された利得で R 画素信号および B 画素信号を補正して、画素メモリ 1414 に書き込む。この場合に、補正部 1476 は、R 画素信号用の利得を個々の R 画素信号に乘じ、B 画素信号用の利得を個々の B 画素信号に乘じる。なお、補正部 1476 は、システム制御部 1501 からフィードバック情報を取

50

得して、当該利得をさらに補正してもよい。

【0216】

図34は、利得と画素信号との関係を模式的に示す。利得を算出して画素信号を補正する動作は、例えばフレームレート f_0 の1フレームごと、すなわち $(1/f_0)$ 秒ごとに行われることが好ましい。図34に示すように、 $(1/f_0)$ 秒ごとにR画素信号の利得とB画素信号の利得とが算出されて、R画素信号の出力値およびB画素信号の出力値が補正される。以上により、後段の画像処理部1511で利得を算出して画素信号を補正するのに比べて、迅速かつ省電力で利得を算出し、画素信号を補正することができる。

【0217】

上記実施形態において、センサ制御部1441、ブロック制御部1442、同期制御部1443、信号制御部1444および駆動制御部1420は、信号処理チップ1111に対して一つずつ設けられ、個別回路部1450A、450B、450C、450D、450Eは、単位グループ1131A、131B、131C、131D、131Eごとに設けられる。これに代えて、センサ制御部1441、ブロック制御部1442、同期制御部1443、信号制御部1444および駆動制御部1420が、信号処理チップ1111に対して複数個設けられ、それぞれが複数の単位グループ1131を分担して制御してもよい。

10

【0218】

また、個別回路部1450A等が、複数の単位グループ1131ごとに一つずつ設けられ、当該複数の単位グループ1131で共用されてもよい。個別回路部1450A等は、画素ごとに設けられてもよい。すなわち、上記実施形態において、単位グループ1131が単一の画素からなるとしてもよい。

20

【0219】

図35は、本実施形態に係る他の撮像素子2100の断面図である。撮像素子2100は、入射光に対応した画素信号を出力する撮像チップ2113と、画素信号を処理する信号処理チップ2111と、画素信号を記憶するメモリチップ2112とを備える。これら撮像チップ2113、信号処理チップ2111およびメモリチップ2112は積層されており、Cu等の導電性を有するパンプ2109により互いに電氣的に接続される。

【0220】

なお、図示するように、入射光は主に白抜き矢印で示すZ軸プラス方向へ向かって入射する。本明細書においては、撮像チップ2113において、入射光が入射する側の面を裏面と称する。また、座標軸に示すように、Z軸に直交する紙面左方向をX軸プラス方向、Z軸およびX軸に直交する紙面手前方向をY軸プラス方向とする。以降のいくつかの図においては、図35の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

30

【0221】

撮像チップ2113の一例は、裏面照射型のMOSイメージセンサである。PD層2106は、配線層2108の裏面側に配されている。PD層2106は、二次元的に配され、入射光に応じた電荷を蓄積して、蓄積した電荷に応じた画素信号を生成する複数のPD(フォトダイオード)2104、および、PD2104に対応して設けられたトランジスタ2105を有する。

40

【0222】

PD層2106における入射光の入射側にはパッシベーション膜2103を介してカラーフィルタ2102が設けられる。カラーフィルタ2102は、互いに異なる波長領域を透過する複数の種類を有しており、PD2104のそれぞれに対応して特定の配列を有している。カラーフィルタ2102の配列については後述する。カラーフィルタ2102、PD2104およびトランジスタ2105の組が一つの画素を形成する。

【0223】

カラーフィルタ2102における入射光の入射側には、それぞれの画素に対応して、マイクロレンズ2101が設けられる。マイクロレンズ2101は、対応するPD2104

50

へ向けて入射光を集光する。

【0224】

配線層2108は、PD層2106からの画素信号を信号処理チップ2111に伝送する配線2107を有する。配線2107は多層であってもよく、また、受動素子および能動素子が設けられてもよい。

【0225】

配線層2108の表面には複数のバンプ2109が配される。当該複数のバンプ2109が信号処理チップ2111の対向する面に設けられた複数のバンプ2109と位置合わせされて、撮像チップ2113と信号処理チップ2111とが加圧等されることにより、位置合わせされたバンプ2109同士が接合されて、電氣的に接続される。

10

【0226】

同様に、信号処理チップ2111およびメモリチップ2112の互いに対向する面には、複数のバンプ2109が配される。これらのバンプ2109が互いに位置合わせされて、信号処理チップ2111とメモリチップ2112とが加圧等されることにより、位置合わせされたバンプ2109同士が接合されて、電氣的に接続される。

【0227】

なお、バンプ2109間の接合には、固相拡散によるCuバンプ接合に限らず、はんだ溶融によるマイクロバンプ結合を採用しても良い。また、バンプ2109は、例えば後述する一つの画素ブロックに対して一つ程度設ければ良い。したがって、バンプ2109の大きさは、PD2104のピッチよりも大きくても良い。また、画素が配列された撮像領域以外の周辺領域において、撮像領域に対応するバンプ2109よりも大きなバンプを併せて設けても良い。

20

【0228】

信号処理チップ2111は、表裏面にそれぞれ設けられた回路を互いに接続するTSV(シリコン貫通電極)2110を有する。TSV2110は、周辺領域に設けられることが好ましい。また、TSV2110は、撮像チップ2113の周辺領域、および、メモリチップ2112にも設けられて良い。

【0229】

図36は、撮像チップ2113の画素配列と画素ブロック2131を説明する図である。図36では、撮像チップ2113を裏面側から観察した様子を示す。撮像領域2700には複数の画素がマトリクス状に配列されている。撮像領域2700は、複数の画素を行方向および列方向に分割した複数の画素ブロック2131を有する。各画素ブロック2131は、行方向および列方向に $m \times n$ 個の画素を有する。ここで、 m 、 n は2以上の整数である。また、行方向および列方向とは、撮像領域2700の面内における異なる2つの方向を指し、必ずしも互いに直交していなくともよい。図36においては、隣接する4画素 \times 4画素の16画素が一つの画素ブロック2131を形成する。図の格子線は、隣接する画素がグループ化されて画素ブロック2131を形成する概念を示す。画素ブロック2131を形成する画素の数はこれに限られず1000個程度、例えば32画素 \times 64画素でもよいし、それ以上でもそれ以下でもよい。

30

【0230】

撮像領域2700の部分拡大図に示すように、画素ブロック2131は、緑色画素Gb、Gr、青色画素Bおよび赤色画素Rの4画素から成るいわゆるベイヤー配列を、上下左右に4つ内包する。緑色画素は、カラーフィルタ2102として緑色フィルタを有する画素であり、入射光のうち緑色波長帯の光を受光する。同様に、青色画素は、カラーフィルタ2102として青色フィルタを有する画素であって青色波長帯の光を受光し、赤色画素は、カラーフィルタ2102として赤色フィルタを有する画素であって赤色波長帯の光を受光する。

40

【0231】

本実施形態において、複数の画素ブロック2131のうち少なくとも一つの画素ブロックが選択され、他の画素ブロックとは異なる制御パラメータで、それぞれの画素ブロッ

50

クに含まれる画素が制御される。制御パラメータの例は、フレームレート、間引き率、画素信号を加算する加算行数、電荷の蓄積時間または蓄積回数、デジタル化のビット数等である。さらに、制御パラメータは、画素からの画像信号取得後の画像処理におけるパラメータであってもよい。フレームレートとは、画素信号を生成する周期を指す。なお本明細書においてフレームレートとは、画素ブロック 2 1 3 1 毎のフレームレートを指す場合がある。例えば、基準フレームレートおよび高速フレームレートは、画素ブロック 2 1 3 1 毎のフレームレートを指す。

【 0 2 3 2 】

図 3 7 は、撮像チップ 2 1 1 3 の画素ブロック 2 1 3 1 に対応する回路図である。図において、代表的に点線で囲む矩形が、1 画素に対応する回路を表す。なお、以下に説明する各トランジスタの少なくとも一部は、図 3 5 のトランジスタ 2 1 0 5 に対応する。

10

【 0 2 3 3 】

図 3 7 では、1 6 画素から形成される画素ブロック 2 1 3 1 を示すが、画素ブロック 2 1 3 1 の画素数はこれに限定されない。それぞれの画素に対応する 1 6 個の P D 1 0 4 は、それぞれ転送トランジスタ 2 3 0 2 に接続され、各転送トランジスタ 2 3 0 2 の各ゲートには、転送パルスが供給される T X 配線 2 3 0 7 に接続される。図 3 7 に示す例において、T X 配線 2 3 0 7 は、1 6 個の転送トランジスタ 2 3 0 2 に対して共通接続される。

【 0 2 3 4 】

各転送トランジスタ 2 3 0 2 のドレインは、対応する各リセットトランジスタ 2 3 0 3 のソースに接続されると共に、転送トランジスタ 2 3 0 2 のドレインとリセットトランジスタ 2 3 0 3 のソース間のいわゆるフローティングディフュージョン F D が増幅トランジスタ 2 3 0 4 のゲートに接続される。リセットトランジスタ 2 3 0 3 のドレインは電源電圧が供給される V d d 配線 2 3 1 0 に接続され、そのゲートはリセットパルスが供給されるリセット配線 2 3 0 6 に接続される。図 3 7 に示す例において、リセット配線 2 3 0 6 は、1 6 個のリセットトランジスタ 2 3 0 3 に対して共通接続される。

20

【 0 2 3 5 】

各々の増幅トランジスタ 2 3 0 4 のドレインは電源電圧が供給される V d d 配線 2 3 1 0 に接続される。また、各々の増幅トランジスタ 2 3 0 4 のソースは、対応する各々の選択トランジスタ 2 3 0 5 のドレインに接続される。選択トランジスタの各ゲートには、選択パルスが供給されるデコーダ配線 2 3 0 8 に接続される。図 3 7 に示す例では、デコーダ配線 2 3 0 8 は、1 6 個の選択トランジスタ 2 3 0 5 に対してそれぞれ独立に設けられる。そして、各々の選択トランジスタ 2 3 0 5 のソースは、共通の出力配線 2 3 0 9 に接続される。負荷電流源 2 3 1 1 は、出力配線 2 3 0 9 に電流を供給する。すなわち、選択トランジスタ 2 3 0 5 に対する出力配線 2 3 0 9 は、ソースフォロアにより形成される。なお、負荷電流源 2 3 1 1 は、撮像チップ 2 1 1 3 側に設けても良いし、信号処理チップ 2 1 1 1 側に設けても良い。

30

【 0 2 3 6 】

ここで、電荷の蓄積開始から蓄積終了後の画素出力までの流れを説明する。リセット配線 2 3 0 6 を通じてリセットパルスがリセットトランジスタ 2 3 0 3 に印加され、同時に T X 配線 2 3 0 7 を通じて転送パルスが転送トランジスタ 2 3 0 2 に印加されると、P D 2 1 0 4 およびフローティングディフュージョン F D の電位はリセットされる。

40

【 0 2 3 7 】

P D 2 1 0 4 は、転送パルスの印加が解除されると、受光する入射光を電荷に変換して蓄積する。その後、リセットパルスが印加されていない状態で再び転送パルスが印加されると、蓄積された電荷はフローティングディフュージョン F D へ転送され、フローティングディフュージョン F D の電位は、リセット電位から電荷蓄積後の信号電位になる。そして、デコーダ配線 2 3 0 8 を通じて選択パルスが選択トランジスタ 2 3 0 5 に印加されると、フローティングディフュージョン F D の信号電位の変動が、増幅トランジスタ 2 3 0 4 および選択トランジスタ 2 3 0 5 を介して出力配線 2 3 0 9 に伝わる。これにより、リセット電位と信号電位とに対応する画素信号は、単位画素から出力配線 2 3 0 9 に出力さ

50

れる。

【0238】

図37に示す例では、画素ブロック2131を形成する16画素に対して、リセット配線2306とTX配線2307が共通である。すなわち、リセットパルスと転送パルスはそれぞれ、16画素全てに対して同時に印加される。したがって、画素ブロック2131を形成する全ての画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。ただし、蓄積された電荷に対応する画素信号は、それぞれの選択トランジスタ2305が選択パルスによって順次印加されて、選択的に出力配線2309に出力される。また、リセット配線2306、TX配線2307、出力配線2309は、画素ブロック2131毎に別個に設けられる。

10

【0239】

このように画素ブロック2131を基準として回路を構成することにより、画素ブロック2131ごとに電荷蓄積時間を制御することができる。換言すると、隣接する画素ブロック2131同士で、異なった電荷蓄積時間による画素信号をそれぞれ出力させることができる。更に言えば、一方の画素ブロック2131に1回の電荷蓄積を行わせている間に、他方の画素ブロック2131に何回もの電荷蓄積を繰り返させてその都度画素信号を出力させることにより、これらの画素ブロック2131同士で異なるフレームレートで動画用の各フレームを出力することもできる。なお、図37に示した各トランジスタおよび各配線の少なくとも一部は、各画素から出力される画素信号を読み出す読出回路として機能する。読出回路は、画素毎に設けられる。画素毎の読出回路は、配線等の一部の構成が、

20

【0240】

図38は、撮像素子2100の構成の一部と、その動作例を示す。本例の撮像素子2100は、図35に示した構成に加え、記憶部2114を更に備える。なお、記憶部2114は、信号処理チップ2111に設けられてよい。この場合、撮像素子2100は、メモリチップ2112を有さなくともよい。また、記憶部2114は、メモリチップ2112に設けられてもよい。

【0241】

撮像チップ2113は、それぞれ入射光に応じた画素信号を生成する複数の画素が配置された撮像領域2700を有する。説明の便宜上、図38においては、画素ブロック2131を、行方向および列方向に3個ずつ示す。それぞれの画素ブロック2131に含まれる画素数は、等しいことが好ましい。また、撮像領域2700内の各画素ブロック2131に含まれる画素数は、固定されていることが好ましい。

30

【0242】

本例の信号処理チップ111は、マルチプレクサ2411、A/D変換器2412、デマルチプレクサ2413、制御部2740、および、演算回路2415を画素ブロック2131毎に有する。マルチプレクサ2411は、対応する画素ブロック2131に含まれる画素を順次選択して、選択した画素に対応する画素信号をA/D変換器2412に入力する。A/D変換器2412は、アナログの画素信号をデジタルの画素データに変換し、デマルチプレクサ2413に入力する。デマルチプレクサ2413は、対応する記憶ブロック2730において、当該画素に対応する記憶領域に当該画素データを記憶させる。それぞれの記憶ブロック2730は、記憶した画素データを後段の演算回路2415に引き渡す。

40

【0243】

記憶部2114は、複数の画素ブロック2131に対応して設けられ、それぞれ対応する画素ブロック2131の画素データを記憶可能な複数の記憶ブロック2730を有する。記憶ブロック2730は、画素ブロック2131と一対一に対応する。記憶ブロック2730は、バス2720を介して、対応する画素ブロック2131と接続されてよい。記憶ブロック2730は、バッファメモリであってよい。

【0244】

50

また、少なくとも一部の記憶ブロック2730は、対応する画素ブロック2131以外の画素ブロックの画素データも記憶することができる。つまり、一つの記憶ブロック2730が複数の画素ブロック2131によって共有されてもよい。換言すれば、制御部2740は、一つの画素ブロック2131の画素データを複数の記憶ブロック2730に記憶させることができる。記憶ブロック2730を共有することで、後述するように複数の記憶ブロック2730を効率よく利用することができるので、記憶部2114全体のメモリ容量を抑制することができる。

【0245】

なお、全ての画素ブロック2131について、画素データが、対応する記憶ブロック2730以外にも、少なくとも一つの他の記憶ブロック2730に読み書き可能であることが好ましい。当該他の記憶ブロック2730は、画素ブロック2131毎に予め定められていてよく、動的に変更可能であってもよい。また、全ての記憶ブロック2730について、対応する画素ブロック2131以外にも、少なくとも一つの他の画素ブロック2131の画素データが読み書き可能であることが好ましい。当該他の画素ブロック2131は、記憶ブロック2730毎に予め定められていてよく、動的に変更可能であってもよい。

10

【0246】

なお、それぞれの記憶ブロック2730は、信号処理チップ2111において、対応する画素ブロック2131と重なる領域に、それぞれの画素ブロック2131毎に設けられたメモリであってよい。つまり、記憶ブロック2730は、信号処理チップ2111において、対応する画素ブロック2131の直下の領域に設けられてよい。この場合、画素ブロック2131および記憶ブロック2730は、TSVにより電氣的に接続されてよい。また、信号処理チップ2111において各画素ブロック2131と重なる上記の領域には、対応する記憶ブロック2730、A/D変換器2412、演算回路2415等が設けられる。また、それぞれの記憶ブロック2730は、信号処理チップ2111において、撮像領域2700と重なる領域の外側にそれぞれ設けられたメモリであってよい。

20

【0247】

また、それぞれの記憶ブロック2730、A/D変換器2412および演算回路2415が、対応する画素ブロック2131と重なる領域に設けられた場合において、それぞれの記憶ブロック2730が、対応する画素ブロック2131以外の画素ブロック2131の画素データを記憶する場合、当該記憶ブロック2730が設けられた領域までアナログの画素信号を伝送してよく、デジタルの画素データを伝送してもよい。前者の場合、当該記憶ブロック2730に対応するA/D変換器2412が、画素信号を画素データに変換して、当該記憶ブロック2730に入力する。後者の場合、当該画素ブロック2131と重なる領域におけるA/D変換器2412において画素信号を画素データに変換してから、当該画素データを記憶すべき記憶ブロック2730まで伝送する。信号処理チップ2111には、これらの画素信号または画素データを伝送するための配線が設けられる。

30

【0248】

後述する演算回路2415は、記憶ブロック2730に格納された画素データを処理した後段の画像処理部2511に引き渡す。演算回路2415は、信号処理チップ2111に設けられてよい。なお、図では1つの画素ブロック2131の分の接続を示すが、実際にはこれらが画素ブロック2131ごとに存在して、並列で動作する。演算回路2415は画素ブロック2131ごとに設けられるのが好ましい。

40

【0249】

上記の通り、画素ブロック2131のそれぞれに対応して出力配線2309が設けられている。撮像素子2100は撮像チップ2113、信号処理チップ2111および記憶部2114を積層しているので、これら出力配線2309にパンプ2109を用いたチップ間の電氣的接続を用いることにより、各チップを面方向に大きくすることなく配線を引き回すことができる。

【0250】

なお、制御部2740には、各画素ブロック2131のフレームレートに関するレート

50

情報が与えられる。制御部 2740 は、当該レート情報に基づいて、高速フレームレートの画素ブロック 2131 の画素データを記憶すべき記憶ブロック 2730 を選択する。例えば制御部 2740 は、基準フレームレートの画素ブロック 2131 に対応する記憶ブロック 2730 を、当該画素データを記憶すべき記憶ブロック 2730 とする。

【0251】

なお各図に示す例においては、演算回路 2415 が複数の画素を含む画素ブロック 2131 毎に設けられる例を説明している。しかし、演算回路 2415 は一つの画素毎に設けられてもよい。なお、演算回路 2415 が全ての画素に対して設けられなくともよい。即ち、撮像領域 2700 には、少なくとも第 1 画素および第 2 画素が配されており、撮像素子 2100 は、第 1 画素に対応する第 1 演算回路 2415 と、第 2 画素に対応する第 2 演算回路 2415 を少なくとも有する。

10

【0252】

第 1 画素が出力する第 1 画素信号は、第 1 読出回路により読み出され、第 2 画素が出力する第 2 画素信号は、第 2 読出回路により読み出される。第 1 演算回路 2415 は、第 1 画素から出力される第 1 画素信号に基づいて第 1 評価値を演算し、後段の画像処理部 2511 に伝送する。第 2 演算回路 2415 は、第 2 画素から出力される第 2 画素信号に基づいて第 2 評価値を演算し、後段の画像処理部 2511 に伝送する。ここで評価値とは、画素信号の値を用いて所定の演算を行って得られる値である。例えば、所定の画素が出力する画素信号の値と、当該画素に隣接する隣接画素が出力する隣接画素信号の値との差分、平均等であってよい。また、所定の画素が異なるフレームにおいて出力する複数の画素信号の値の差分、平均等であってよい。当該演算には、様々なパラメータを用いてよい。

20

【0253】

図 39 は、本実施形態に係る撮像装置の構成を示すブロック図である。撮像装置 2500 は、撮影光学系としての撮影レンズ 2520 を備え、撮影レンズ 2520 は、光軸 OA に沿って入射する被写体光束を撮像素子 2100 へ導く。撮影レンズ 2520 は、撮像装置 2500 に対して着脱できる交換式レンズであっても構わない。撮像装置 2500 は、撮像素子 2100、システム制御部 2501、駆動部 2502、測光部 2503、ワークメモリ 2504、記録部 2505、および表示部 2506 を主に備える。

【0254】

撮影レンズ 2520 は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図 35 では瞳近傍に配置された仮想的な 1 枚のレンズで当該撮影レンズ 2520 を代表して表している。駆動部 2502 は、システム制御部 2501 からの指示に従って撮像素子 100 のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。この意味において駆動部 2502 は、撮像素子 2100 に対して電荷蓄積を実行させて画素信号を出力させる撮像素子制御部の機能を担うと言える。

30

【0255】

撮像素子 2100 は、画素信号をシステム制御部 2501 の画像処理部 2511 へ引き渡す。画像処理部 2511 は、ワークメモリ 2504 をワークスペースとして種々の画像処理を施し、画像データを生成する。第 1 および第 2 演算回路 2415 の後段の画像処理部 2511 は、第 1 演算回路 2415 から受け取った第 1 評価値に基づいて第 1 画素信号に対応する画像の第 1 画素データに画像処理を施し、第 2 演算回路 2415 から受け取った第 2 評価値に基づいて第 2 画素信号に対応する画像の第 2 画素データに画像処理を施す。例えば、JPEG ファイル形式の画像データを生成する場合は、バイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部 2505 に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部 2506 に表示される。なお、画像処理部 2511 は、撮像素子 2100 に設けられてよく、撮像素子 2100 の外部のシステム制御部 2501 に設けられてもよい。また、画像処理部 2511 は、ひとつの画素ごとに設けられてもよいし、複数の画素を含む画素ブロック 2131 ごとに設けられてもよい。

40

50

【0256】

測光部2503は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部2503は、例えば100万画素程度のAEセンサを含む。システム制御部2501の演算部2512は、測光部2503の出力を受けてシーンの領域ごとの輝度を算出する。演算部2512は、算出した輝度分布に従ってシャッタ速度、絞り値、ISO感度を決定する。測光部2503は撮像素子2100で兼用してもよい。なお、演算部2512は、撮像装置2500を動作させるための各種演算も実行する。

【0257】

駆動部2502は、一部または全部が撮像チップ2113に搭載されてもよいし、一部または全部が信号処理チップ2111に搭載されてもよい。システム制御部2501の一部が撮像チップ2113または信号処理チップ2111に搭載されてもよい。なお、本例の撮像装置2500においては、画像処理部2511の少なくとも一部の画像処理機能が、撮像素子2100に設けられる。

【0258】

図40は、画像処理部の機能ブロック図である。本例の画像処理部2511は、基準フレームレートで動作する画素ブロック2131（後述する周辺領域2176）と、高速フレームレートで動作する画素ブロック2131（後述する注目領域2172）とを抽出する。画像処理部2511は、上記の機能に加えて、被写体推定部2150、グループ選択部2152、動画生成部2154および動画合成部2156を有する。これらの各機能は、後述する。

【0259】

図41は、撮像装置が動画を生成して記録する動作を示すフローチャートである。図42および図43は撮像素子により撮像される画像の一例を示す。図44は各フレームレートと画像信号の出力タイミングとの関係を示す。

【0260】

図41の動作は、ユーザが録画ボタンの押下等により、撮像装置2500に対して動画の生成を指示したときに開始する。まず、被写体推定部2150は、駆動部2502を駆動して撮像素子2100からの画像信号に基づく画像データを取得し、当該画像データが示す画像に含まれる主要被写体を推定する（S100）。

【0261】

この場合に、駆動部2502は撮像領域全体に含まれる画素ブロック2131、例えばすべての画素ブロック2131から画像信号を出力させることが好ましい。また、駆動部2502は各画素ブロック2131に含まれるすべての画素から画像信号を出力させてもよいし、予め定められた間引き率で間引いた画素から画像信号を出力させてもよい。被写体推定部2150は、撮像素子2100から時系列的に得られた複数の画像を比較して、移動している被写体を主要被写体として特定する。なお、主要被写体の推定には、他の方法が用いられてもよい。

【0262】

例えば、被写体推定部2150は、撮像素子2100から時間的に前後する画像として図42の画像2170および図43の画像2178を取得した場合に、これらの差分から子供を主要被写体2171として特定する。なお、画像2170および画像2178における格子線は画素ブロック2131の境界を示すが、画素ブロック2131の数は例示であってこれらの図に示す数に限られない。

【0263】

グループ選択部2152は、被写体推定部2150により推定された主要被写体2171の像光が入射している画素ブロック2131を少なくとも一つ選択する（S2102）。例えば、画像2170において、主要被写体2171を少なくとも一部含んでいる画素ブロック2131が選択される。さらに、主要被写体2171が撮像領域内で移動することを考慮して、グループ選択部2152は、主要被写体2171を少なくとも一部含んでいる画素ブロック2131のさらに周囲の画素ブロック2131も選択することが好まし

10

20

30

40

50

い。

【0264】

グループ選択部152は、これら選択した画素ブロック2131の集合を注目領域2172とする。さらにグループ選択部2152は、撮像領域全体において注目領域2172にふくまれない画素ブロック2131からなる集合を周辺領域2176とする。グループ選択部2152は、撮像領域の全体に対する注目領域2172の範囲を示す領域情報2174を特定する。

【0265】

図42に示す例において、注目領域2172は、横7個、縦4個の計28個の画素ブロック2131からなる矩形の領域である。これに対し、周辺領域2176は、撮像領域である横21個、縦6個の計126個から注目領域2172を除いた98個の画素ブロック2131からなる。また、領域情報2174として、撮像領域における注目領域2172の図中の左上端の画素ブロック2131の左からおよび上から数えた位置(9, 2)が特定される。さらにサイズ情報として、注目領域2172の縦横数7×4が特定される。

10

【0266】

グループ選択部2152が、注目領域2172に含まれる画素ブロック2131を特定する情報と周辺領域2176とを特定する情報とを駆動部2502に伝達する。この場合に、注目領域2172と周辺領域2176とにそれぞれ適用するフレームレートの情報とを併せて伝達する。ここで、注目領域2172に適用するフレームレートは、周辺領域2176に適用するフレームレートより高いことが好ましい。例えば、周辺領域2176に適用するフレームレートが60fpsである場合に、注目領域2172に適用するフレームレートは180fpsに設定される。これらのフレームレートの値は予め設定されて、グループ選択部2152が参照可能に格納されていることが好ましいが、ユーザが後から値を変更できるようになっていてもよい。

20

【0267】

駆動部2502は、撮像素子2100を駆動して各フレームレートで撮像を行う(S2104)。すなわち、駆動部2502は、注目領域2172に含まれる画素ブロック2131に対しては、高いフレームレートで電荷蓄積および画像信号の出力を実行させ、周辺領域2176に含まれる画素ブロック2131に対しては、低いフレームレートで電荷蓄積および画像信号の出力を実行させる。言い換えれば、駆動部2502は、周辺領域2176に含まれる画素ブロック2131に対して1つのフレームに対応する画像信号を得る間に、注目領域2172に含まれる画素ブロック2131に対して時系列的に並んだ複数のフレームに対応する画像信号を得る。

30

【0268】

例えば、周辺領域2176のフレームレートが60fpsであって、注目領域2172のフレームレートが180fpsに設定されている場合に、図44に示すように、駆動部2502は、周辺領域2176から1つのフレームB1の画像信号を得る時間1/60sまでの間に、注目領域2172から3つのフレームA1, A2, A3の画像信号を得る(1/60s = 3 × 1/180s)。この場合に、駆動部2502は、周辺領域2176に含まれる画素ブロック2131のリセットトランジスタ2303、転送トランジスタ2302および選択トランジスタ2305の組と、注目領域2172に含まれる画素ブロック2131のリセットトランジスタ2303、転送トランジスタ2302および選択トランジスタ2305の組とを別個に駆動することにより、異なるフレームレートで画像信号を得る。

40

【0269】

なお、図44は画像信号の出力のタイミングを示しているが、露光時間の長さまでも示しているものではない。駆動部2502は予め演算部2512で算出された露光時間となるように、周辺領域2176と注目領域2172とに対して、上記トランジスタの組を駆動する。

【0270】

50

これに加えて、露光時間の長さをフレームレートに応じて変化させてもよい。例えば図44に示す例において、周辺領域2176の1フレームの露光時間を1/3倍にしておき、注目領域2172と実質的に同じ露光時間としてもよい。また、画像信号の出力後にフレームレートの比で当該画像信号を補正してもよい。また、周辺領域2176と注目領域2172との間で画像信号の出力のタイミングが図44のように同期していなくても、非同期であってもよい。

【0271】

画像処理部2511は、注目領域2172からの画像信号をワークメモリ2504の予め定められた記憶領域に、フレームごとに順次、記憶する(S2106)。同様に、画像処理部2511は、周辺領域2176からの画像信号をワークメモリ2504の予め定められた記憶領域に、フレームごとに順次、記憶する(同ステップ)。ワークメモリ2504は、図38において説明したように、複数の記憶ブロック2730を有する。ワークメモリ2504は、それぞれの画素ブロック2131に対応するメモリ群からなるメモリであってよい。

10

【0272】

動画生成部2154は、ワークメモリ2504に記憶された注目領域2172の画像信号を読み出して(S2108)、注目領域2172の複数のフレームが含まれる注目領域動画のデータを生成する(S2110)。同様に、動画生成部2154は、ワークメモリ2504に記憶された周辺領域2176の画像信号を読み出して、周辺領域2176の複数のフレームが含まれる周辺領域動画のデータを生成する(同ステップ)。ここで、注目領域動画および周辺領域動画はそれぞれ、MPEGのような汎用のフォーマットで生成されてそれぞれ別個に再生できるようになっていてもよいし、後述する合成処理を経なければ再生できない専用のフォーマットで生成されてもよい。

20

【0273】

図45は、動画生成部により生成された注目領域動画および周辺領域動画を模式的に示す。動画生成部2154は、駆動部2502が注目領域2172を駆動したフレームレートに対応したフレームレートで、注目領域動画を生成する。図45に示す例において、駆動部2502が注目領域2172を駆動したフレームレート1/180fpsと同一のフレームレート1/180fpsで、注目領域動画が生成される。

30

【0274】

同様に、動画生成部2154は、駆動部2502が周辺領域2176を駆動したフレームレートに対応したフレームレートで、周辺領域動画を生成する。図45に示す例において、駆動部2502が周辺領域2176を駆動したフレームレート1/60fpsと同一のフレームレート1/60fpsで、周辺領域動画が生成される。なお、周辺領域動画において注目領域2172に対応する領域には有効な値が存在せず、図中では斜線で示した。

【0275】

さらに動画生成部2154は注目領域動画および周辺領域動画にヘッダ情報を付加して、これらのデータを記録部2505に記録する(S2112)。ヘッダ情報は、撮像領域の全体に対する注目領域2172の位置を示す領域情報、注目領域2172の大きさを示すサイズ情報および、注目領域2172の画像信号の出力タイミングと周辺領域2176の画像信号の出力タイミングとの関係を示すタイミング情報を含む。

40

【0276】

システム制御部2501は次の単位時間の撮像を行うか否かを判断する(S2114)。次の単位時間の撮像を行うか否かは、その時点でユーザから動画の記録ボタンが押下されているか否かで判断される。次の単位時間の撮像を行う場合は(S2114:Yes)、上記ステップS2102に戻り、次の単位時間の撮像を行わない場合は(S2114:No)、当該動作を終了する。

【0277】

ここで「単位時間」は予めシステム制御部2501に設定されている時間であって、数秒程度である。この単位時間、注目領域2172のフレームレートおよび画素ブロック数

50

、並びに、周辺領域 2 1 7 6 のフレームレートおよび画素ブロック数によって、ステップ S 2 1 0 6 において記憶に用いられる記憶容量が決まる。またこれらの情報に基づいて、当該記憶容量において注目領域 2 1 7 2 のデータを記憶する領域と、周辺領域 2 1 7 6 のデータを記憶する領域とが定められる。

【 0 2 7 8 】

以上により、主要被写体 2 1 7 1 が含まれる注目領域 2 1 7 2 からは高いフレームレートで画像信号を得ることができるとともに、周辺領域 2 1 7 6 を低いフレームレートで抑えることでデータ量を減らすことができる。よって、全画素からの高速読出しに比べて、駆動および画像処理の負荷を減らし、消費電力および発熱を抑えることができる。

【 0 2 7 9 】

なお、図 4 1 に示す例において次の単位時間が開始されるときに、ステップ S 2 1 0 2 で改めて画素ブロック 2 1 3 1 が選択され、領域情報およびサイズ情報が更新される。これにより、主要被写体 2 1 7 1 に追従して注目領域 2 1 7 2 を逐次、更新することができる。図 4 5 に示す例においては、注目領域動画における単位時間の最初のフレーム A 7 において、以前の単位時間の最後のフレーム A 6 とは異なる画素ブロック 2 1 3 1 からなる注目領域 2 1 8 2 が選択されるとともに、これに伴って領域情報 2 1 8 4 および周辺領域 2 1 8 6 も更新されている。

【 0 2 8 0 】

図 4 6 は、動画生成部が付加するヘッダ情報の一例を示す。図 4 6 のヘッダ情報は、注目領域動画を特定する注目領域動画 ID、注目領域動画のフレームレート、当該注目領域動画に対応する周辺領域動画を特定する周辺領域動画 ID、周辺領域動画のフレームレート、タイミング情報、領域情報およびサイズ情報を含む。これらのヘッダ情報は、注目領域動画および周辺領域動画のいずれか一方にヘッダ情報として付加されていてもよいし、両方に付加されていてもよい。

【 0 2 8 1 】

図 4 7 は、撮像装置が動画を再生して表示する動作を示すフローチャートである。当該動作は、表示部 2 5 0 6 にサムネイル表示された注目領域動画のいずれかをユーザが特定して再生ボタンを押下したことにより開始する。

【 0 2 8 2 】

動画合成部 2 1 5 6 は、ユーザにより特定された注目領域動画のデータを記録部 2 5 0 5 から読み出す (S 2 1 5 0)。動画合成部 2 1 5 6 は、当該注目領域動画に対応する周辺領域動画のデータを記録部 2 5 0 5 から読み出す (S 2 1 5 2)。

【 0 2 8 3 】

この場合に、動画合成部 2 1 5 6 は、ステップ S 2 1 5 0 で読み出した注目領域動画のヘッダ情報に示されている周辺領域動画 ID により周辺領域動画を特定する。これに代えて、ヘッダ情報に示されているタイミング情報と同一のタイミング情報をヘッダ情報として含む周辺領域画像が検索されて特定されてもよい。

【 0 2 8 4 】

なお、上記の例では注目領域動画にヘッダ情報が含まれるとしている。一方、注目領域動画にヘッダ情報が含まれずに周辺領域動画にヘッダ情報が含まれている場合には、先にステップ S 2 1 5 0 においてユーザに周辺領域動画を特定させて読出し、そのヘッダ情報からステップ S 2 1 5 2 において注目領域動画を特定して読み出してもよい。

【 0 2 8 5 】

動画合成部 2 1 5 6 は、注目領域動画のフレームと周辺領域動画のフレームとを用いて、表示動画のフレームを合成する (S 1 5 4)。この場合にまず、注目領域動画の先頭のフレーム A 1 が、周辺領域動画の先頭のフレーム B 1 における領域情報 2 1 7 4 が示す位置に嵌め込まれることにより、表示動画の先頭のフレーム C 1 が合成される。動画合成部 2 1 5 6 は、図 4 5 に示すように、表示動画の先頭のフレーム C 1 を表示部 2 5 0 6 に表示させる (S 2 1 5 6)。

【 0 2 8 6 】

10

20

30

40

50

動画合成部 2 1 5 6 は、周辺領域動画における次のフレーム B 2 までの間に注目領域動画の次のフレームがあるか否かを判断する (S 2 1 5 8)。動画合成部 2 1 5 6 は、注目領域動画の次のフレームがある場合に (S 2 1 5 8 : Y e s)、注目領域 2 1 7 2 を次のフレーム A 2、A 3 で更新しかつ周辺領域 2 1 7 6 を前のフレーム B 1 に保持することにより (S 2 1 6 2)、表示動画の次のフレーム C 2、C 3 を合成して (S 2 1 6 2)、順次、表示する (S 2 1 5 6)。

【 0 2 8 7 】

一方、ステップ S 2 1 5 8 において周辺領域動画における次のフレーム B 2 までの間に注目領域動画の次のフレームがない場合に (S 2 1 5 8)、動画合成部 2 1 5 6 は、注目領域 2 1 7 2 を次のフレーム A 4 で更新しかつ周辺領域 2 1 7 6 も次のフレーム B 2 で更新することにより (S 2 1 6 4)、表示動画の次のフレーム C 4 を合成して (S 2 1 6 2)、表示する (S 2 1 5 6)。

10

【 0 2 8 8 】

周辺領域動画において周辺領域 2 1 7 6 の次フレームがある限り (S 2 1 6 0 : Y e s)、ステップ S 2 1 5 4 から S 2 1 6 0 が繰り返される。周辺領域動画において周辺領域 2 1 7 6 の次フレームがない場合に (S 2 1 6 0 : N o)、動画合成部 2 1 5 6 は、当該注目領域動画と周辺領域動画との組の単位時間の次の単位時間における注目領域動画と周辺領域動画との組があるか否かを検索する (S 2 1 6 6)。例えば、動画合成部 2 1 5 6 は、記録部 2 5 0 5 の同一フォルダ内において、当該注目領域動画のタイミング情報が示すタイミングの直後を示すタイミング情報がヘッダ情報に含まれた注目領域動画があるか

20

【 0 2 8 9 】

次の単位時間における注目領域動画と周辺領域動画との組がある限り (S 2 1 6 6 : Y e s)、ステップ S 2 1 5 0 から S 2 1 6 6 が繰り返される。次の単位時間における注目領域動画と周辺領域動画との組がない場合に (S 2 1 6 6 : N o)、当該動作を終了する。

【 0 2 9 0 】

以上によれば、全体のデータ量を減らしつつ、主要被写体 2 1 7 1 が含まれる注目領域 2 1 7 2 について滑らかな動画を表示することができる。なお、ステップ S 2 1 6 2 においては、注目領域 2 1 7 2 がそのまま次のフレームで更新されて表示画像のフレームが合成されているが、合成の方法はこれに限られない。他の例として、注目領域 2 1 7 2 における主要被写体 2 1 7 1 の境界線が画像処理により特定され、当該境界線で囲まれた主要被写体 2 1 7 1 については次のフレームに更新するとともに、注目領域 2 1 7 2 内であっても主要被写体 2 1 7 1 の境界線外側については前のフレームを維持して、周辺領域 2 1 7 6 のフレームと合成されてもよい。すなわち、注目領域 2 1 7 2 における境界線外側については周辺領域 2 1 7 6 のフレームレートに落としてもよい。これにより表示動画における滑らかさの境界が不自然に見えることを防ぐことができる。また、再生のフレームレートは、撮影時のフレームレート (注目領域は 1 8 0 f p s、周辺領域は 6 0 f p s) と同じである必要はなく、例えば注目領域を 6 0 f p s、周辺領域を 2 0 f p s などとしてもよい。その場合はスローモーション再生となる。

30

40

【 0 2 9 1 】

図 4 8 は、撮像装置が動画を生成して記録する他の動作の例を示すフローチャートである。図 4 8 において図 4 1 と同一の動作については同一の参照番号を付して説明を省略する。

【 0 2 9 2 】

図 4 8 の動作において、注目領域 2 1 7 2 と周辺領域 2 1 7 6 とで、図 4 1 のフレームレートに代えて、または、加えて間引き率を異ならせている。より詳しくは、ステップ S 2 1 2 0 において、駆動部 2 5 0 2 は、注目領域 2 1 7 2 に含まれる画素ブロック 2 1 3 1 に対しては、低い間引き率で間引いた画素に対して電荷蓄積および画像信号の出力を実行させ、周辺領域 2 1 7 6 に含まれる画素ブロック 2 1 3 1 に対しては、高い間引き率で

50

間引いた画素に対して電荷蓄積および画像信号の出力を実行させる。例えば注目領域 2 1 7 2 に含まれる画素ブロック 2 1 3 1 に対して間引き率 0 すなわち全画素が読み出され、周辺領域 2 1 7 6 に含まれる画素ブロック 2 1 3 1 に対して間引き率 0 . 5 すなわち半分画素が読み出される。

【 0 2 9 3 】

この場合に、駆動部 2 5 0 2 は、周辺領域 2 1 7 6 に含まれる画素ブロック 2 1 3 1 のリセットトランジスタ 2 3 0 3、転送トランジスタ 2 3 0 2 および選択トランジスタ 2 3 0 5 の組と、注目領域 2 1 7 2 に含まれる画素ブロック 2 1 3 1 のリセットトランジスタ 2 3 0 3、転送トランジスタ 2 3 0 2 および選択トランジスタ 2 3 0 5 の組とを別個に駆動することにより、異なる間引き率で画像信号を得る。

10

【 0 2 9 4 】

ステップ S 2 1 1 0 において、動画生成部 2 1 5 4 は、低い間引き率で出力された注目領域 2 1 7 2 の画像信号に基づき、注目領域 2 1 7 2 に対応する注目領域動画を生成する。動画生成部 2 1 5 4 は、同様に、高い間引き率で出力された周辺領域 2 1 7 6 の画像信号に基づき、周辺領域 2 1 7 6 に対応する周辺領域動画を生成する。またステップ S 2 1 1 2 において、動画生成部 2 1 5 4 は、それぞれの間引き率の情報を付加して注目領域動画および周辺領域動画を記録部 2 5 0 5 に記録する。

【 0 2 9 5 】

図 4 9 は、一の画素ブロックに対して間引き率 0 . 5 で読み出される画素 2 1 8 8 の例を示す。図 4 9 に示す例において、周辺領域 2 1 7 6 の画素ブロック 2 1 3 2 がベイヤー配列である場合に垂直方向についてベイヤー配列の単位の一つ置き、すなわち、画素単位でみた場合の二行づつ交互に、読み出される画素 2 1 8 8 と読み出されない画素が設定される。これにより色バランスを崩すことなく間引き読出しをすることができる。

20

【 0 2 9 6 】

図 5 0 は、図 4 8 に対応した、撮像装置が動画を再生して表示する動作を示すフローチャートである。図 5 0 において図 4 7 と同一の動作については同一の参照番号を付して説明を省略する。

【 0 2 9 7 】

図 5 0 のステップ S 2 1 7 0 において、動画合成部 2 1 5 6 は、周辺領域動画のフレームの画素を補完して解像度を注目領域動画のフレームの解像度と整合させてから、注目領域動画のフレームを周辺領域動画のフレームに嵌め込むことにより、表示画像のフレームを合成する。これにより、主要被写体 2 1 7 1 が含まれる注目領域 2 1 7 2 からは高い解像度で画像信号を得ることができるとともに、周辺領域 2 1 7 6 を低い解像度で抑えることでデータ量を減らすことができる。よって、全画素からの高速読出しに比べて、駆動および画像処理の負荷を減らし、消費電力および発熱を抑えることができる。

30

【 0 2 9 8 】

なお、図 3 5 から図 5 0 に示す例において、注目領域 2 1 7 2 は矩形であるが注目領域 2 1 7 2 の形状はこれに限られない。注目領域 2 1 7 2 は画素ブロック 2 1 3 1 の境界線に沿っていけば凸の多角形、凹の多角形、または、中に周辺領域 2 1 7 6 が入り込んだドーナツ形状等であってもよい。また、注目領域 2 1 7 2 は互いに離間して複数個設定されてもよい。その場合に、互いの注目領域 2 1 7 2 で異なるフレームレートが設定されてもよい。

40

【 0 2 9 9 】

また、注目領域 2 1 7 2 および周辺領域 2 1 7 6 のフレームレートは可変であってもよい。例えば、単位時間が経過するごとに主要被写体 2 1 7 1 の移動量を検出して、主要被写体 2 1 7 1 の移動量が大きいほど注目領域 2 1 7 2 により高いフレームレートを設定してもよい。また、単位時間内で随時、主要被写体 2 1 7 1 に追従して注目領域 2 1 7 2 に含まれるべき画素ブロック 2 1 3 1 の選択を更新してもよい。

【 0 3 0 0 】

図 4 1 および図 4 8 の動画の生成はユーザの録画ボタンの押下により開始し、図 4 7 お

50

よび図50の動画の再生はユーザの再生ボタンの押下により開始しているが、開始時点はこれに限られない。他の例として、ユーザからの一つのボタン操作によって、動画の生成の動作と再生の動作とを連続して実行させて、表示部2506にスルー画表示（またはライブビュー表示ともいう）してもよい。この場合に、注目領域2172をユーザに認識させる表示が重畳されてもよい。例えば、表示部2506において注目領域2172の境界線に枠を表示したり、周辺領域2176の輝度を下げるか注目領域2172の輝度を上げるかしてもよい。

【0301】

図48の動作において、注目領域172と周辺領域176とで間引き率を異ならせている。間引き率を異ならせることに代えて、隣接行の画素の画素信号を加算するときの行数を異ならせてもよい。例えば、注目領域172においては行数が1、すなわち、隣接行で加算せずに画素信号を出力し、周辺領域176においては注目領域172よりも多い行数、例えば行数を2として、隣接する2行の同じ列の画素の画素信号を出力する。これにより、図48と同様に、周辺領域176よりも注目領域172の解像度を高く維持しつつ、全体の信号量を減らすことができる。

【0302】

なお、動画合成部2156は撮像装置2500の画像処理部2511に設けられていることに代えて、外部の表示装置、例えばPCに設けられてもよい。また、動画を生成する場合に限られず、静止画を生成する場合に上記実施形態が適用されてもよい。

【0303】

また、上記実施形態はいずれも複数の画素ブロック2131を、注目領域2172と周辺領域2176との2つに分けているが、これに限られず3つ以上の領域に分けてもよい。この場合に、注目領域2172と周辺領域2176との境界に該当する画素ブロック2131を境界領域として、当該境界領域には、注目領域2172に用いられる制御パラメータの値と周辺領域2176に用いられる制御パラメータの値との中間の値が用いられて制御されてもよい。これにより、注目領域2172と周辺領域2176との境界が不自然に見えることを防ぐことができる。

【0304】

注目領域2172と周辺領域2176とで電荷の蓄積時間、蓄積回数等を異ならせてもよい。この場合に注目領域2172と周辺領域2176とを輝度に基づいて分けてもよく、さらに中間領域を設けてもよい。

【0305】

図51Aおよび図51Bは、シーンの例と領域分割を説明する図である。図51Aは、撮像チップ2113の撮像領域が捉えるシーンを示す。具体的には、屋内環境に含まれるシャドウ被写体2601および中間被写体2602と、窓枠2604の内側に観察される屋外環境のハイライト被写体2603とが同時に写り込むシーンである。このような、ハイライト部からシャドウ部までの明暗差が大きなシーンを撮影する場合、従来の撮像素子であれば、ハイライト部を基準として電荷蓄積を実行するとシャドウ部で黒潰れが生じ、シャドウ部を基準として電荷蓄積を実行するとハイライト部で白飛びが生じた。すなわち、ハイライト部もシャドウ部も一律に一度の電荷蓄積により画像信号を出力させるには、明暗差の大きなシーンに対してフォトダイオードのダイナミックレンジが不足していると言える。そこで、本実施形態においては、シーンをハイライト部、シャドウ部といった部分領域に分割して、それぞれの領域に対応するフォトダイオードの電荷蓄積回数を互いに異ならせることにより、ダイナミックレンジの実質的な拡大を図る。

【0306】

図51Bは、撮像チップ2113の撮像領域における領域分割を示す。演算部2512は、測光部2503が捉えた図51Aのシーンを解析して、輝度を基準に撮像領域を分割する。例えば、システム制御部2501は、測光部2503に露光時間を変更しつつ複数回のシーン取得を実行させ、演算部2512は、その白飛び領域、黒潰れ領域の分布の変化を参照して撮像領域の分割ラインを決定する。図51Bの例においては、演算部251

10

20

30

40

50

2 は、シャドウ領域 2 6 1 1、中間領域 2 6 1 2、およびハイライト領域 2 6 1 3 の 3 領域に分割している。

【 0 3 0 7 】

分割ラインは、画素ブロック 2 1 3 1 の境界に沿って定義される。すなわち、分割された各領域は、整数個のグループをそれぞれ含む。そして、同一の領域に包含される各グループの画素は、演算部 2 5 1 2 によって決定されたシャッタ速度に対応する期間内において、同一回数の電荷蓄積および画素信号出力を行う。属する領域が異なれば、異なる回数の電荷蓄積および画素信号出力を行う。

【 0 3 0 8 】

図 5 2 は、図 5 1 A および図 5 1 B の例による分割された領域ごとの電荷蓄積制御を説明する図である。演算部 2 5 1 2 は、ユーザから撮影準備指示を受けると、測光部 2 5 0 3 の出力からシャッタ速度 T_0 を決定する。さらに、上述のようにシャドウ領域 2 6 1 1、中間領域 2 6 1 2 およびハイライト領域 2 6 1 3 に分割して、それぞれの輝度情報から電荷蓄積回数を決定する。電荷蓄積回数は、1 回あたりの電荷蓄積により画素が飽和しないように決定される。例えば、1 回の電荷蓄積動作において蓄積可能な 8 割から 9 割の電荷が蓄積されることを基準として、電荷蓄積回数が決定される。

10

【 0 3 0 9 】

ここでは、シャドウ領域 2 6 1 1 を 1 回とする。すなわち、決定されたシャッタ速度 T_0 と電荷蓄積時間を一致させる。また、中間領域 2 6 1 2 の電荷蓄積回数を 2 回とする。すなわち、1 回の電荷蓄積時間を $T_0 / 2$ として、シャッタ速度 T_0 の間に 2 回の電荷蓄積を繰り返させる。また、ハイライト領域 2 6 1 3 の電荷蓄積回数を 4 回とする。すなわち、1 回の電荷蓄積時間を $T_0 / 4$ として、シャッタ速度 T_0 の間に 4 回の電荷蓄積を繰り返させる。

20

【 0 3 1 0 】

ユーザから撮影指示を時刻 $t = 0$ で受けると、駆動部 2 5 0 2 は、いずれの領域に属するグループの画素に対しても、リセットパルスと転送パルスを印加する。この印加をトリガーとして、いずれの画素も電荷蓄積を開始する。

【 0 3 1 1 】

時刻 $t = T_0 / 4$ になったら、駆動部 2 5 0 2 は、ハイライト領域 2 6 1 3 に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 2 3 0 9 に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部 2 5 0 2 は、ハイライト領域 2 6 1 3 に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、2 回目の電荷蓄積を開始させる。

30

【 0 3 1 2 】

なお、画素信号の選択出力には時間を要するので、1 回目の電荷蓄積の終了と 2 回目の電荷蓄積の開始の間には時間差が生じる。この時間差が実質的に無視し得るのであれば、上述のように、シャッタ速度 T_0 に対して電荷蓄積回数で割った時間を 1 回の電荷蓄積時間とすれば良い。一方、無視し得ないのであれば、その時間を考慮して、シャッタ速度 T_0 を調整したり、1 回の電荷蓄積時間をシャッタ速度 T_0 に対して電荷蓄積回数で割った時間よりも短くしたりすれば良い。

40

【 0 3 1 3 】

時刻 $t = T_0 / 2$ になったら、駆動部 2 5 0 2 は、中間領域 2 6 1 2 とハイライト領域 2 6 1 3 に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 2 3 0 9 に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部 2 5 0 2 は、中間領域 2 6 1 2 とハイライト領域 2 6 1 3 に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、中間領域 2 6 1 2 に対しては 2 回目の、ハイライト領域 2 6 1 3 に対しては 3 回目の電荷蓄積を開始させる。

【 0 3 1 4 】

50

時刻 $t = 3T_0 / 4$ となったら、駆動部 2502 は、ハイライト領域 2613 に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 2309 に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部 2502 は、ハイライト領域 2613 に属するグループの画素に対してリセットパルスと転送パルスを印加して、4 回目の電荷蓄積を開始させる。

【0315】

時刻 $t = T_0$ となったら、駆動部 2502 は、全領域の画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 2309 に出力させる。以上の制御により、シャドウ領域 2611 に対応する画素メモリ 2414 にはそれぞれ 1 回分の画素信号が格納され、中間領域 2612 に対応する画素メモリ 2414 にはそれぞれ 2 回分の画素信号が格納され、ハイライト領域 2613 に対応する画素メモリ 2414 にはそれぞれ 4 回分の画素信号が格納される。

10

【0316】

なお、駆動部 2502 は、いずれの領域に属するグループの画素に対して、リセットパルスを順次印加し、それぞれの領域に属するグループの画素を順次リセットしてもよい。また、駆動部 2502 は、リセットしたグループの画素に転送パルスを順次印加してもよい。この印加をトリガーとして、それぞれのグループの画素が電荷蓄積を順次開始してよい。すべての領域に属するグループの画素に対して電荷蓄積が終了後に、駆動部 2502 は、全領域の画素に対して転送パルスを印加してよい。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 2309 に出力させてよい。

20

【0317】

これらの画素信号は、順次、画像処理部 2511 へ転送される。画像処理部 2511 は、この画素信号から高ダイナミックレンジの画像データを生成する。具体的な処理については後述する。

【0318】

図 53 は、積算回数とダイナミックレンジの関係を示す図である。繰り返し実行された電荷蓄積に対応する複数回分の画素データは、画像処理部 2511 により積算処理されて、高ダイナミックレンジの画像データの一部を形成する。

30

【0319】

積算回数が 1 回、すなわち電荷蓄積を 1 回行った領域のダイナミックレンジを基準とした場合、積算回数が 2 回、すなわち電荷蓄積を 2 回行って出力信号を積算した領域のダイナミックレンジの拡大分は 1 段分となる。同様に、積算回数を 4 回にすれば 2 段分となり、128 回にすれば 7 段分となる。すなわち、 n 段分のダイナミックレンジ拡大を図るには、 $2n$ 回の出力信号を積算すれば良い。

【0320】

ここで、画像処理部 2511 がいずれの分割領域が何回の電荷蓄積を行ったかを識別するために、積算回数を示す 3 bit の指数桁が画像信号に付与されている。図示するように、指数桁は、積算数 1 回に対して 000、2 回に対して 001、... 128 回に対して 111 のように順に割り当てられる。

40

【0321】

画像処理部 2511 は、演算回路 2415 から受け取った各画素データの指数桁を参照して、参照した結果が 2 回以上の積算数である場合には、画素データの積算処理を実行する。例えば、積算回数が 2 回の場合（1 段）は、2 個の画素データに対して、電荷蓄積に対応する 12 bit の画素データのうち上位 11 bit 同士を加算して、12 bit の 1 つの画素データを生成する。同様に、積算回数が 128 回（7 段）の場合は、128 個の画素データに対して、電荷蓄積に対応する 12 bit の画素データのうち上位 5 bit 同士を加算して、12 bit の 1 つの画素データを生成する。すなわち、積算回数に対応する段数を 12 から引いた上位 bit を互いに足し合わせて、12 bit の 1 つの画素デー

50

タを生成する。なお、加算の対象とならない下位 b i t は除去される。

【 0 3 2 2 】

このように処理することにより、階調を与える輝度範囲を積算回数に合わせて高輝度側にシフトさせることができる。すなわち、高輝度側の限られた範囲に対して 1 2 b i t が割り当てられることになる。したがって、従来白飛びしていた画像領域に対して階調を与えることができる。

【 0 3 2 3 】

ただし、他の分割領域については異なる輝度範囲に対して 1 2 b i t を割り当てているので、単純に領域ごとに繋ぎ合わせる合成により画像データを生成することができない。そこで、画像処理部 2 5 1 1 は、得られた階調をできる限り維持しつつ全領域を 1 2 b i t の画像データとするために、最大輝度画素と最低輝度画素を基準として、再量子化処理を行う。具体的には、階調がより滑らかに維持されるように、ガンマ変換を施して量子化を実行する。このように処理することにより、高ダイナミックレンジの画像データを得ることができる。

【 0 3 2 4 】

なお、積算回数は、上記のように 3 b i t の指数桁が画素データに付与されている場合に限らず、画素データとは別の付随情報として記述されていても良い。また、画素データから指数桁を省き、代わりに画素メモリ 2 4 1 4 に格納されている画素データの数をカウントすることにより、加算処理時に積算回数を取得しても良い。

【 0 3 2 5 】

また、上記の画像処理においては、全領域を 1 2 b i t の画像データに収める再量子化処理を実行したが、画素データの b i t 数に対し、上限の積算回数に合わせて出力 b i t 数を増やしても良い。例えば、上限の積算回数を 1 6 回 (4 段) と定めれば、 1 2 b i t の画素データに対して、全領域を 1 6 b i t の画像データとすれば良い。このように処理すれば、桁落ちさせずに画像データを生成することができる。

【 0 3 2 6 】

次に、一連の撮影動作処理について説明する。図 5 4 は、撮影動作の処理を示すフロー図である。フローは、撮像装置 5 0 0 の電源が O N にされて開始される。

【 0 3 2 7 】

システム制御部 2 5 0 1 は、ステップ S 2 2 0 1 で、撮影準備指示であるスイッチ S W 1 の押し下げがなされるまで待機する。スイッチ S W 1 の押し下げを検知したらステップ S 2 2 0 2 へ進む。

【 0 3 2 8 】

ステップ S 2 2 0 2 では、システム制御部 2 5 0 1 は、測光処理を実行する。具体的には、測光部 2 5 0 3 の出力を得て、演算部 2 5 1 2 がシーンの輝度分布を算出する。そして、ステップ S 2 2 0 3 へ進み、上述のように、シャッタ速度、領域分割、積算回数等を決定する。

【 0 3 2 9 】

撮影準備動作が完了したら、ステップ S 2 2 0 4 へ進み、撮影指示であるスイッチ S W 2 の押し下げがなされるまで待機する。このとき、経過時間が予め定められた時間 T w を超えたら (ステップ S 2 2 0 5 の Y E S)、ステップ S 2 2 0 1 へ戻る。 T w を超える前に (ステップ S 2 2 0 5 の N O) スwitch S W 2 の押し下げを検知したら、ステップ S 2 2 0 6 へ進む。

【 0 3 3 0 】

ステップ S 2 2 0 6 では、システム制御部 2 5 0 1 の指示を受けた駆動部 2 5 0 2 が、図 5 2 を用いて説明した電荷蓄積処理、信号読み出し処理を実行する。そして、全ての信号読み出しが完了したらステップ S 2 2 0 7 へ進み、図 5 3 を用いて説明した画像処理を実行し、生成された画像データを記録部に記録する記録処理を実行する。

【 0 3 3 1 】

記録処理が完了したらステップ S 2 2 0 8 へ進み、撮像装置 2 5 0 0 の電源が O F F に

10

20

30

40

50

されたか否かを判断する。電源がOFFにされなければステップS2201へ戻り、OFFにされたら一連の撮影動作処理を終了する。

【0332】

図55は、信号処理チップ2111の一例としての具体的構成を示すブロック図である。図55に示す画素データ処理部2910は、画素ブロック2131ごとに設けられる。ただし、図38に関連して説明した演算回路2415と同様に、画素データ処理部2910は、2以上の画素に対して、画素毎に設けられてもよい。また、画素データ処理部2910の構成のうち、演算回路2415以外の構成は、画素ブロック2131ごとに設けられてよい。

【0333】

本例の信号処理チップ2111における制御部2740は、駆動部2502の機能の一部または全部を担う。制御部2740は、分担化された制御機能としてのセンサ制御部2441、ブロック制御部2442、同期制御部2443、信号制御部2444と、これらの各制御部を統括制御する駆動制御部2420を含む。駆動制御部2420は、システム制御部2501からの指示を、各制御部が実行可能な制御信号に変換してそれぞれに引き渡す。

【0334】

センサ制御部2441は、撮像チップ2113へ送出手、各画素の電荷蓄積、電荷読み出しに関わる制御パルスの送出手制御を担う。具体的には、センサ制御部2441は、対象画素に対してリセットパルスと転送パルスを送出手することにより、電荷蓄積の開始と終了を制御し、読み出し画素に対して選択パルスを送出手することにより、画素信号を出力配線2309へ出力させる。

【0335】

ブロック制御部2442は、撮像チップ2113へ送出手、制御対象となる画素ブロック2131を特定する特定パルスの送出手を実行する。図51B等を用いて説明したように、注目領域2172および周辺領域2176に分割された各領域には、互いに隣接する複数の画素ブロック2131が包含され得る。これら同一の領域に属する画素ブロック2131は、ひとつのブロック群を形成する。同一のブロック群に含まれる画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。そこで、ブロック制御部2442は、駆動制御部2420からの指定に基づいて対象となる画素ブロック2131に特定パルスを送出手することにより、画素ブロック2131をブロック化する役割を担う。各画素がTX配線2307およびリセット配線2306を介して受ける転送パルスおよびリセットパルスは、センサ制御部2441が送出手する各パルスとブロック制御部2442が送出手する特定パルスの論理積となる。

【0336】

このように、各領域を互いに独立したブロック群として制御することにより、図52を用いて説明した電荷蓄積制御を実現する。駆動制御部2420は、同一のブロック群に含まれる画素に対して、異なるタイミングでリセットパルスおよび転送パルスを印加してよい。また、駆動制御部2420は、同一のブロック群に含まれる画素の電荷蓄積を同一タイミングで終了させた後、ブロック群内の画素に対して順次選択パルスを印加して、それぞれの画素信号を順次読み出してもよい。

【0337】

同期制御部2443は、同期信号を撮像チップ2113へ送出手。各パルスは、同期信号に同期して撮像チップ2113においてアクティブとなる。例えば、同期信号を調整することにより、同一の画素ブロック2131に属する画素の特定画素のみを制御対象とするランダム制御、間引き制御等を実現する。

【0338】

信号制御部2444は、主にA/D変換器2412に対するタイミング制御を担う。出力配線2309を介して出力された画素信号は、CDS回路2410およびマルチプレクサ2411を経てA/D変換器2412に入力される。A/D変換器2412は、信号制

10

20

30

40

50

御部 2 4 4 4 によって制御されて、入力された画素信号をデジタルの画素データに変換する。デジタル信号に変換された画素データは、デマルチプレクサ 2 4 1 3 に引き渡され、そしてそれぞれの画素に対応する画素メモリ 2 4 1 4 にデジタルデータの画素値として格納される。画素メモリ 2 4 1 4 は、記憶ブロック 2 7 3 0 の一例である。

【 0 3 3 9 】

信号処理チップ 2 1 1 1 は、いずれの画素ブロック 2 1 3 1 を組み合わせて注目領域 2 1 7 2 および周辺領域 2 1 7 6 のブロック群を形成するかについてのブロック区分情報と、形成されたそれぞれのブロック群が何回の電荷蓄積を繰り返すかについての蓄積回数情報とを格納する、蓄積制御メモリとしてのタイミングメモリ 2 4 3 0 を有する。タイミングメモリ 2 4 3 0 は、例えばフラッシュ R A M によって構成される。

10

【 0 3 4 0 】

上述のように、いずれの画素ブロック 2 1 3 1 を組み合わせてブロック群を形成するかについては、一連の撮影シーケンスに先立って実行されるシーンの輝度分布検出の検出結果に基づいて、システム制御部 2 5 0 1 により決定される。決定されたブロック群は、例えば第 1 ブロック群、第 2 ブロック群... のように区分され、それぞれのブロック群がいずれの画素ブロック 2 1 3 1 を包含するかにより規定される。駆動制御部 2 4 2 0 は、このブロック区分情報をシステム制御部 2 5 0 1 から受け取り、タイミングメモリ 2 4 3 0 へ格納する。

【 0 3 4 1 】

また、システム制御部 2 5 0 1 は、輝度分布の検出結果に基づいて、各ブロック群が何回の電荷蓄積を繰り返すかを決定する。駆動制御部 2 4 2 0 は、この蓄積回数情報をシステム制御部 2 5 0 1 から受け取り、対応するブロック区分情報と対でタイミングメモリ 2 4 3 0 へ格納する。このようにタイミングメモリ 2 4 3 0 へブロック区分情報と蓄積回数情報を格納することにより、駆動制御部 2 4 2 0 は、一連の電荷蓄積制御を、タイミングメモリ 2 4 3 0 を逐次参照して独立して実行し得る。すなわち、駆動制御部 2 4 2 0 は、1 枚の画像取得制御において撮影指示の信号をシステム制御部 2 5 0 1 から一旦受け取ると、その後は各画素の制御についてその都度システム制御部 2 5 0 1 から指示を受けること無く、蓄積制御を完了させることができる。

20

【 0 3 4 2 】

駆動制御部 2 4 2 0 は、撮影準備指示に同期して実行される測光結果（輝度分布の検出結果）に基づいて更新されるブロック区分情報と蓄積回数情報をシステム制御部 2 5 0 1 から受け取って、タイミングメモリ 2 4 3 0 の記憶内容を適宜更新する。例えば、駆動制御部 2 4 2 0 は、撮影準備指示または撮影指示に同期して、タイミングメモリ 2 4 3 0 を更新する。このように構成することにより、より高速な電荷蓄積制御を実現すると共に、駆動制御部 2 4 2 0 が電荷蓄積制御を実行している間に、システム制御部 2 5 0 1 は他の処理を並行して実行し得る。

30

【 0 3 4 3 】

駆動制御部 2 4 2 0 は、撮像チップ 2 1 1 3 に対する電荷蓄積制御を実行するに留まらず、読み出し制御の実行においてもタイミングメモリ 2 4 3 0 を参照する。例えば、駆動制御部 2 4 2 0 は、各ブロック群の蓄積回数情報を参照して、デマルチプレクサ 2 4 1 3 から出力される画素データを画素メモリ 2 4 1 4 の対応アドレスに格納する。

40

【 0 3 4 4 】

駆動制御部 2 4 2 0 は、システム制御部 2 5 0 1 からの引渡要求に従って、画素ブロックごとの対象画素データを画素メモリ 2 4 1 4 から読み出し、画像処理部 2 5 1 1 へ引き渡す。このとき、駆動制御部 2 4 2 0 は、それぞれの対象画素データに対応する付加データを合わせて画像処理部 2 5 1 1 へ引き渡す。

【 0 3 4 5 】

演算回路 2 4 1 5 は、対応する画素ブロック 2 1 3 1 が生成した画素信号に応じた画素データに対して、予め定められた演算を画素ブロック 2 1 3 1 毎に行う。つまり、演算回路 4 1 5 は、画素ブロック 2 1 3 1 に対応して設けられ、画素ブロック 2 1 3 1 毎に演算

50

処理を行う。なお、演算回路 2 4 1 5 は、画素ブロック 2 1 3 1 と 1 対 1 の関係で設けられる。つまり、演算回路 2 4 1 5 は、画素ブロック 2 1 3 1 の直下の信号処理チップ 2 1 1 1 に設けられた回路である。駆動制御部 2 4 2 0 は、画素メモリ 2 4 1 4 に格納された画素データを、演算回路 2 4 1 5 に読み出して、演算回路 2 4 1 5 に予め定められた演算処理を実行させる。

【 0 3 4 6 】

画素メモリ 2 4 1 4 には、引渡要求に従って画素データまたは後述する差分データを伝送するデータ転送インタフェースが設けられている。データ転送インタフェースは、画像処理部 2 5 1 1 と繋がるデータ転送ライン 2 9 2 0 と接続されている。データ転送ライン 2 9 2 0 は例えばシリアルバスによって構成される。この場合、システム制御部 2 5 0 1 から駆動制御部 2 4 2 0 への引渡要求は、アドレスバスを利用したアドレス指定によって実行される。

10

【 0 3 4 7 】

図 5 5 の信号処理チップ 2 1 1 1 を用いて、注目領域 2 1 7 2 と周辺領域 2 1 7 6 とで異なる制御パラメータを用いて画素データ取得後に、所定の演算を実行してもよい。例えば、図 4 1 から図 4 4 では、注目領域 2 1 7 2 と周辺領域 2 1 7 6 とで異なるフレームレートで取得した画像から動画を生成しているが、これに代えて、高いフレームレートで取得した画像を平均化する画像処理をして S / N 比を向上させてもよい。この場合に、例えば駆動制御部 2 4 2 0 により周辺領域 2 1 7 6 から 1 回の画素信号を得る間に、注目領域 2 1 7 2 から複数回、例えば 4 回の画素信号を得て、画素データを画素メモリ 2 4 1 4 に格納する。演算回路 2 4 1 5 は、画素メモリ 2 4 1 4 から注目領域 2 1 7 2 の各画素に対して得られた複数の画素データを読み出して、画素ごとに平均する。これにより、注目領域 2 1 7 2 の各画素でのランダムノイズが減って、注目領域 2 1 7 2 の S / N 比を向上させることができる。

20

【 0 3 4 8 】

なお、データ転送ライン 2 9 2 0 には、メモリ 2 9 4 0 が接続される。メモリ 2 9 4 0 は、画素メモリ 2 4 1 4 から画素データを指定されたアドレスに順次格納する揮発性メモリであってよい。たとえば、メモリ 2 9 4 0 は、DRAM である。メモリ 2 9 4 0 は、受け取る各画素ブロック 2 1 3 1 の画素データを用いた 1 フレーム分の RGB データを格納する。

30

【 0 3 4 9 】

制御部 2 7 4 0 は、当該画素ブロック 2 1 3 1 に対応する演算回路 2 4 1 5 に、周辺の画素ブロック 2 1 3 1 に対応する演算回路 2 4 1 5 とデータの授受を行わせる。図 5 5 の例では、駆動制御部 2 4 2 0 が、複数の演算回路 2 4 1 5 間でデータを伝送させる。それぞれの演算回路 2 4 1 5 は、他の画素ブロック 2 1 3 1 に対応する他の演算回路 2 4 1 5 における他の演算結果の少なくとも一部を受け取る。それぞれの演算回路 2 4 1 5 は、受け取った他の演算結果に更に基づいて、自己の演算結果を生成してよい。

【 0 3 5 0 】

また、演算回路 2 4 1 5 は、演算処理した画素ブロック 2 1 3 1 ごとの演算結果を、出力回路 2 9 2 2 に入力する。出力回路 2 9 2 2 は、演算回路 2 4 1 5 における演算結果を、画素データに対応付けてシステム制御部 2 5 0 1 へ出力する。ここで、画素データに対応付けて出力するとは、当該画素ブロック 2 1 3 1 の画素データに対して演算回路 2 4 1 5 が行った演算結果と、その演算を施された画素データがいずれの画素ブロックのものであるかの情報を関連づけて出力することを指す。

40

【 0 3 5 1 】

なお、出力回路 2 9 2 2 を介してシステム制御部 2 5 0 1 に転送されるデータは画素ブロック 2 1 3 1 ごとの演算結果であるが、システム制御部 2 5 0 1 は、受け取ったデータが、それぞれの画素ブロック 2 1 3 1 においてどのような演算が施された結果、得られたデータであることがわからなければ、当該データを利用することができない。本例では、出力回路 2 9 2 2 が、それぞれの演算回路 2 4 1 5 における演算内容を示すデータコード

50

を、演算結果に付して出力する。当該データコードは、演算回路2415毎に予め定められてよい。また、演算回路2415が複数種類の演算を行うことができる場合、演算回路2415は、どのような演算を行ったかを示す情報を出力回路2922に通知することが好ましい。つまり、出力回路2922は、画素ブロック2131毎に行われた演算内容、演算結果、および制御情報を、ひとつのデータ配列として生成し出力する。出力回路2922が出力する具体的なデータ配列の例は後述する。

【0352】

図56は、互いに演算結果を受け渡す複数の演算回路2415を示す。例えば第1演算回路2415は、第2演算回路2415における第2評価値、または、第2演算回路2415が第2評価値を演算する過程における演算結果を受け取る。この場合、第1演算回路2415は、第2評価値または当該演算結果に基づいて第1評価値を演算する。または、それぞれの演算回路2415は、他の演算回路2415に対応する画素信号を、演算回路2415に対応する画素メモリ2414から読み出して、自らが当該画素信号に対する演算を行ってもよい。例えば第1演算回路2415は、第2演算回路2415に対応する第2画素信号を読み出す。この場合、第1演算回路2415は、読み出した第2画素信号に基づいて第1評価値を演算する。

10

【0353】

本例では、演算回路2415-1、演算回路2415-2および演算回路2415-4に対応する各画素ブロック2131が列方向に隣接し、演算回路2415-1、演算回路2415-3および演算回路2415-5に対応する各画素ブロック2131が行方向に隣接する。それぞれの演算回路2415は、自己に対応する画素ブロック2131と隣接する画素ブロック2131に対応する他の演算回路2415における他の演算結果の少なくとも一部を受け取る。ここで、隣接するとは、行方向および列方向に隣接する場合に限定されない。画素ブロック2131が対角方向に隣接する場合を含んでもよい。本例では、行方向および列方向に隣接する場合について、説明する。

20

【0354】

隣接するそれぞれの演算回路2415は、演算結果を隣接する画素ブロック2131に対応する演算回路2415に出力する出力バス、および、演算結果を隣接する画素ブロック2131に対応する演算回路2415に入力する入力バスを介して接続される。制御部2740は、当該画素ブロック2131に対応する演算回路2415に、隣接する他の画素ブロック2131に対応する演算回路2415からの演算結果に基づいて、当該画素ブロック2131の自己の演算結果を生成させる。

30

【0355】

図57は、演算回路2415の構成の一例を示すブロック図である。それぞれの演算回路2415は、当該ブロック算出部2912と、平均算出部2913と、平均-平均算出部2914と、周辺ブロック算出部2911と、画素-平均算出部2915とを備える。当該ブロック算出部2912の入力は、当該画素ブロック2131に対応する画素メモリ2414の出力と接続されおり、当該ブロック算出部2912の出力は、平均算出部2913の入力、平均-平均算出部2914の入力、および、出力回路2922の入力、および、隣接する画素ブロック2131に対応するそれぞれの演算回路2415に接続されている。例えば当該ブロック算出部2912は、対応する画素ブロック2131における各色の画素値の平均を出力する。

40

【0356】

周辺ブロック算出部2911は、複数の入力を有し、それぞれの入力は当該画素ブロック2131に隣接する複数の画素ブロック2131に対応する演算回路2415の出力に接続されている。周辺ブロック算出部2911の出力は、平均算出部2913の入力に接続されている。例えば周辺ブロック算出部2911は、他の演算回路2415から受け取った各色の画素値の平均に基づいて、これらの平均を算出してよい。また、周辺ブロック算出部2911は、他の演算回路2415から受け取った各色の画素値の平均を、そのまま出力してもよい。

50

【0357】

平均算出部2913は2つの入力部を有し、一方の入力は当該ブロック算出部2912の出力に接続され、もう一方の入力は周辺ブロック算出部2911の出力に接続されている。例えば平均算出部2913は、当該ブロック算出部2912が出力する平均値と、周辺ブロック算出部2911が出力する平均値とに基づいて、対応する画素ブロック2131および隣接する画素ブロック2131における各色の画素値の平均を出力する。

【0358】

平均 - 平均算出部2914は2つの入力を有し、一方の入力は平均算出部2913の出力に接続され、もう一方の入力は当該ブロック算出部2912の出力に接続されている。平均 - 平均算出部2914の出力は、出力回路2922の入力に接続されている。例えば平均 - 平均算出部2914は、平均算出部2913が算出した各色の画素値の平均と、当該ブロック算出部2912が算出した各色の画素値の平均との差分を算出する。

10

【0359】

画素 - 平均算出部2915は、2つの入力を有し、一方の入力は平均算出部2913の出力に接続され、もう一方の入力は当該画素ブロック2131に対応する画素メモリ2414の出力に接続されている。画素 - 平均算出部2915の出力は当該画素ブロック2131に対応する画素メモリ2414の入力に接続されている。例えば画素 - 平均算出部2915は、当該画素ブロック2131における各画素値と、平均算出部2913が算出した各色の画素値の平均のうち、対応する色の平均値との差分を出力する。

【0360】

制御部2740は、当該ブロック算出部2912における演算結果を、他の演算回路2415および出力回路2922に伝送する。また、制御部2740は、平均 - 平均算出部2914における演算結果を、出力回路2922に伝送する。さらに、制御部2740は、画素 - 平均算出部2915における演算結果を当該画素ブロック2131の画素メモリ2414にフィードバックする。

20

【0361】

なお、演算回路2415の各算出部は、加算回路、減算回路、および除算回路により構成することができる。このように、演算回路2415の回路構成を単純化することで、画素ブロック2131毎に演算回路2415を実装することができる。

【0362】

図58は、演算回路2415の動作の一例を説明するフローチャートである。演算回路2415が動作を開始した後、ステップS2300において、制御部2740は、当該画素ブロック2131に対応する画素メモリ2414から当該画素ブロック2131のフレームレートで撮像した当該画素ブロック2131のRGB画素データを読み出し、当該ブロック算出部2912に入力する。ステップS2310において、制御部2740は、ステップS2300と同期して、隣接画素ブロック2131における演算結果の少なくとも一部を、隣接する演算回路2415から周辺ブロック算出部2911に入力する。本例では、各演算回路2415は、RGB画素毎の画素値の平均を算出し、周辺ブロック算出部2911は、隣接する演算回路2415が算出したRGB画素毎の画素値の平均を受け取る。

30

40

【0363】

ステップS2320において、制御部2740は、当該ブロック算出部2912に、自己に対応する画素ブロック2131の画素データに対して予め定められた演算を行わせる。たとえば、当該ブロック算出部2912は、当該画素ブロック2131のRGB画素ごとの加算平均値(A_r、A_g、A_b)を計算する。加算平均値は、 $A_i = (\text{画素ブロック内の } i \text{ 画素}) / (\text{画素ブロック内の } i \text{ 画素数})$ ($i = r, g, b$) によって計算される。ステップS2322において、制御部2740は、当該ブロック算出部2912に、出力回路2922の入力、および、4つの隣接画素ブロック2131の対応するそれぞれの演算回路2415の入力へ、平均値(A_r、A_g、A_b)を入力させる。

【0364】

50

ステップS 2 3 4 0において、制御部 2 7 4 0は、周辺ブロック算出部 2 9 1 1に、隣接する画素ブロック 2 1 3 1のRGB画素ごとの加算平均値に基づいて、隣接する複数の画素ブロック 2 1 3 1における平均 (B r、 B g、 B b) を計算させる (隣接画素ブロック平均とする)。たとえば、隣接画素ブロック平均は、 $B_i = A_i / 4$ ($i = r、g、b$) により計算される (ただし、隣接する画素ブロック 2 1 3 1の数を 4 とした)。ステップS 2 3 5 0において、制御部 2 7 4 0は、平均算出部 2 9 1 3に、他の演算回路 2 4 1 5から受け取った他の演算結果と、当該ブロック算出部 2 9 1 2における演算結果とに対して、予め定められた演算を行わせる。たとえば、平均算出部 2 9 1 3は、ステップS 2 3 4 0で算出した4つの隣接画素ブロック平均値 (B r、 B g、 B b) と、ステップS 2 3 2 0で算出した当該画素ブロック 2 1 3 1の加算平均値 (A r、 A g、 A b) との全平均 (C r、 C g、 C b) を計算する。全平均は、 $C_i = (B_i + A_i) / 2$ ($i = r、g、b$) によって計算される。

10

【 0 3 6 5 】

ステップS 2 3 6 0において、制御部 2 7 4 0は、平均 - 平均算出部 2 9 1 4に、ステップS 2 3 2 0で当該ブロック算出部 2 9 1 2が計算した当該ブロックの加算平均値 (A r、 A g、 A b) と、ステップS 2 3 5 0で平均算出部 2 9 1 3が計算した全平均値 (C r、 C g、 C b) との差分値 (A r、 A g、 A b) を計算させる。差分値は、 $A_i = (A_i - C_i)$ ($i = r、g、b$) によって計算される。制御部 2 7 4 0は、ステップS 2 3 7 0において、平均 - 平均算出部 2 9 1 4に、差分値 (A r、 A g、 A b) を出力回路 2 9 2 2へ入力させる。なお、演算回路 2 4 1 5は平均 - 平均算出部 2 9 1 4を有さずに、平均 - 平均算出部 2 9 1 4における演算結果に代えて、平均算出部 2 9 1 3における演算結果を出力回路 2 9 2 2に入力してもよい。

20

【 0 3 6 6 】

制御部 2 7 4 0は、ステップS 2 3 8 0において、画素 - 平均算出部 2 9 1 5に、ステップS 2 3 1 0で取得した当該画素ブロックのRGB画素データと、ステップS 2 3 5 0において、平均算出部 2 9 1 3が計算した全平均値 (C r、 C g、 C b) との差分値 (C r、 C g、 C b) を計算させる。差分値は、 $C_i = (C_i - \text{当該画素ブロック内の } i \text{ 画素})$ ($i = r、g、b$) により計算される。これにより、値の小さい差分値と、平均値とを用いて、元の画素データの情報を保存することができる。つまり、平均算出部 2 9 1 3における演算結果に基づいて、自己に対応する画素ブロック 2 1 3 1の画素データを圧縮させることができる。

30

【 0 3 6 7 】

ステップS 2 3 9 0において、制御部 2 7 4 0は、(C r、 C g、 C b) を当該画素ブロック 2 1 3 1の画素メモリ 2 4 1 4へフィールドバックする。ステップS 2 3 9 2において、制御部 2 7 4 0は、演算を続けるか否かを判断し、前者の場合にはステップS 2 3 0 0に戻り、後者の場合には演算処理を終了する。

【 0 3 6 8 】

制御部 2 7 4 0は、演算回路 2 4 1 5の以上の動作を画素ブロック 2 1 3 1ごとに実行する。なお、演算回路 2 4 1 5は、現フレームにおける画素データに対して、以前のフレームにおける画素データを用いて予め定められた演算を行ってもよい。この場合、制御部 2 7 4 0は、演算回路 2 4 1 5に対して、隣接する画素ブロック 2 1 3 1のRGB画素ごとの平均値の代わりに、自己の画素ブロック 2 1 3 1の、例えばひとつ前のフレームにおけるRGB画素ごとの加算平均値 (D r、 D g、 D b) を用いればよい。前のフレームの加算平均値は、 $D_i = (\text{前のフレームの画素ブロック内の } i \text{ 画素}) / (\text{前のフレームの画素ブロック内の } i \text{ 画素数})$ ($i = r、g、b$) により求められる。制御部 2 7 4 0は、メモリ 2 9 4 0から前のフレームのRGB画素データを読み出して、第4演算部に加算平均値 (D r、 D g、 D b) を計算させる。それ以外の動作は図 5 8と同様なので説明を省略する。

40

【 0 3 6 9 】

このように、本例によれば、画素ブロック 2 1 3 1ごとの演算結果および演算内容なら

50

びに制御部 2740 による画素ブロック 2131 ごとの制御情報を画素ブロック 2131 から出力回路 2922 を介してシステム制御部 2501 へ送ることができる。結果として、システム制御部 2501 における画像処理の負荷を大幅に低減することができる。また、演算回路 2415 は、周辺の画素ブロック 2131 の画素データとの相関値を当該画素ブロック 2131 の評価値として出力すればよいので、システム制御部 501 に送信すべきデータ量を減らすことができる。さらに、本例の演算回路 2415 は、差分値 (Cr、 Cg、 Cb) を当該画素ブロック 2131 に対応する画素メモリ 2414 にフィードバックしているので、その分だけシステム制御部 2501 に送信するデータ量を減らすことができる。さらに、システム制御部 2501 に含まれる画像処理部 2511 は、それぞれの出力回路 2922 から受け取る演算結果に基づいて、一つの画像データを生成することができるので、すべての画素ブロック 2131 の RGB 画素データをメモリ 2940 に一度記憶させてから読み出してひとつの画像を再構成する場合に比べ、画像処理の速度を向上させることができる。なお、本例の信号処理チップ 2111 は、画像処理部 2511 における画像処理機能の少なくとも一部の機能を有する。例えば演算回路 2415 が、各評価値に基づいて、対応する画素信号に対応する画像の画像データに画像処理を施す画像処理部として更に機能する。一例として、当該画像処理機能は、差分値 (Cr、 Cg、 Cb) を画素メモリ 2414 にフィードバックする機能であってよい。なお、評価値の例は、画素ブロック 2131 内の画素信号の平均、画素ブロック 2131 内外の画素信号の重み付け平均、画素ブロック 2131 内のコントラスト、画素ブロック 2131 内外のコントラストの重み付け平均画素ブロック 2131 内の輝度、画素ブロック 2131 内外の輝度の重み付け平均等である。さらには、評価値は、G 画素の平均、R 画素の平均、B 画素の平均を所定割合で加算した値であってよい。また、平均値の算出は、単位グループ内に配置される部分領域の平均値でもよい。

10

20

30

40

50

【0370】

図 59 は、演算回路 2415 からの入力に基づいて、出力回路 2922 が生成するデータ配列 2950 の一例を示す。データ配列 2950 は、データコード領域 2952 およびデータ領域 2954 を有する。データコード領域 2952 には、データコード用に 4 ビットが割り当てられてよい。本例では、D12 から D15 がデータコードに割り当てられている。データ領域 2954 には、それぞれのデータコードに対応する付加データ用の 12 ビットが割り当てられてよい。本例では、D0 から D11 がデータコード用に割り当てられている。データ配列 2950 のビット数は 16 ビットに限定されず、データコードと付加データに割り当てべきビット数も任意に設定できる。

【0371】

なお、制御部 2740 は、演算回路 2415 からの演算結果データを、画素メモリ 2414 からの画素データと別のルートで出力してよい。たとえば、制御部 2740 は、演算回路 415 の演算結果を出力回路 2922 を通じてシステム制御部 2501 に送信してよい。また、制御部 2740 は、画素メモリ 2414 の画素データをデータ転送ライン 2920 を介してメモリ 2940 に格納してよい。他の例では、制御部 2740 は、画素ブロック 2131 の画素データに当該画素ブロック 2131 の画素データの演算結果を添付して出力回路 2922 からシステム制御部 2501 へ一緒に送信してもよい。

【0372】

なお、以上においては画素値の平均を算出する例を説明したが、演算回路 2415 における演算内容は、これに限定されない。演算回路 2415 に用いられるパラメータは、画素値以外の情報が含まれてよい。例えば演算回路 2415 は、画素の XY 平面における位置、被写体までの距離の情報、絞り値、PD2104 における電荷蓄積時間、当該画素ブロック 2131 における電荷電圧変換利得、当該画素ブロック 2131 における駆動フレーム周波数 (フレームレート) 等のパラメータを用いて所定の演算を行ってよい。

【0373】

図 60 は、図 59 に示すデータ配列 2950 の内容の一例を示す。データコード領域 2952 には 16 種類のデータコード (0 ~ 9、a ~ f) が記憶される。データコード 0 に

は、当該画素ブロック 2 1 3 1 の R 画素加算平均値 (A r) が割り当てられ、12 ビットの付加データとして出力される。データコード 1 には、当該画素ブロック 2 1 3 1 の G 画素加算平均値 (A g) が割り当てられ、12 ビットの付加データとして出力される。データコード 2 には、当該画素ブロック 2 1 3 1 の B 画素加算平均値 (A r) が割り当てられ、12 ビットの付加データとして出力される。データコード 3 には、全平均値 C r と A r との差分 A r が割り当てられ、12 ビットの付加データとして出力される。データコード 4 には、全平均値 C g と A g との差分 A g が割り当てられ、12 ビットの付加データとして出力される。データコード 5 には、全平均値 C b と A b との差分 A b が割り当てられ、12 ビットの付加データとして出力される。以上が、演算回路 2 4 1 5 が出力する演算内容および演算結果のデータの一例である。

10

【0374】

データ配列 2 9 5 0 は、他に制御部 2 7 4 0 の制御情報を含む。本例では、データコード d には、当該画素ブロック 2 1 3 1 の電荷電圧変換利得が割り当てられ、12 ビットの付加データとして出力される。データコード e には、当該画素ブロック 2 1 3 1 の駆動フレーム周波数が割り当てられ、12 ビットの付加データとして出力される。データコード f には、当該画素ブロック 2 1 3 1 の蓄積時間が割り当てられ、12 ビットの付加データとして出力される。データ配列 2 9 5 0 に制御部 2 7 4 0 の制御情報(制御ログ)を付加することで、制御部 2 7 4 0 が各画素ブロック 2 1 3 1 をどのように制御したかを示す制御情報を画素ブロック側からシステム制御部 2 5 0 1 に送ることができる。

20

【0375】

つまり、システム制御部 2 5 0 1 は、図 5 9 に例示したデータ配列 2 9 5 0 を、画素ブロック 2 1 3 1 毎に受け取ることができるので、メモリ 2 9 4 0 に格納された当該画素ブロック 2 1 3 1 の R G B 画素ごとの差分データにアクセスして読み出したデータをデータ配列 2 9 5 0 のデータコードに基づいて処理することで、画素ブロック 2 1 3 1 毎の画像処理を容易に実行することができる。つまり、システム制御部 2 5 0 1 における処理の一部を演算回路 2 4 1 5 で行っているため、動画生成におけるシステム制御部 2 5 0 1 の画素データ処理の負荷を大幅に低減することができる。なお、システム制御部 2 5 0 1 は、出力回路 2 9 2 2 が出力したデータ配列 2 9 5 0 の内容を、システム制御部 2 5 0 1 自身の負荷を減らしつつ有効に利用することができる。たとえば、システム制御部 2 5 0 1 は、データ配列 2 9 5 0 の内容に基づいて、画素ブロック 2 1 3 1 ごとに圧縮レートを変えて動画を生成することができる。

30

【0376】

図 6 1 は、本実施形態に係る他の撮像素子 3 1 0 0 の断面図である。撮像素子 3 1 0 0 は、入射光に対応した画素信号を出力する撮像チップ 3 1 1 3 と、画素信号を処理する信号処理チップ 3 1 1 1 と、画素信号を記憶するメモリチップ 3 1 1 2 とを備える。これら撮像チップ 3 1 1 3、信号処理チップ 3 1 1 1 およびメモリチップ 3 1 1 2 は積層されており、C u 等の導電性を有するパンプ 3 1 0 9 により互いに電氣的に接続される。

【0377】

なお、図示するように、入射光は主に白抜き矢印で示す Z 軸プラス方向へ向かって入射する。本明細書においては、撮像チップ 3 1 1 3 において、入射光が入射する側の面を裏面と称する。また、座標軸に示すように、Z 軸に直交する紙面左方向を X 軸プラス方向、Z 軸および X 軸に直交する紙面手前方向を Y 軸プラス方向とする。以降のいくつかの図においては、図 6 1 の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

40

【0378】

撮像チップ 3 1 1 3 の一例は、裏面照射型の M O S イメージセンサである。P D 層 3 1 0 6 は、配線層 3 1 0 8 の裏面側に配されている。P D 層 3 1 0 6 は、二次元的に配され、入射光に応じた電荷を蓄積して、蓄積した電荷に応じた画素信号を生成する複数の P D (フォトダイオード) 1 0 4、および、P D 3 1 0 4 に対応して設けられたトランジスタ 3 1 0 5 を有する。

50

【0379】

PD層3106における入射光の入射側にはパッシベーション膜3103を介してカラーフィルタ3102が設けられる。カラーフィルタ3102は、互いに異なる波長領域を透過する複数の種類を有しており、PD3104のそれぞれに対応して特定の配列を有している。カラーフィルタ3102の配列については後述する。カラーフィルタ3102、PD3104およびトランジスタ3105の組が一つの画素を形成する。

【0380】

カラーフィルタ3102における入射光の入射側には、それぞれの画素に対応して、マイクロレンズ3101が設けられる。マイクロレンズ3101は、対応するPD3104へ向けて入射光を集光する。

10

【0381】

配線層3108は、PD層3106からの画素信号を信号処理チップ3111に伝送する配線3107を有する。配線3107は多層であってもよく、また、受動素子および能動素子が設けられてもよい。

【0382】

配線層3108の表面には複数のバンプ3109が配される。当該複数のバンプ3109が信号処理チップ3111の対向する面に設けられた複数のバンプ3109と位置合わせされて、撮像チップ3113と信号処理チップ3111とが加圧等されることにより、位置合わせされたバンプ3109同士が接合されて、電気的に接続される。

20

【0383】

同様に、信号処理チップ3111およびメモリチップ3112の互いに対向する面には、複数のバンプ3109が配される。これらのバンプ3109が互いに位置合わせされて、信号処理チップ3111とメモリチップ3112とが加圧等されることにより、位置合わせされたバンプ3109同士が接合されて、電気的に接続される。

【0384】

なお、バンプ3109間の接合には、固相拡散によるCuバンプ接合に限らず、はんだ溶融によるマイクロバンプ結合を採用しても良い。また、バンプ3109は、例えば後述する一つの画素ブロックに対して一つ程度設ければ良い。したがって、バンプ3109の大きさは、PD3104のピッチよりも大きくても良い。また、画素が配列された画素領域以外の周辺領域において、画素領域に対応するバンプ3109よりも大きなバンプを併せて設けても良い。

30

【0385】

信号処理チップ3111は、表裏面にそれぞれ設けられた回路を互いに接続するTSV(シリコン貫通電極)110を有する。TSV3110は、周辺領域に設けられることが好ましい。また、TSV3110は、撮像チップ3113の周辺領域、および、メモリチップ3112にも設けられて良い。

【0386】

図62は、撮像チップ3113の画素配列と画素ブロック3131を説明する図である。図62では、撮像チップ3113を裏面側から観察した様子を示す。画素領域3700には複数の画素がマトリクス状に配列されている。図62においては、隣接する4画素×4画素の16画素が一つの画素ブロック3131を形成する。図の格子線は、隣接する画素がグループ化されて画素ブロック3131を形成する概念を示す。画素ブロック3131を形成する画素の数はこれに限られず1000個程度、例えば32画素×64画素でもよいし、それ以上でもそれ以下でもよい。

40

【0387】

画素領域3700の部分拡大図に示すように、画素ブロック3131は、緑色画素Gb、Gr、青色画素Bおよび赤色画素Rの4画素から成るいわゆるベイヤー配列を、上下左右に4つ内包する。緑色画素は、カラーフィルタ3102として緑色フィルタを有する画素であり、入射光のうち緑色波長帯の光を受光する。同様に、青色画素は、カラーフィルタ3102として青色フィルタを有する画素であって青色波長帯の光を受光し、赤色画素

50

は、カラーフィルタ 3 1 0 2 として赤色フィルタを有する画素であって赤色波長帯の光を受光する。

【 0 3 8 8 】

本実施形態において、複数の画素ブロック 3 1 3 1 のうちの少なくとも一つの画素ブロックが選択され、他の画素ブロックとは異なる制御パラメータで、それぞれの画素ブロックに含まれる画素が制御される。制御パラメータの例は、フレームレート、間引き率、画素信号を加算する加算行数、電荷の蓄積時間または蓄積回数、デジタル化のビット数等である。さらに、制御パラメータは、画素からの画像信号取得後の画像処理におけるパラメータであってもよい。フレームレートとは、画素信号を生成する周期を指す。なお本明細書においてフレームレートとは、画素ブロック 3 1 3 1 毎のフレームレートを指す場合がある。例えば、基準フレームレートおよび高速フレームレートは、画素ブロック 3 1 3 1 毎のフレームレートを指す。

10

【 0 3 8 9 】

図 6 3 は、撮像チップ 3 1 1 3 の画素ブロック 3 1 3 1 に対応する回路図である。図において、代表的に点線で囲む矩形が、1 画素に対応する回路を表す。なお、以下に説明する各トランジスタの少なくとも一部は、図 6 1 のトランジスタ 3 1 0 5 に対応する。

【 0 3 9 0 】

図 6 3 では、16 画素から形成される画素ブロック 3 1 3 1 を示すが、画素ブロック 3 1 3 1 の画素数はこれに限定されない。それぞれの画素に対応する 16 個の PD 3 1 0 4 は、それぞれ転送トランジスタ 3 3 0 2 に接続され、各転送トランジスタ 3 3 0 2 の各ゲートには、転送パルスが供給される TX 配線 3 3 0 7 に接続される。図 6 3 に示す例において、TX 配線 3 3 0 7 は、16 個の転送トランジスタ 3 3 0 2 に対して共通接続される。

20

【 0 3 9 1 】

各転送トランジスタ 3 3 0 2 のドレインは、対応する各リセットトランジスタ 3 3 0 3 のソースに接続されると共に、転送トランジスタ 3 3 0 2 のドレインとリセットトランジスタ 3 3 0 3 のソース間のいわゆるフローティングディフュージョン FD が増幅トランジスタ 3 3 0 4 のゲートに接続される。リセットトランジスタ 3 3 0 3 のドレインは電源電圧が供給される V d d 配線 3 3 1 0 に接続され、そのゲートはリセットパルスが供給されるリセット配線 3 3 0 6 に接続される。図 6 3 に示す例において、リセット配線 3 3 0 6 は、16 個のリセットトランジスタ 3 3 0 3 に対して共通接続される。

30

【 0 3 9 2 】

各々の増幅トランジスタ 3 3 0 4 のドレインは電源電圧が供給される V d d 配線 3 3 1 0 に接続される。また、各々の増幅トランジスタ 3 3 0 4 のソースは、対応する各々の選択トランジスタ 3 3 0 5 のドレインに接続される。選択トランジスタの各ゲートには、選択パルスが供給されるデコーダ配線 3 3 0 8 に接続される。図 6 3 に示す例では、デコーダ配線 3 3 0 8 は、16 個の選択トランジスタ 3 3 0 5 に対してそれぞれ独立に設けられる。そして、各々の選択トランジスタ 3 3 0 5 のソースは、共通の出力配線 3 3 0 9 に接続される。負荷電流源 3 3 1 1 は、出力配線 3 3 0 9 に電流を供給する。すなわち、選択トランジスタ 3 3 0 5 に対する出力配線 3 3 0 9 は、ソースフォロアにより形成される。なお、負荷電流源 3 3 1 1 は、撮像チップ 3 1 1 3 側に設けても良いし、信号処理チップ 3 1 1 1 側に設けても良い。

40

【 0 3 9 3 】

ここで、電荷の蓄積開始から蓄積終了後の画素出力までの流れを説明する。リセット配線 3 3 0 6 を通じてリセットパルスがリセットトランジスタ 3 3 0 3 に印加され、同時に TX 配線 3 3 0 7 を通じて転送パルスが転送トランジスタ 3 3 0 2 に印加されると、PD 3 1 0 4 およびフローティングディフュージョン FD の電位はリセットされる。

【 0 3 9 4 】

PD 3 1 0 4 は、転送パルスの印加が解除されると、受光する入射光を電荷に変換して蓄積する。その後、リセットパルスが印加されていない状態で再び転送パルスが印加され

50

ると、蓄積された電荷はフローティングディフュージョンFDへ転送され、フローティングディフュージョンFDの電位は、リセット電位から電荷蓄積後の信号電位になる。そして、デコーダ配線3308を通じて選択パルスが選択トランジスタ3305に印加されると、フローティングディフュージョンFDの信号電位の変動が、増幅トランジスタ3304および選択トランジスタ3305を介して出力配線3309に伝わる。これにより、リセット電位と信号電位とに対応する画素信号は、単位画素から出力配線3309に出力される。

【0395】

図63に示す例では、画素ブロック3131を形成する16画素に対して、リセット配線3306とTX配線3307が共通である。すなわち、リセットパルスと転送パルスはそれぞれ、16画素全てに対して同時に印加される。したがって、画素ブロック3131を形成する全ての画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。ただし、蓄積された電荷に対応する画素信号は、それぞれの選択トランジスタ3305が選択パルスによって順次印加されて、選択的に出力配線3309に出力される。また、リセット配線3306、TX配線3307、出力配線3309は、画素ブロック3131毎に別個に設けられる。

10

【0396】

このように画素ブロック3131を基準として回路を構成することにより、画素ブロック3131ごとに電荷蓄積時間を制御することができる。換言すると、隣接する画素ブロック3131同士で、異なった電荷蓄積時間による画素信号をそれぞれ出力させることができる。更に言えば、一方の画素ブロック3131に1回の電荷蓄積を行わせている間に、他方の画素ブロック3131に何回もの電荷蓄積を繰り返させてその都度画素信号を出力させることにより、これらの画素ブロック3131同士で異なるフレームレートで動画用の各フレームを出力することもできる。

20

【0397】

図64Aは、撮像素子3100の構成の一部と、その動作例を示す。本例の撮像素子3100は、図61に示した構成に加え、記憶部3114を更に備える。なお、記憶部3114は、信号処理チップ3111に設けられてよい。この場合、撮像素子3100は、メモリチップ3112を有さなくともよい。また、記憶部3114は、メモリチップ3112に設けられてもよい。

30

【0398】

撮像チップ3113は、それぞれ入射光に応じた画素信号を生成する複数の画素が配置された画素領域3700を有する。ここで、画素領域3700は、複数の画素を二次元的に複数並べて構成されてよい。各画素ブロック3131は、行方向および列方向に $m \times n$ 個の画素を有する。ここで、 m 、 n は2以上の整数である。画素領域3700は、行方向および列方向に分割した複数の画素ブロック3131を有する。図62に示したように、画素ブロック3131とは、複数の画素がマトリクス状に配置された画素集合体を指す。また、行方向および列方向とは、画素領域3700の面内における異なる2つの方向を指し、必ずしも互いに直交していなくともよい。

40

【0399】

説明の便宜上、図64Aから図64Cにおいては、画素ブロック3131を、行方向および列方向に3個ずつ示すが、画素領域3700に含まれる画素ブロック3131の数は、より多くてよい。それぞれの画素ブロック3131に含まれる画素数は、等しいことが好ましい。また、画素領域3700内の各画素ブロック3131に含まれる画素数は、固定されていることが好ましい。画素ブロック3131は、例えば 32×64 の画素により構成される。

【0400】

本例の信号処理チップ3111は、マルチプレクサ3411、A/D変換器3412、デマルチプレクサ3413、および制御部3740を、画素ブロック3131毎に有する。マルチプレクサ3411は、対応する画素ブロック3131に含まれる画素を順次選択

50

して、選択した画素に対応する画素信号をA/D変換器3412に入力する。A/D変換器3412は、アナログの画素信号をデジタルの画素データに変換し、デマルチプレクサ3413に入力する。デマルチプレクサ3413は、対応する記憶ブロック3730において、当該画素に対応する記憶領域に当該画素データを記憶させる。それぞれの記憶ブロック3730は、記憶した画素データを後段の演算回路に引き渡す。

【0401】

記憶部3114は、複数の画素ブロック3131に対応して設けられ、それぞれ対応する画素ブロック3131の画素データを記憶可能な複数の記憶ブロック3730を有する。記憶ブロック3730は、画素ブロック3131と一対一に対応する。記憶ブロック3730は、バス3720を介して、対応する画素ブロック3131と接続されてよい。記憶ブロック3730は、バッファメモリであってよい。

10

【0402】

また、少なくとも一部の記憶ブロック3730は、対応する画素ブロック3131以外の画素ブロックの画素データも記憶することができる。つまり、一つの記憶ブロック3730が複数の画素ブロック3131によって共有されてもよい。換言すれば、制御部3740は、一つの画素ブロック3131の画素データを複数の記憶ブロック3730に記憶させることができる。記憶ブロック3730を共有することで、後述するように複数の記憶ブロック3730を効率よく利用することができるので、記憶部3114全体のメモリ容量を抑制することができる。

20

【0403】

なお、全ての画素ブロック3131について、画素データが、対応する記憶ブロック3730以外にも、少なくとも一つの他の記憶ブロック3730に読み書き可能であることが好ましい。当該他の記憶ブロック3730は、画素ブロック3131毎に予め定められていてよく、動的に変更可能であってもよい。また、全ての記憶ブロック3730について、対応する画素ブロック3131以外にも、少なくとも一つの他の画素ブロック3131の画素データが読み書き可能であることが好ましい。当該他の画素ブロック3131は、記憶ブロック3730毎に予め定められていてよく、動的に変更可能であってもよい。

30

【0404】

なお、それぞれの記憶ブロック3730は、信号処理チップ3111において、対応する画素ブロック3131と重なる領域に、それぞれの画素ブロック3131毎に設けられたメモリであってよい。つまり、記憶ブロック3730は、信号処理チップ3111において、対応する画素ブロック3131の直下の領域に設けられてよい。この場合、画素ブロック3131および記憶ブロック3730は、TSVにより電氣的に接続されてよい。また、信号処理チップ3111において各画素ブロック3131と重なる領域には、対応する記憶ブロック3730およびA/D変換器3412等が設けられる。また、それぞれの記憶ブロック3730は、信号処理チップ3111において、画素領域3700と重なる領域の外側にそれぞれ設けられたメモリであってよい。

40

【0405】

また、それぞれの記憶ブロック3730およびA/D変換器3412が、対応する画素ブロック3131と重なる領域に設けられた場合において、それぞれの記憶ブロック3730が、対応する画素ブロック3131以外の画素ブロック3131の画素データを記憶する場合、当該記憶ブロック3730が設けられた領域までアナログの画素信号を伝送してよく、デジタルの画素データを伝送してもよい。前者の場合、当該記憶ブロック3730に対応するA/D変換器3412が、画素信号を画素データに変換して、当該記憶ブロック3730に入力する。後者の場合、当該画素ブロック3131と重なる領域におけるA/D変換器3412において画素信号を画素データに変換してから、当該画素データを記憶すべき記憶ブロック3730まで伝送する。信号処理チップ3111には、これらの画素信号または画素データを伝送するための配線が設けられる。

50

【0406】

図64Bは、撮像素子3100の他の動作例を示す。なお、図64Bでは、図64Aに

50

示した信号処理チップ 3 1 1 1 の構成を省略している。本例では、複数の画素ブロック 3 1 3 1 のうち、画素ブロック 3 7 1 2 の画素データを、対応する記憶ブロック 3 7 3 4 以外の他の記憶ブロック 3 7 3 1、7 3 2 および 7 3 3 のいずれかに記憶する。本例では、画素ブロック 3 7 1 2 が生成したアナログの画素信号を、他の記憶ブロック 3 7 3 1 ~ 7 3 3 に対応する A / D 変換器 3 4 1 2 で、デジタルの画素データに変換する。このように、いずれかの画素ブロック 3 7 1 2 の画素データを、複数の記憶ブロック 3 7 3 1 ~ 7 3 4 に記憶可能とすることで、メモリの使用効率を向上させることができる。

【 0 4 0 7 】

例えば、複数の画素ブロック 3 1 3 1 は、画素ブロック 3 1 3 1 毎に異なるフレームレートで撮像した被写体の画素信号を、フレームレートに応じたタイミングで生成してよい。後述するように、制御部 3 7 4 0 は、基準フレームレートおよび当該基準フレームレートよりも周期の短い高速フレームレートの少なくとも 2 つから、画素ブロック 3 1 3 1 ごとに、対応する記憶ブロック 3 7 3 0 を選択する。高速フレームレートの周期は、基準フレームレートの周期の整数分の 1 倍であってよい。それぞれの画素ブロック 3 1 3 1 は、フレームレートの周期毎に、1 ブロック分の画素信号を出力してよい。

10

【 0 4 0 8 】

本例では、画素ブロック 3 7 1 2 のフレームレートが、基準フレームレートの 5 倍である場合を説明する。また、基準フレームレートの画素ブロック 3 1 3 1 が画素信号を出力するのと略同時に、高速フレームレートの画素ブロック 3 7 1 2 も画素信号を出力する。この場合、画素ブロック 3 1 3 1 が次の画素信号を出力するまでに、画素ブロック 3 7 1 2 は画素信号を 4 回出力する。

20

【 0 4 0 9 】

制御部 3 7 4 0 は、基準フレームレートの画素ブロック 3 1 3 1 が画素信号を出力していないときに、高速フレームレートの画素ブロック 3 7 1 2 が 4 回出力する画素信号に応じた画素データを、複数の記憶ブロック 3 7 3 1 ~ 7 3 4 にそれぞれ記憶させる。なお、それぞれの画素ブロックが基準フレームレートに同期して出力する画素信号に応じた、1 フレーム分の画素データは、複数の記憶ブロック 3 7 3 0 とは異なるメモリに記憶されてよく、また、複数の記憶ブロック 3 7 3 0 に一端記憶された後に、高速フレームレートで動作する画素ブロック 3 7 1 2 の次の画素データが複数の記憶ブロック 3 7 3 0 に入力される前に、記憶ブロック 3 7 3 0 の後段のメモリまたは回路に受け渡されてもよい。これにより、複数の記憶ブロックを効率よく使用することができる。

30

【 0 4 1 0 】

制御部 3 7 4 0 は、高速フレームレートの画素ブロック 3 7 1 2 に対応する記憶ブロック 3 7 3 4 に既に画素データが記憶されている場合に、当該画素ブロック 3 7 1 2 に対応する画素データを、画素データが記憶されていない記憶ブロック 3 7 3 1、7 3 2、または 7 3 3 のいずれかに記憶させる。つまり、制御部 3 7 4 0 は、高速フレームレートの画素ブロック 3 7 1 2 の画素データを、対応する記憶ブロック 3 7 3 4 以外の、画素データが記憶されていない記憶ブロック 3 7 3 1、7 3 2、および 7 3 3 に振り分けられて記憶させる。このとき、振り分けられる画素データは、自己に対応する画素ブロック 3 7 1 2 の画素領域 3 7 0 0 における位置データ、および、自己の属するフレームを示すフレームデータを付加データとして有してよい。画素データが振り分けられるべき記憶ブロック 3 7 3 0 の位置は、画素ブロック 3 7 1 2 毎に固定されていてもよく、動的に変化してもよい。振り分けられるべき記憶ブロック 3 7 3 0 の位置が、画素ブロック 3 1 3 1 毎に固定されている場合には、付加データから位置データを省略することができる。

40

【 0 4 1 1 】

図 6 4 C は、撮像素子 3 1 0 0 の他の動作例を示す。なお、図 6 4 C では、図 6 4 A に示した信号処理チップ 3 1 1 1 の構成を省略している。本例も図 6 4 B の例と同様に、画素ブロック 3 7 1 2 の画素データを、対応する記憶ブロック 3 7 3 4 以外の他の記憶ブロック 3 7 3 5 ~ 3 7 3 7 のいずれかに記憶する。ただし本例では、画素ブロック 3 7 1 2 と重なる領域における A / D 変換器 3 4 1 2 において画素信号を画素データに変換してか

50

ら、当該画素データを記憶すべき記憶ブロックに伝送する。本例では、当該画素データは、各記憶ブロック間を移動する。

【0412】

本例の制御部3740は、高速フレームレートの画素ブロック3712に対応する記憶ブロック3734に既に画素データが記憶されている場合に、記憶ブロック3734の画素データを、画素データが記憶されていない記憶ブロック3735、3736、3737、3738に移動させて、それぞれの記憶ブロックに記憶させる点で、図64Bに示す実施形態と異なる。つまり、本例では、記憶部3114は、記憶ブロック間でデータの送受信が可能となるように、記憶ブロック同士が配線により接続されている。

【0413】

制御部3740は、記憶ブロック3734の画素データを、画素データが記憶されていない記憶ブロック3735、3736、3737、3738のいずれかに移動させて記憶させる。好ましくは、制御部3740は、画素領域3700の最外周の画素ブロック3131に対応する記憶ブロックに向かうように、記憶ブロック3734の画素データを移動させて記憶させてよい。フレームレートの高い画素ブロック3712から画素領域3700の外周方向に遠ざかるにしたがって画素ブロック3131のフレームレートが低くなる場合が比較的に多いので、制御部3740は、外周方向へ二次元的に画素データを分散させることが好ましい。こうすることにより、バッファメモリの容量を増加させずとも、複数の記憶ブロック3730を満遍なく利用することで、記憶部3114全体のメモリの容量を抑制することができる。なお、制御部3740は、各画素ブロック3131のフレームレート情報に基づいて、最外周以外の画素ブロック3131に対応する記憶ブロック3730を選択して、当該画素データを書き込んでもよい。

【0414】

本例においても、画素データが分散されるべき記憶ブロックの位置は固定されていても、動的に変化してもよい。分散されるべき記憶ブロックの位置が固定されている場合には、移動する画素データに付加すべき付加データから位置データを省略することができる。この場合、画素データが分散されるべき記憶ブロックが、画素領域3700の最外周の画素ブロック3131に対応する記憶ブロックであることがより好ましい。また、それぞれの記憶ブロック3730が記憶した画素データは、高速フレームレートに同期して、順次移動されてもよい。これにより、画素データを、離間した記憶ブロック3730の間で伝送することができる。当該画素データの移動を繰り返すことで、任意の記憶ブロック3730に画素データを移動させることができる。

【0415】

後述する演算回路3415は、記憶ブロック3730に格納された画素データを処理した後段の画像処理部に引き渡す。演算回路3415は、信号処理チップ3111に設けられても良いし、記憶部3114に設けられても良い。なお、図では1つの画素ブロック3131の分の接続を示すが、実際にはこれらが画素ブロック3131ごとに存在して、並列で動作する。ただし、演算回路3415は画素ブロック3131ごとに存在しなくても良く、例えば、一つの演算回路がそれぞれの画素ブロック3131に対応する記憶ブロック3730の値を順に参照しながらシーケンシャルに処理しても良い。

【0416】

上記の通り、画素ブロック3131のそれぞれに対応して出力配線3309が設けられている。撮像素子3100は撮像チップ3113、信号処理チップ3111および記憶部3114を積層しているので、これら出力配線3309にバンプ3109を用いたチップ間の電氣的接続を用いることにより、各チップを面方向に大きくすることなく配線を引き回すことができる。

【0417】

なお、制御部3740には、各画素ブロック3131のフレームレートに関するレート情報が与えられる。制御部3740は、当該レート情報に基づいて、高速フレームレートの画素ブロック3131の画素データを記憶すべき記憶ブロック3730を選択する。例

10

20

30

40

50

例えば制御部 3740 は、基準フレームレートの画素ブロック 3131 に対応する記憶ブロック 3730 を、当該画素データを記憶すべき記憶ブロック 3730 とする。また、制御部 3740 は、当該レート情報に基づいて、図 64C に示した形態において、画素データを移動するルートを決してよい。例えば制御部 3740 は、各記憶ブロック 3730 の画素データを移動させる場合に、当該記憶ブロック 3730 に隣接し、且つ、基準フレームレートに対応する記憶ブロック 3730 のうち、高速フレームレートに対応する記憶ブロック 3730 からの距離が増大する記憶ブロック 3730 を選択する。

【0418】

図 65 は、本実施形態に係る撮像装置の構成を示すブロック図である。撮像装置 3500 は、撮影光学系としての撮影レンズ 3520 を備え、撮影レンズ 3520 は、光軸 OA に沿って入射する被写体光束を撮像素子 3100 へ導く。撮影レンズ 3520 は、撮像装置 3500 に対して着脱できる交換式レンズであっても構わない。撮像装置 3500 は、撮像素子 3100、システム制御部 3501、駆動部 3502、測光部 3503、ワークメモリ 3504、記録部 3505、および表示部 3506 を主に備える。

10

【0419】

撮影レンズ 3520 は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図 61 では瞳近傍に配置された仮想的な 1 枚のレンズで当該撮影レンズ 3520 を代表して表している。駆動部 3502 は、システム制御部 3501 からの指示に従って撮像素子 3100 のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。この意味において駆動部 3502 は、撮像素子 3100 に対して電荷蓄積を実行させて画素信号を出力させる撮像素子制御部の機能を担うと言える。

20

【0420】

撮像素子 3100 は、画素信号をシステム制御部 3501 の画像処理部 3511 へ引き渡す。画像処理部 3511 は、ワークメモリ 3504 をワークスペースとして種々の画像処理を施し、画像データを生成する。例えば、JPEG ファイル形式の画像データを生成する場合は、ペイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部 3505 に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部 3506 に表示される。

30

【0421】

測光部 3503 は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部 3503 は、例えば 100 万画素程度の AE センサを含む。システム制御部 3501 の演算部 3512 は、測光部 3503 の出力を受けてシーンの領域ごとの輝度を算出する。演算部 3512 は、算出した輝度分布に従ってシャッタ速度、絞り値、ISO 感度を決定する。測光部 3503 は撮像素子 3100 で兼用してもよい。なお、演算部 3512 は、撮像装置 3500 を動作させるための各種演算も実行する。

【0422】

駆動部 3502 は、一部または全部が撮像チップ 3113 に搭載されてもよいし、一部または全部が信号処理チップ 3111 に搭載されてもよい。システム制御部 3501 の一部が撮像チップ 3113 または信号処理チップ 3111 に搭載されてもよい。

40

【0423】

図 66 は、画像処理部の機能ブロック図である。本例の画像処理部 3511 は、基準フレームレートで動作する画素ブロック 3131 (後述する周辺領域 3176) と、高速フレームレートで動作する画素ブロック 3131 (後述する注目領域 3172) とを抽出する。画像処理部 3511 は、上記の機能に加えて、被写体推定部 3150、グループ選択部 3152、動画生成部 3154 および動画合成部 3156 を有する。これらの各機能は、後述する。

【0424】

図 67 は、撮像装置が動画を生成して記録する動作を示すフローチャートである。図 68 および図 69 は撮像素子により撮像される画像の一例を示す。図 70 は各フレームレ

50

トと画像信号の出力タイミングとの関係を示す。

【0425】

図67の動作は、ユーザが録画ボタンの押下等により、撮像装置3500に対して動画の生成を指示したときに開始する。まず、被写体推定部3150は、駆動部3502を駆動して撮像素子3100からの画像信号に基づく画像データを取得し、当該画像データが示す画像に含まれる主要被写体を推定する(S3100)。

【0426】

この場合に、駆動部3502は撮像領域全体に含まれる画素ブロック3131、例えばすべての画素ブロック3131から画像信号を出力させることが好ましい。また、駆動部3502は各画素ブロック3131に含まれるすべての画素から画像信号を出力させてもよいし、予め定められた間引き率で間引いた画素から画像信号を出力させてもよい。被写体推定部3150は、撮像素子3100から時系列的に得られた複数の画像を比較して、移動している被写体を主要被写体として特定する。なお、主要被写体の推定には、他の方法が用いられてもよい。

10

【0427】

例えば、被写体推定部3150は、撮像素子3100から時間的に前後する画像として図68の画像3170および図69の画像3178を取得した場合に、これらの差分から子供を主要被写体3171として特定する。なお、画像3170および画像3178における格子線は画素ブロック3131の境界を示すが、画素ブロック3131の数は例示であってこれらの図に示す数に限られない。

20

【0428】

グループ選択部3152は、被写体推定部3150により推定された主要被写体3171の像光が入射している画素ブロック3131を少なくとも一つ選択する(S3102)。例えば、画像3170において、主要被写体3171を少なくとも一部含んでいる画素ブロック3131が選択される。さらに、主要被写体3171が撮像領域内で移動することを考慮して、グループ選択部3152は、主要被写体3171を少なくとも一部含んでいる画素ブロック3131のさらに周囲の画素ブロック3131も選択することが好ましい。

【0429】

グループ選択部3152は、これら選択した画素ブロック3131の集合を注目領域3172とする。さらにグループ選択部3152は、撮像領域全体において注目領域3172にふくまれない画素ブロック3131からなる集合を周辺領域3176とする。グループ選択部3152は、撮像領域の全体に対する注目領域3172の範囲を示す領域情報3174を特定する。

30

【0430】

図68に示す例において、注目領域3172は、横7個、縦4個の計28個の画素ブロック3131からなる矩形の領域である。これに対し、周辺領域3176は、撮像領域である横21個、縦6個の計126個から注目領域3172を除いた98個の画素ブロック3131からなる。また、領域情報3174として、撮像領域における注目領域3172の図中の左上端の画素ブロック3131の左からおよび上から数えた位置(9, 2)が特定される。さらにサイズ情報として、注目領域3172の縦横数7×4が特定される。

40

【0431】

グループ選択部3152が、注目領域3172に含まれる画素ブロック3131を特定する情報と周辺領域3176とを特定する情報とを駆動部3502に伝達する。この場合に、注目領域3172と周辺領域3176とにそれぞれ適用するフレームレートの情報とを併せて伝達する。ここで、注目領域3172に適用するフレームレートは、周辺領域3176に適用するフレームレートより高いことが好ましい。例えば、周辺領域3176に適用するフレームレートが60fpsである場合に、注目領域3172に適用するフレームレートは180fpsに設定される。これらのフレームレートの値は予め設定されて、グループ選択部3152が参照可能に格納されていることが好ましいが、ユーザが後から値

50

を変更できるようになっていてもよい。

【0432】

駆動部3502は、撮像素子3100を駆動して各フレームレートで撮像を行う(S3104)。すなわち、駆動部3502は、注目領域3172に含まれる画素ブロック3131に対しては、高いフレームレートで電荷蓄積および画像信号の出力を実行させ、周辺領域3176に含まれる画素ブロック3131に対しては、低いフレームレートで電荷蓄積および画像信号の出力を実行させる。言い換えれば、駆動部3502は、周辺領域3176に含まれる画素ブロック3131に対して1つのフレームに対応する画像信号を得る間に、注目領域3172に含まれる画素ブロック3131に対して時系列的に並んだ複数のフレームに対応する画像信号を得る。

10

【0433】

例えば、周辺領域3176のフレームレートが60fpsであって、注目領域3172のフレームレートが180fpsに設定されている場合に、図70に示すように、駆動部3502は、周辺領域3176から1つのフレームB1の画像信号を得る時間1/60sまでの間に、注目領域3172から3つのフレームA1, A2, A3の画像信号を得る(1/60s = 3 × 1/180s)。この場合に、駆動部3502は、周辺領域3176に含まれる画素ブロック3131のリセットトランジスタ3303、転送トランジスタ3302および選択トランジスタ3305の組と、注目領域3172に含まれる画素ブロック3131のリセットトランジスタ3303、転送トランジスタ3302および選択トランジスタ3305の組とを別個に駆動することにより、異なるフレームレートで画像信号を得る。

20

【0434】

なお、図70は画像信号の出力のタイミングを示しているが、露光時間の長さまでも示しているものではない。駆動部3502は予め演算部3512で算出された露光時間となるように、周辺領域3176と注目領域3172とに対して、上記トランジスタの組を駆動する。

【0435】

これに加えて、露光時間の長さをフレームレートに応じて変化させてもよい。例えば図70に示す例において、周辺領域3176の1フレームの露光時間を1/3倍にしておき、注目領域3172と実質的に同じ露光時間としてもよい。また、画像信号の出力後にフレームレートの比で当該画像信号を補正してもよい。また、周辺領域3176と注目領域3172との間で画像信号の出力のタイミングが図70のように同期していなくても、非同期であってもよい。

30

【0436】

画像処理部3511は、注目領域3172からの画像信号をワークメモリ3504の予め定められた記憶領域に、フレームごとに順次、記憶する(S3106)。同様に、画像処理部3511は、周辺領域3176からの画像信号をワークメモリ3504の予め定められた記憶領域に、フレームごとに順次、記憶する(同ステップ)。ワークメモリ3504は、図64Aから図64Cにおいて説明したように、複数の記憶ブロック3730を有する。ワークメモリ3504は、それぞれの画素ブロック3131に対応するメモリ群からなるメモリであってよい。

40

【0437】

動画生成部3154は、ワークメモリ3504に記憶された注目領域3172の画像信号を読み出して(S3108)、注目領域3172の複数のフレームが含まれる注目領域動画のデータを生成する(S3110)。同様に、動画生成部3154は、ワークメモリ3504に記憶された周辺領域3176の画像信号を読み出して、周辺領域3176の複数のフレームが含まれる周辺領域動画のデータを生成する(同ステップ)。ここで、注目領域動画および周辺領域動画はそれぞれ、MPEGのような汎用のフォーマットで生成されてそれぞれ別個に再生できるようになっていてもよいし、後述する合成処理を経なければ再生できない専用のフォーマットで生成されてもよい。

50

【0438】

図71は、動画生成部により生成された注目領域動画および周辺領域動画を模式的に示す。動画生成部3154は、駆動部3502が注目領域3172を駆動したフレームレートに対応したフレームレートで、注目領域動画を生成する。図71に示す例において、駆動部3502が注目領域3172を駆動したフレームレート1/180fpsと同一のフレームレート1/180fpsで、注目領域動画が生成される。

【0439】

同様に、動画生成部3154は、駆動部3502が周辺領域3176を駆動したフレームレートに対応したフレームレートで、周辺領域動画を生成する。図71に示す例において、駆動部3502が周辺領域3176を駆動したフレームレート1/60fpsと同一のフレームレート1/60fpsで、周辺領域動画が生成される。なお、周辺領域動画において注目領域3172に対応する領域には有効な値が存在せず、図中は斜線で示した。

10

【0440】

さらに動画生成部3154は注目領域動画および周辺領域動画にヘッダ情報を付加して、これらのデータを記録部3505に記録する(S3112)。ヘッダ情報は、撮像領域の全体に対する注目領域3172の位置を示す領域情報、注目領域3172の大きさを示すサイズ情報および、注目領域3172の画像信号の出力タイミングと周辺領域3176の画像信号の出力タイミングとの関係を示すタイミング情報を含む。

【0441】

システム制御部3501は次の単位時間の撮像を行うか否かを判断する(S3114)。次の単位時間の撮像を行うか否かは、その時点でユーザから動画の記録ボタンが押下されているか否かで判断される。次の単位時間の撮像を行う場合は(S3114:Yes)、上記ステップS3102に戻り、次の単位時間の撮像を行わない場合は(S3114:No)、当該動作を終了する。

20

【0442】

ここで「単位時間」は予めシステム制御部3501に設定されている時間であって、数秒程度である。この単位時間、注目領域3172のフレームレートおよび画素ブロック数、並びに、周辺領域3176のフレームレートおよび画素ブロック数によって、ステップS3106において記憶に用いられる記憶容量が決まる。またこれらの情報に基づいて、当該記憶容量において注目領域3172のデータを記憶する領域と、周辺領域3176のデータを記憶する領域とが定められる。

30

【0443】

以上により、主要被写体3171が含まれる注目領域3172からは高いフレームレートで画像信号を得ることができるとともに、周辺領域3176を低いフレームレートで抑えることでデータ量を減らすことができる。よって、全画素からの高速読出しに比べて、駆動および画像処理の負荷を減らし、消費電力および発熱を抑えることができる。

【0444】

なお、図67に示す例において次の単位時間が開始されるときに、ステップS3102で改めて画素ブロック3131が選択され、領域情報およびサイズ情報が更新される。これにより、主要被写体3171に追従して注目領域3172を逐次、更新することができる。図71に示す例においては、注目領域動画における単位時間の最初のフレームA7において、以前の単位時間の最後のフレームA6とは異なる画素ブロック3131からなる注目領域3182が選択されるとともに、これに伴って領域情報3184および周辺領域3186も更新されている。

40

【0445】

図72は、動画生成部が付加するヘッダ情報の一例を示す。図72のヘッダ情報は、注目領域動画を特定する注目領域動画ID、注目領域動画のフレームレート、当該注目領域動画に対応する周辺領域動画を特定する周辺領域動画ID、周辺領域動画のフレームレート、タイミング情報、領域情報およびサイズ情報を含む。これらのヘッダ情報は、注目領域動画および周辺領域動画のいずれか一方にヘッダ情報として付加されていてもよいし、

50

両方に付加されていてもよい。

【0446】

図73は、撮像装置が動画を再生して表示する動作を示すフローチャートである。当該動作は、表示部3506にサムネイル表示された注目領域動画のいずれかをユーザが特定して再生ボタンを押下したことにより開始する。

【0447】

動画合成部3156は、ユーザにより特定された注目領域動画のデータを記録部3505から読み出す(S3150)。動画合成部3156は、当該注目領域動画に対応する周辺領域動画のデータを記録部3505から読み出す(S3152)。

【0448】

この場合に、動画合成部3156は、ステップS150で読み出した注目領域動画のヘッダ情報に示されている周辺領域動画IDにより周辺領域動画を特定する。これに代えて、ヘッダ情報に示されているタイミング情報と同一のタイミング情報をヘッダ情報として含む周辺領域画像が検索されて特定されてもよい。

【0449】

なお、上記の例では注目領域動画にヘッダ情報が含まれるとしている。一方、注目領域動画にヘッダ情報が含まれずに周辺領域動画にヘッダ情報が含まれている場合には、先にステップS150においてユーザに周辺領域動画を特定させて読出し、そのヘッダ情報からステップS152において注目領域動画を特定して読み出してもよい。

【0450】

動画合成部3156は、注目領域動画のフレームと周辺領域動画のフレームとを用いて、表示動画のフレームを合成する(S3154)。この場合にまず、注目領域動画の先頭のフレームA1が、周辺領域動画の先頭のフレームB1における領域情報3174が示す位置に嵌め込まれることにより、表示動画の先頭のフレームC1が合成される。動画合成部3156は、図71に示すように、表示動画の先頭のフレームC1を表示部3506に表示させる(S3156)。

【0451】

動画合成部3156は、周辺領域動画における次のフレームB2までの間に注目領域動画の次のフレームがあるか否かを判断する(S3158)。動画合成部3156は、注目領域動画の次のフレームがある場合に(S3158:Yes)、注目領域3172を次のフレームA2、A3で更新しかつ周辺領域3176を前のフレームB1に保持することにより(S3162)、表示動画の次のフレームC2、C3を合成して(S162)、順次、表示する(S3156)。

【0452】

一方、ステップS3158において周辺領域動画における次のフレームB2までの間に注目領域動画の次のフレームがない場合に(S3158)、動画合成部3156は、注目領域3172を次のフレームA4で更新しかつ周辺領域3176も次のフレームB2で更新することにより(S3164)、表示動画の次のフレームC4を合成して(S3162)、表示する(S3156)。

【0453】

周辺領域動画において周辺領域3176の次フレームがある限り(S3160:Yes)、ステップS154からS3160が繰り返される。周辺領域動画において周辺領域3176の次フレームがない場合に(S3160:No)、動画合成部3156は、当該注目領域動画と周辺領域動画との組の単位時間の次の単位時間における注目領域動画と周辺領域動画との組があるか否かを検索する(S3166)。例えば、動画合成部3156は、記録部3505の同一フォルダ内において、当該注目領域動画のタイミング情報が示すタイミングの直後を示すタイミング情報がヘッダ情報に含まれた注目領域動画があるか否かを検索する。

【0454】

次の単位時間における注目領域動画と周辺領域動画との組がある限り(S3166:Y

10

20

30

40

50

e s)、ステップ S 1 5 0 から S 3 1 6 6 が繰り返される。次の単位時間における注目領域動画と周辺領域動画との組がない場合に (S 3 1 6 6 : N o)、当該動作を終了する。

【 0 4 5 5 】

以上によれば、全体のデータ量を減らしつつ、主要被写体 3 1 7 1 が含まれる注目領域 3 1 7 2 について滑らかな動画を表示することができる。なお、ステップ S 1 6 2 においては、注目領域 3 1 7 2 がそのまま次のフレームで更新されて表示画像のフレームが合成されているが、合成の方法はこれに限られない。他の例として、注目領域 3 1 7 2 における主要被写体 3 1 7 1 の境界線が画像処理により特定され、当該境界線で囲まれた主要被写体 3 1 7 1 については次のフレームに更新するとともに、注目領域 3 1 7 2 内であっても主要被写体 3 1 7 1 の境界線外側については前のフレームを維持して、周辺領域 3 1 7 6 のフレームと合成されてもよい。すなわち、注目領域 3 1 7 2 における境界線外側については周辺領域 3 1 7 6 のフレームレートに落としてもよい。これにより表示動画における滑らかさの境界が不自然に見えることを防ぐことができる。また、再生のフレームレートは、撮影時のフレームレート (注目領域は 1 8 0 f p s 、周辺領域は 6 0 f p s) と同じである必要はなく、例えば注目領域を 6 0 f p s 、周辺領域を 2 0 f p s などとしてもよい。その場合はスローモーション再生となる。

10

【 0 4 5 6 】

図 7 4 は、撮像素子 3 1 0 0 の画素領域 3 7 0 0 の構成およびその動作例の平面図を示す。なお、図 7 4 から図 7 7 においては、画素領域 3 7 0 0 における各画素ブロック 3 1 3 1 と、記憶部 3 1 1 4 における各記憶ブロック 3 7 3 0 とを同一平面上に投影した図を示す。それぞれの画素ブロック 3 1 3 1 は、画素領域 3 7 0 0 の全体に渡って行列方向に一定間隔で離間して配置される。画素ブロック 3 1 3 1 は、 $m \times n$ の画素を有し、 n 、 m は 2 以上である。画素ブロック 3 1 3 1 は、マトリクス状に配置された $3 2 \times 6 4$ の画素によって構成されてよい。本例において、それぞれの記憶ブロック 3 7 3 0 は、それぞれの画素ブロック 3 1 3 1 毎に設けられたメモリである。つまり、それぞれの画素ブロック 3 1 3 1 は、1 対 1 で対応する記憶ブロック 3 7 3 0 を有している。それぞれの記憶ブロック 3 7 3 0 は、信号処理チップ 3 1 1 1 において、対応する画素ブロック 3 1 3 1 と重なる領域内に設けられる。

20

【 0 4 5 7 】

それぞれの画素ブロック 3 1 3 1 は、画素領域 3 7 0 0 内で一定間隔で離間して分布する複数の画素ブロック 3 1 3 1 毎にグループ化されている。グループ内の画素ブロック 3 1 3 1 に対応する記憶ブロック 3 7 3 0 は、グループ内の画素ブロック 3 1 3 1 に共有される。共有とは、複数の画素ブロック 3 1 3 1 の画素データが、その記憶ブロック 3 7 3 0 に直接または間接に読み書き可能であることを指す。1 つのグループ内の画素ブロック 3 1 3 1 間の距離が最大となるように、画素領域 3 7 0 0 に含まれる全ての画素ブロック 3 1 3 1 をグループ化することが好ましい。また、画素ブロック 3 1 3 1 のグループは、撮像チップ 3 1 1 3 における画素領域 3 7 0 0 の最外周に位置する複数の画素ブロック 3 1 3 1 を含むのがより好ましい。この場合、制御部 3 7 4 0 は、当該最外周に位置する複数の画素ブロック 3 1 3 1 を、高速フレームレートよりも低いフレームレート (本例では、基準フレームレート) に固定して制御する。

30

40

【 0 4 5 8 】

ここで、画素ブロック 3 1 3 1 の位置を座標 (x 、 y) で表す。本例のでは、位置 (4、4)、(4、1) (1、4)、(1、1) に設けられた 4 つの画素ブロック 3 1 3 1 がグループ化されている。他の画素ブロック 3 1 3 1 も同様に、一定間隔で離間した画素ブロック 3 1 3 1 毎にグループ化されている。

【 0 4 5 9 】

グループ内の画素ブロック 3 1 3 1 に対応するそれぞれの記憶ブロック 3 7 3 0 は、グループ内の全ての画素ブロック 3 1 3 1 によって共有される。これにより、高速フレームレートの画素ブロック 3 1 3 1 の画素データを、グループ内の基準フレームレートの画素ブロック 3 1 3 1 に対応する記憶ブロック 3 7 3 0 に記憶することができる。本例では、

50

斜線で示す位置(4, 4)の高速フレームレートの画素ブロック3131の画素データは、位置(4, 4)、(4, 1)(1, 4)、(1, 1)の画素ブロック3131に対応する記憶ブロック3730のうち、基準フレームレートの記憶ブロック3730に順番に記憶される。

【0460】

つまり、制御部3740は、高速フレームレートの画素ブロック3131に対応する記憶ブロック3730に既に画素データが記憶されている場合に、画素ブロック3131に対応する画素データを、当該画素ブロック3131と同一グループ内のいずれかの記憶ブロック3730に記憶させる。ここで、図68において示したように、注目領域3172は、連続して配置された画素ブロック3131により形成される。したがって、画素領域3700内で一定間隔で離間して分布する複数の画素ブロック3131毎にグループ化することで、グループ内に高速フレームレートの画素ブロック3131と、基準フレームレートの画素ブロック3131とが混在する確率を高めることができる。こうすることで、記憶ブロック3730のメモリ容量を増やすことなく、メモリの使用効率を向上させることができる。また、記憶ブロック3730を共有するグループが固定されているので、各記憶ブロック3730が記憶した画素データが、いずれの画素ブロック3131に対応するかを示す付加データを、低減または省略することができる。

10

【0461】

図75は、図74に示す撮像素子3100の他の構成の一例の平面図である。本例の撮像素子3100は、画素領域3700の外側であって、行方向および列方向のそれぞれの一辺に沿って設けられた記憶部3810を、記憶部3114に代えて備える点で図74に記載の実施形態と異なる。なお、記憶部3810は、その物理的な位置の他は、記憶部3114と同一であってよい。

20

【0462】

本例の記憶部3810は、行方向および列方向において、画素領域3700の最外周の画素ブロック3131と重なる領域に対向して設けられる複数の記憶領域3812によって構成される。それぞれの記憶領域3812は、2×2の記憶ブロック3730によって構成されてよい。それぞれの記憶ブロック3730は、グループ毎に設けられたメモリにおける記憶領域3812である。制御部3740は、グループ化した画素ブロック3131のそれぞれの位置、フレームレート、タイミングに関する情報に基づいて、アドレス情報を生成し、記憶ブロック3730に順次画素データを書き込む。

30

【0463】

本例では、グループ化された画素ブロック3131に対応する記憶ブロック3730が2×2の記憶領域3812を構成している。つまり、グループ化された画素ブロック3131に対応する記憶ブロック3730が隣接して一カ所にまとめられているので、記憶ブロック3730が画素ブロック3131と重複する領域ごとに設けられる場合のように離れた記憶ブロック3730同士を配線を介して接続する必要がない。したがって、RC遅延による画素データの書き込み/読み出しに要する時間が少なくてすむ。また、次段の演算回路に画素データを入力するとき、記憶領域3812に対して1本のバスを設ければよい。さらに、画素ブロック3131に重複する領域ごとに記憶ブロックを設ける場合に比べ、画素データの書き込み/読み出しに必要な回路構成を単純化することができる。

40

【0464】

図76は、図74に示す撮像素子3100の他の動作例を示す平面図である。本例では、隣接する画素ブロック3131に対応する記憶ブロック3730の間で画素データを伝送する伝送路3710をさらに備える点で図74に示す実施形態と異なる。伝送路3710は、各記憶ブロック3730同士を接続する配線であってよい。伝送路3710は、制御部3740と、すべての記憶ブロック3730を接続する。制御部3740は、高速フレームレートの画素ブロック3131に対応する画素データを、高速フレームレートに同期して、隣接する記憶ブロック3730に順次移動させる。ここで、高速フレームレートに同期してとは、フレームレートの高い画素ブロック3131が画素データを取り込むタ

50

イメージと同じタイミングで隣接する複数の記憶ブロック 3730 に画素データを順次記憶させることを指す。

【0465】

ここで、位置 (4, 4) の画素ブロック 3131 のフレームレートが、基準フレームレートの 5 倍である場合を例にとって説明する。基準フレームレートを 60 fps とすると、高速フレームレートは 300 fps となる。高速フレームレートでの撮像タイミングは、時刻 $t = 0$ のときのタイミングを T_0 、時刻 $t = 1/300$ s のときのタイミングを T_1 、時刻 $t = 2/300$ s のときのタイミングを T_2 、時刻 $t = 3/300$ s のときのタイミングを T_3 、時刻 $t = 4/300$ s のときのタイミングを T_4 、時刻 $t = 5/300$ s のときのタイミングを T_5 とする。

10

【0466】

制御部 3740 は、 T_0 のタイミングですべての画素ブロック 3131 にそれぞれ対応する記憶ブロック 3730 に撮像した被写体の画素データを記憶させる。つぎに、制御部 3740 は、 T_1 のタイミングで、フレームレートがより低く、且つ隣接する、位置 (3, 4) の記憶ブロック 3730 に記憶されている画素データを外周方向の位置 (2, 4) の記憶ブロック 3730 に移動させ、空き状態となった位置 (3, 4) の記憶ブロック 3730 に位置 (4, 4) の画素ブロック 3131 に対応する記憶ブロック 3730 に記憶された画素データを移動して記憶させる。同時に、制御部 3740 は、 T_1 のタイミングで取得した位置 (4, 4) の画素ブロック 3131 の画素データを対応する位置 (4, 4) の記憶ブロック 3730 に記憶させる。

20

【0467】

制御部 3740 は、 T_2 のタイミングで、位置 (4, 3) の記憶ブロック 3730 に記憶された画素データを外周方向の位置 (4, 2) の記憶ブロック 3730 に移動して記憶させ、空き状態となった位置 (4, 3) の記憶ブロック 3730 に位置 (4, 4) の画素ブロック 3131 に対応する記憶ブロック 3730 の画素データを移動して記憶させる。同時に、制御部 3740 は、 T_2 のタイミングで取得した位置 (4, 4) の画素ブロック 3131 の画素データを対応する位置 (4, 4) の記憶ブロック 3730 に記憶させる。

【0468】

制御部 3740 は、 T_3 のタイミングで、位置 (5, 4) の記憶ブロック 3730 に記憶された画素データを外周方向の位置 (6, 4) の記憶ブロック 3730 に移動して記憶させ、空き状態となった位置 (5, 4) の記憶ブロック 3730 に位置 (4, 4) の画素ブロック 3131 に対応する記憶ブロック 3730 の画素データを移動して記憶させる。同時に、制御部 3740 は、 T_3 のタイミングで取得した位置 (4, 4) の画素ブロック 3131 の画素データを対応する位置 (4, 4) の記憶ブロック 3730 に記憶させる。

30

【0469】

制御部 3740 は、 T_4 のタイミングで、位置 (4, 5) の記憶ブロック 3730 に記憶された画素データを外周方向の位置 (4, 6) の記憶ブロック 3730 に移動して記憶させ、空き状態となった位置 (4, 5) の記憶ブロック 3730 に位置 (4, 4) の画素ブロック 3131 に対応する記憶ブロック 3730 の画素データを移動して記憶させる。同時に、制御部 3740 は、 T_4 のタイミングで取得した位置 (4, 4) の画素ブロック 3131 の画素データを対応する位置 (4, 4) の記憶ブロック 3730 に記憶させる。このとき、位置 (4, 4) の画素ブロック 3131 に対応する位置 (4, 4) の記憶ブロック 3730、および、当該記憶ブロック 3730 を二次元的に包囲する位置 (3, 4)、(4, 3)、(5, 4)、(4, 5) の記憶ブロック 3730 に T_0 から T_4 までのタイミングの画素データが記憶される。

40

【0470】

制御部 3740 は、位置 (3, 4)、(4, 3)、(5, 4)、(4, 5) の記憶ブロック 3730 に記憶させたそれぞれの画素データを、隣接する記憶ブロック 3730 のうち、画素領域 3700 のエッジに最も近い記憶ブロック 3730 に移動させてもよい。つまり、制御部 3740 は、位置 (3, 4)、(4, 3)、(5, 4)、(4, 5) の記憶

50

ブロック 3730 に記憶させたそれぞれの画素データを、画素領域 3700 のエッジにあたる、位置 (1, 4)、(4, 1)、(6, 4)、(4, 6) の記憶ブロック 3730 に移動させて記憶させてもよい。

【0471】

制御部 3740 は、T5 のタイミングで、画素領域 3700 のすべての記憶ブロック 3730 に記憶された画素データを、バスラインを通じて後段のメモリまたは演算回路に受け渡す。制御部 3740 は、フレームのサイクルを更新し、上述したタイミング T0 から T4 までの動作を繰り返す。

【0472】

制御部 3740 は、複数の画素ブロック 3131 のうち、画素領域 3700 の最外周に沿った画素ブロック 3131 のフレームレートを、基準フレームレートに固定する。ところで、高速フレームレートの画素ブロック 3131 が画素領域 3700 のエッジにあると、隣接する記憶ブロック 3730 が限られるので、二次元的に画素データを分散させにくい。したがって、制御部 3740 は、高速フレームレートの画素ブロック 3131 が画素領域 3700 の最外周とならないようにする。たとえば、制御部 3740 は、画素領域 3700 の最外周の画素ブロック 3131 のフレームレートを、基準フレームレートに固定する。

10

【0473】

制御部 3740 は、同時に、すべての画素ブロック 3131 のそれぞれに対応する記憶ブロック 3730 に新たな画素データを書き込んで、後段の演算処理回路へ画素ブロック 3131 ごとの画素データをまとめて送信する。このように、制御部 3740 は、画素領域 3700 のエッジに近い方向へ高速フレームレートの画素ブロック 3131 の画素データを、隣接する画素ブロック 3131 に対応する記憶ブロック 3730 に順次移動させることにより、記憶ブロック 3730 を複数の画素ブロック 3131 で共有することができるので、メモリ容量を低減することができる。隣接する複数の記憶ブロック 3730 に振り分けられる画素データは、ヘッダ情報として、自己に対応する画素ブロック 3131 の画素領域 3700 における位置データ、および、自己の属するフレームを示すフレームデータを付加データとして有してよい。

20

【0474】

本例において、制御部 3740 は、高速フレームレートの画素ブロック 3131 の画素データを隣接する画素ブロック 3131 に対応する記憶ブロック 3730 へ順次移動して記憶させたが、ひとつ置きに記憶ブロック 3730 に画素データを移動してもよく、行列方向ではなく対角方向の記憶ブロック 3730 に画素データを移動して記憶させてもよい。制御部 3740 は、各画素ブロック 3131 のフレームレート情報に基づいて、画素データを移動するべき記憶ブロック 3730 を選択してよい。

30

【0475】

図 77 は、撮像素子 3100 の他の構成例を示す平面図である。本例では、図 76 に示した撮像素子 3100 と同様に、隣接する画素ブロック 3131 に対応する記憶ブロック 3730 の間で画素データを伝送する。ただし、本例の撮像素子 3100 は、図 75 に示した撮像素子 3100 と同様に、信号処理チップ 3111 において画素領域 3700 に重なる領域の外側に設けられた記憶部 3810 を備える。記憶部 3810 は、行方向における画素ブロック 3131 の数 (本例では 6 個) で分割された記憶領域 3820 および列方向における画素ブロック 3131 の数 (本例では 6 個) で分割された記憶領域 3822 を有する。制御部 3740 は、高速フレームレートの画素ブロック 3131 に対応する画素データを、高速フレームレートに同期して、所定の記憶領域 3820、3822 に記憶させる。

40

【0476】

制御部 3740 は、フレームレートの低い最外周の画素ブロック 3131 に対応づけられた記憶領域 3820、3822 に、位置 (4, 4) の高速フレームレートの画素ブロック 3131 の画素データを、フレームレートに同期して書き込んでよい。なお、制御部 3

50

740は、各画素ブロック3131のフレームレート情報に基づいて、最外周以外の画素ブロック3131に対応づけられた記憶領域3820、3822を選択して、当該画素データを書き込んでよい。記憶領域3820、3822は、高速フレームレートの画素ブロック3131の画素データおよび低速フレームレートの画素ブロック3131の画素データによって共有される。本例では、記憶領域3820、3822ごとに書き込み/読み出しを行えばよく、画素ブロック3131ごとに設けられた記憶ブロック3730ごとに書き込み/読み出しを行う必要がないので回路構成を単純化できる。また、本例の記憶部3810内の記憶領域3820、3822のそれぞれのメモリ空間の大きさは等しい。さらに、記憶領域3820、3822のメモリ空間の位置は、記憶部3810内で固定されていてもよく、動的に変化してもよい。

10

【0477】

図78は、他の実施形態にかかる撮像素子3100の一部の構成および動作を示す。本例では、記憶部3114が多層構造のバッファメモリにより構成される点で上述した実施形態と異なる。本例の記憶部3114は、一時メモリ3850および転送メモリ3860を含む。一時メモリ3850は、各画素ブロック3131に対応する記憶ブロック3830を有し、高速データレートの画素ブロック3712の画素データの制御に使用されるメモリである。転送メモリ3860は、一時メモリ3850から入力される画素データを受け取り、次段のメモリまたは演算回路へ画素データを転送する。転送メモリ3860は、複数の記憶ブロック3730における総記憶領域に対して、少なくとも同一の大きさの記憶領域を有する。ここで、総記憶領域とは、一時メモリ3850が有するメモリ空間の大きさを指す。本例の一時メモリ3850は、図76に示した記憶ブロック3730と同一の機能および構成を有する。

20

【0478】

ここで、画素ブロック3712のフレームレートが、基準フレームレートの5倍である場合を例にとって説明する。基準フレームレートを60fpsとすると、高速フレームレートは300fpsとなる。高速フレームレートでの撮像タイミングは、時刻 $t = 0$ のときのタイミングを T_0 、時刻 $t = 1/300s$ のときのタイミングを T_1 、時刻 $t = 2/300s$ のときのタイミングを T_2 、時刻 $t = 3/300s$ のときのタイミングを T_3 、時刻 $t = 4/300s$ のときのタイミングを T_4 、時刻 $t = 5/300s$ のときのタイミングを T_5 とする。

30

【0479】

制御部3740は、 T_0 のタイミングで撮像した被写体のすべての画素データを、すべての画素ブロック3131にそれぞれ対応する記憶ブロック3830に記憶させる。制御部3740は、記憶した画素データを、 T_1 より前のタイミングで転送メモリ3860に転送する。つまり、制御部3740は、 T_0 のタイミングで撮像した被写体のすべての画素データを、高速フレームレートで動作する画素ブロック3712から次の画素データが入力される前に、転送メモリ3860の対応する記憶領域3870にコピーして記憶させる。

【0480】

制御部3740は、高速フレームレートに同期した T_1 のタイミングで、高速フレームレートの画素ブロック3712からバス3720を介して一時メモリ3850の対応する記憶ブロック3853に画素データを記憶させる。制御部3740は、記憶ブロック3853に記憶された画素データを、隣接する記憶ブロック3854に、 T_2 のタイミング、または、 T_2 より前のタイミングで移動し記憶させる。制御部3740は、 T_2 のタイミングで、高速フレームレートに同期して、画素ブロック3712からバス3720を介して一時メモリ3850の対応する記憶ブロック3853に画素データを記憶させる。

40

【0481】

制御部3740は、記憶ブロック3853に記憶された画素データを、隣接する記憶ブロック3855に、 T_3 のタイミング、または、 T_3 より前のタイミングで移動し記憶させる。制御部3740は、 T_3 のタイミングで、高速フレームレートに同期して、画素ブ

50

ロック 3712 からバス 3720 を介して一時メモリ 3850 の対応する記憶ブロック 3853 に画素データを記憶させる。制御部 3740 は、記憶ブロック 3853 に記憶された画素データを、隣接する記憶ブロック 3856 に、T4 のタイミング、または、T4 より前のタイミングで移動し記憶させる。制御部 3740 は、T4 のタイミングで、高速フレームレートに同期して、画素ブロック 3712 からバス 3720 を介して一時メモリ 3850 の対応する記憶ブロック 3853 に画素データを記憶させる。

【0482】

制御部 3740 は、一時メモリ 3850 の記憶ブロック 3854、3855、3856、3857 に記憶された画素データを、T5 のタイミングまたは T5 より前のタイミングで、バス 3840 を介して、転送メモリ 3860 の対応する記憶領域 3864、3865、3866、3867 に記憶させる。つまり、一時メモリ 3850 は、高速フレームレートのうち、基準タイミングの直前の高速フレームレートにおける画素データを受け取った後、次の基準タイミングにおける画素データが受け取るまでの間に、画素データを転送メモリ 3860 に転送する。

10

【0483】

なお、制御部 3740 は、記憶ブロック 3853 に隣接する記憶ブロック 3854、3855、3856、3857 に記憶させた画素データを、隣接する他の記憶ブロックに、高速フレームレートに同期して更に移動させてよい。制御部 3740 は、転送メモリ 3860 に記憶したすべての画素データを、後段のメモリまたは演算回路に転送する。

【0484】

本実施形態によれば、高速フレームレートの画素ブロック 3712 に対応する記憶ブロック 3853 と、当該記憶ブロック 3853 に隣接するそれぞれの記憶ブロック 3854、3855、3856、3857 とを伝送路 3710 により接続すればよいので、すべての記憶ブロックを伝送路 3710 で接続する必要がない。したがって、画素データの移動を高速に行うことができる。また、一時メモリ 3850 として、SRAM などのキャッシュメモリを使用することができるので読み出し/書き込みを高速に行うことができる。さらに、一時メモリ 3850 においては、記憶ブロック 3830 は共有されないので、書き込み/読み出しに必要な回路構成を単純化することができる。さらに、転送メモリ 3860 において、共有される記憶領域は、高速フレームレートの画素ブロック 3712 に対応する記憶領域 3863 に隣接する記憶領域のみとなる。よって、転送メモリ 3860 において、記憶領域 3863 同士を接続する配線は不要である。また、一時メモリ 3850 が、図 76 に示した記憶ブロック 3730 の構成を有する場合を例として説明したが、一時メモリ 3850 は、図 74 から図 77 のいずれの記憶ブロック 3730 の構成であってもよい。

20

30

【0485】

図 79 は、撮像装置が動画を生成して記録する他の動作の例を示すフローチャートである。図 79 において図 67 と同一の動作については同一の参照番号を付して説明を省略する。

【0486】

図 79 の動作において、注目領域 3172 と周辺領域 3176 とで、図 67 のフレームレートに代えて、または、加えて間引き率を異ならせている。より詳しくは、ステップ S3120 において、駆動部 3502 は、注目領域 3172 に含まれる画素ブロック 3131 に対しては、低い間引き率で間引いた画素に対して電荷蓄積および画像信号の出力を実行させ、周辺領域 3176 に含まれる画素ブロック 3131 に対しては、高い間引き率で間引いた画素に対して電荷蓄積および画像信号の出力を実行させる。例えば注目領域 3172 に含まれる画素ブロック 3131 に対して間引き率 0 すなわち全画素が読み出され、周辺領域 3176 に含まれる画素ブロック 3131 に対して間引き率 0.5 すなわち半分画素が読み出される。

40

【0487】

この場合に、駆動部 3502 は、周辺領域 3176 に含まれる画素ブロック 3131 の

50

リセットトランジスタ 3 3 0 3、転送トランジスタ 3 3 0 2 および選択トランジスタ 3 3 0 5 の組と、注目領域 3 1 7 2 に含まれる画素ブロック 3 1 3 1 のリセットトランジスタ 3 3 0 3、転送トランジスタ 3 3 0 2 および選択トランジスタ 3 3 0 5 の組とを別個に駆動することにより、異なる間引き率で画像信号を得る。

【 0 4 8 8 】

ステップ S 3 1 1 0 において、動画生成部 3 1 5 4 は、低い間引き率で出力された注目領域 3 1 7 2 の画像信号に基づき、注目領域 3 1 7 2 に対応する注目領域動画を生成する。動画生成部 3 1 5 4 は、同様に、高い間引き率で出力された周辺領域 3 1 7 6 の画像信号に基づき、周辺領域 3 1 7 6 に対応する周辺領域動画を生成する。またステップ S 3 1 1 2 において、動画生成部 3 1 5 4 は、それぞれの間引き率の情報を付加して注目領域動画および周辺領域動画を記録部 3 5 0 5 に記録する。

10

【 0 4 8 9 】

図 8 0 は、一の画素ブロックに対して間引き率 0 . 5 で読み出される画素 3 1 8 8 の例を示す。図 8 0 に示す例において、周辺領域 3 1 7 6 の画素ブロック 3 1 3 2 がベイヤー配列である場合に垂直方向についてベイヤー配列の単位の一つ置き、すなわち、画素単位でみた場合の二行づつ交互に、読み出される画素 3 1 8 8 と読み出されない画素が設定される。これにより色バランスを崩すことなく間引き読出しをすることができる。

【 0 4 9 0 】

図 8 1 は、図 7 9 に対応した、撮像装置が動画を再生して表示する動作を示すフローチャートである。図 8 1 において図 7 3 と同一の動作については同一の参照番号を付して説明を省略する。

20

【 0 4 9 1 】

図 8 1 のステップ S 3 1 7 0 において、動画合成部 3 1 5 6 は、周辺領域動画のフレームの画素を補完して解像度を注目領域動画のフレームの解像度と整合させてから、注目領域動画のフレームを周辺領域動画のフレームに嵌め込むことにより、表示画像のフレームを合成する。これにより、主要被写体 3 1 7 1 が含まれる注目領域 3 1 7 2 からは高い解像度で画像信号を得ることができるとともに、周辺領域 3 1 7 6 を低い解像度で抑えることでデータ量を減らすことができる。よって、全画素からの高速読出しに比べて、駆動および画像処理の負荷を減らし、消費電力および発熱を抑えることができる。

【 0 4 9 2 】

30

なお、図 6 1 から図 8 1 に示す例において、注目領域 3 1 7 2 は矩形であるが注目領域 3 1 7 2 の形状はこれに限られない。注目領域 3 1 7 2 は画素ブロック 3 1 3 1 の境界線に沿っていけば凸の多角形、凹の多角形、または、中に周辺領域 3 1 7 6 が入り込んだドーナツ形状等であってもよい。また、注目領域 3 1 7 2 は互いに離間して複数個設定されてもよい。その場合に、互いの注目領域 3 1 7 2 で異なるフレームレートが設定されてもよい。

【 0 4 9 3 】

また、注目領域 3 1 7 2 および周辺領域 3 1 7 6 のフレームレートは可変であってもよい。例えば、単位時間が経過するごとに主要被写体 3 1 7 1 の移動量を検出して、主要被写体 3 1 7 1 の移動量が大きいほど注目領域 3 1 7 2 により高いフレームレートを設定して

40

【 0 4 9 4 】

図 6 7 および図 7 9 の動画の生成はユーザの録画ボタンの押下により開始し、図 7 3 および図 8 1 の動画の再生はユーザの再生ボタンの押下により開始しているが、開始時点はこれに限られない。他の例として、ユーザからの一つのボタン操作によって、動画の生成の動作と再生の動作とを連続して実行させて、表示部 3 5 0 6 にスルー画表示（またはライブビュー表示ともいう）してもよい。この場合に、注目領域 3 1 7 2 をユーザに認識させる表示が重畳されてもよい。例えば、表示部 3 5 0 6 において注目領域 3 1 7 2 の境界線に枠を表示したり、周辺領域 3 1 7 6 の輝度を下げるか注目領域 3 1 7 2 の輝度を上げ

50

るかしてもよい。

【0495】

図79の動作において、注目領域3172と周辺領域3176とで間引き率を異ならせている。間引き率を異ならせることに代えて、隣接行の画素の画素信号を加算するときの行数を異ならせてもよい。例えば、注目領域3172においては行数が1、すなわち、隣接行で加算せずに画素信号を出力し、周辺領域3176においては注目領域3172よりも多い行数、例えば行数を2として、隣接する2行の同じ列の画素の画素信号を出力する。これにより、図79と同様に、周辺領域3176よりも注目領域3172の解像度を高く維持しつつ、全体の信号量を減らすことができる。

【0496】

なお、動画合成部3156は撮像装置3500の画像処理部3511に設けられていることに代えて、外部の表示装置、例えばPCに設けられてもよい。また、動画を生成する場合に限られず、静止画を生成する場合に上記実施形態が適用されてもよい。

【0497】

また、上記実施形態はいずれも複数の画素ブロック3131を、注目領域3172と周辺領域3176との2つに分けているが、これに限られず3つ以上の領域に分けてもよい。この場合に、注目領域3172と周辺領域3176との境界に該当する画素ブロック3131を境界領域として、当該境界領域には、注目領域3172に用いられる制御パラメータの値と周辺領域3176に用いられる制御パラメータの値との中間の値が用いられて制御されてもよい。これにより、注目領域3172と周辺領域3176との境界が不自然に見えることを防ぐことができる。

【0498】

注目領域3172と周辺領域3176とで電荷の蓄積時間、蓄積回数等を異ならせてもよい。この場合に注目領域3172と周辺領域3176とを輝度に基づいて分けてもよく、さらに中間領域を設けてもよい。

【0499】

図82Aおよび図82Bは、シーンの例と領域分割を説明する図である。図82Aは、撮像チップ3113の画素領域が捉えるシーンを示す。具体的には、屋内環境に含まれるシャドウ被写体3601および中間被写体3602と、窓枠3604の内側に観察される屋外環境のハイライト被写体3603とが同時に写り込むシーンである。このような、ハイライト部からシャドウ部までの明暗差が大きなシーンを撮影する場合、従来の撮像素子であれば、ハイライト部を基準として電荷蓄積を実行するとシャドウ部で黒潰れが生じ、シャドウ部を基準として電荷蓄積を実行するとハイライト部で白飛びが生じた。すなわち、ハイライト部もシャドウ部も一律に一度の電荷蓄積により画像信号を出力させるには、明暗差の大きなシーンに対してフォトダイオードのダイナミックレンジが不足していると言える。そこで、本実施形態においては、シーンをハイライト部、シャドウ部といった部分領域に分割して、それぞれの領域に対応するフォトダイオードの電荷蓄積回数を互いに異ならせることにより、ダイナミックレンジの実質的な拡大を図る。

【0500】

図82Bは、撮像チップ3113の画素領域における領域分割を示す。演算部3512は、測光部3503が捉えた図82Aのシーンを解析して、輝度を基準に画素領域を分割する。例えば、システム制御部3501は、測光部3503に露光時間を変更しつつ複数回のシーン取得を実行させ、演算部3512は、その白飛び領域、黒潰れ領域の分布の変化を参照して画素領域の分割ラインを決定する。図82Bの例においては、演算部3512は、シャドウ領域3611、中間領域3612、およびハイライト領域3613の3領域に分割している。

【0501】

分割ラインは、画素ブロック3131の境界に沿って定義される。すなわち、分割された各領域は、整数個のグループをそれぞれ含む。そして、同一の領域に包含される各グループの画素は、演算部3512によって決定されたシャッタ速度に対応する期間内におい

10

20

30

40

50

て、同一回数の電荷蓄積および画素信号出力を行う。属する領域が異なれば、異なる回数
の電荷蓄積および画素信号出力を行う。

【0502】

図83は、図82Aおよび図82Bの例による分割された領域ごとの電荷蓄積制御を説明する図である。演算部3512は、ユーザから撮影準備指示を受けると、測光部3503の出力からシャッタ速度 T_0 を決定する。さらに、上述のようにシャドウ領域3611、中間領域3612およびハイライト領域3613に分割して、それぞれの輝度情報から電荷蓄積回数を決定する。電荷蓄積回数は、1回あたりの電荷蓄積により画素が飽和しないように決定される。例えば、1回の電荷蓄積動作において蓄積可能な8割から9割の電荷が蓄積されることを基準として、電荷蓄積回数が決定される。

10

【0503】

ここでは、シャドウ領域3611を1回とする。すなわち、決定されたシャッタ速度 T_0 と電荷蓄積時間を一致させる。また、中間領域3612の電荷蓄積回数を2回とする。すなわち、1回の電荷蓄積時間を $T_0/2$ として、シャッタ速度 T_0 の間に2回の電荷蓄積を繰り返させる。また、ハイライト領域3613の電荷蓄積回数を4回とする。すなわち、1回の電荷蓄積時間を $T_0/4$ として、シャッタ速度 T_0 の間に4回の電荷蓄積を繰り返させる。

【0504】

ユーザから撮影指示を時刻 $t=0$ で受けると、駆動部3502は、いずれの領域に属するグループの画素に対しても、リセットパルスと転送パルスを印加する。この印加をトリガーとして、いずれの画素も電荷蓄積を開始する。

20

【0505】

時刻 $t=T_0/4$ となったら、駆動部3502は、ハイライト領域3613に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線3309に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部3502は、ハイライト領域3613に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、2回目の電荷蓄積を開始させる。

【0506】

なお、画素信号の選択出力には時間を要するので、1回目の電荷蓄積の終了と2回目の電荷蓄積の開始の間には時間差が生じる。この時間差が実質的に無視し得るのであれば、上述のように、シャッタ速度 T_0 に対して電荷蓄積回数で割った時間を1回の電荷蓄積時間とすれば良い。一方、無視し得ないのであれば、その時間を考慮して、シャッタ速度 T_0 を調整したり、1回の電荷蓄積時間をシャッタ速度 T_0 に対して電荷蓄積回数で割った時間よりも短くしたりすれば良い。

30

【0507】

時刻 $t=T_0/2$ となったら、駆動部3502は、中間領域3612とハイライト領域3613に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線3309に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部3502は、中間領域3612とハイライト領域3613に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、中間領域3612に対しては2回目の、ハイライト領域3613に対しては3回目の電荷蓄積を開始させる。

40

【0508】

時刻 $t=3T_0/4$ となったら、駆動部3502は、ハイライト領域3613に属するグループの画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線3309に出力させる。グループ内の全ての画素の画素信号を出力させたら、駆動部3502は、ハイライト領域3613に属するグループの画素に対して再びリセットパルスと転送パルスを印加して、4回目の電荷蓄積を開始させる。

50

【0509】

時刻 $t = T_0$ となったら、駆動部 3502 は、全領域の画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 3309 に出力させる。以上の制御により、シャドウ領域 3611 に対応する画素メモリ 3414 にはそれぞれ 1 回分の画素信号が格納され、中間領域 3612 に対応する画素メモリ 3414 にはそれぞれ 2 回分の画素信号が格納され、ハイライト領域 3613 に対応する画素メモリ 3414 にはそれぞれ 4 回分の画素信号が格納される。

【0510】

なお、駆動部 3502 は、いずれの領域に属するグループの画素に対して、リセットパルスおよび転送パルスを順次印加し、それぞれの領域に属するグループの画素を順次リセットしてもよい。この印加をトリガーとして、それぞれのグループの画素が電荷蓄積を順次開始してよい。すべての領域に属するグループの画素に対して電荷蓄積が終了後に、駆動部 3502 は、全領域の画素に対して転送パルスを印加してよい。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 3309 に出力させてよい。

10

【0511】

これらの画素信号は、順次、画像処理部 3511 へ転送される。画像処理部 3511 は、この画素信号から高ダイナミックレンジの画像データを生成する。具体的な処理については後述する。

【0512】

図 84 は、積算回数とダイナミックレンジの関係を示す図である。繰り返し実行された電荷蓄積に対応する複数回分の画素データは、画像処理部 3511 により積算処理されて、高ダイナミックレンジの画像データの一部を形成する。

20

【0513】

積算回数が 1 回、すなわち電荷蓄積を 1 回行った領域のダイナミックレンジを基準とした場合、積算回数が 2 回、すなわち電荷蓄積を 2 回行って出力信号を積算した領域のダイナミックレンジの拡大分は 1 段分となる。同様に、積算回数を 4 回にすれば 2 段分となり、128 回にすれば 7 段分となる。すなわち、 n 段分のダイナミックレンジ拡大を図るには、 2^n 回の出力信号を積算すれば良い。

【0514】

ここで、画像処理部 3511 がいずれの分割領域が何回の電荷蓄積を行ったかを識別するために、積算回数を示す 3 bit の指数桁が画像信号に付与されている。図示するように、指数桁は、積算数 1 回に対して 000、2 回に対して 001、... 128 回に対して 111 のように順に割り当てられる。

30

【0515】

画像処理部 3511 は、演算回路 3415 から受け取った各画素データの指数桁を参照して、参照した結果が 2 回以上の積算数である場合には、画素データの積算処理を実行する。例えば、積算回数が 2 回の場合（1 段）は、2 個の画素データに対して、電荷蓄積に対応する 12 bit の画素データのうち上位 11 bit 同士を加算して、12 bit の 1 つの画素データを生成する。同様に、積算回数が 128 回（7 段）の場合は、128 個の画素データに対して、電荷蓄積に対応する 12 bit の画素データのうち上位 5 bit 同士を加算して、12 bit の 1 つの画素データを生成する。すなわち、積算回数に対応する段数を 12 から引いた上位 bit を互いに足し合わせて、12 bit の 1 つの画素データを生成する。なお、加算の対象とならない下位 bit は除去される。

40

【0516】

このように処理することにより、階調を与える輝度範囲を積算回数に合わせて高輝度側にシフトさせることができる。すなわち、高輝度側の限られた範囲に対して 12 bit が割り当てられることになる。したがって、従来白飛びしていた画像領域に対して階調を与えることができる。

【0517】

50

ただし、他の分割領域については異なる輝度範囲に対して12bitを割り当てているので、単純に領域ごとに繋ぎ合わせる合成により画像データを生成することができない。そこで、画像処理部3511は、得られた階調をできる限り維持しつつ全領域を12bitの画像データとするために、最大輝度画素と最低輝度画素を基準として、再量子化処理を行う。具体的には、階調がより滑らかに維持されるように、ガンマ変換を施して量子化を実行する。このように処理することにより、高ダイナミックレンジの画像データを得ることができる。

【0518】

なお、積算回数は、上記のように3bitの指数桁が画素データに付与されている場合に限らず、画素データとは別の付随情報として記述されていても良い。また、画素データから指数桁を省き、代わりに画素メモリ3414に格納されている画素データの数をカウントすることにより、加算処理時に積算回数を取得しても良い。

10

【0519】

また、上記の画像処理においては、全領域を12bitの画像データに収める再量子化処理を実行したが、画素データのbit数に対し、上限の積算回数に合わせて出力bit数を増やしても良い。例えば、上限の積算回数を16回(4段)と定めれば、12bitの画素データに対して、全領域を16bitの画像データとすれば良い。このように処理すれば、桁落ちさせずに画像データを生成することができる。

【0520】

次に、一連の撮影動作処理について説明する。図85は、撮影動作の処理を示すフロー図である。フローは、撮像装置3500の電源がONにされて開始される。

20

【0521】

システム制御部3501は、ステップS3201で、撮影準備指示であるスイッチSW1の押し下げがなされるまで待機する。スイッチSW1の押し下げを検知したらステップS3202へ進む。

【0522】

ステップS3202では、システム制御部3501は、測光処理を実行する。具体的には、測光部3503の出力を得て、演算部3512がシーンの輝度分布を算出する。そして、ステップS3203へ進み、上述のように、シャッタ速度、領域分割、積算回数等を決定する。

30

【0523】

撮影準備動作が完了したら、ステップS3204へ進み、撮影指示であるスイッチSW2の押し下げがなされるまで待機する。このとき、経過時間が予め定められた時間Twを超えたら(ステップS3205のYES)、ステップS3201へ戻る。Twを超える前に(ステップS3205のNO)スイッチSW2の押し下げを検知したら、ステップS3206へ進む。

【0524】

ステップS3206では、システム制御部3501の指示を受けた駆動部3502が、図83を用いて説明した電荷蓄積処理、信号読み出し処理を実行する。そして、全ての信号読み出しが完了したらステップS3207へ進み、図84を用いて説明した画像処理を実行し、生成された画像データを記録部に記録する記録処理を実行する。

40

【0525】

記録処理が完了したらステップS3208へ進み、撮像装置3500の電源がOFFにされたか否かを判断する。電源がOFFにされなければステップS3201へ戻り、OFFにされたら一連の撮影動作処理を終了する。

【0526】

図86は、信号処理チップ3111の一例としての具体的構成を示すブロック図である。図中、破線により囲まれた領域は、画素ブロック3131ごとに設けられる画素データ処理部3910を示す。

【0527】

50

信号処理チップ3111は、駆動部3502の機能を担う。信号処理チップ3111は、分担化された制御機能としてのセンサ制御部3441、ブロック制御部3442、同期制御部3443、信号制御部3444と、これらの各制御部を統括制御する駆動制御部3420を含む。駆動制御部3420は、システム制御部3501からの指示を、各制御部が実行可能な制御信号に変換してそれぞれに引き渡す。

【0528】

センサ制御部3441は、撮像チップ3113へ送出する、各画素の電荷蓄積、電荷読み出しに関わる制御パルスの送出制御を担う。具体的には、センサ制御部3441は、対象画素に対してリセットパルスと転送パルスを送出することにより、電荷蓄積の開始と終了を制御し、読み出し画素に対して選択パルスを送出することにより、画素信号を出力配線3309へ出力させる。

10

【0529】

ブロック制御部3442は、撮像チップ3113へ送出する、制御対象となる画素ブロック3131を特定する特定パルスの送出を実行する。図82B等を用いて説明したように、分割された領域には、互いに隣接する複数の画素ブロック3131が包含され得る。これら同一の領域に属する画素ブロック3131は、ひとつのブロックを形成する。同一のブロックに含まれる画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。そこで、ブロック制御部3442は、駆動制御部3420からの指定に基づいて対象となる画素ブロック3131に特定パルスを送出することにより、画素ブロック3131をブロック化する役割を担う。各画素がTX配線3307およびリセット配線3306を介して受ける転送パルスおよびリセットパルスは、センサ制御部3441が送出する各パルスとブロック制御部3442が送出する特定パルスの論理積となる。

20

【0530】

このように、各領域を互いに独立したブロックとして制御することにより、図83を用いて説明した電荷蓄積制御を実現する。駆動制御部からのブロック化指定については、後に詳述する。なお、同一のブロックに含まれる画素は、同一のタイミングで電荷蓄積を開始しなくともよい。つまり駆動制御部3420は、同一のブロックに含まれる画素に対して、異なるタイミングでリセットパルスおよび転送パルスを印加してよい。また、駆動制御部3420は、同一のブロックに含まれる画素の電荷蓄積を同一蓄積時間で終了させた後、ブロック内の画素に対して順次選択パルスを印加して、それぞれの画素信号を順次読み出ししてもよい。

30

【0531】

同期制御部3443は、同期信号を撮像チップ3113へ送出する。各パルスは、同期信号に同期して撮像チップ3113においてアクティブとなる。例えば、同期信号を調整することにより、同一の画素ブロック3131に属する画素の特定画素のみを制御対象とするランダム制御、間引き制御等を実現する。

【0532】

信号制御部3444は、主にA/D変換器3412に対するタイミング制御を担う。出力配線3309を介して出力された画素信号は、CDS回路3410およびマルチプレクサ3411を経てA/D変換器3412に入力される。A/D変換器3412は、信号制御部3444によって制御されて、入力された画素信号をデジタルの画素データに変換する。デジタル信号に変換された画素データは、デマルチプレクサ3413に引き渡され、そしてそれぞれの画素に対応する画素メモリ3414にデジタルデータの画素値として格納される。画素メモリ3414は、記憶ブロック3730の一例である。

40

【0533】

信号処理チップ3111は、いずれの画素ブロック3131を組み合わせるブロックを形成するかについてのブロック区分情報と、形成されたそれぞれのブロックが何回の電荷蓄積を繰り返すかについての蓄積回数情報とを格納する、蓄積制御メモリとしてのタイミングメモリ3430を有する。タイミングメモリ3430は、例えばフラッシュRAMに

50

よって構成される。

【0534】

上述のように、いずれの画素ブロック3131を組み合わせるブロックを形成するかについては、一連の撮影シーケンスに先立って実行されるシーンの輝度分布検出の検出結果に基づいて、システム制御部3501により決定される。決定されたブロックは、例えば第1ブロック、第2ブロック...のように区分され、それぞれのブロックがいずれの画素ブロック3131を包含するかにより規定される。駆動制御部3420は、このブロック区分情報をシステム制御部3501から受け取り、タイミングメモリ3430へ格納する。

【0535】

また、システム制御部3501は、輝度分布の検出結果に基づいて、各ブロックが何回の電荷蓄積を繰り返すかを決定する。駆動制御部3420は、この蓄積回数情報をシステム制御部3501から受け取り、対応するブロック区分情報と対でタイミングメモリ3430へ格納する。このようにタイミングメモリ3430へブロック区分情報と蓄積回数情報を格納することにより、駆動制御部3420は、一連の電荷蓄積制御を、タイミングメモリ3430を逐次参照して独立して実行し得る。すなわち、駆動制御部3420は、1枚の画像取得制御において撮影指示の信号をシステム制御部3501から一旦受け取ると、その後は各画素の制御についてその都度システム制御部3501から指示を受けることなく、蓄積制御を完了させることができる。

【0536】

駆動制御部3420は、撮影準備指示に同期して実行される測光結果（輝度分布の検出結果）に基づいて更新されるブロック区分情報と蓄積回数情報をシステム制御部3501から受け取って、タイミングメモリ3430の記憶内容を適宜更新する。例えば、駆動制御部3420は、撮影準備指示または撮影指示に同期して、タイミングメモリ3430を更新する。このように構成することにより、より高速な電荷蓄積制御を実現すると共に、駆動制御部3420が電荷蓄積制御を実行している間に、システム制御部3501は他の処理を並行して実行し得る。

【0537】

駆動制御部3420は、撮像チップ3113に対する電荷蓄積制御を実行するに留まらず、読み出し制御の実行においてもタイミングメモリ3430を参照する。例えば、駆動制御部3420は、各ブロックの蓄積回数情報を参照して、デマルチプレクサ3413から出力される画素データを画素メモリ3414の対応アドレスに格納する。

【0538】

駆動制御部3420は、システム制御部3501からの引渡要求に従って、画素ブロックごとの対象画素データを画素メモリ3414から読み出し、画像処理部3511へ引き渡す。このとき、駆動制御部3420は、それぞれの対象画素データに対応する付加データを合わせて画像処理部3511へ引き渡す。画素メモリ3414は、上述の通り、各画素ブロックに対して最大積算回数に対応する画素データを格納できるメモリ空間を有し、実行された蓄積回数に対応するそれぞれの画素データを画素値として格納する。例えば、あるブロックにおいて4回の電荷蓄積が繰り返された場合には、当該ブロックに含まれる画素は4回分の画素信号を出力するので、画素メモリ3414上の各画素のメモリ空間には、4つの画素値が格納される。駆動制御部3420は、特定画素の画素データを要求する引渡要求をシステム制御部3501から受けた場合には、画素メモリ3414上の当該特定画素のアドレスを指定して、格納されている全ての画素データを読み出し、画像処理部3511へ引き渡す。例えば4つの画素値が格納されている場合には、その4つの画素値全てを順次引き渡し、1つの画素値のみが格納されている場合には、その画素値を引き渡す。

【0539】

駆動制御部3420は、画素メモリ3414に格納された画素データを、演算回路3415に読み出して、演算回路3415に上述の積算処理を実行させることができる。積算処理された画素データは、画素メモリ3414の対象画素アドレスに格納される。対象画

10

20

30

40

50

素アドレスは、積算処理前のアドレス空間に隣接して設けても良いし、積算処理前の画素データに対して上書きするように同一アドレスとしても良い。また、積算処理後の各画素の画素値を纏めて格納する専用空間を設けても良い。駆動制御部3420は、特定画素の画素データを要求する引渡要求をシステム制御部3501から受けた場合には、その引渡要求の態様によっては、積算処理後の画素データを画像処理部3511へ引き渡すことができる。もちろん、積算処理前後の画素データを共に引き渡すこともできる。

【0540】

画素メモリ3414には、引渡要求に従って画素データを伝送するデータ転送インタフェースが設けられている。データ転送インタフェースは、画像処理部3511と繋がるデータ転送ラインと接続されている。データ転送ライン3920は例えばシリアルバスによって構成される。この場合、システム制御部3501から駆動制御部3420への引渡要求は、アドレスバスを利用したアドレス指定によって実行される。

10

【0541】

データ転送インタフェースによる画素データの伝送は、アドレス指定方式に限らず、さまざまな方式を採用しうる。例えば、データ転送を行うときに、各回路の同期に用いられるクロック信号の立ち上がり・立ち下りの両方を利用して処理を行うダブルデータレート方式を採用し得る。また、アドレス指定などの手順を一部省略することによってデータを一気に転送し、高速化を図るバースト転送方式を採用し得る。また、制御部、メモリ部、入出力部を並列に接続している回線を用いたバス方式、直列にデータを1ビットずつ転送するシリアル方式などを組み合わせて採用することもできる。

20

【0542】

このように構成することにより、画像処理部3511は、必要な画素データに限って受け取ることができるので、特に低解像度の画像を形成する場合などにおいて、高速に画像処理を完了させることができる。また、演算回路3415に積算処理を実行させる場合には、画像処理部3511が積算処理を実行しなくて良いので、機能分担と並行処理により、画像処理の高速化を図ることができる。

【0543】

図86の信号処理チップ3111を用いて、注目領域3172と周辺領域3176とで異なる制御パラメータを用いて画素データ取得後に画像処理してもよい。例えば、図67から図70では、注目領域3172と周辺領域3176とで異なるフレームレートで取得した画像から動画を生成しているが、これに代えて、高いフレームレートで取得した画像を平均化する画像処理をしてS/N比を向上させてもよい。この場合に、例えば駆動制御部3420により周辺領域3176から1回の画素信号を得る間に、注目領域3172から複数回、例えば4回の画素信号を得て、画素データを画素メモリ3414に格納する。演算回路3415は、画素メモリ3414から注目領域3172の各画素に対して得られた複数の画素データを読み出して、画素ごとに平均する。これにより、注目領域3172の各画素でのランダムノイズが減って、注目領域3172のS/N比を向上させることができる。

30

【0544】

なお、データ転送ライン3920には、メモリ930が接続されてよい。メモリ930は、画素メモリ3414から画素データを指定されたアドレスに順次格納する揮発性メモリであってよい。たとえば、メモリ930は、DRAMである。画素メモリ3414から、メモリ930への画素データの転送レートは、基準フレームレートと同じかそれよりも遅くともよい。メモリ930は、画素メモリ3414から、画像処理部3511へのデータ伝送のバッファとして機能する。つまり、メモリ930は、複数の画素メモリ3414からのデータ転送レートが、画像処理部3511におけるデータ処理レートよりも早い場合に、画素メモリ3414が出力する画素データの少なくとも一部をバッファする。例えばメモリ930は、画素メモリ3414から、基準フレームレートごとの画素データと、高速フレームレートで動作する画素ブロック3131の画素データとを格納する。

40

【0545】

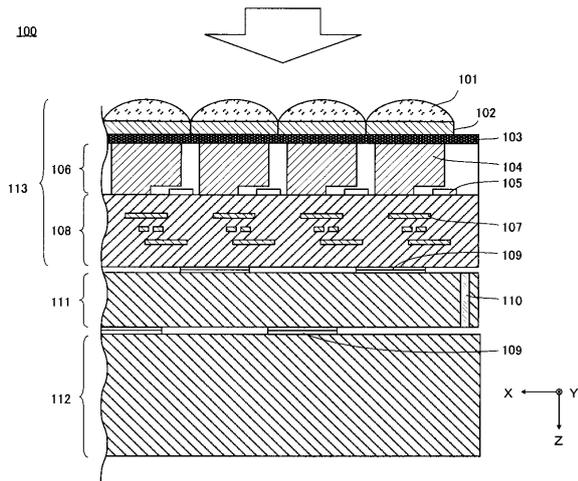
50

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

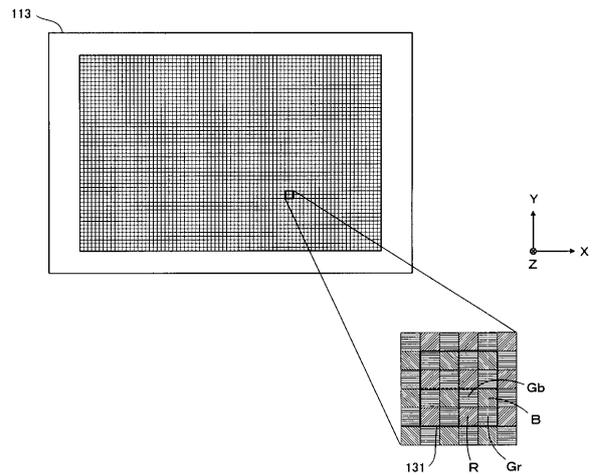
【 0 5 4 6 】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

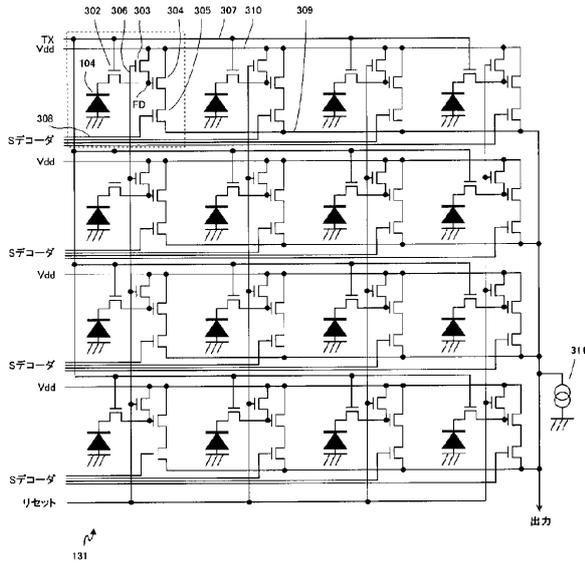
【 図 1 】



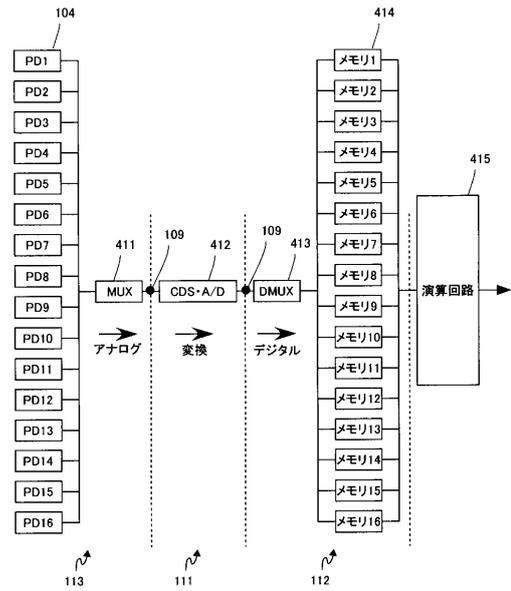
【 図 2 】



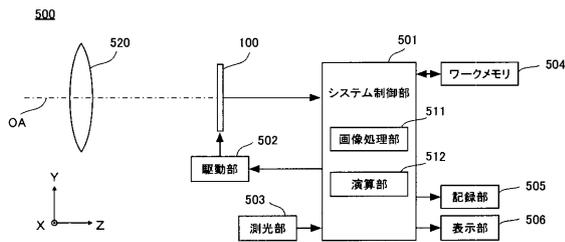
【図3】



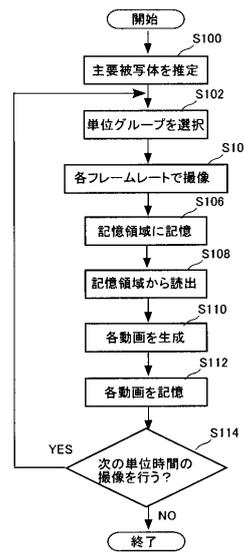
【図4】



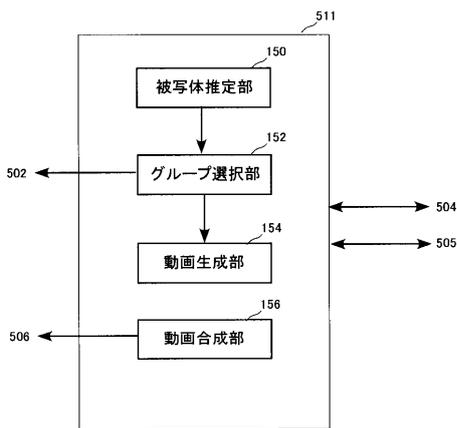
【図5】



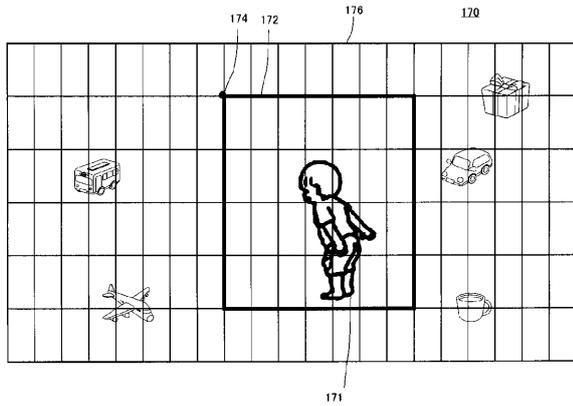
【図7】



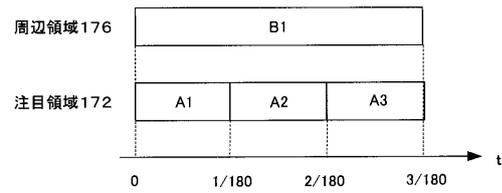
【図6】



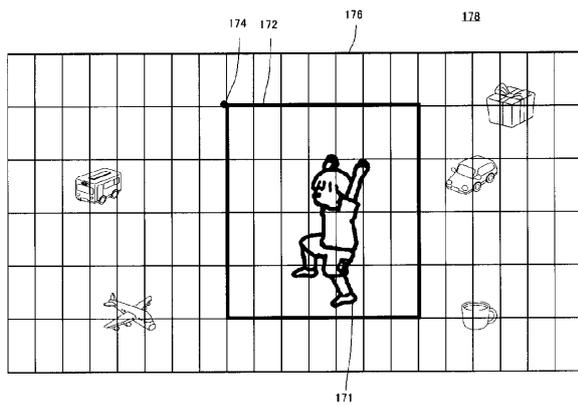
【図 8】



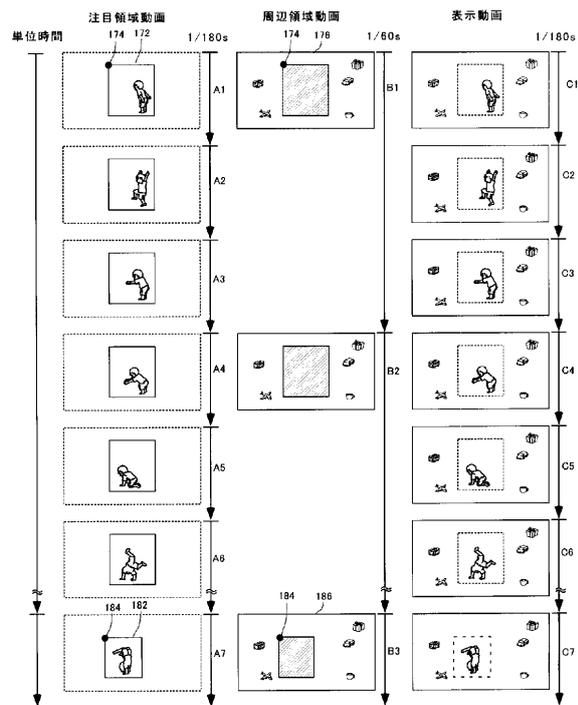
【図 10】



【図 9】



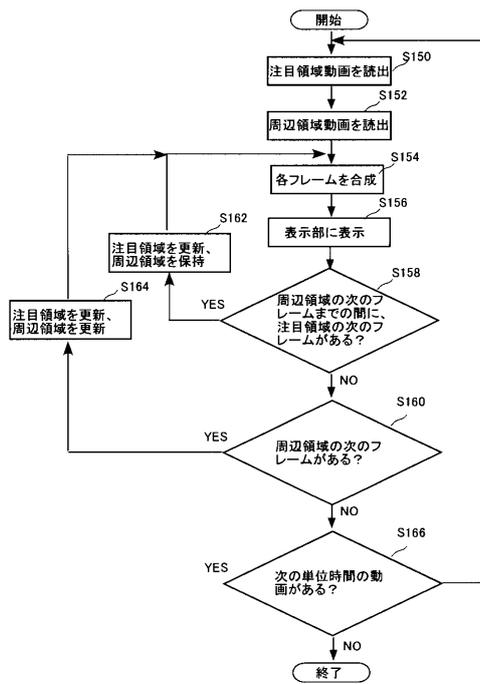
【図 11】



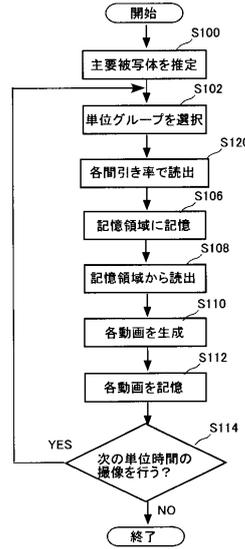
【図 12】

タイミング情報	04.01.14.23.00	04.01.14.23.01	04.01.14.23.02
領域情報	(9, 2)	(8, 3)	(9, 4)
サイズ情報	7 × 4	6 × 4	7 × 4
注目領域動画ID	AM001	AM002	AM003
フレームレート	180fps	180fps	180fps
周辺領域動画ID	BM001	BM002	BM003
フレームレート	60fps	60fps	60fps

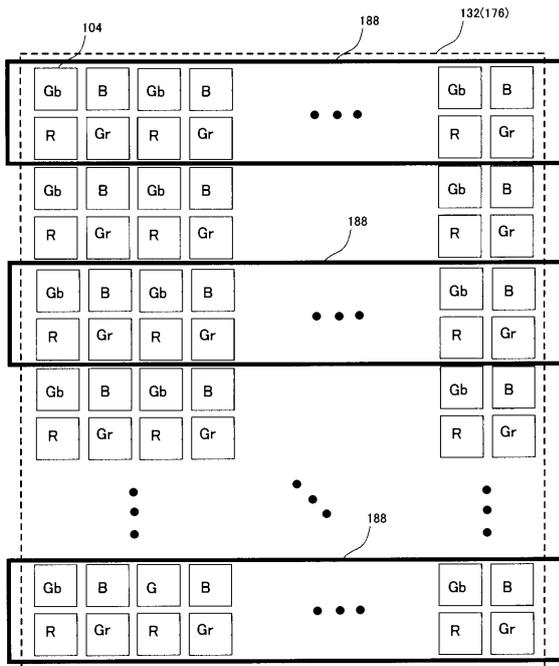
【図 1 3】



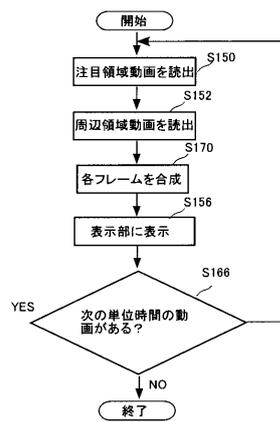
【図 1 4】



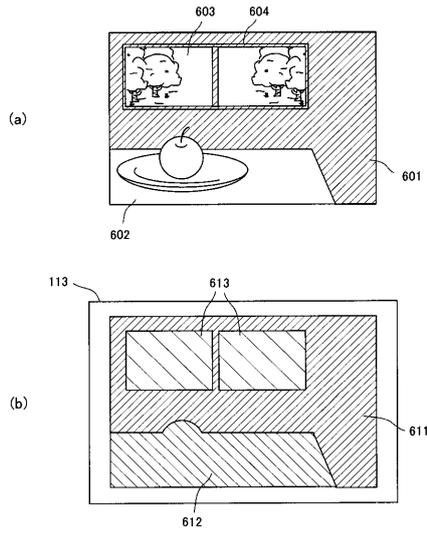
【図 1 5】



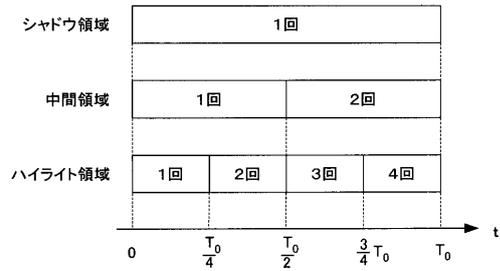
【図 1 6】



【図17】



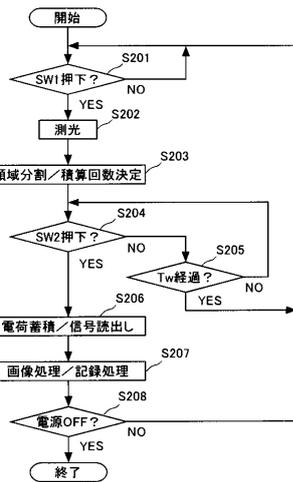
【図18】



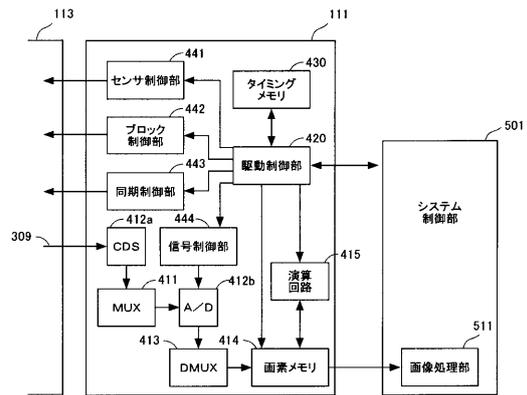
【図19】

指数桁	積算回数	DレンジUP
000	1回	0
001	2回	1段
010	4回	2段
...
111	128回	7段

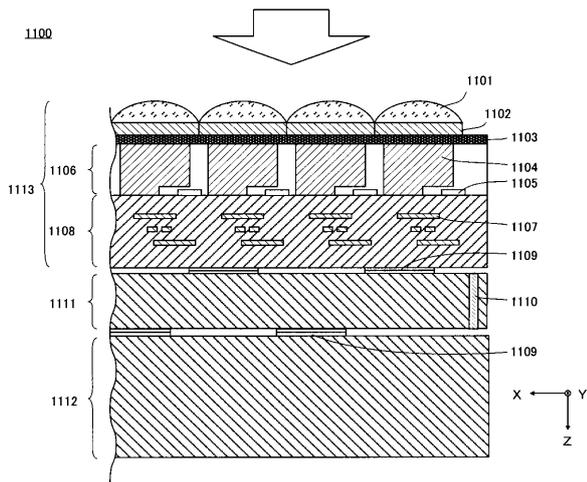
【図20】



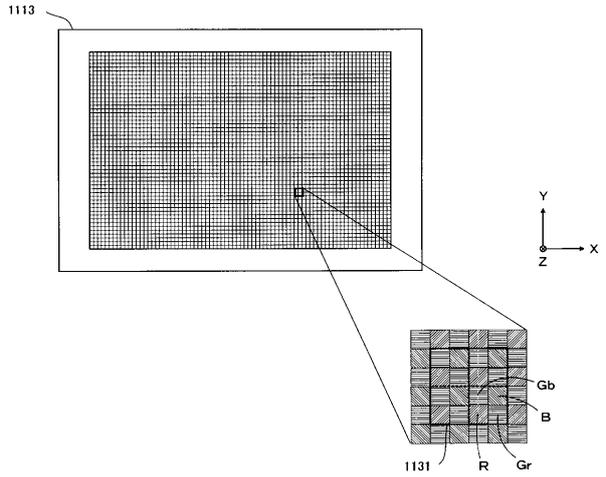
【図21】



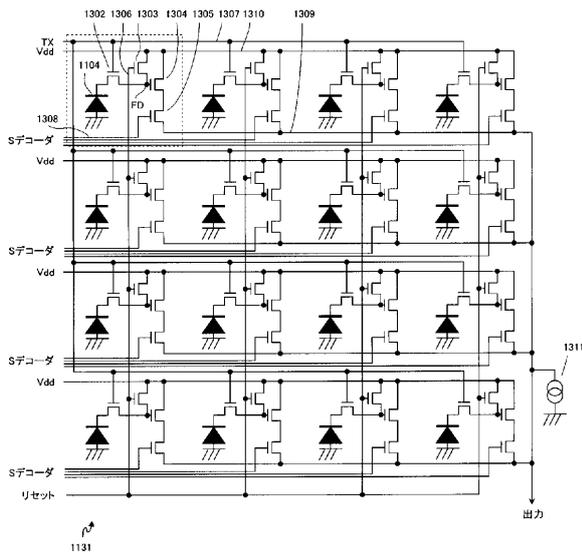
【図 2 2】



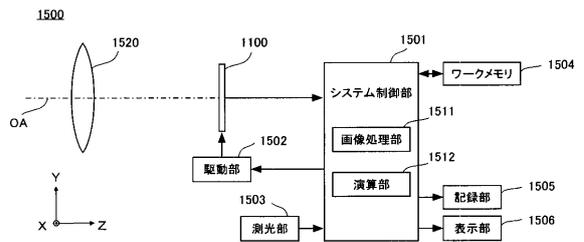
【図 2 3】



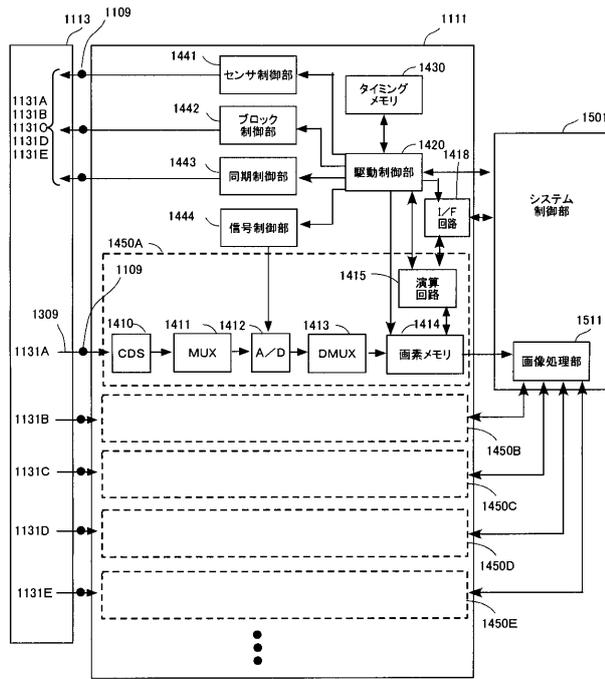
【図 2 4】



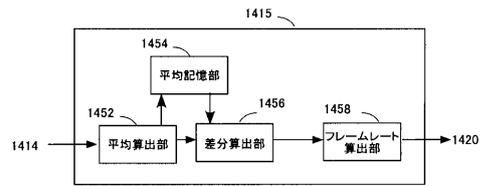
【図 2 5】



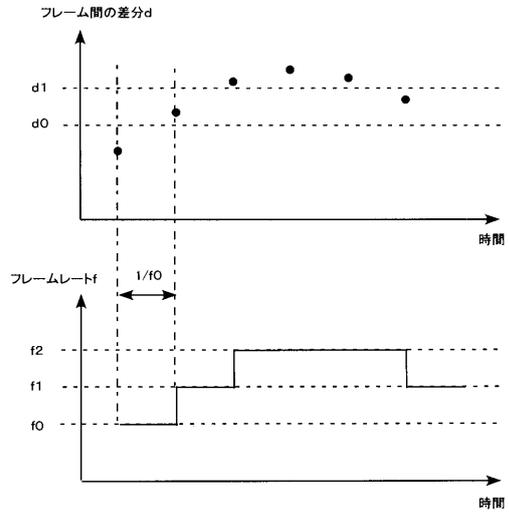
【図 26】



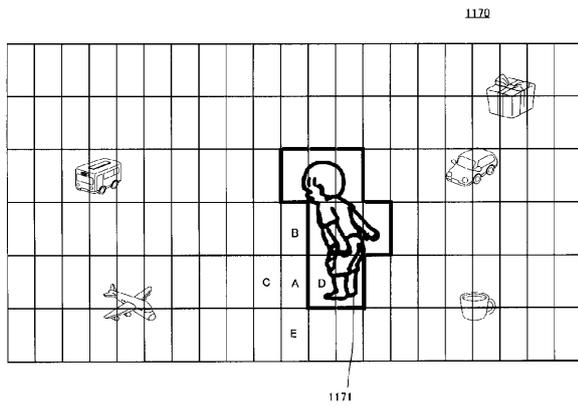
【図 27】



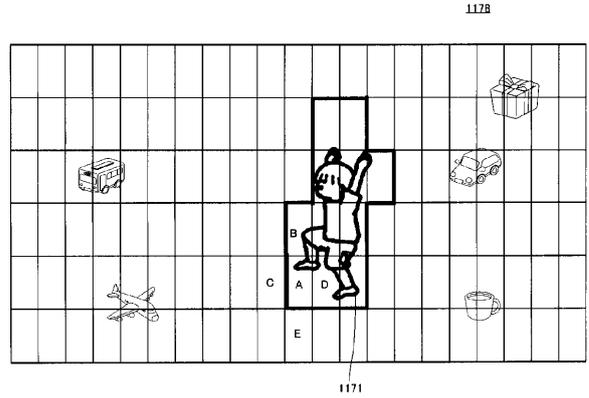
【図 28】



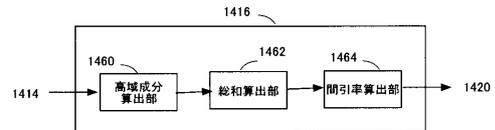
【図 29】



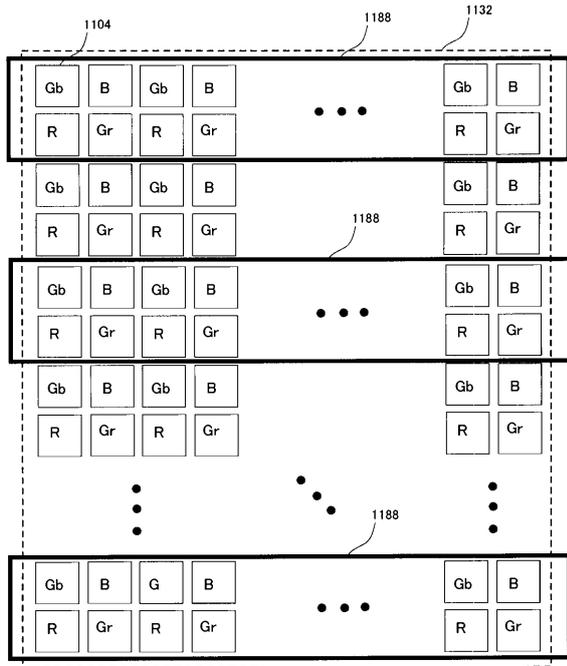
【図 30】



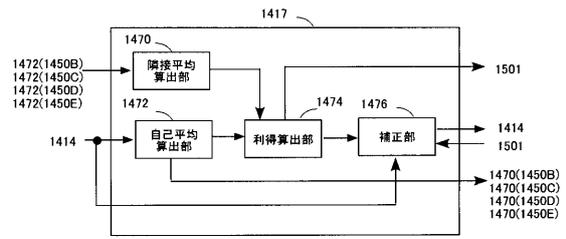
【図 31】



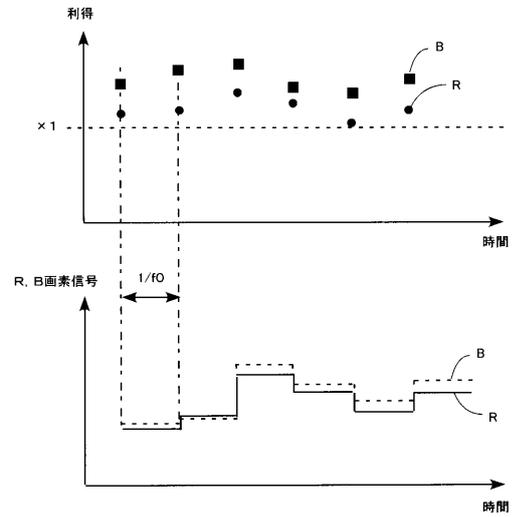
【 図 3 2 】



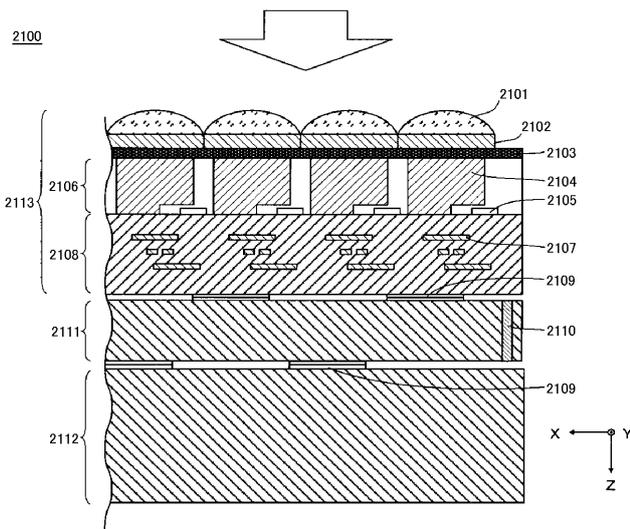
【 図 3 3 】



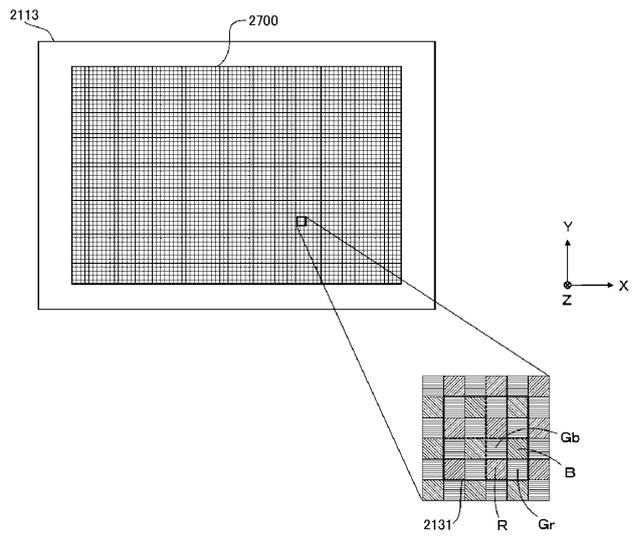
【 図 3 4 】



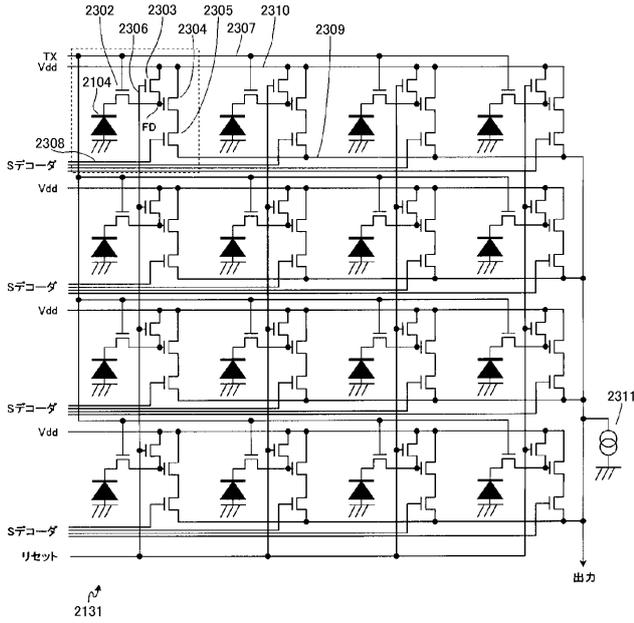
【 図 3 5 】



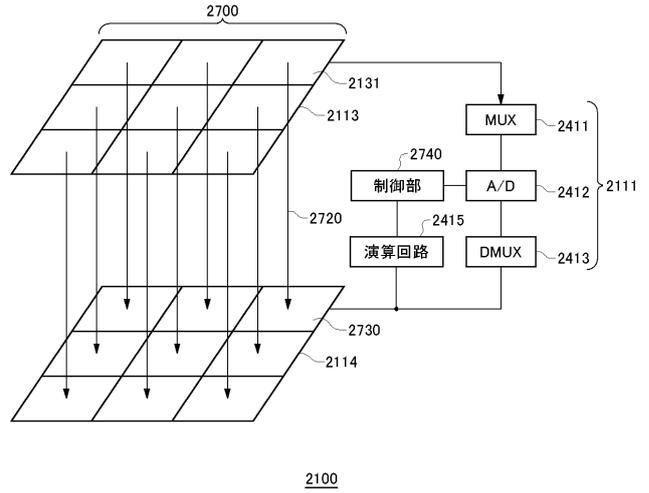
【 図 3 6 】



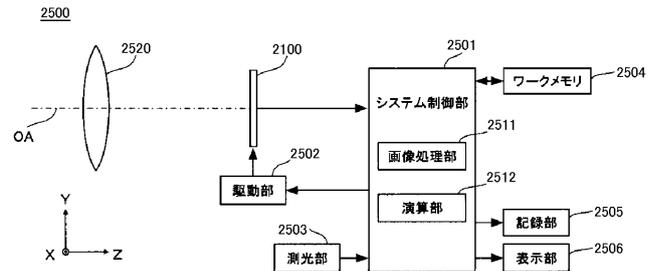
【図37】



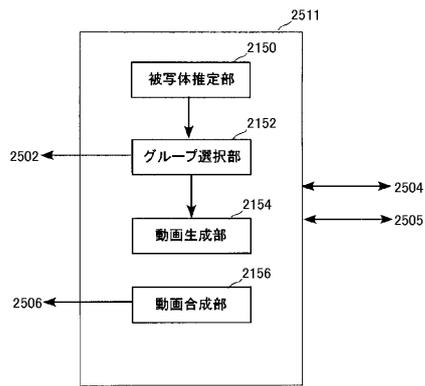
【図38】



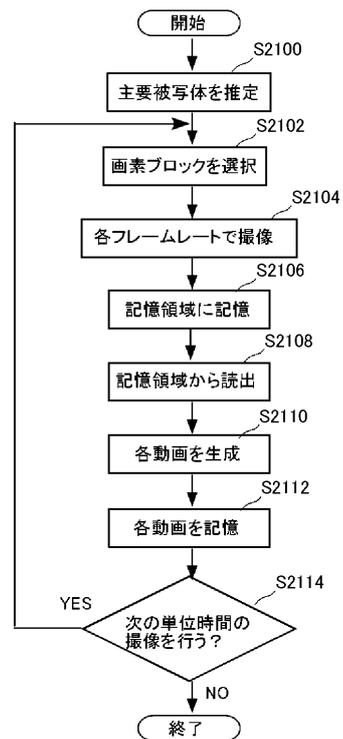
【図39】



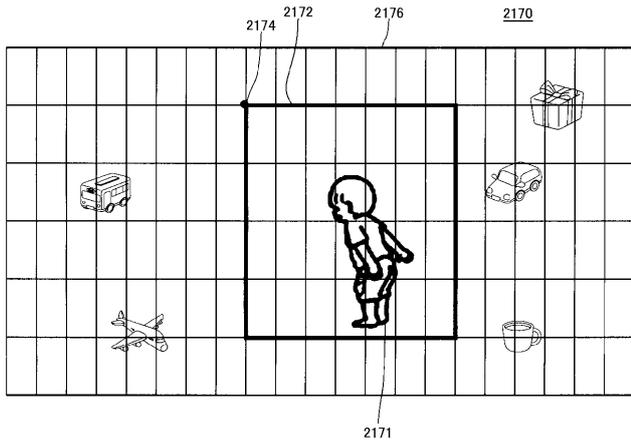
【図40】



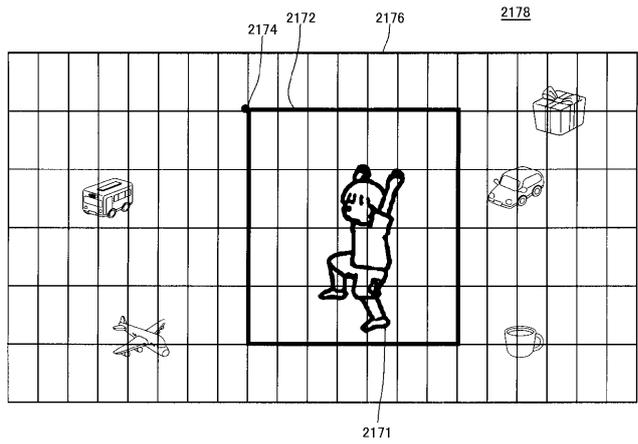
【図41】



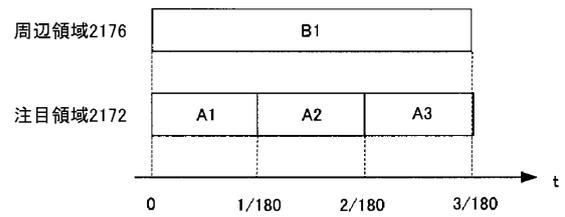
【図 4 2】



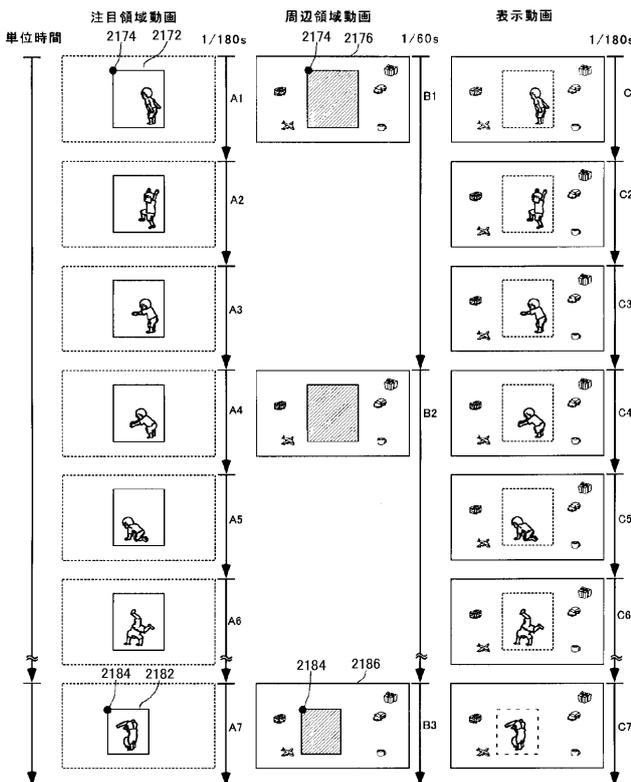
【図 4 3】



【図 4 4】



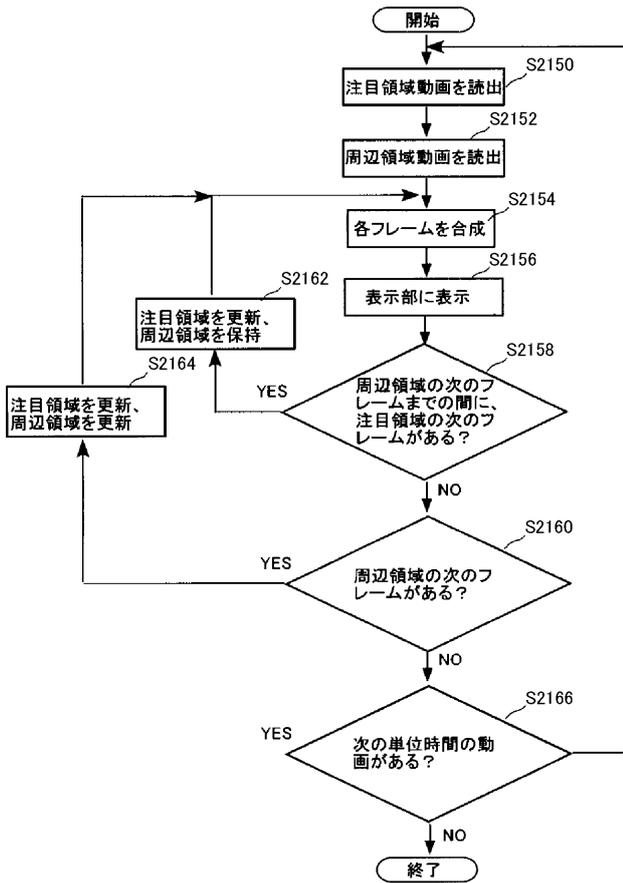
【図 4 5】



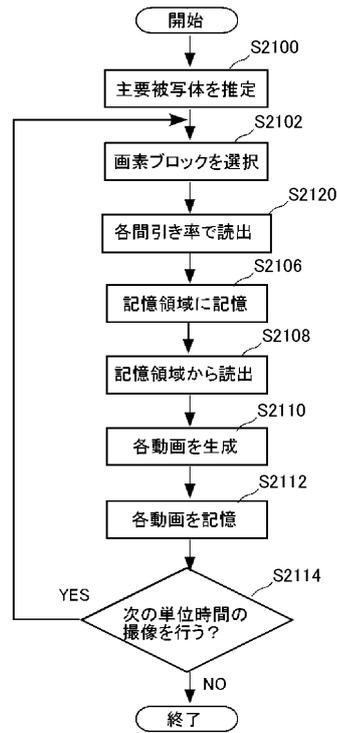
【図 4 6】

タイミング情報	04.01.14.23.00	04.01.14.23.01	04.01.14.23.02
領域情報	(9,2)	(8, 3)	(9, 4)
サイズ情報	7 × 4	6 × 4	7 × 4
注目領域動画ID	AM001	AM002	AM003
フレームレート	180fps	180fps	180fps
周辺領域動画ID	BM001	BM002	BM003
フレームレート	60fps	60fps	60fps

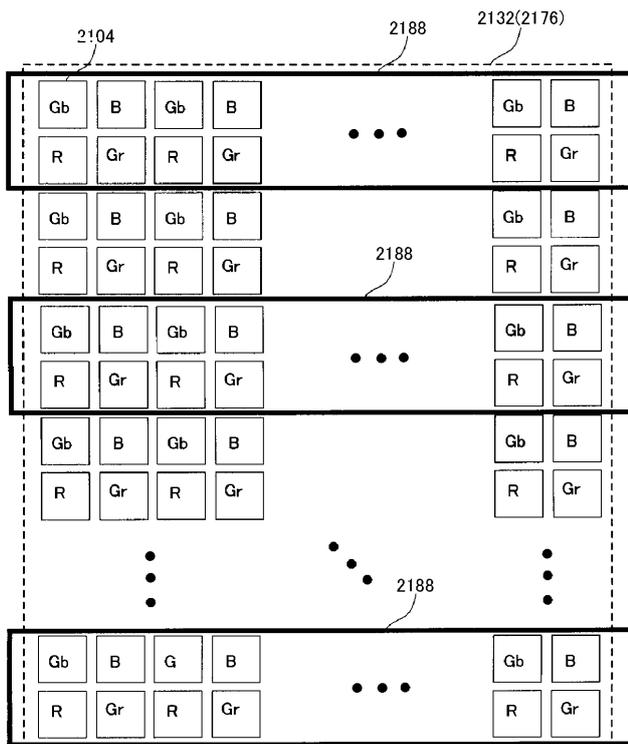
【図47】



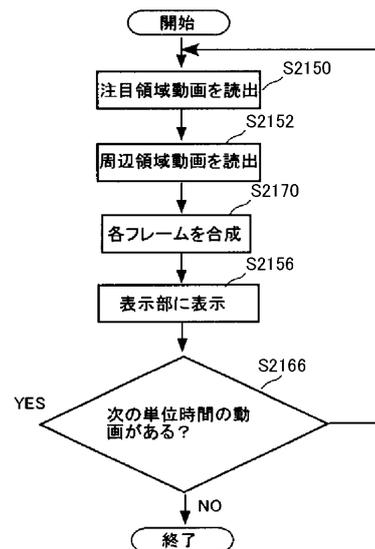
【図48】



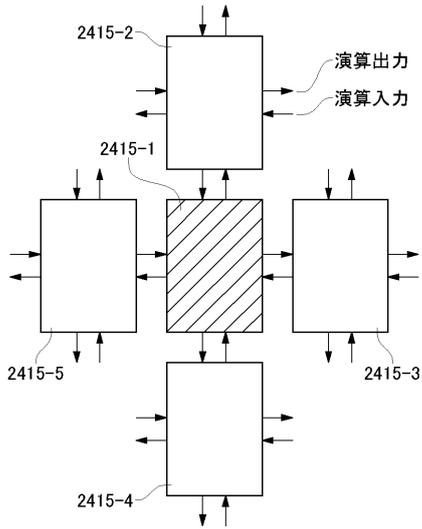
【図49】



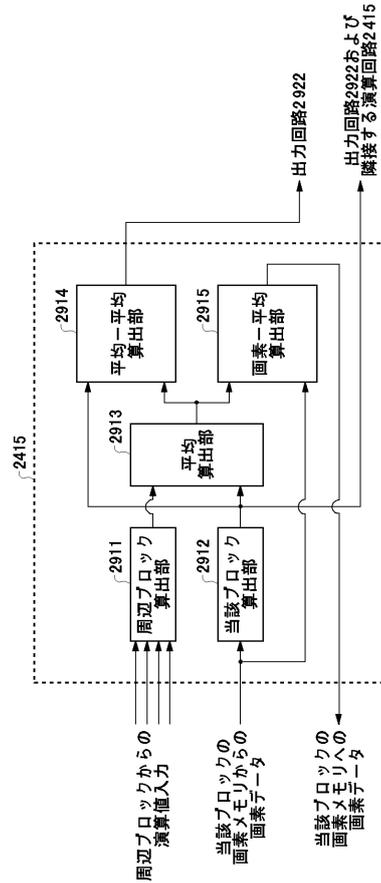
【図50】



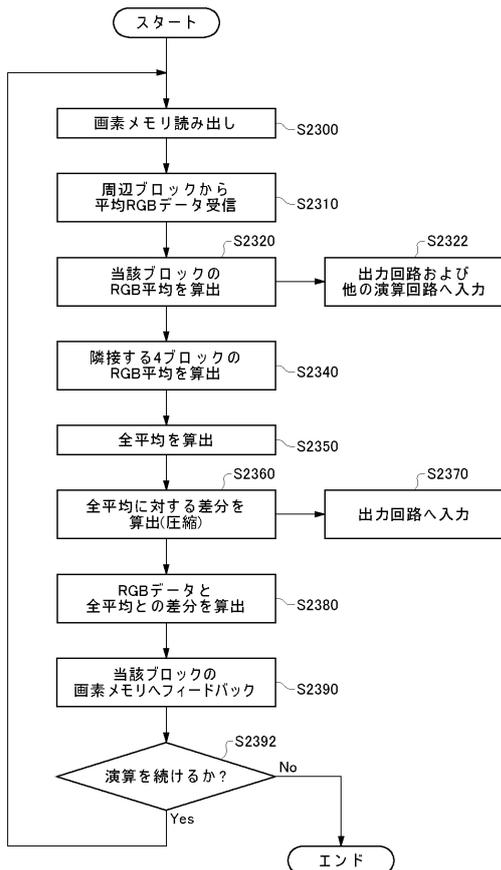
【図56】



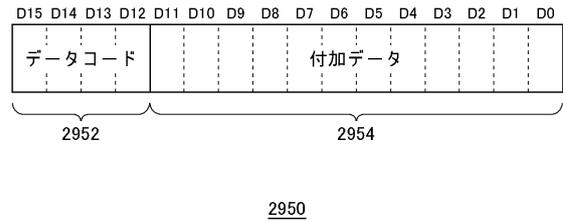
【図57】



【図58】



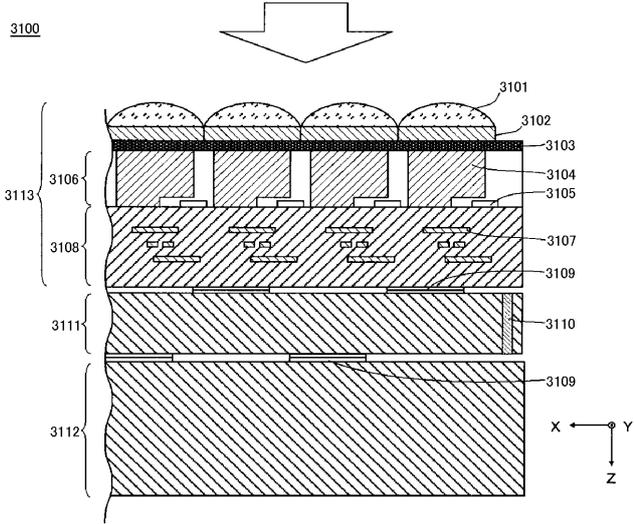
【図59】



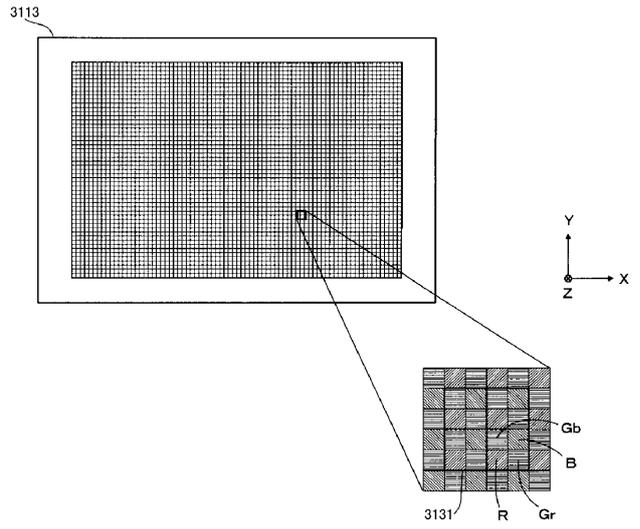
【図60】

データコード	付加データの内容
0	当該ブロックのR画素加算平均値Ar
1	当該ブロックのG画素加算平均値Ag
2	当該ブロックのB画素加算平均値Ab
3	隣接ブロックを含むArとの差分ΔAr
4	隣接ブロックを含むAgとの差分ΔAg
5	隣接ブロックを含むAbとの差分ΔAb
:	:
:	:
d	当該ブロックの電荷電圧変換利得
e	当該ブロックの駆動フレーム周波数
f	当該ブロックの蓄積時間

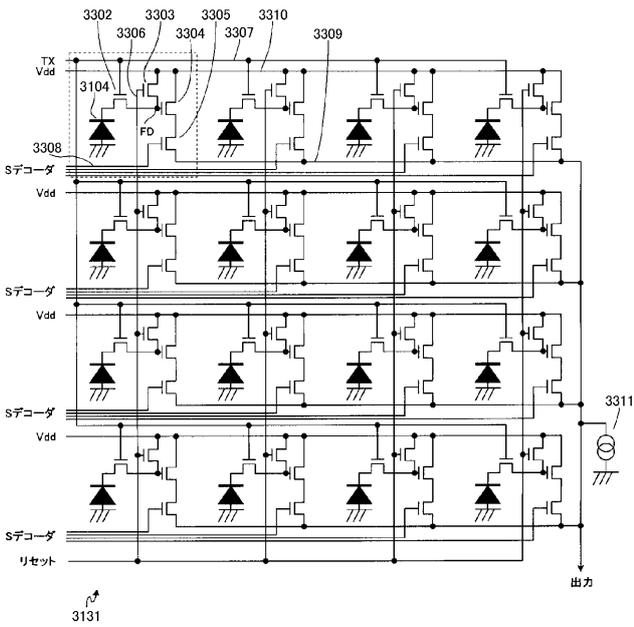
【図61】



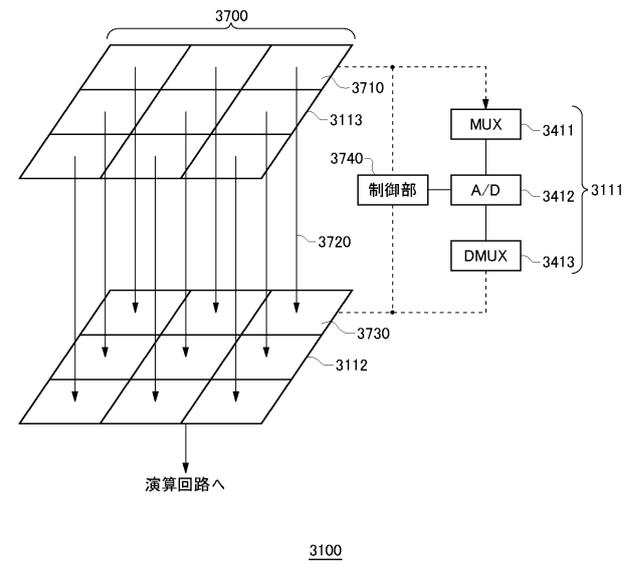
【図62】



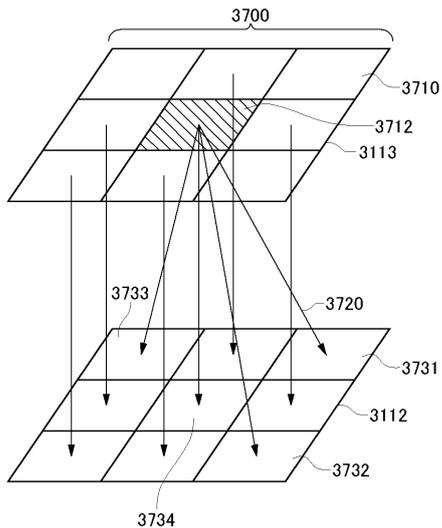
【図63】



【図64A】

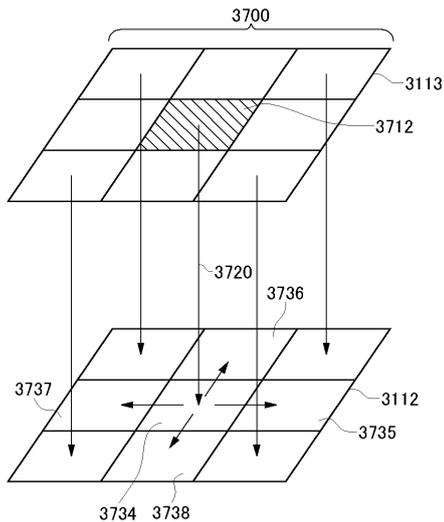


【図64B】



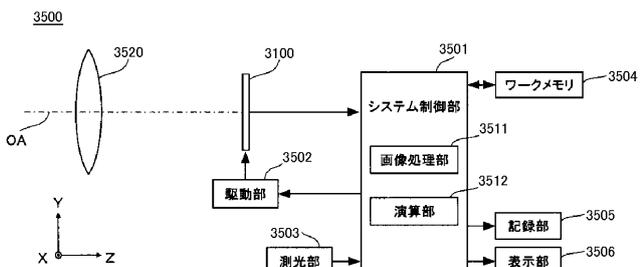
3100

【図64C】

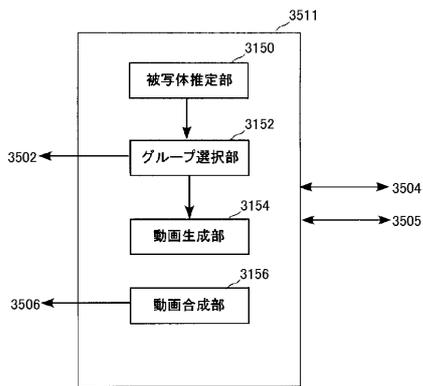


3100

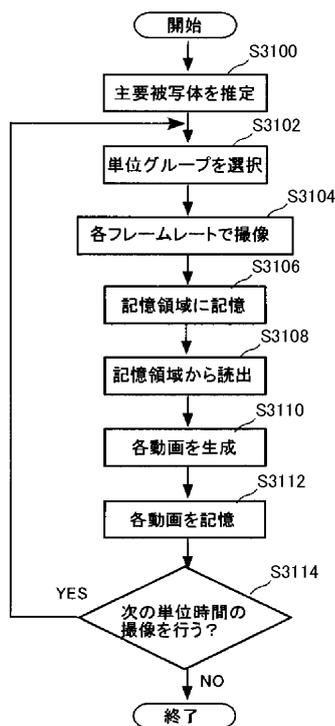
【図65】



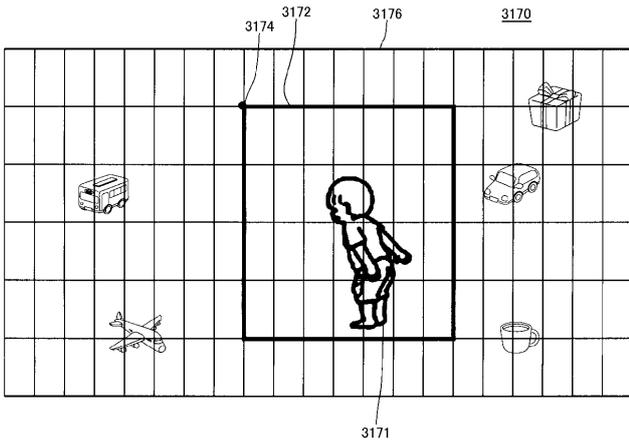
【図66】



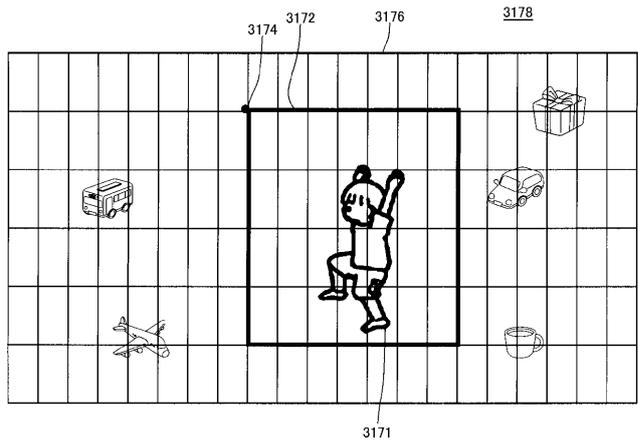
【図67】



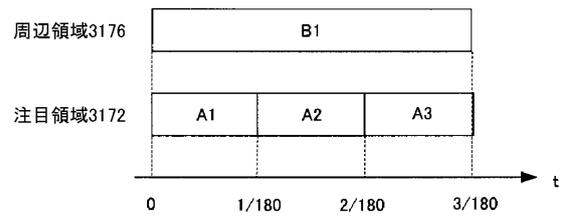
【図 6 8】



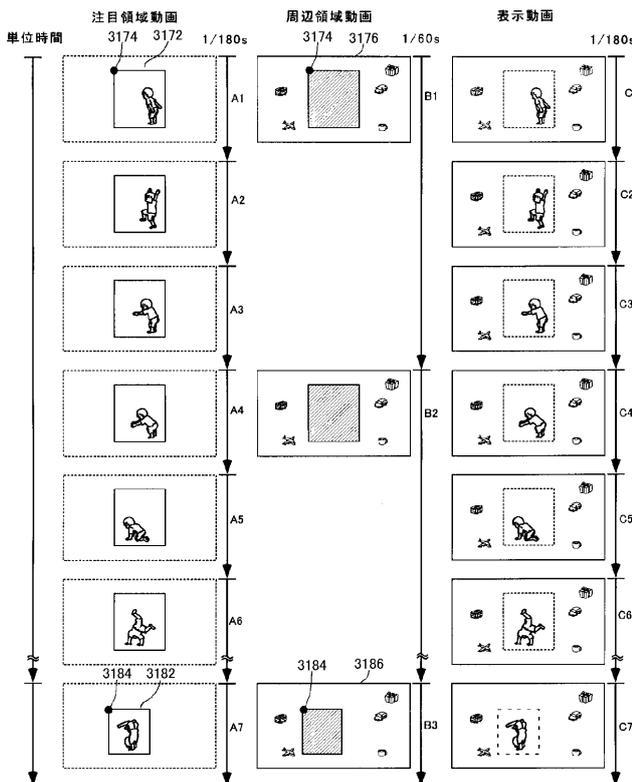
【図 6 9】



【図 7 0】



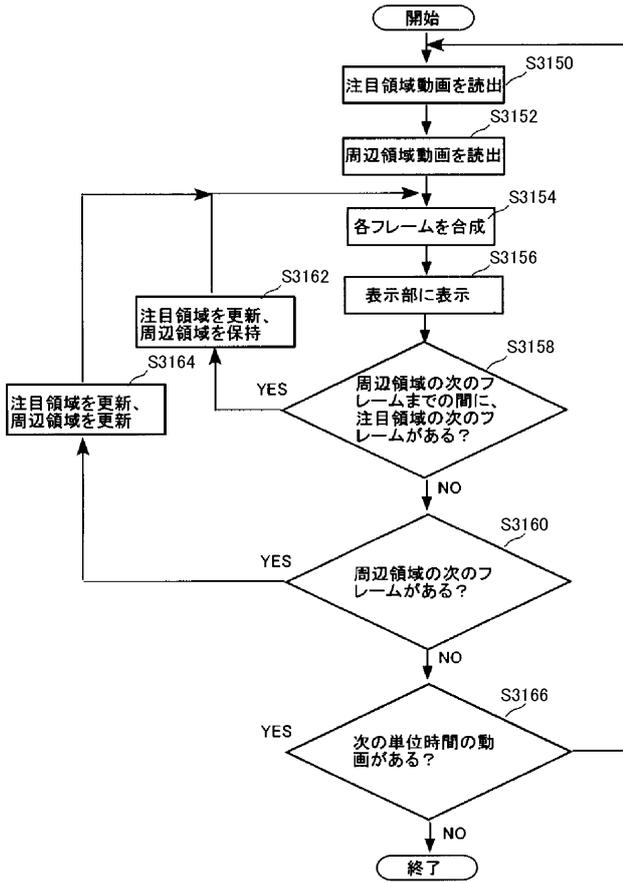
【図 7 1】



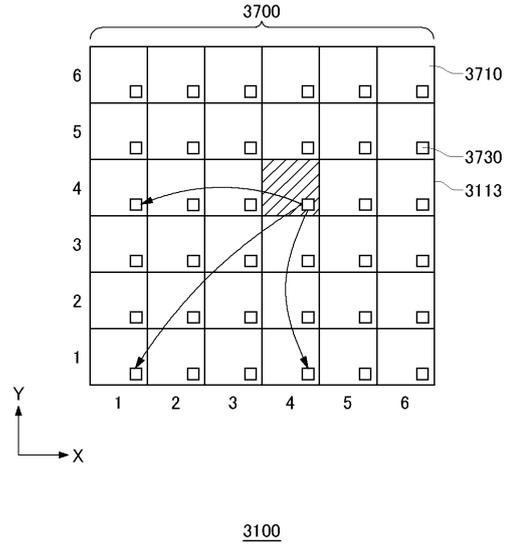
【図 7 2】

タイミング情報	04.01.14.23.00	04.01.14.23.01	04.01.14.23.02
領域情報	(9, 2)	(8, 3)	(9, 4)
サイズ情報	7 × 4	6 × 4	7 × 4
注目領域動画ID	AM001	AM002	AM003
フレームレート	180fps	180fps	180fps
周辺領域動画ID	BM001	BM002	BM003
フレームレート	60fps	60fps	60fps

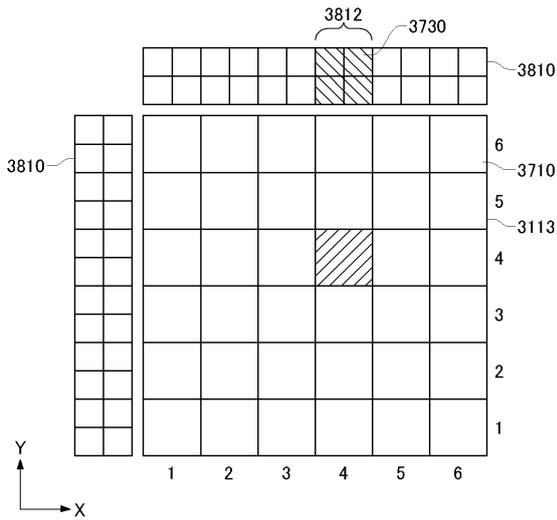
【図73】



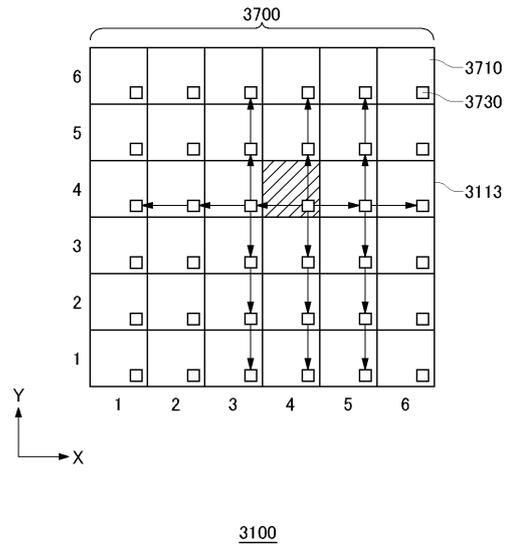
【図74】



【図75】



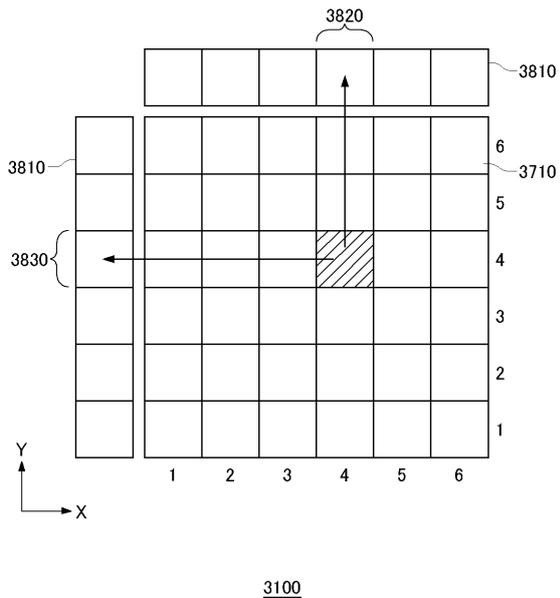
【図76】



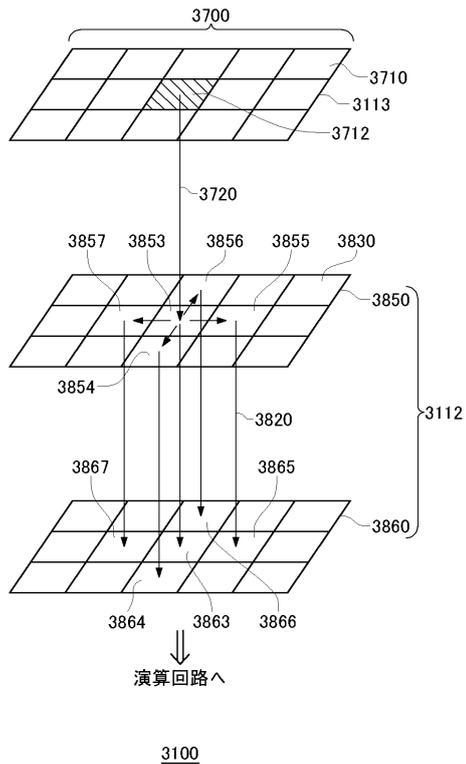
3100

3100

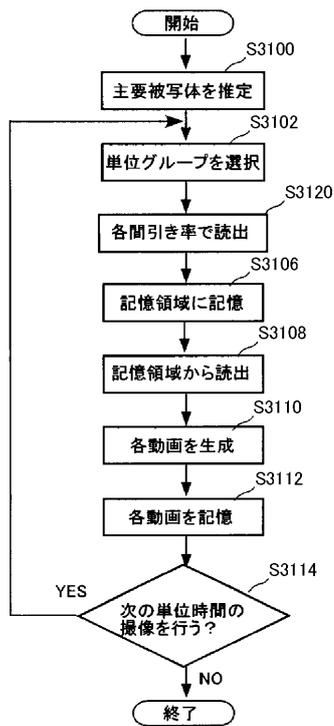
【図77】



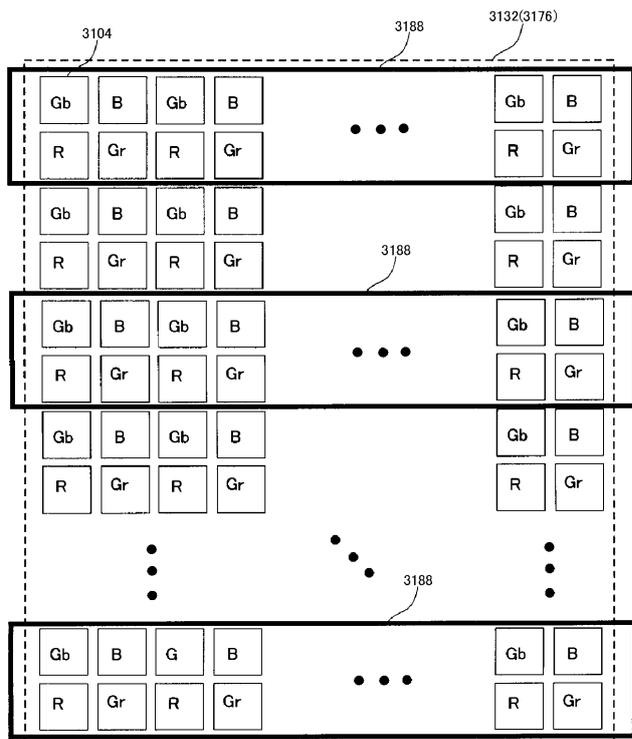
【図78】



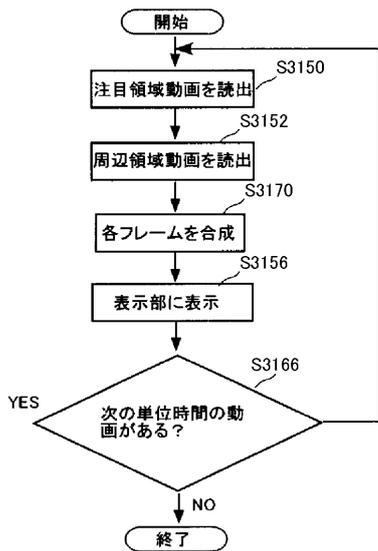
【図79】



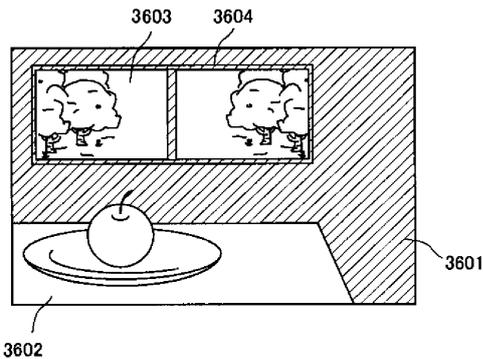
【図80】



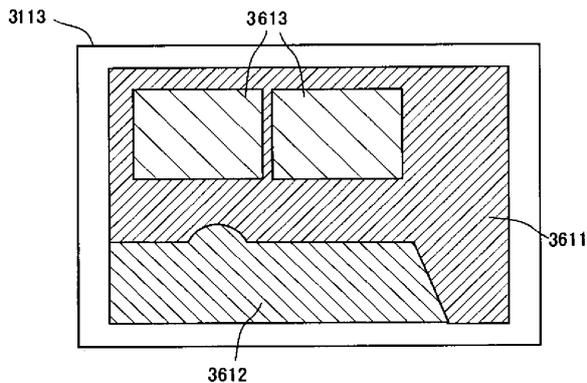
【図81】



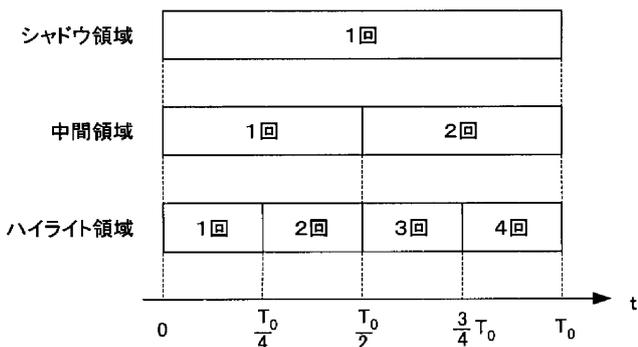
【図82A】



【図82B】



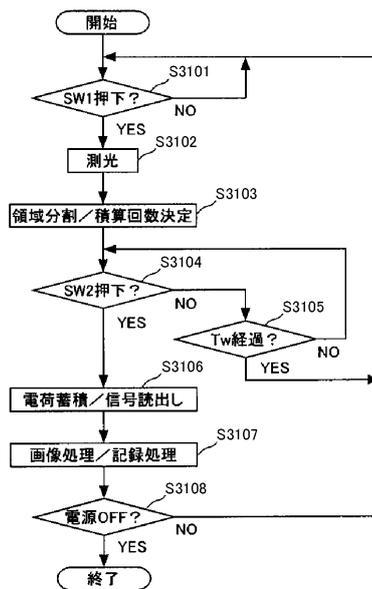
【図83】



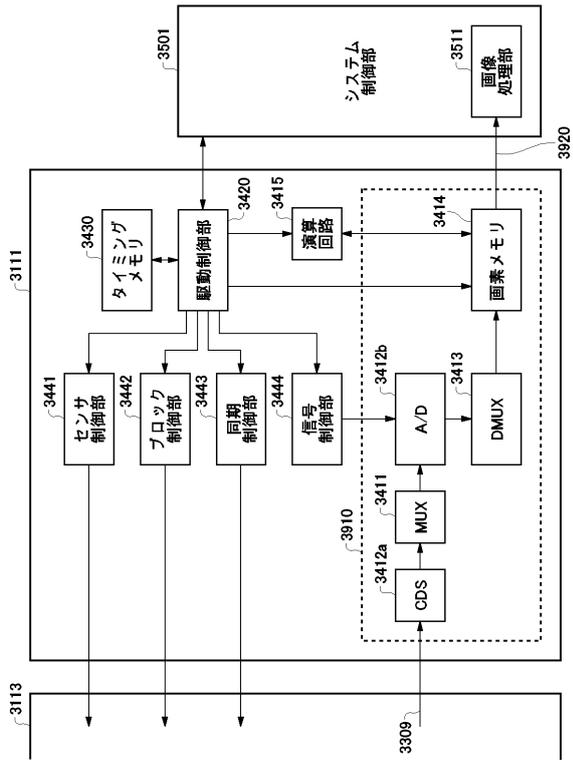
【図84】

指数桁	積算回数	DレンジUP
000	1回	0
0001	2回	1段
010	4回	2段
...
111	128回	7段

【図85】



【図 86】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2013/002927
A. CLASSIFICATION OF SUBJECT MATTER H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N5/225(2006.01)i, H04N5/232(2006.01)i, H04N5/345(2011.01)i, H04N5/347(2011.01)i, H04N5/353 (2011.01)i, H04N5/378(2011.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04N5/3745, H01L27/146, H04N5/225, H04N5/232, H04N5/345, H04N5/347, H04N5/353, H04N5/378 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-109103 A (Victor Company of Japan, Ltd.), 20 April 2006 (20.04.2006), paragraphs [0002], [0016], [0020], [0022]; fig. 1 to 3 (Family: none)	1-2 3-45, 57-60
Y	JP 2006-324834 A (Hitachi, Ltd.), 30 November 2006 (30.11.2006), paragraphs [0018] to [0019]; fig. 5 to 7 (Family: none)	3-6, 11, 13, 17-28, 39, 58-59
Y	JP 2009-302946 A (Fujifilm Corp.), 24 December 2009 (24.12.2009), paragraphs [0049] to [0057]; fig. 9 (Family: none)	3-6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 May, 2013 (27.05.13)		Date of mailing of the international search report 04 June, 2013 (04.06.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002927

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-243909 A (Victor Company of Japan, Ltd.), 20 September 2007 (20.09.2007), paragraph [0029]; fig. 2 & US 2007/0181687 A1 & CN 101018299 A	3, 7-10, 14, 22-23
Y	JP 2004-214985 A (Canon Inc.), 29 July 2004 (29.07.2004), paragraphs [0006] to [0007] (Family: none)	3, 12
Y	JP 2004-254343 A (Sony Corp.), 09 September 2004 (09.09.2004), paragraphs [0029] to [0031] & JP 7-123308 A & US 5406334 A	3, 12
Y	JP 2002-290908 A (Minolta Co., Ltd.), 04 October 2002 (04.10.2002), paragraph [0044]; fig. 3, 6 & US 2002/0140826 A1	6
Y	JP 2005-176081 A (Konica Minolta Holdings, Inc.), 30 June 2005 (30.06.2005), paragraphs [0003], [0007] to [0008] & US 2005/0128328 A1	10, 23
Y	WO 2006/129762 A1 (Sony Corp.), 07 December 2006 (07.12.2006), paragraphs [0040], [0139]; fig. 5 to 6 & JP 2007-13089 A & US 2010/0276572 A1 & US 2006/0197007 A1 & US 7947528 B2 & US 2009/0065681 A1 & US 2010/0264474 A1 & US 2010/0267185 A1 & US 2011/0156111 A1	15-16, 26-27, 40-42, 57-60
Y	JP 2006-49361 A (Sony Corp.), 16 February 2006 (16.02.2006), paragraphs [0056], [0058] to [0059]; fig. 8 & US 2006/0023109 A1 & KR 10-2006-0048911 A & CN 1728397 A & TW 278105 B & CN 101281919 A	15-16, 26-27, 40-42, 57-60
Y	JP 2005-175517 A (Sony Corp.), 30 June 2005 (30.06.2005), paragraphs [0093], [0112] to [0114] & US 2005/0168602 A1 & US 2011/0025420 A1 & US 2012/0104235 A1 & EP 1538827 A1 & EP 2271076 A2 & TW 252686 B & KR 10-2005-0054841 A & CN 1645918 A	29-45, 60
Y	JP 7-231444 A (Fujitsu Ltd.), 29 August 1995 (29.08.1995), paragraphs [0136] to [0137] & US 5784491 A	38

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002927

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2006-33452 A (Sony Corp.), 02 February 2006 (02.02.2006), paragraphs [0276] to [0281]; fig. 20 to 21 & US 2006/0013485 A1 & KR 10-2006-0050215 A & CN 1770831 A & TW 281821 B & KR 10-2012-0006961 A	46-47, 56, 61 55 48-54
Y	JP 2010-193296 A (Nikon Corp.), 02 September 2010 (02.09.2010), paragraph [0035]; fig. 1 (Family: none)	55

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002927

Box No. II	Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)
<p>This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:</p> <p>1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:</p> <p>2. <input type="checkbox"/> Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:</p> <p>3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).</p>	
Box No. III	Observations where unity of invention is lacking (Continuation of item 3 of first sheet)
<p>This International Searching Authority found multiple inventions in this international application, as follows: The inventions of claims 1-2 cannot be considered to be novel in the light of the invention disclosed in the document 1 (JP 2006-109103 A), and does not have a special technical feature. Therefore, six inventions (invention groups) each having a special technical feature indicated below are involved in claims. Meanwhile, the inventions of claims 1-2 having no special technical feature are classified into invention 1. (Invention 1) the inventions of claims 1-16 and 57 (Invention 2) the inventions of claims 17-18 and 58 (Continued to extra sheet)</p> <p>1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.</p> <p>2. <input checked="" type="checkbox"/> As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.</p> <p>3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:</p> <p>4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:</p> <p>Remark on Protest</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.</p> <p><input type="checkbox"/> No protest accompanied the payment of additional search fees.</p>	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002927

Continuation of Box No.III of continuation of first sheet(2)

(Invention 3) the inventions of claims 19-28 and 59
(Invention 4) the inventions of claims 29-30 and 60
(Invention 5) the inventions of claims 31-45
(Invention 6) the inventions of claims 46-56 and 61

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 0 2 9 2 7	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04N5/3745 (2011.01)i, H01L27/146 (2006.01)i, H04N5/225 (2006.01)i, H04N5/232 (2006.01)i, H04N5/345 (2011.01)i, H04N5/347 (2011.01)i, H04N5/353 (2011.01)i, H04N5/378 (2011.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04N5/3745, H01L27/146, H04N5/225, H04N5/232, H04N5/345, H04N5/347, H04N5/353, H04N5/378			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	JP 2006-109103 A (日本ビクター株式会社) 2006.04.20, 段落【0002】、【0016】、【0020】、【0022】、図 1-3 (ファミリーなし)	1-2 3-45, 57-60	
Y	JP 2006-324834 A (株式会社日立製作所) 2006.11.30, 段落【0018】-【0019】、図 5-7 (ファミリーなし)	3-6, 11, 13, 17-28, 39, 58-59	
Y	JP 2009-302946 A (富士フイルム株式会社) 2009.12.24, 段落【0049】-【0057】、図 9 (ファミリーなし)	3-6	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 27.05.2013		国際調査報告の発送日 04.06.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鈴木 肇	5 V 9 8 4 7
		電話番号 03-3581-1101	内線 3571

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 0 2 9 2 7
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-243909 A (日本ビクター株式会社) 2007.09.20, 段落【0029】, 図2 & US 2007/0181687 A1 & CN 101018299 A	3, 7-10, 14, 22-23
Y	JP 2004-214985 A (キヤノン株式会社) 2004.07.29, 段落【0006】 - 【0007】 (ファミリーなし)	3, 12
Y	JP 2004-254343 A (ソニー株式会社) 2004.09.09, 段落【0029】 - 【0031】 & JP 7-123308 A & US 5406334 A	3, 12
Y	JP 2002-290908 A (ミノルタ株式会社) 2002.10.04, 段落【0044】, 図3, 6 & US 2002/0140826 A1	6
Y	JP 2005-176081 A (コニカミノルタホールディングス株式会社) 2005.06.30, 段落【0003】, 【0007】 - 【0008】 & US 2005/0128328 A1	10, 23
Y	WO 2006/129762 A1 (ソニー株式会社) 2006.12.07, 段落【0040】, 【0139】, 図5-6 & JP 2007-13089 A & US 2010/0276572 A1 & US 2006/0197007 A1 & US 7947528 B2 & US 2009/0065681 A1 & US 2010/0264474 A1 & US 2010/0267185 A1 & US 2011/0156111 A1	15-16, 26-27, 40-42, 57-60
Y	JP 2006-49361 A (ソニー株式会社) 2006.02.16, 段落【0056】, 【0058】 - 【0059】, 図8 & US 2006/0023109 A1 & KR 10-2006-0048911 A & CN 1728397 A & TW 278105 B & CN 101281919 A	15-16, 26-27, 40-42, 57-60
Y	JP 2005-175517 A (ソニー株式会社) 2005.06.30, 段落【0093】, 【0112】 - 【0114】 & US 2005/0168602 A1 & US 2011/0025420 A1 & US 2012/0104235 A1 & EP 1538827 A1 & EP 2271076 A2 & TW 252686 B & KR 10-2005-0054841 A & CN 1645918 A	29-45, 60
Y	JP 7-231444 A (富士通株式会社) 1995.08.29, 段落【0136】 - 【0137】 & US 5784491 A	38
X	JP 2006-33452 A (ソニー株式会社) 2006.02.02, 段落【0276】 - 【0281】, 図20-21 & US 2006/0013485 A1 & KR 10-2006-0050215 A & CN 1770831 A & TW 281821 B & KR 10-2012-0006961 A	46-47, 56, 61
Y		55
A		48-54
Y	JP 2010-193296 A (株式会社ニコン) 2010.09.02, 段落【0035】, 図1 (ファミリーなし)	55

国際調査報告

国際出願番号 PCT/J P 2 0 1 3 / 0 0 2 9 2 7

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求項1-2に係る発明は、文献1(JP 2006-109103 A)に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。したがって、請求の範囲には、以下の特別な技術的特徴を有する6の発明(群)が含まれる。

なお、特別な技術的特徴を有しない請求項1-2に係る発明は、発明1に区分する。

- (発明1) 請求項1-16, 57に係る発明
- (発明2) 請求項17-18, 58に係る発明
- (発明3) 請求項19-28, 59に係る発明
- (発明4) 請求項29-30, 60に係る発明
- (発明5) 請求項31-45に係る発明
- (発明6) 請求項46-56, 61に係る発明

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2009年7月)

フロントページの続き

(51) Int.Cl.	F I		テーマコード (参考)	
H 0 4 N 5/232 (2006.01)	H 0 4 N	5/232	Z	
H 0 1 L 27/146 (2006.01)	H 0 1 L	27/14	F	
	H 0 1 L	27/14	A	

(31) 優先権主張番号 特願2012-149946(P2012-149946)

(32) 優先日 平成24年7月3日(2012.7.3)

(33) 優先権主張国 日本国(JP)

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72) 発明者 小西 哲也

東京都千代田区有楽町一丁目12番1号 株式会社ニコン内

(72) 発明者 鈴木 政央

東京都千代田区有楽町一丁目12番1号 株式会社ニコン内

Fターム(参考) 4M118 BA14 BA19 CA02 CA32 DD04 DD12 FA06 FA33 GA02 GC07
 GC08 GC14 GD04 GD07 HA24 HA31
 5C024 CX51 EX42 EX52 GX03 GX16 GX24 GY31 GZ28 HX50 HX55
 HX60 JX09 JX41
 5C122 EA12 FC02 FC06 FC07 FC08 FC10 FC12 FC14 FF11 FH09
 FH11 HB01 HB02 HB05 HB09

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。