



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202308131 A

(43)公開日：中華民國 112 (2023) 年 02 月 16 日

(21)申請案號：111111778

(22)申請日：中華民國 111 (2022) 年 03 月 29 日

(51)Int. Cl. : *H01L27/11531* (2017.01)

(30)優先權：2021/04/30 日本

2021-077655

(71)申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION
(JP)

日本

(72)發明人：清水秀 SHIMIZU, SHU (JP)

(74)代理人：周良吉；林郁君

申請實體審查：無 申請專利範圍項數：9 項 圖式數：40 共 77 頁

(54)名稱

半導體裝置製造方法

(57)摘要

提出非揮發性半導體記憶體及三或更多種電晶體。第一電晶體之第一閘極氧化物膜之厚度係大於第二電晶體之第二閘極氧化物膜之厚度、並且小於第三電晶體之第三閘極氧化物膜之厚度。在第一電晶體中，第一矽氧化物膜係形成在半導體基板之表面上，且第二及第三矽氧化物膜係形成在第一矽氧化物膜上。藉由去除第二及第三矽氧化物膜及第一矽氧化物膜之上層之一部分，從第一矽氧化物膜形成第一閘極氧化物膜。

A non-volatile semiconductor memory and three or more types of transistors are provided. A thickness of a first gate oxide film of a first transistor is larger than that of a second gate oxide film of a second transistor, and is smaller than that of a third gate oxide film of a third transistor. In a first transistor region, a first silicon oxide film is formed on a surface of a semiconductor substrate, and second and third silicon oxide films are formed on the first silicon oxide film. By removing the second and third silicon oxide films and a part of an upper layer of the first silicon oxide film, the first gate oxide film is formed from the first silicon oxide film.

指定代表圖：

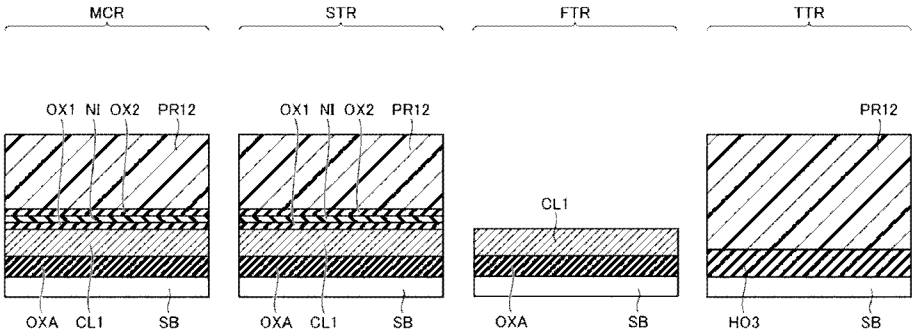


圖 20

符號簡單說明：

- CL1:導電膜
- FTR:第一電晶體區域
- HO3:矽氧化物膜
- MCR:記憶體區域
- NI:矽氮化物膜
- OX1,OX2:矽氧化物膜
- OXA:矽氧化物膜
- PR12:光阻
- SB:半導體基板
- STR:第二電晶體區域
- TTR:第三電晶體區域

【發明摘要】

【中文發明名稱】半導體裝置製造方法

【英文發明名稱】METHOD OF MANUFACTURING SEMICONDUCTOR
DEVICE

【中文】

提出非揮發性半導體記憶體及三或更多種電晶體。第一電晶體之第一閘極氧化物膜之厚度係大於第二電晶體之第二閘極氧化物膜之厚度、並且小於第三電晶體之第三閘極氧化物膜之厚度。在第一電晶體中，第一矽氧化物膜係形成在半導體基板之表面上，且第二及第三矽氧化物膜係形成在第一矽氧化物膜上。藉由去除第二及第三矽氧化物膜及第一矽氧化物膜之上層之一部分，從第一矽氧化物膜形成第一閘極氧化物膜。

【英文】

A non-volatile semiconductor memory and three or more types of transistors are provided. A thickness of a first gate oxide film of a first transistor is larger than that of a second gate oxide film of a second transistor, and is smaller than that of a third gate oxide film of a third transistor. In a first transistor region, a first silicon oxide film is formed on a surface of a semiconductor substrate, and second and third silicon oxide films are formed on the first silicon oxide film. By removing the second and third silicon oxide films and a part of an upper layer of the first silicon oxide film, the first gate oxide film is formed from the first silicon oxide film.

【指定代表圖】 圖 20

【代表圖之符號簡單說明】

CL1: 導電膜

FTR: 第一電晶體區域

HO3: 矽氧化物膜

MCR: 記憶體區域

NI: 矽氮化物膜

OX1, OX2: 矽氧化物膜

OXA: 矽氧化物膜

PR12: 光阻

SB: 半導體基板

STR: 第二電晶體區域

TTR: 第三電晶體區域

【發明說明書】

【中文發明名稱】半導體裝置製造方法

【英文發明名稱】METHOD OF MANUFACTURING SEMICONDUCTOR
DEVICE

【技術領域】

【0001】 本發明係關於半導體裝置之製造方法，並且可適當地應用於包括非揮發性半導體記憶體及三或更多種場效電晶體之半導體裝置之製造方法，該三或更多種場效電晶體之閘極氧化物膜之厚度係彼此不同的。

[相關申請案之交互參照]

【0002】 於 2021 年 4 月 30 日提出申請之日本專利申請案第 2021-077655 號之整體揭示內容（包括說明書、圖式及摘要）係併入本申請案中之參考資料。

【先前技術】

【0003】 以往，包括非揮發性半導體記憶體以及具有厚度彼此不同之閘極氧化物膜之三種場效電晶體之半導體裝置係揭露在，例如，日本專利公開案第 2019-79938 號（專利文獻 1）中。專利文獻 1 揭露了快閃記憶體、高耐受電壓 MOS（金屬氧化物半導體）電晶體、低耐受電壓 MOS 電晶體、以及耐受電壓介於高耐受電壓與低耐受電壓之間之新穎 MOS 電晶體。

【0004】 新穎 MOS 電晶體之閘極氧化物膜是在快閃記憶體之浮動閘極形成之後、藉由 CVD（化學氣相沉積）方法而形成。此外，新穎 MOS 電晶體之閘極氧化物膜亦使用做為高耐受電壓 MOS 電晶體之閘極氧化物膜之一部分。

【0005】 [專利文獻 1] 日本專利公開案第 2019-79938 號。

【發明內容】

【0006】 在專利文獻 1 之製造方法中，新穎 MOS 電晶體之閘極氧化物膜亦使用做為高耐受電壓 MOS 電晶體之閘極氧化物膜之一部分。因此，新穎 MOS 電晶體之閘極氧化物膜之形成對於包括高耐受電壓 MOS 電晶體之其它電晶體之製造流程有很大的影響。因此，在形成新穎 MOS 電晶體之閘極氧化物膜時，存在很多限制。

【0007】 根據說明書之描述及伴隨的圖式，其它問題及新穎特徵將是顯而易見的。

【0008】 根據一實施例之半導體裝置之製造方法為包括非揮發性半導體記憶體、第一電晶體、第二電晶體、及第三電晶體之半導體裝置之製造方法。第一電晶體包括具有第一膜厚之第一閘極氧化物膜。第二電晶體包括具有第二膜厚之第二閘極氧化物膜，第二膜厚係小於第一膜厚。第三電晶體包括具有第三膜厚之第三閘極氧化物膜，第三膜厚係大於第一膜厚。在該半導體裝置之製造方法中，首先，在第一電晶體之形成區域中，形成氧化物膜在半導體基板之表面上。在第一電晶體之形成區域中，形成第一受蝕刻膜在該氧化物膜上。藉由去除第一受蝕刻膜及氧化物膜之上層之一部分，從氧化物膜形成具有第一膜厚之第一閘極氧化物膜。

【0009】 藉由根據該實施例之半導體裝置之製造方法，能夠製造第一電晶體，而不會對其它電晶體之製造流程有很大的影響。

【圖式簡單說明】

【0010】 圖 1 係橫剖面圖，顯示根據第一實施例之半導體裝置之結構。

【0011】 圖 2 係以放大的方式顯示圖 1 之區域 RM、RF、RS 及 RT 之局部放大橫剖面圖。

【0012】 圖 3 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第一步驟。

【0013】 圖 4 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第二步驟。

【0014】 圖 5 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第三步驟。

【0015】 圖 6 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第四步驟。

【0016】 圖 7 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第五步驟。

【0017】 圖 8 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第六步驟。

【0018】 圖 9 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第七步驟。

【0019】 圖 10 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第八步驟。

【0020】 圖 11 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第九步驟。

【0021】 圖 12 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第十步驟。

【0022】 圖 13 係橫剖面圖，顯示根據第一實施例之半導體裝置之製造方法之第十一步驟。

【0023】 圖 14 係橫剖面圖，顯示根據第二實施例之半導體裝置之結構。

【0024】圖 15 係以放大的方式顯示圖 14 之區域 RM、RF、RS 及 RT 之局部放大橫剖面圖。

【0025】圖 16 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第一步驟。

【0026】圖 17 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第二步驟。

【0027】圖 18 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第三步驟。

【0028】圖 19 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第四步驟。

【0029】圖 20 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第五步驟。

【0030】圖 21 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第六步驟。

【0031】圖 22 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第七步驟。

【0032】圖 23 係橫剖面圖，顯示根據第二實施例之半導體裝置之製造方法之第八步驟。

【0033】圖 24 係橫剖面圖，顯示根據第三實施例之半導體裝置之結構。

【0034】圖 25 係以放大的方式顯示圖 24 之區域 RM、RF、RS 及 RT 之局部放大橫剖面圖。

【0035】圖 26 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第一步驟。

【0036】圖 27 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第二步驟。

【0037】圖 28 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第三步驟。

【0038】圖 29 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第四步驟。

【0039】圖 30 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第五步驟。

【0040】圖 31 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第六步驟。

【0041】圖 32 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第七步驟。

【0042】圖 33 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第八步驟。

【0043】圖 34 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第九步驟。

【0044】圖 35 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第十步驟。

【0045】圖 36 係橫剖面圖，顯示根據第三實施例之半導體裝置之製造方法之第十一步驟。

【0046】圖 37 係橫剖面圖，顯示根據第三實施例之第一變形例之半導體裝置之製造方法之第一步驟。

【0047】圖 38 係橫剖面圖，顯示根據第三實施例之第一變形例之半導體裝置之製造方法之第二步驟。

【0048】圖 39 係橫剖面圖，顯示根據第三實施例之第二變形例之半導體裝置之製造方法之第一步驟。

【0049】圖 40 係橫剖面圖，顯示根據第三實施例之第二變形例之半導體裝置之製造方法之第二步驟。

【實施方式】

【0050】在下文中，將參考圖式而詳細描述本揭示內容之實施例。在說明書及圖式中，相同的構件或對應的構件係以相同的元件符號加以表示，並且不再重複描述。此外，在圖式中，為了方便描述，可能省略或簡化結構或製造方法。再者，每一實施例及每一變形例其中至少一部分可任意地彼此組合。

【0051】（第一實施例）

【0052】〈半導體裝置之結構〉

【0053】首先，將參照圖 1 及圖 2 來描述根據第一實施例之半導體裝置之結構。

【0054】如圖 1 所示，根據本實施例之半導體裝置包括非揮發性半導體記憶體 MC、第一電晶體 FT、第二電晶體 ST、及第三電晶體 TT。

【0055】非揮發性半導體記憶體 MC 係設置在記憶體區域 MCR 中。第一電晶體 FT 係設置在第一電晶體區域 FTR（第一電晶體 FT 之形成區域）中。第二電晶體 ST 係設置在第二電晶體區域 STR 中。第三電晶體 TT 係設置在第三電晶體區域 TTR 中。

【0056】非揮發性半導體記憶體 MC 係，例如，分離閘快閃記憶體。非揮發性半導體記憶體 MC 包括一對雜質區域 IRa 及 IRb、耦合氧化物膜 CI、浮動閘極 FG、穿隧氧化物膜 TI 及控制閘極 CG。

【0057】該對雜質區域 IRa 及 IRb 其中一者做為源極區域，另一者做為汲極區域。在寫入所儲存的内容時，雜質區域 IRa 做為源極區域，雜質區域 IRb 做為汲極區域。在讀取所儲存的内容時，雜質區域 IRa 做為汲極區域，雜質區域 IRb 做為源極區域。

【0058】雜質區域 IRa 及 IRb 係設置在半導體基板 SB 之表面中，彼此相距一距離。半導體基板 SB 係由，例如，單晶矽所構成。藉由將例如 n 型雜質導入半導體基板 SB 之表面中以配置該對雜質區域 IRa 及 IRb。

【0059】浮動閘極 FG 係隔著耦合氧化物膜 CI 而設置在夾設在該對雜質區域 IRa、IRb 之間之半導體基板 SB 之表面上。耦合氧化物膜 CI 係，例如，藉由對由矽所構成之半導體基板 SB 之表面進行熱氧化所形成之矽氧化物膜。耦合氧化物膜 CI 具有例如 100 Å（埃）之厚度。

【0060】浮動閘極 FG 係由，例如，已經導入了雜質之多晶矽（摻雜的多晶矽）所構成。浮動閘極 FG 具有例如 1000 Å（埃）之厚度。

【0061】控制閘極 CG 係隔著穿隧氧化物膜 TI 而設置在浮動閘極 FG 上。穿隧氧化物膜 TI 包括氧化物膜 TI1 及氧化物膜 TI2。氧化物膜 TI1 與浮動閘極 FG 之上表面接觸。氧化物膜 TI2 與氧化物膜 TI1 之上表面、浮動閘極 FG 之側表面以及半導體基板 SB 之表面接觸。

【0062】氧化物膜 TI1 具有，例如，藉由 RTO（快速熱氧化）所形成之矽氧化物膜及藉由 HTO（高溫氧化）所形成之矽氧化物膜之堆疊結構。RTO 是一種熱氧化方法。HTO 是一種化學氣相沉積方法（CVD 方法）。氧化物膜 TI1 具有例如 48 Å（埃）之厚度。

【0063】氧化物膜 TI2 係，例如，藉由 HTO 所形成之矽氧化物膜。氧化物膜 TI2 具有例如 139 Å（埃）之厚度。控制閘極 CG 係由，例如，摻雜的多晶矽所構成。

【0064】 控制閘極 CG 係隔著氧化物膜 TI1、TI2 而與浮動閘極 FG 之上表面相對。此外，控制閘極 CG 係隔著氧化物膜 TI2 而與浮動閘極 FG 之側表面及半導體基板 SB 之表面相對。位於半導體基板 SB 與控制閘極 CG 之間之氧化物膜 TI2 係做為閘極氧化物膜。控制閘極 CG 之側壁被側壁絕緣膜 SW 所覆蓋。

【0065】 第一電晶體 FT、第二電晶體 ST 及第三電晶體 TT 其中每一者為絕緣閘場效電晶體，並且為使用矽氧化物膜做為閘絕緣膜之 MOS 電晶體。第一電晶體 FT、第二電晶體 ST 及第三電晶體 TT 其中每一者係配置為具有不同的驅動電壓。

【0066】 第一電晶體 FT 之驅動電壓係高於第二電晶體 ST 之驅動電壓、並且低於第三電晶體 TT 之驅動電壓。第一電晶體 FT 之驅動電壓例如為 3.3 V。第一電晶體 FT 係做為，例如，AD（類比數位）轉換器等之類比電路之電晶體。

【0067】 第二電晶體 ST 之驅動電壓例如為 1.5 V。第二電晶體 ST 例如為核心電晶體。核心電晶體係指在半導體裝置中具有最高驅動能力之電晶體。

【0068】 第三電晶體 TT 之驅動電壓例如為 5.0 V。第三電晶體 TT 例如為用於 IO（輸入輸出）介面之電晶體。

【0069】 電晶體 FT、ST、TT 分別具有膜厚不同的閘極氧化物膜 GI1、GI2、GI3。第二電晶體 ST 中之閘極氧化物膜 GI2 之膜厚係小於第一電晶體 FT 中之閘極氧化物膜 GI1 之膜厚。第三電晶體 TT 中之閘極氧化物膜 GI3 之膜厚係大於第一電晶體 FT 中之閘極氧化物膜 GI1 之膜厚。

【0070】 第一電晶體 FT 具有一對雜質區域 IR1、閘極氧化物膜 GI1、及閘極 GE1。雜質區域 IR1 其中一者係做為源極區域，而另一者係做為汲極區域。雜質區域 IR1 每一者具有高濃度區域 HI1 及低濃度區域 LI1，並且具有 LDD（輕摻雜汲極）結構。雜質區域 IR1 每一者係設置在半導體基板 SB 之表面中。閘極 GE1

係隔著閘極氧化物膜 GI1 而設置在夾設在該對雜質區域 IR1 之間之半導體基板 SB 之表面上。閘極 GE1 之側壁被側壁絕緣膜 SW 所覆蓋。

【0071】 閘極氧化物膜 GI1 為，例如，藉由對由矽所構成之半導體基板 SB 之表面進行熱氧化所形成之矽氧化物膜。閘極氧化物膜 GI1 具有例如 75 Å（埃）之厚度。閘極 GE1 係由，例如，摻雜的多晶矽所構成。

【0072】 第二電晶體 ST 具有一對雜質區域 IR2、閘極氧化物膜 GI2、及閘極 GE2。雜質區域 IR2 其中一者係做為源極區域，而另一者係做為汲極區域。雜質區域 IR2 每一者具有高濃度區域 HI2 及低濃度區域 LI2，並且具有 LDD 結構。雜質區域 IR2 每一者係設置在半導體基板 SB 之表面中。閘極 GE2 係隔著閘極氧化物膜 GI2 而設置在夾設在該對雜質區域 IR2 之間之半導體基板 SB 之表面上。閘極 GE2 之側壁被側壁絕緣膜 SW 所覆蓋。

【0073】 閘極氧化物膜 GI2 為，例如，藉由對由矽所構成之半導體基板 SB 之表面進行熱氧化所形成之矽氧化物膜。閘極氧化物膜 GI2 具有例如 27 Å（埃）之厚度。閘極 GE2 係由，例如，摻雜的多晶矽所構成。

【0074】 第三電晶體 TT 具有一對雜質區域 IR3、閘極氧化物膜 GI3、及閘極 GE3。雜質區域 IR3 其中一者係做為源極區域，而另一者係做為汲極區域。雜質區域 IR3 每一者具有高濃度區域 HI3 及低濃度區域 LI3，並且具有 LDD 結構。雜質區域 IR3 每一者係設置在半導體基板 SB 之表面中。閘極 GE3 係隔著閘極氧化物膜 GI3 而設置在夾設在該對雜質區域 IR3 之間之半導體基板 SB 之表面上。閘極 GE3 之側壁被側壁絕緣膜 SW 所覆蓋。

【0075】 閘極氧化物膜 GI3 具有氧化物膜 GI3a 及氧化物膜 GI3b。氧化物膜 GI3a 與半導體基板 SB 之表面接觸。氧化物膜 GI3b 與氧化物膜 GI3a 之上表面接觸。閘極 GE3 與氧化物膜 GI3b 之上表面接觸。

【0076】氧化物膜 GI3a 具有，例如，藉由 RTO 所形成之矽氧化物膜以及藉由 HTO 所形成之矽氧化物膜之堆疊結構。氧化物膜 GI3a 具有例如 48 Å（埃）之厚度。氧化物膜 GI3b 為，例如，藉由 HTO 所形成之矽氧化物膜。氧化物膜 GI3b 具有例如 139 Å（埃）之厚度。閘極 GE3 係由，例如，摻雜的多晶矽所構成。

【0077】圖 2 係以放大的方式顯示圖 1 之區域 RM、RF、RS 及 RT 之局部放大橫剖面圖。如圖 2 所示，相較於記憶體區域 MCR 中之在半導體基板 SB 與耦合氧化物膜 CI 之間之界面，第一電晶體區域 FTR 中之在半導體基板 SB 與閘極氧化物膜 GI1 之間之界面係位於較下側。記憶體區域 MCR 中之在半導體基板 SB 與耦合氧化物膜 CI 之間之界面與第一電晶體區域 FTR 中之在半導體基板 SB 與閘極氧化物膜 GI1 之間之界面之高度差係小於第二電晶體區域 STR 中之閘極氧化物膜 GI2 之厚度之 44%。

【0078】此外，相較於第一電晶體區域 FTR 中之在半導體基板 SB 與閘極氧化物膜 GI1 之間之界面，第三電晶體區域 TTR 中之在半導體基板 SB 與閘極氧化物膜 GI3 之間之界面係位於較下側。相較於第三電晶體區域 TTR 中之在半導體基板 SB 與閘極氧化物膜 GI3 之間之界面，第二電晶體區域 STR 中之在半導體基板 SB 與閘極氧化物膜 GI2 之間之界面係位於較下側。

【0079】〈非揮發性半導體記憶體 MC 之操作〉

【0080】接著，將描述在圖 1 中所顯示之非揮發性半導體記憶體 MC 之操作。

【0081】如圖 1 所示，當寫入數據時，使雜質區域 IRb 具有比雜質區域 IRa 更高的電位。結果，熱電子（處於高能態之電子）產生在浮動閘極 FG 下方、靠近雜質區域 IRa 一側之通道中。熱電子通過耦合氧化物膜 CI 而注入至浮動閘極 FG 中。以此方式，數據被寫入。

【0082】 當抹除數據時，將預定電壓施加至控制閘極 CG。結果，累積在浮動閘極 FG 中之電子通過穿隧氧化物膜 TI 而被抽取至控制閘極 CG。以此方式，數據被抹除。

【0083】 當讀取數據時，將預定電壓施加至控制閘極 CG 及雜質區域 IRa。此時，根據在雜質區域 IRa 與雜質區域 IRb 之間是否流過電流（讀取電流）來執行數據讀取判斷。

【0084】 〈半導體裝置之製造方法〉

【0085】 接下來，將參考圖 3 至圖 12 來描述根據本實施例之半導體裝置之製造方法。

【0086】 如圖 3 所示，準備例如由單晶矽所構成之半導體基板 SB。接著，在半導體基板 SB 之表面中形成 STI（淺溝槽隔離）。STI 係藉由在半導體基板 SB 之表面中形成溝槽、並且用絕緣膜填充溝槽而形成。在形成 STI 之後，在半導體基板 SB 中形成井。此後，藉由濕蝕刻去除下方的氧化物膜。

【0087】 在去除下方的氧化物膜之後，使半導體基板 SB 之表面進行熱氧化。結果，在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中，形成由熱氧化物膜所構成之矽氧化物膜 CO 而具有例如 100 Å（埃）之厚度在半導體基板 SB 之表面上。矽氧化物膜 CO 係用於形成非揮發性半導體記憶體 MC 中之耦合氧化物膜 CI 之氧化物膜（用於形成耦合氧化物膜之氧化物膜）。

【0088】 在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中，形成導電膜 CL1 在矽氧化物膜 CO 之表面上。導電膜 CL1 係用於形成非揮發性半導體記憶體 MC 中之浮動閘極 FG 之導電膜（用於形成浮動閘極之導電膜）。導電膜 CL1 係形成為具有例如 1000 Å（埃）之厚度。導電膜 CL1 係由，例如，摻雜的多晶矽所構成。

【0089】如圖 4 所示，將光阻 PR1 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR 及第一電晶體區域 FTR 其中每一者之光阻圖案 PR1。

【0090】接著，使用光阻圖案 PR1 做為遮罩以進行乾蝕刻。藉由乾蝕刻以去除在第二電晶體區域 STR 及第三電晶體區域 TTR 中之導電膜 CL1，並且使矽氧化物膜 CO 之表面露出。之後，利用酸將光阻圖案 PR1 剝離並去除。

【0091】如圖 5 所示，藉由蝕刻以去除在第二電晶體區域 STR 及第三電晶體區域 TTR 中露出的矽氧化物膜 CO。結果，在第二電晶體區域 STR 及第三電晶體區域 TTR 中之半導體基板 SB 之表面露出。

【0092】如圖 6 所示，藉由 RTO 在半導體基板 SB 之整個表面上進行熱氧化。結果，藉由熱氧化在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中形成矽氧化物膜。此外，藉由 HTO 在半導體基板 SB 之整個表面上沉積矽氧化物膜。因此，在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中形成矽氧化物膜 HO1，其具有藉由 RTO 而形成之矽氧化物膜以及藉由 HTO 所形成之矽氧化物膜之堆疊結構。矽氧化物膜 HO1 係形成為具有例如 48 Å（埃）之厚度。

【0093】如圖 7 所示，將光阻 PR2 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR 之一部分以及電晶體區域 FTR、STR 及 TTR 其中每一者之光阻圖案 PR2。

【0094】接著，使用光阻圖案 PR2 做為遮罩以進行濕蝕刻。藉由濕蝕刻，選擇性地去除在記憶體區域 MCR 中之矽氧化物膜 HO1，使得導電膜 CL1 露出。之後，進行乾蝕刻。藉由乾蝕刻，選擇性地去除露出的導電膜 CL1，並且使矽氧化物膜 CO 露出。接著，進行濕蝕刻。藉由濕蝕刻，選擇性地去除露出的矽氧化物膜 CO，並且使半導體基板 SB 之表面露出。

【0095】結果，在記憶體區域 MCR 中，耦合氧化物膜 CI 由矽氧化物膜 CO 形成，浮動閘極 FG 由導電膜 CL1 形成，且構成穿隧氧化物膜之一部分之矽氧化物膜 TI1 由矽氧化物膜 HO1 形成。之後，利用酸將光阻圖案 PR2 剝離並去除。

【0096】如圖 8 所示，藉由 HTO 在半導體基板 SB 之整個表面上沉積矽氧化物膜 HO2。矽氧化物膜 HO2 係形成為具有例如 139 Å（埃）之厚度。

【0097】如圖 9 所示，將光阻 PR3 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第二電晶體區域 STR 及第三電晶體區域 TTR 其中每一者之光阻圖案 PR3。

【0098】接著，使用光阻圖案 PR3 做為遮罩以進行濕蝕刻。藉由濕蝕刻，選擇性地去除在第一電晶體區域 FTR 中之矽氧化物膜 HO2 及 HO1，並且使導電膜 CL1 露出。之後，進行乾蝕刻。

【0099】該乾蝕刻係藉由，例如，化學乾蝕刻（CDE）來進行。藉由乾蝕刻，選擇性地去除露出的導電膜 CL1，並且使矽氧化物膜 CO 露出。

【0100】如圖 10 所示，在上述乾蝕刻期間，露出的矽氧化物膜 CO 之上層之一部分亦被過蝕刻並去除。藉由調整 CDE 之過蝕刻，將餘留矽氧化物膜 CO 之厚度調整為例如 75 Å（埃）。之後，利用酸將光阻圖案 PR3 剝離並去除。

【0101】如圖 11 所示，將光阻 PR4 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第一電晶體區域 FTR 及第三電晶體區域 TTR 其中每一者之光阻圖案 PR4。

【0102】接著，使用光阻圖案 PR4 做為遮罩以進行濕蝕刻。藉由濕蝕刻，選擇性地去除在第二電晶體區域 STR 中之矽氧化物膜 HO2 及 HO1，並且使半導體基板 SB 之表面露出。之後，利用酸將光阻圖案 PR4 剝離並去除。

【0103】如圖 12 所示，使半導體基板 SB 之表面進行熱氧化。結果，在第二電晶體區域 STR 中，由熱氧化物膜所構成之矽氧化物膜 OX 在半導體基板 SB 之表面上形成為具有例如 27 Å（埃）之厚度。

【0104】接著，在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中形成導電膜 CL2。導電膜 CL2 係由，例如，摻雜的多晶矽所構成。

【0105】如圖 13 所示，藉由光刻技術及蝕刻技術進行導電膜 CL2 之圖案化。結果，在記憶體區域 MCR 中，控制閘極 CG 由導電膜 CL 形成。在第一電晶體區域 FTR 中，閘極 GE1 由導電膜 CL2 形成。在第二電晶體區域 STR 中，閘極 GE2 由導電膜 CL2 形成。在第三電晶體區域 TTR 中，閘極 GE3 由導電膜 CL2 形成。

【0106】此外，在記憶體區域 MCR 中，穿隧氧化物膜 TI 由矽氧化物膜 TI1 及 TI2 形成。在第一電晶體區域 FTR 中，閘極氧化物膜 GI1 由矽氧化物膜 CO 形成。在第二電晶體區域 STR 中，閘極氧化物膜 GI2 由矽氧化物膜 OX 形成。在第三電晶體區域 TTR 中，由矽氧化物膜 GI3a 及 GI3b 所構成之閘極氧化物膜 GI3 由矽氧化物膜 HO1 及 HO2 形成。

【0107】之後，形成構成源極區域及汲極區域之雜質區域 IRa、IRb、IR1、IR2、IR3 等，從而製造出根據圖 1 所示之本實施例之半導體裝置。

【0108】〈效果〉

【0109】接下來，將描述本實施例之效果。

【0110】在本實施例中，如圖 3 所示，矽氧化物膜 CO 係形成在第一電晶體區域 FTR 之半導體基板 SB 之表面上，且如圖 8 所示，矽氧化物膜 HO1 及 HO2（第一受蝕刻膜）係形成在矽氧化物膜 CO 上。之後，如圖 9 及圖 10 所示，在第一電晶體區域 FTR 中，藉由蝕刻以去除矽氧化物膜 HO1 及 HO2 以及矽氧化物

膜 CO 之上層之一部分。結果，第一電晶體 FT 之閘極氧化物膜 GI1（圖 13）由矽氧化物膜 CO 形成。

【0111】如上所述，藉由蝕刻以去除矽氧化物膜 CO 之上層之一部分來調整閘極氧化物膜 GI1 之厚度。這使得可以分開調整閘極氧化物膜 GI1 之膜厚與第二電晶體 ST 及第三電晶體 TT 之閘極氧化物膜 GI2 及 GI3 之膜厚。因此，可以形成閘極氧化物膜 GI1，但不會顯著地影響第二電晶體 ST 及第三電晶體 TT 之閘極氧化物膜 GI2 及 GI3 之形成。

【0112】此外，在本實施例中，如圖 1 所示，除了非揮發性半導體記憶體 MC 之外，亦同時存在驅動電壓不同之三或更多種電晶體 FT、ST 及 TT。如上所述，第一電晶體 FT 之驅動電壓例如為 3.3 V，第二電晶體 ST 之驅動電壓例如為 1.5 V，第三電晶體 TT 之驅動電壓例如為 5.0 V。第一電晶體 FT 及第三電晶體 TT 同時存在於一晶片中具有以下優點。

【0113】如果在一晶片中之所有電晶體僅由驅動電壓為 5 V 之第三電晶體 TT 所構成，則具有 5 V 驅動電壓之第三電晶體 TT 亦將使用於例如 AD 轉換器之類比電路中。然而，因為類比電路係在 3 V 下工作，所以存在轉換速度因電壓下降而變慢之問題。

【0114】另一方面，如果在一晶片中之所有電晶體僅由驅動電壓為 3 V 之第一電晶體 FT 所構成，則 Li（鋰）離子電池之電壓超過 3.6 V。因此，需要一直操作 DCDC（直流到直流）轉換器，具有待機電流變大之問題。

【0115】此外，雖然上述問題可藉由準備二晶片來解決，亦即僅由驅動電壓為 5 V 之第三電晶體 TT 所構成之一晶片以及僅由驅動電壓為 3 V 之第一電晶體 FT 所構成之一晶片，但是這會增加成本。

【0116】在本實施例中，驅動電壓為 5 V 之第三電晶體 TT 及驅動電壓為 3 V 之第一電晶體 FT 係一起存在於一晶片中。因此，IO 介面之電壓具有 5 V 之耐

受電壓，可直接由 Li 離子電池來供電，降低了待機電流。另外，藉由將驅動電壓為 3 V 之第一電晶體 FT 使用於類比電路（例如，AD 轉換器）及在 3 V 下使用之 IO 介面，可以實現在 3 V 電壓下具有最佳性能之 AD 轉換器。此外，這些優點係藉由一晶片而實現，這在成本方面也具有優勢。

【0117】此外，根據本實施例，如圖 9 及圖 10 所示，第一電晶體區域 FTR 中之矽氧化物膜 HO2 及 HO1 之去除係藉由濕蝕刻來進行，且矽氧化物膜 CO 之上層之一部分之去除係藉由乾蝕刻來進行。因此，在去除矽氧化物膜 HO1 時抑制了由蝕刻所造成之損壞，並且在去除矽氧化物膜 CO 之上層時改善了膜厚之可控制性。

【0118】此外，根據本實施例，如圖 8 所示，導電膜 CL1 係形成在第一電晶體區域 FTR 中之矽氧化物膜 CO 與矽氧化物膜 HO1 及 HO2 之間。導電膜 CL1 係用於在非揮發性半導體記憶體 MC 中形成浮動閘極 FG 之導電膜。因此，當蝕刻用於形成浮動閘極 FG 之導電膜 CL1 時，可藉由過蝕刻而去除矽氧化物膜 CO 之上層之一部分。

【0119】此外，根據本實施例，如圖 9 及圖 10 所示，形成在第一電晶體區域 FTR 中之矽氧化物膜 CO 係用於形成在非揮發性半導體記憶體 MC 中之耦合氧化物膜 CI 之氧化物膜。因此，第一電晶體 FT 之閘極氧化物膜 GI1 可由與非揮發性半導體記憶體 MC 之耦合氧化物膜 CI 相同之矽氧化物膜所形成。因此，在形成閘極氧化物膜 GI1（其與形成耦合氧化物膜 CI 分開）時，不需要進行攝氏數百度或更高之熱處理。

【0120】此外，除了第一電晶體 FT（由於增加了第一電晶體 FT）之外，在現有的元件（非揮發性半導體記憶體 MC、第二電晶體 ST、第三電晶體 TTR 等）中幾乎沒有結構變化。因此，即使增加了第一電晶體 FT，也能夠降低非揮發性半導體記憶體 MC 及其它元件之特性及可靠度變動之風險。

【0121】此外，因為第一電晶體 FT 之閘極氧化物膜 GI1 可形成做為熱氧化物膜，所以相較於藉由 CVD 法來形成之情況，可降低可靠度劣化之風險。

【0122】此外，根據本實施例，如圖 9 及圖 10 所示，用於去除在第一電晶體區域 FTR 中之矽氧化物膜 CO 之上層之一部分之乾蝕刻為 CDE。CDE 為所謂的放電腔室分離蝕刻方法，其中放電腔室與蝕刻腔室分離，且在放電腔室中所產生之壽命長的反應物種被輸送至蝕刻腔室。在該方法中，熱、光、電漿等不會從放電腔室到達蝕刻腔室，且離子對蝕刻幾乎沒有貢獻。因此，可抑制由蝕刻所造成之受蝕刻膜之損壞，可得到具有良好膜質之閘極氧化物膜 GI1。

【0123】（第二實施例）

【0124】〈半導體裝置之結構〉

【0125】將參照圖 14 及圖 15 而描述根據第二實施例之半導體裝置之結構。

【0126】如圖 14 所示，在非揮發性半導體記憶體 MC 之結構中，根據本實施例之半導體裝置之結構係不同於第一實施例。在本實施例中，非揮發性半導體記憶體 MC 為，例如，堆疊閘快閃記憶體。

【0127】非揮發性半導體記憶體 MC 包括一對雜質區域 IR、穿隧氧化物膜 TI、浮動閘極 FG、絕緣膜 IL 及控制閘極 CG。

【0128】雜質區域 IR 其中一者係做為源極區域，另一者係做為汲極區域。雜質區域 IR 係設置在半導體基板 SB 之表面中，彼此相距一距離。半導體基板 SB 係由，例如，單晶矽所構成。藉由將例如 n 型雜質導入半導體基板 SB 之表面中以配置該對雜質區域 IR。

【0129】每一雜質區域 IR 具有高濃度區域 HI 及低濃度區域 LI，並且可具有 LDD（輕摻雜汲極）結構。高濃度區域 HI 具有比低濃度區域 LI 高之 n 型雜質濃度。

【0130】浮動閘極 FG 係隔著穿隧氧化物膜 TI 而設置在夾設在該對雜質區域 IR 之間之半導體基板 SB 之表面上。穿隧氧化物膜 TI 係藉由，例如，對由矽所構成之半導體基板 SB 之表面進行熱氧化所形成之矽氧化物膜。穿隧氧化物膜 TI 具有例如 100 Å（埃）之厚度。

【0131】浮動閘極 FG 係由，例如，摻雜的多晶矽所構成。浮動閘極 FG 具有例如 1000 Å（埃）之厚度。控制閘極 CG 係隔著絕緣膜 IL 而設置在浮動閘極 FG 上。

【0132】絕緣膜 IL 具有例如 150 Å（埃）之厚度。控制閘極 CG 係由，例如，摻雜的多晶矽所構成。浮動閘極 FG 及控制閘極 CG 之每一側壁被側壁絕緣膜 SW 所覆蓋。

【0133】如圖 15 所示，在記憶體區域 MCR 中之絕緣膜 IL 具有由矽氧化物膜 OX1、矽氮化物膜 NI 及矽氧化物膜 OX2 之三層所構成之堆疊結構。矽氧化物膜 OX1 與浮動閘極 FG 之上表面接觸。矽氮化物膜 NI 與矽氧化物膜 OX1 之上表面接觸。矽氧化物膜 OX2 與矽氮化物膜 NI 之上表面接觸。

【0134】因為在本實施例中之上述以外之結構與在第一實施例中之結構大致相同，所以相同的元件係以相同的元件符號加以標示，並且省略其說明。

【0135】〈非揮發性半導體記憶體 MC 之操作〉

【0136】接著，將說明圖 14 所示之非揮發性半導體記憶體 MC 之操作。

【0137】如圖 14 所示，當寫入數據時，使該對雜質區域 IR 其中一者（汲極）具有比該對雜質區域 IR 其中另一者（源極）更高的電位。結果，汲極附近之電場被加強且電子被加速，從而產生熱電子。這些熱電子通過穿隧氧化物膜 TI 而注入浮動閘極 FG 中。以此方式，數據被寫入。

【0138】當抹除數據時，使該對雜質區域 IR 其中一者（源極）具有高電位。結果，高電場被施加在該對雜質區域 IR 其中一者（源極）與浮動閘極 FG 之間，

且累積在浮動閘極 FG 中之電子藉由富爾–諾罕（Fowler Nordheim）穿隧效應通過穿隧氧化物膜 TI 而被抽取至該對雜質區域 IR 其中一者（源極）。以此方式，數據被抹除。

【0139】 當讀取數據時，電壓被施加在該對雜質區域 IR 之間，且預定電壓被施加至控制閘極 CG。此時，根據在該對雜質區域 IR 之間是否流過電流（讀取電流）來執行數據讀取判斷。

【0140】 〈半導體裝置之製造方法〉

【0141】 接著，將參照圖 16 至圖 23 而描述根據本實施例之半導體裝置之製造方法。

【0142】 如圖 16 所示，在本實施例中，準備半導體基板 SB，並且在半導體基板 SB 中形成 STI 及井，如同第一實施例。之後，使半導體基板 SB 之表面進行熱氧化。結果，在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中，在半導體基板 SB 之表面上形成由熱氧化物膜所構成之矽氧化物膜 OXA 而具有例如 100 Å（埃）之厚度。矽氧化物膜 OXA 係用於在非揮發性半導體記憶體 MC 中形成穿隧氧化物膜 TI 之氧化物膜（用於形成穿隧氧化物膜之氧化物膜）。

【0143】 在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中，在矽氧化物膜 OXA 之表面上形成導電膜 CL1。導電膜 CL1 係用於在非揮發性半導體記憶體 MC 中形成浮動閘極 FG 之導電膜（用於形成浮動閘極之導電膜）。導電膜 CL1 係形成為具有例如 1000 Å（埃）之厚度。導電膜 CL1 係由，例如，摻雜的多晶矽所構成。

【0144】 在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中，在導電膜 CL1 之表面上依序形成矽氧化物膜 OX1、矽氮化物膜 NI 及矽氧化物膜 OX2。

【0145】如圖 17 所示，將光阻 PR11 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第一電晶體區域 FTR 及第二電晶體區域 STR 其中每一者之光阻圖案 PR11。

【0146】接著，使用光阻圖案 PR11 做為遮罩以進行乾蝕刻。藉由乾蝕刻，依次去除在第三電晶體區域 TTR 中之矽氧化物膜 OX2、矽氮化物膜 NI 及矽氧化物膜 OX1。之後，藉由乾蝕刻以去除導電膜 CL1。接著，藉由濕蝕刻以去除矽氧化物膜 OXA。結果，在第三電晶體區域 TTR 中，半導體基板 SB 之表面露出。之後，利用酸將光阻圖案 PR11 剝離並去除。

【0147】如圖 18 所示，使半導體基板 SB 之表面進行熱氧化。結果，在第三電晶體區域 TTR 中，由熱氧化物膜所構成之矽氧化物膜 HO3 在半導體基板 SB 之表面上形成為具有例如 150 Å（埃）之厚度。

【0148】如圖 19 所示，將光阻 PR12 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第二電晶體區域 STR 及第三電晶體區域 TTR 其中每一者之光阻圖案 PR12。

【0149】接著，使用光阻圖案 PR12 做為遮罩以進行乾蝕刻。藉由乾蝕刻，依次去除在第一電晶體區域 FTR 中之矽氧化物膜 OX2、矽氮化物膜 NI 及矽氧化物膜 OX1，使得導電膜 CL1 露出。之後，進行乾蝕刻。

【0150】如圖 20 所示，上述乾蝕刻係藉由，例如，CDE 來進行。藉由此乾蝕刻，選擇性地去除在第一電晶體區域 FTR 中露出的導電膜 CL1，使得矽氧化物膜 OXA 露出。

【0151】在上述乾蝕刻期間，露出的矽氧化物膜 OXA 之上層之一部分亦被過蝕刻並去除。藉由調整 CDE 之過蝕刻，餘留矽氧化物膜 OXA 之厚度被調整為例如 75 Å（埃）。之後，利用酸將光阻圖案 PR12 剝離並去除。

【0152】如圖 21 所示，將光阻 PR13 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第一電晶體區域 FTR 及第三電晶體區域 TTR 其中每一者之光阻圖案 PR13。

【0153】接著，使用光阻圖案 PR13 做為遮罩以進行乾蝕刻。藉由乾蝕刻，依次去除在第二電晶體區域 STR 中之矽氧化物膜 OX2、矽氮化物膜 NI 及矽氧化物膜 OX1。之後，藉由乾蝕刻以去除導電膜 CL1。接著，藉由濕蝕刻以去除矽氧化物膜 OXA。結果，在第二電晶體區域 STR 中之半導體基板 SB 之表面露出。之後，利用酸將光阻圖案 PR13 剝離並去除。

【0154】如圖 22 所示，使半導體基板 SB 之表面進行熱氧化。結果，在第二電晶體區域 STR 中，由熱氧化物膜所構成之矽氧化物膜 OX 在半導體基板 SB 之表面上形成為具有例如 27 Å（埃）之厚度。

【0155】之後，在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中形成導電膜 CL2。導電膜 CL2 係由，例如，摻雜的多晶矽所構成。

【0156】如圖 23 所示，藉由光刻技術及蝕刻技術進行導電膜 CL2 之圖案化。結果，在記憶體區域 MCR 中，控制閘極 CG 由導電膜 CL2 形成。在第一電晶體區域 FTR 中，閘極 GE1 由導電膜 CL2 形成。在第二電晶體區域 STR 中，閘極 GE2 由導電膜 CL2 形成。在第三電晶體區域 TTR 中，閘極 GE3 由導電膜 CL2 形成。

【0157】此外，在記憶體區域 MCR 中，選擇性地去除矽氧化物膜 OX2、矽氮化物膜 NI、矽氧化物膜 OX1、導電膜 CL1 及矽氧化物膜 OXA。結果，絕緣膜 IL 由矽氧化物膜 OX2、矽氮化物膜 NI 及矽氧化物膜 OX1 形成。此外，浮動閘極 FG 由導電膜 CL1 形成。

【0158】此外，在記憶體區域 MCR 中，穿隧氧化物膜 TI 由矽氧化物膜 OXA 形成。在第一電晶體區域 FTR 中，閘極氧化物膜 GI1 由矽氧化物膜 OXA 形成。

在第二電晶體區域 STR 中，閘極氧化物膜 GI2 由矽氧化物膜 OX 形成。在第三電晶體區域 TTR 中，閘極氧化物膜 GI3 由矽氧化物膜 HO3 形成。

【0159】 之後，形成構成源極區域及汲極區域之雜質區域 IR、IR1、IR2、IR3 等，從而製造出根據圖 14 所示之本實施例之半導體裝置。

【0160】 〈效果〉

【0161】 接著，將描述本實施例之效果。

【0162】 在本實施例中，如圖 16 所示，矽氧化物膜 OXA 係形成在半導體基板 SB 之表面上，且絕緣膜 OX1、NI 及 OX2（第一受蝕刻膜）係形成在第一電晶體區域 FTR 中之矽氧化物膜 OXA 上。之後，如圖 19 及圖 20 所示，藉由蝕刻以去除在第一電晶體區域 FTR 中之絕緣膜 OX1、NI、OX2 及矽氧化物膜 OXA 之上層之一部分。結果，第一電晶體 FT 之閘極氧化物膜 GI1 由矽氧化物膜 OXA 形成。

【0163】 如上所述，藉由蝕刻以去除矽氧化物膜 OXA 之上層之一部分來調整閘極氧化物膜 GI1 之厚度。這使得可以分開調整閘極氧化物膜 GI1 之膜厚與第二電晶體 ST 及第三電晶體 TT 之閘極氧化物膜 GI2 及 GI3 之膜厚。因此，可以形成閘極氧化物膜 GI1，但不會顯著地影響第二電晶體 ST 及第三電晶體 TT 之閘極氧化物膜 GI2 及 GI3 之形成。

【0164】 此外，根據本實施例，如圖 19 及圖 20 所示，絕緣膜 OX1、NI、OX2 之去除及矽氧化物膜 OXA 之上層之一部分之去除係分別藉由乾蝕刻來進行。因此，可以藉由乾蝕刻而輕易地控制餘留的矽氧化物膜 OXA 之厚度。

【0165】 此外，根據本實施例，除了上述之效果以外，亦能夠得到與第一實施例相同之效果。

【0166】 （第三實施例）

【0167】 〈半導體裝置之結構〉

第 22 頁，共 33 頁（發明說明書）

【0168】 將參照圖 24 及圖 25 而描述根據第三實施例之半導體裝置之結構。

【0169】 如圖 24 及圖 25 所示，在非揮發性半導體記憶體 MC 之結構中，根據本實施例之半導體裝置之結構係不同於第一實施例。在本實施例中，非揮發性半導體記憶體 MC 為，例如，具有抹除閘極 EG 及選擇閘極 WG 之分離閘快閃記憶體。

【0170】 非揮發性半導體記憶體 MC 包括源極區域 SR、汲極區域 DR、耦合氧化物膜 CI、浮動閘極 FG、絕緣膜 IL、控制閘極 CG 及絕緣膜 HM。非揮發性半導體記憶體 MC 亦包括穿隧氧化物膜 TI、抹除閘極 EG、閘極氧化物膜 GI 及選擇閘極 WG。

【0171】 源極區域 SR 及汲極區域 DR 係設置在半導體基板 SB 之表面中，彼此相距一距離。半導體基板 SB 係由，例如，單晶矽所構成。藉由將例如 n 型雜質導入半導體基板 SB 之表面中以配置源極區域 SR 及汲極區域 DR 其中每一者。

【0172】 汲極區域 DR 具有高濃度區域 HI 及低濃度區域 LI，並且可具有 LDD 結構。高濃度區域 HI 具有比低濃度區域 LI 更高之 n 型雜質濃度。

【0173】 浮動閘極 FG 係隔著耦合氧化物膜 CI 而設置在夾設在源極區域 SR 與汲極區域 DR 之間之半導體基板 SB 之表面上。耦合氧化物膜 CI 係，例如，藉由對由矽所構成之半導體基板 SB 之表面進行熱氧化所形成之矽氧化物膜。耦合氧化物膜 CI 具有例如 100 Å（埃）之厚度。

【0174】 浮動閘極 FG 係由，例如，摻雜的多晶矽所構成。浮動閘極 FG 具有例如 280 Å（埃）之厚度。控制閘極 CG 係隔著絕緣膜 IL 而設置在浮動閘極 FG 上。在製造處理中做為硬遮罩之絕緣膜 HM 係設置在控制閘極 CG 上。

【0175】 與控制閘極 CG 在較靠近源極區域 SR 之一側上之側壁相比，浮動閘極 FG 在較靠近源極區域 SR 之一側上之側壁係朝向源極區域 SR 突出。浮動閘

極 FG 及控制閘極 CG 在較靠近汲極區域 DR 之一側上之側壁及控制閘極 CG 在較靠近源極區域 SR 之一側上之側壁係被側壁絕緣膜 SW1 所覆蓋。

【0176】 抹除閘極 EG 係隔著穿隧氧化物膜 TI 而設置在半導體基板 SB 之表面上。抹除閘極 EG 係隔著穿隧氧化物膜 TI 而與浮動閘極 FG 在較靠近源極區域 SR 之一側上之側面以及浮動閘極 FG 之上表面相對。抹除閘極 EG 係隔著側壁絕緣膜 SW 及穿隧氧化物膜 TI 而與控制閘極 CG 在較靠近源極區域 SR 之一側上之側面相對。

【0177】 選擇閘極 WG 係隔著閘極氧化物膜 GI 而設置在半導體基板 SB 之表面上。選擇閘極 WG 係隔著側壁絕緣膜 SW1 而與浮動閘極 FG 及控制閘極 CG 在較靠近汲極區域 DR 之一側上之側面相對。選擇閘極 WG 在較靠近汲極區域 DR 之一側上之側面係被側壁絕緣膜 SW2 所覆蓋。

【0178】 因為在本實施例中之上述以外之結構與在第一實施例中之結構大致相同，所以相同的元件係以相同的元件符號加以標示，並且省略其說明。

【0179】 〈非揮發性半導體記憶體 MC 之操作〉

【0180】 接著，將說明圖 24 所示之非揮發性半導體記憶體 MC 之操作。

【0181】 如圖 24 所示，當寫入數據時，對源極區域 SR、控制閘極 CG、選擇閘極 WG 及汲極區域 DR 分別施加預定電壓。結果，電子從汲極區域 DR 注入至浮動閘極 FG 中。以此方式，數據被寫入。

【0182】 當抹除數據時，使抹除閘極 EG 具有高電位。結果，累積在浮動閘極 FG 中之電子通過穿隧氧化物膜 TI 而被抽取至抹除閘極 EG。以此方式，數據被抹除。

【0183】 當讀取數據時，將預定電壓分別施加至控制閘極 CG、選擇閘極 WG 及汲極區域 DR。以此方式，根據在汲極區域 DR 與源極區域 SR 之間是否流過電流（讀取電流）來讀出數據。

【0184】〈半導體裝置之製造方法〉

【0185】接著，將參照圖 26 至圖 36 而描述根據本實施例之半導體裝置之製造方法。

【0186】如圖 26 所示，在本實施例中，準備半導體基板 SB，並且在半導體基板 SB 上形成 STI 及井，如同第一實施例。之後，使半導體基板 SB 之表面進行熱氧化。結果，在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中，在半導體基板 SB 之表面上形成由熱氧化物膜所構成之矽氧化物膜 CO 而具有例如 100 Å（埃）之厚度。矽氧化物膜 CO 係用於在非揮發性半導體記憶體 MC 中形成耦合氧化物膜 CI 之氧化物膜（用於形成耦合氧化物膜之氧化物膜）。

【0187】在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中，導電膜 CL1 係形成在矽氧化物膜 CO 之表面上。導電膜 CL1 係用於在非揮發性半導體記憶體 MC 中形成浮動閘極 FG 之導電膜（用於形成浮動閘極之導電膜）。導電膜 CL1 係形成為具有例如 280 Å（埃）之厚度。導電膜 CL1 係由，例如，摻雜的多晶矽所構成。

【0188】之後，將光阻 PR21 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR 及第一電晶體區域 FTR 其中每一者之光阻圖案 PR21。

【0189】接著，使用光阻圖案 PR21 做為遮罩以進行乾蝕刻。藉由乾蝕刻以去除在第二電晶體區域 STR 及第三電晶體區域 TTR 中之導電膜 CL1，且矽氧化物膜 CO 之表面露出。之後，利用酸將光阻圖案 PR21 剝離並去除。

【0190】如圖 27 所示，將光阻 PR22 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第二電晶體區域 STR 及第三電晶體區域 TTR 其中每一者之光阻圖案 PR22。

【0191】藉由使用光阻圖案 PR22 做為遮罩，使雜質通過在第一電晶體區域 FTR 中之導電膜 CL1 及矽氧化物膜 CO 而注入至半導體基板 SB 中。結果，在半導體基板 SB 中形成井區。之後，利用酸將光阻圖案 PR22 剝離並去除。

【0192】接著，雖然未顯示在圖式中，但在記憶體區域 MCR 中之導電膜 CL1 被選擇性地去除，俾使浮動閘極 FG 由導電膜 CL1 形成。此外，耦合氧化物膜 CI 由位於浮動閘極 FG 正下方之矽氧化物膜 CO 形成。此外，源極區域 SR（圖 24）係藉由離子植入等而形成在半導體基板 SB 之表面中。

【0193】如圖 28 所示，藉由蝕刻以去除在第二電晶體區域 STR 及第三電晶體區域 TTR 中露出之矽氧化物膜 CO。結果，在第二電晶體區域 STR 及第三電晶體區域 TTR 中之半導體基板 SB 之表面露出。

【0194】如圖 29 所示，藉由 RTO 以對半導體基板 SB 之整個表面進行熱氧化。結果，藉由熱氧化而在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中形成矽氧化物膜。此外，藉由 HTO 在半導體基板 SB 之整個表面上沉積矽氧化物膜。因此，具有由 RTO 形成之矽氧化物膜及由 HTO 形成之矽氧化物膜之堆疊結構之矽氧化物膜 HO1 係形成在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中。矽氧化物膜 HO1 係形成為具有例如 48 Å（埃）之厚度。

【0195】如圖 30 所示，將光阻 PR23 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著電晶體區域 FTR、STR 及 TTR 其中每一者之光阻圖案 PR23。

【0196】接著，使用光阻圖案 PR23 做為遮罩以進行濕蝕刻。藉由此濕蝕刻，選擇性地去除在記憶體區域 MCR 中之矽氧化物膜 HO1，且浮動閘極 FG 露出。之後，利用酸將光阻圖案 PR23 剝離並去除。

【0197】如圖 31 所示，藉由 HTO 以在半導體基板 SB 之整個表面上沉積矽氧化物膜 HO2。矽氧化物膜 HO2 係形成為具有例如 139 Å（埃）之厚度。

【0198】如圖 32 所示，將光阻 PR24 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第二電晶體區域 STR 及第三電晶體區域 TTR 其中每一者之光阻圖案 PR24。

【0199】接著，使用光阻圖案 PR24 做為遮罩以進行濕蝕刻。藉由濕蝕刻，選擇性地去除在第一電晶體區域 FTR 中之矽氧化物膜 HO2 及 HO1，且導電膜 CL1 露出。之後，進行乾蝕刻。

【0200】該乾蝕刻例如由 CDE 執行。藉由乾蝕刻，選擇性地去除露出的導電膜 CL1，並且使矽氧化物膜 CO 露出。

【0201】如圖 33 所示，在上述乾蝕刻期間，露出的矽氧化物膜 CO 之上層之一部分亦被過蝕刻並去除。藉由調整 CDE 之過蝕刻，餘留矽氧化物膜 CO 之厚度被調整為例如 75 Å（埃）。之後，利用酸將光阻圖案 PR24 剝離並去除。

【0202】如圖 34 所示，將光阻 PR25 塗佈至半導體基板 SB 之整個表面，然後選擇性地曝光及顯影。結果，形成覆蓋著記憶體區域 MCR、第一電晶體區域 FTR 及第三電晶體區域 TTR 其中每一者之光阻圖案 PR25。

【0203】接著，使用光阻圖案 PR25 做為遮罩以進行濕蝕刻。藉由濕蝕刻，選擇性地去除在第二電晶體區域 STR 中之矽氧化物膜 HO2 及 HO1，且半導體基板 SB 之表面露出。之後，利用酸將光阻圖案 PR25 剝離並去除。

【0204】如圖 35 所示，使半導體基板 SB 之表面進行熱氧化。結果，在第二電晶體區域 STR 中，由熱氧化物膜所構成之矽氧化物膜 OX 在半導體基板 SB 之表面上形成為具有例如 27 Å（埃）之厚度。

【0205】之後，在記憶體區域 MCR 及電晶體區域 FTR、STR 及 TTR 其中每一者中形成導電膜 CL2。導電膜 CL2 係由，例如，摻雜的多晶矽所構成。

【0206】如圖 36 所示，藉由光刻技術及蝕刻技術進行導電膜 CL2 之圖案化。結果，在記憶體區域 MCR 中，抹除閘極 EG 由導電膜 CL2 形成。在第一電晶體區域 FTR 中，閘極 GE1 由導電膜 CL2 形成。在第二電晶體區域 STR 中，閘極 GE2 由導電膜 CL2 形成。在第三電晶體區域 TTR 中，閘極 GE3 由導電膜 CL2 形成。

【0207】此外，在記憶體區域 MCR 中，穿隧氧化物膜 TI 由矽氧化物膜 HO2 形成。在第一電晶體區域 FTR 中，閘極氧化物膜 GI1 由矽氧化物膜 CO 形成。在第二電晶體區域 STR 中，閘極氧化物膜 GI2 由矽氧化物膜 OX 形成。在第三電晶體區域 TTR 中，由矽氧化物膜 GI3a 及 GI3b 所構成之閘極氧化物膜 GI3 由矽氧化物膜 HO1 及 HO2 形成。

【0208】之後，雖然未顯示在圖式中，但由在記憶體區域 MCR 中之餘留導電膜 CL2 形成選擇閘極 WG。此外，汲極區域 DR 係形成在記憶體區域 MCR 中，構成源極區域及汲極區域之雜質區域 IR1、IR2 及 IR3 係形成在電晶體區域 FTR、STR 及 TTR 其中每一者中，從而製造出根據圖 24 所示之本實施例之半導體裝置。

【0209】〈效果〉

【0210】接著，將描述本實施例之效果。

【0211】在本實施例中，在第一電晶體區域 FTR 中，矽氧化物膜 CO 係形成在半導體基板 SB 之表面上（如圖 26 所示），且矽氧化物膜 HO1 及 HO2（第一受蝕刻膜）係形成在矽氧化物膜 CO 上（如圖 31 所示）。之後，如圖 32 及圖 33 所示，藉由蝕刻以去除矽氧化物膜 HO1 及 HO2 以及矽氧化物膜 CO 之上層之一部分。結果，第一電晶體 FT 之閘極氧化物膜 GI1 由矽氧化物膜 CO 形成。

【0212】如上所述，藉由蝕刻以去除矽氧化物膜 CO 之上層之一部分來調整閘極氧化物膜 GI1 之厚度。這使得可以分開調整閘極氧化物膜 GI1 與第二電晶

體 ST 及第三電晶體 TT 之間極氧化物膜 GI2 及 GI3 之膜厚。因此，可以形成間極氧化物膜 GI1，但不顯著地影響第二電晶體 ST 及第三電晶體 TT 之間極氧化物膜 GI2 及 GI3 之形成。

【0213】此外，根據本實施例，除了上述效果以外，亦能夠得到與第一實施例相同之效果。

【0214】〈第一變形例〉

【0215】在第三實施例中，第一電晶體 FT 之間極氧化物膜 GI1 之膜厚係僅藉由在導電膜 CL1 之蝕刻中之過蝕刻來控制，但亦可藉由過蝕刻及濕蝕刻之組合來控制膜厚。

【0216】根據此變形例之製造方法係經歷與圖 26 至圖 32 所示之第三實施例相同的步驟。但是，在根據此變形例之製造方法中，在藉由圖 32 所示之 CDE 之導電膜 CL1 蝕刻步驟中，將對於矽氧化物膜之選擇性設定得儘可能高，以便使餘留的矽氧化物膜 CO 穩定化。結果，在藉由蝕刻以去除導電膜 CL1 時，由於過蝕刻所造成之矽氧化物膜 CO 之膜損失量會減少。

【0217】如圖 37 所示，在藉由 CDE 之蝕刻後之餘留矽氧化物膜 CO 之厚度係設定為例如 90 Å（埃）。

【0218】之後，如圖 38 所示，使用光阻圖案 PR24 做為遮罩以進行濕蝕刻。藉由濕蝕刻，選擇性地去除在第一電晶體區域 FTR 中之矽氧化物膜 CO。結果，矽氧化物膜 CO 之最終厚度被調整為例如 50 Å（埃）。

【0219】之後，根據此變形例之製造方法係經歷與圖 34 至圖 36 所示之第三實施例相同的步驟，俾使所製造出之半導體裝置與圖 24 所示之半導體裝置具有相同的結構。

【0220】根據此變形例，第一電晶體 FT 之間極氧化物膜 GI1 (CO) 之最終厚度被調整為如上所述之 50 Å (埃)。因此，驅動電壓為 2.5 V 之電晶體可被使用做為第一電晶體 FT，而不是驅動電壓為 3.3 V 之電晶體。

【0221】〈第二變形例〉

【0222】此外，在第三實施例中，第一電晶體 FT 之間極氧化物膜 GI1 之膜厚係藉由乾蝕刻來控制，但亦可藉由濕蝕刻來控制膜厚。

【0223】根據此變形例之製造方法係經歷與圖 26 至圖 32 所示之第三實施例相同的步驟。然而，在根據此變形例之製造方法中，在藉由圖 32 所示之 CDE 之導電膜 CL1 蝕刻步驟中，CDE 係在導電膜 CL1 之蝕刻中途停止。

【0224】如圖 39 所示，藉由上述之 CDE 蝕刻，在第一電晶體區域 FTR 中僅僅去除了導電膜 CL1 之上部，以便留下導電膜 CL1 之下部。結果，導電膜 CL1 之下部係薄薄地餘留在矽氧化物膜 CO 上。之後，利用酸將光阻圖案 PR24 剝離並去除，接著進行濕蝕刻。

【0225】使用高溫 DAPM (稀的氨過氧化氫混合物) 進行濕蝕刻。高溫 DAPM 之條件為，對於矽氧化物膜 HO2 之選擇性高，以使矽氧化物膜 HO2 之損失量最小化。具體而言，高溫 DAPM 之條件為，例如， $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 1:10:400$ ，且溫度為 65°C。

【0226】藉由此濕蝕刻，在第一電晶體區域 FTR 中之導電膜 CL1 之餘留膜 (下部) 及矽氧化物膜 CO 之上層之一部分被去除。

【0227】如圖 40 所示，藉由上述之濕蝕刻，矽氧化物膜 CO 之厚度被調整為例如 75 Å (埃)。

【0228】之後，根據此變形例之製造方法係經歷與圖 34 至圖 36 所示之第三實施例之相同的步驟，俾使所製造出之半導體裝置與圖 24 所示之半導體裝置具有相同的結構。

【0229】 根據此變形例，因為是藉由如上所述之濕蝕刻來調整矽氧化物膜 CO 之厚度，所以能夠得到高品質的閘極氧化物膜 GI1，且由蝕刻所造成之損傷較少。

【0230】 雖然以上描述了雜質區域 IR、IR1、IR2、IR3、IRa 及 IRb 為 n 型雜質區域之情況，但它們可為 p 型雜質區域。此外，非揮發性半導體記憶體 MC 之結構不限於上述結構，而可使用任何記憶體，只要其在不供電之情況下能保持記憶即可。

【0231】 在上文中，已經基於該等實施例而具體地說明了本案發明人之發明，但本發明不限於上述實施例，而在不偏離其主旨之範圍內能夠進行各種修改。

【符號說明】

【0232】

CG: 控制閘極

CI: 耦合氧化物膜

CL1, CL2: 導電膜

CO: 矽氧化物膜

DR: 汲極區域

EG: 抹除閘極

FG: 浮動閘極

FT: 第一電晶體

FTR: 第一電晶體區域

GE1, GE2, GE3: 閘極

GI, GI1, GI2, GI3: 閘極氧化物膜

GI3a, GI3b: 氧化物膜

HI, HI1, HI2, HI3: 高濃度區域

HM: 絕緣膜

HO1, HO2, HO3: 矽氧化物膜

IL: 絕緣膜

IR, IR1, IR2, IR3: 雜質區域

IRa, IRb: 雜質區域

LI, LI1, LI2, LI3: 低濃度區域

MC: 非揮發性半導體記憶體

MCR: 記憶體區域

NI: 矽氮化物膜

OX, OX1, OX2: 矽氧化物膜

OXA: 矽氧化物膜

PR1, PR2, PR3, PR4: 光阻

PR11, PR12, PR13: 光阻

PR21, PR22, PR23, PR24, PR25: 光阻

RF, RM, RS, RT: 區域

SB: 半導體基板

ST: 第二電晶體

STR: 第二電晶體區域

SW, SW1, SW2: 側壁絕緣膜

TI: 穿隧氧化物膜

TI1, TI2: 氧化物膜

TT: 第三電晶體

TTR: 第三電晶體區域

WG: 選擇閘極

【發明申請專利範圍】

【請求項1】 一種半導體裝置之製造方法，該半導體裝置包括非揮發性半導體記憶體、具有第一膜厚之第一閘極氧化物膜之第一電晶體、具有第二膜厚之第二閘極氧化物膜之第二電晶體及具有第三膜厚之第三閘極氧化物膜之第三電晶體，該第二膜厚小於該第一膜厚，該第三膜厚大於該第一膜厚，該方法包括：

在該第一電晶體之形成區域中，形成氧化物膜在半導體基板之表面上之步驟；

在該第一電晶體之該形成區域中，形成第一受蝕刻膜在該氧化物膜上之步驟；及

去除該第一受蝕刻膜及該氧化物膜之上層之一部分之步驟，藉此從該氧化物膜形成具有該第一膜厚之該第一閘極氧化物膜。

【請求項2】 如請求項 1 之半導體裝置之製造方法，

其中該第一受蝕刻膜及該氧化物膜之該上層之該部分其中每一者係藉由乾蝕刻而去除。

【請求項3】 如請求項 2 之半導體裝置之製造方法，

其中該第一受蝕刻膜具有由矽氧化物膜、矽氮化物膜及矽氧化物膜之三層所構成之堆疊結構。

【請求項4】 如請求項 1 之半導體裝置之製造方法，

其中該第一受蝕刻膜係藉由濕蝕刻而去除，且該氧化物膜之該上層之該部分係藉由乾蝕刻而去除。

【請求項5】 如請求項 4 之半導體裝置之製造方法，更包括：

在該氧化物膜與該第一受蝕刻膜之間形成第二受蝕刻膜之步驟，

其中該第二受蝕刻膜係用於在該非揮發性半導體記憶體中形成浮動閘極之導電膜。

【請求項6】 如請求項 4 之半導體裝置之製造方法，

其中該氧化物膜係用於在該非揮發性半導體記憶體中形成耦合氧化物膜之氧化物膜。

【請求項7】 如請求項 1 之半導體裝置之製造方法，

其中該氧化物膜之該上層之該部分係藉由化學乾蝕刻而去除。

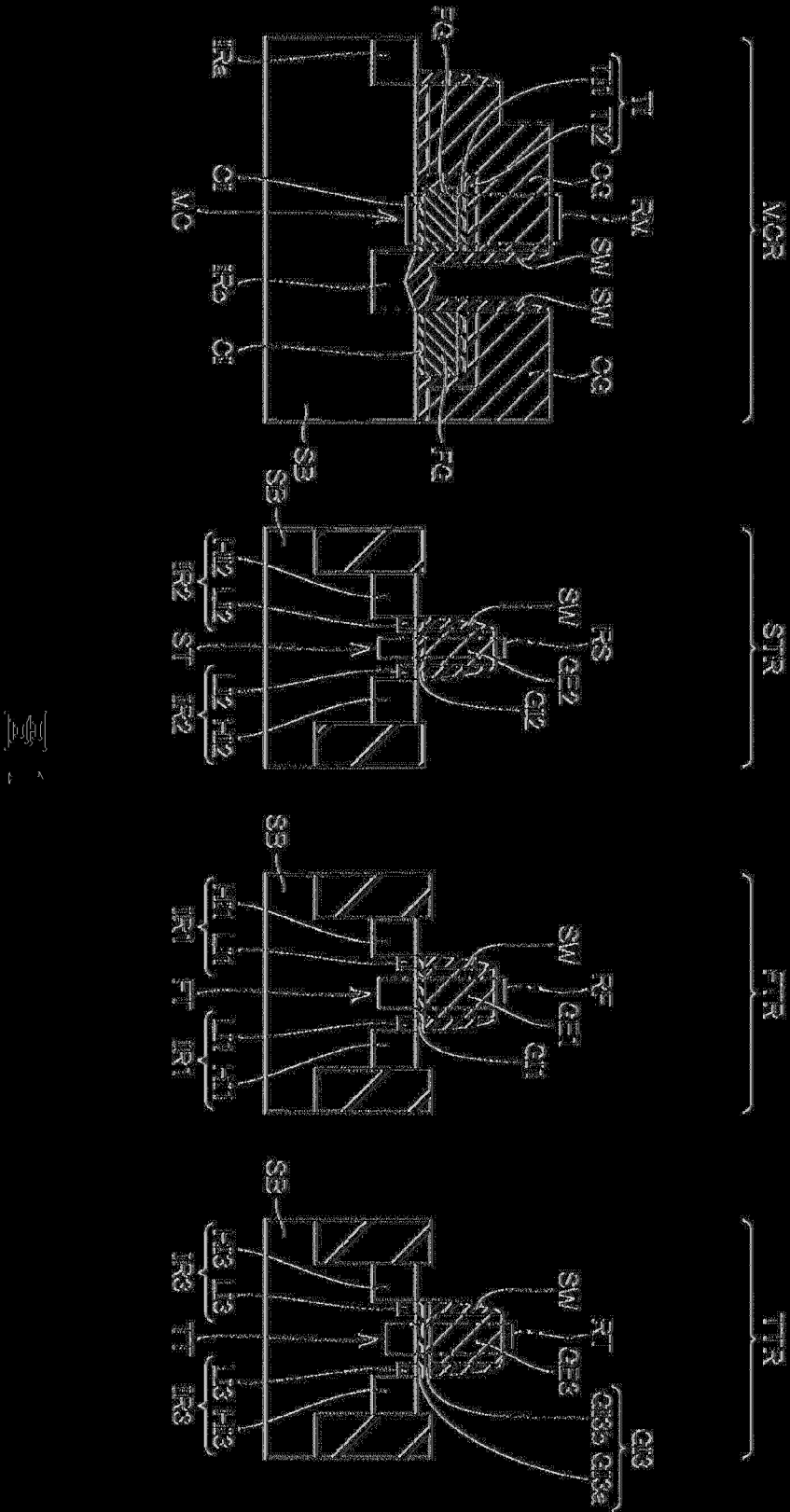
【請求項8】 如請求項 1 之半導體裝置之製造方法，

其中該氧化物膜之該上層之該部分係藉由對該氧化物膜執行乾蝕刻及接著濕蝕刻而去除。

【請求項9】 如請求項 1 之半導體裝置之製造方法，

其中該氧化物膜之該上層之該部分係藉由濕蝕刻而去除。

(發明圖式)



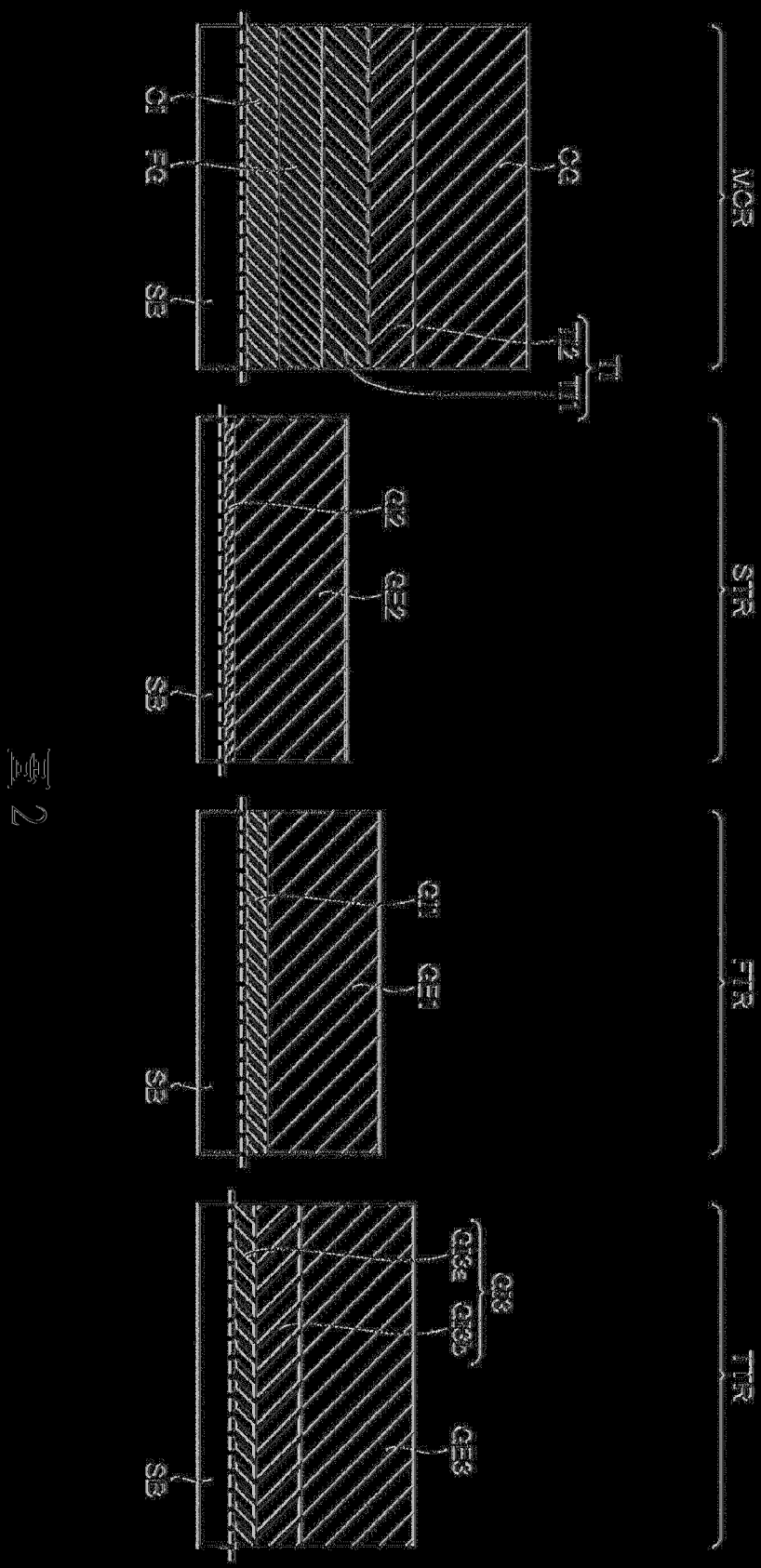
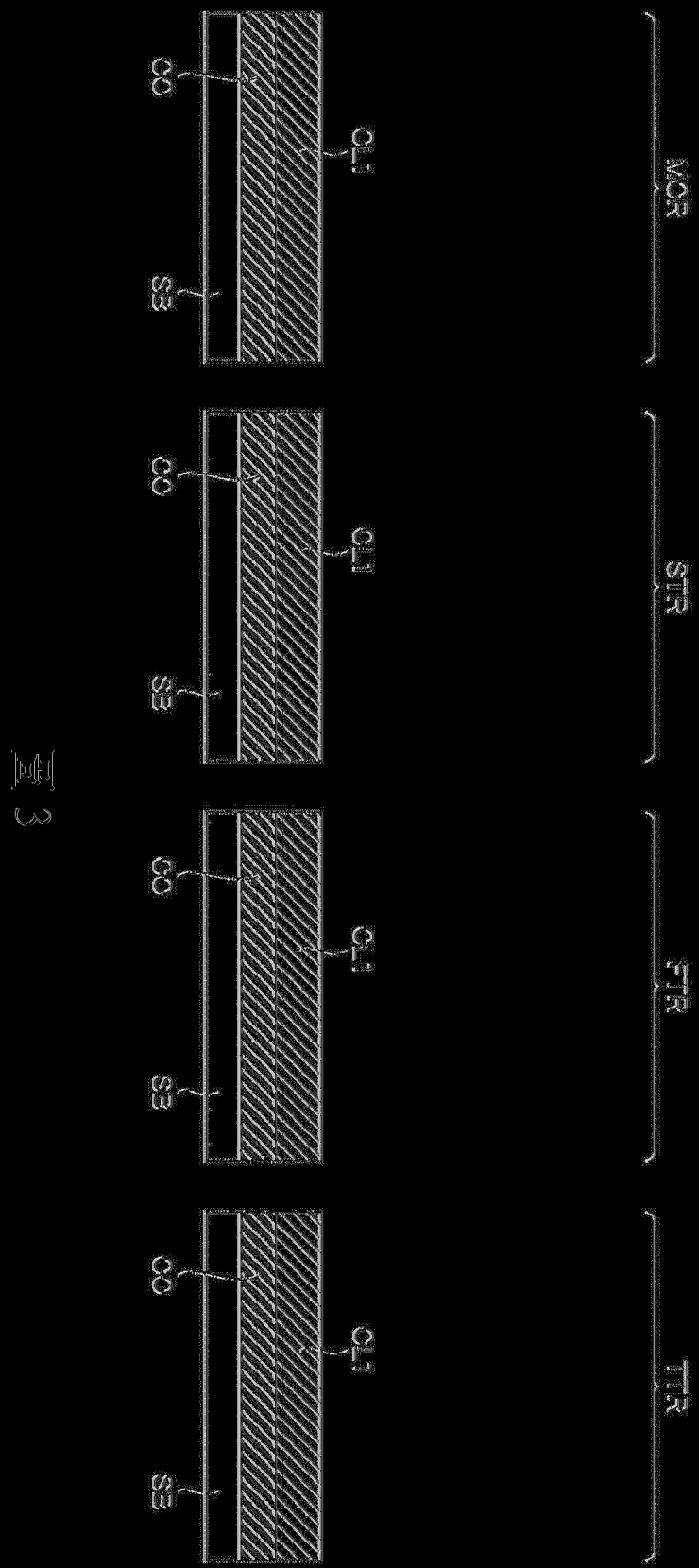


Fig. 2



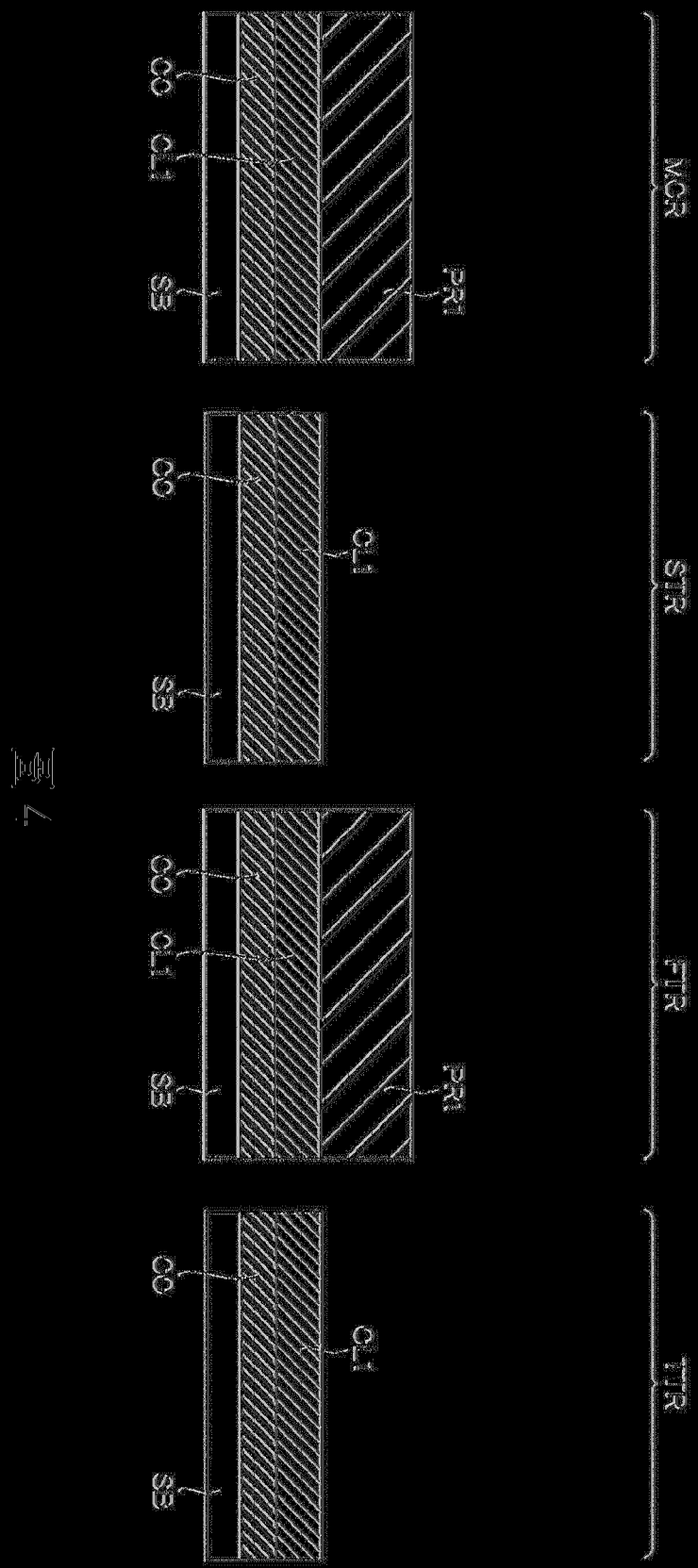
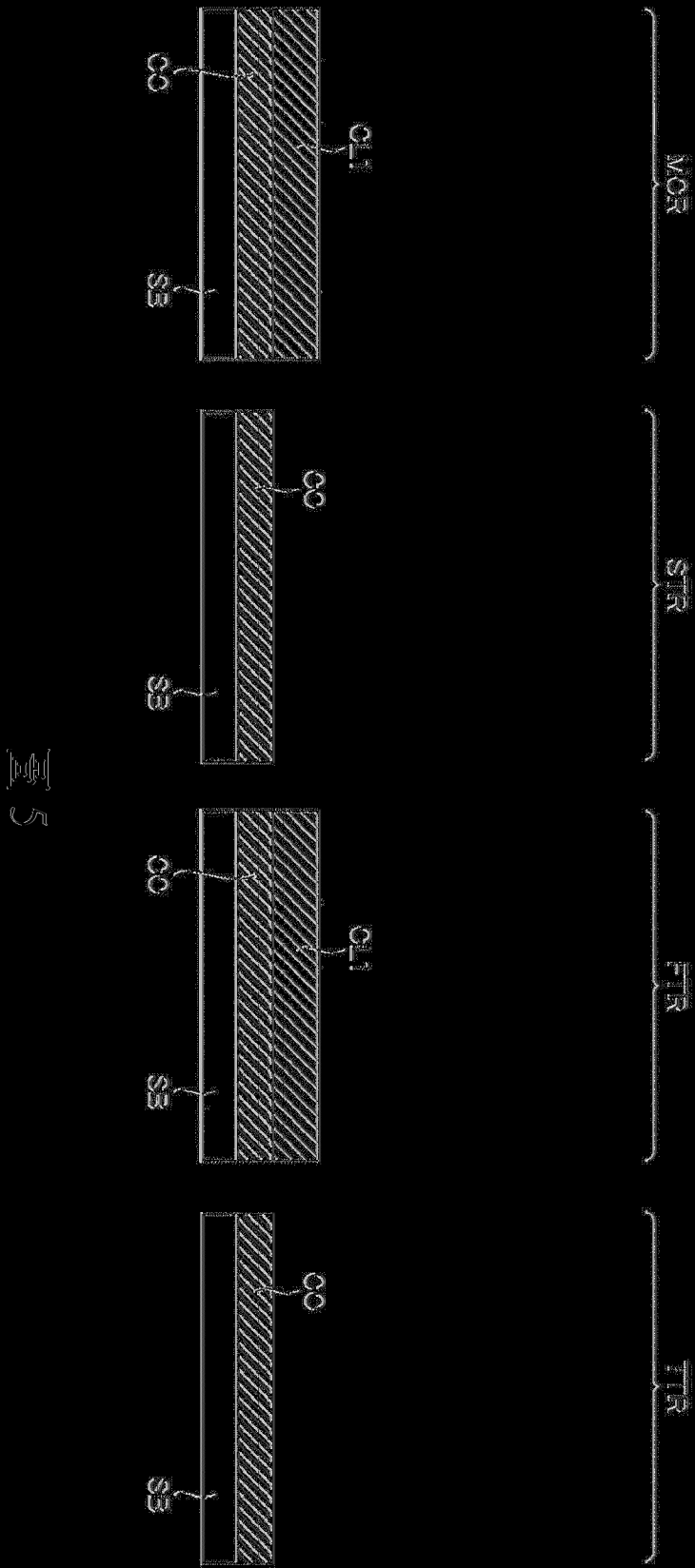


Fig. 4



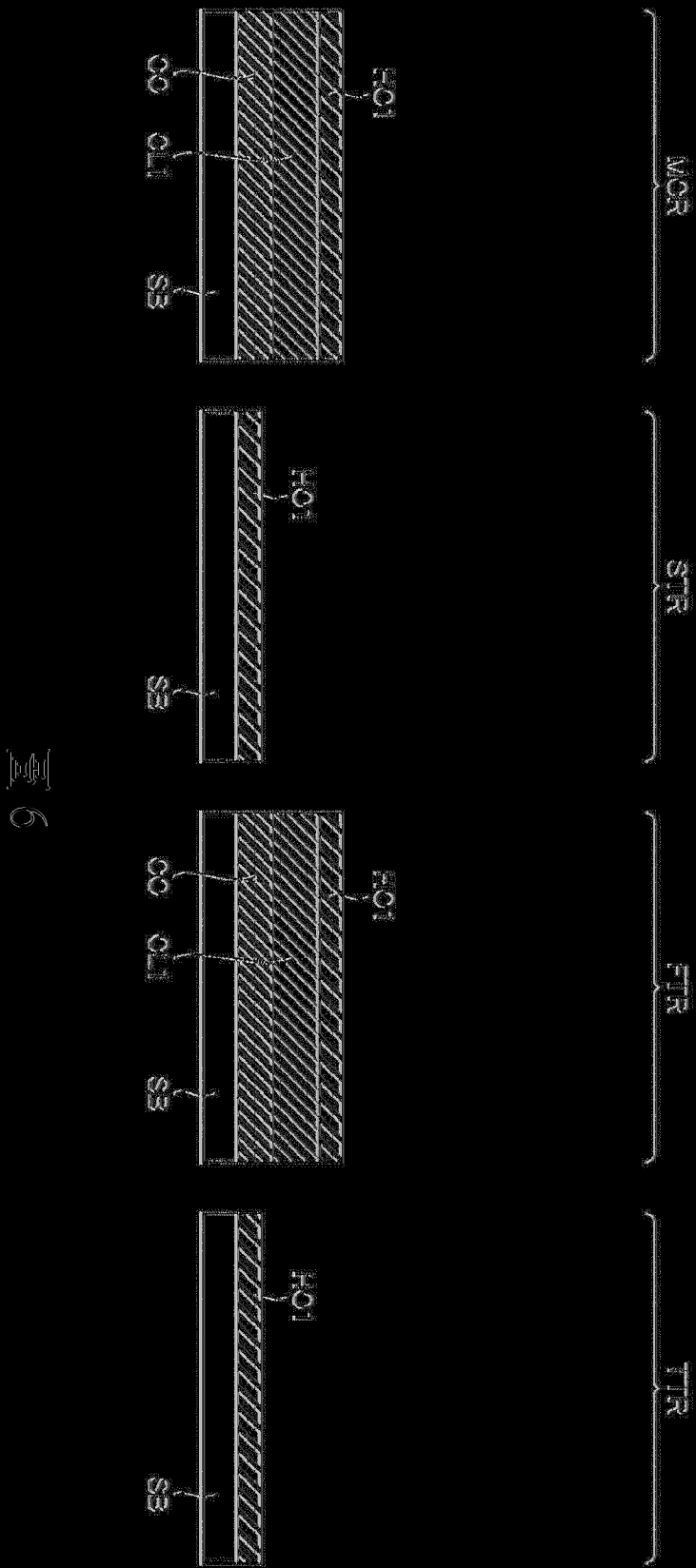
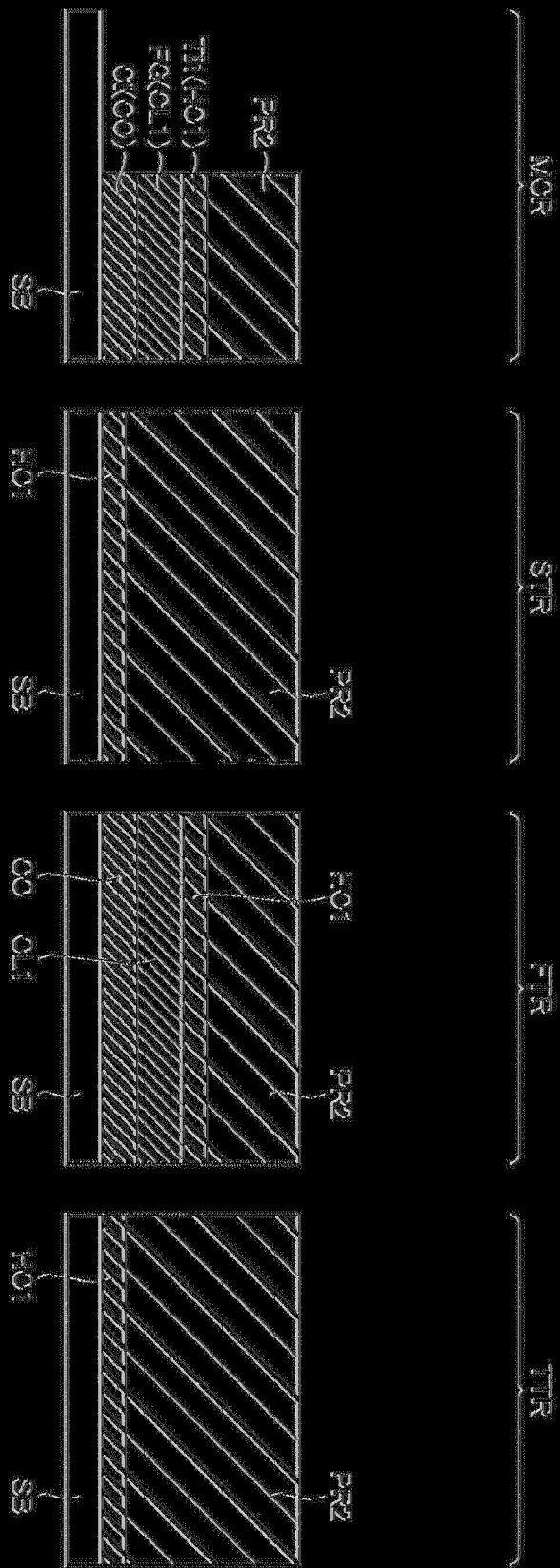
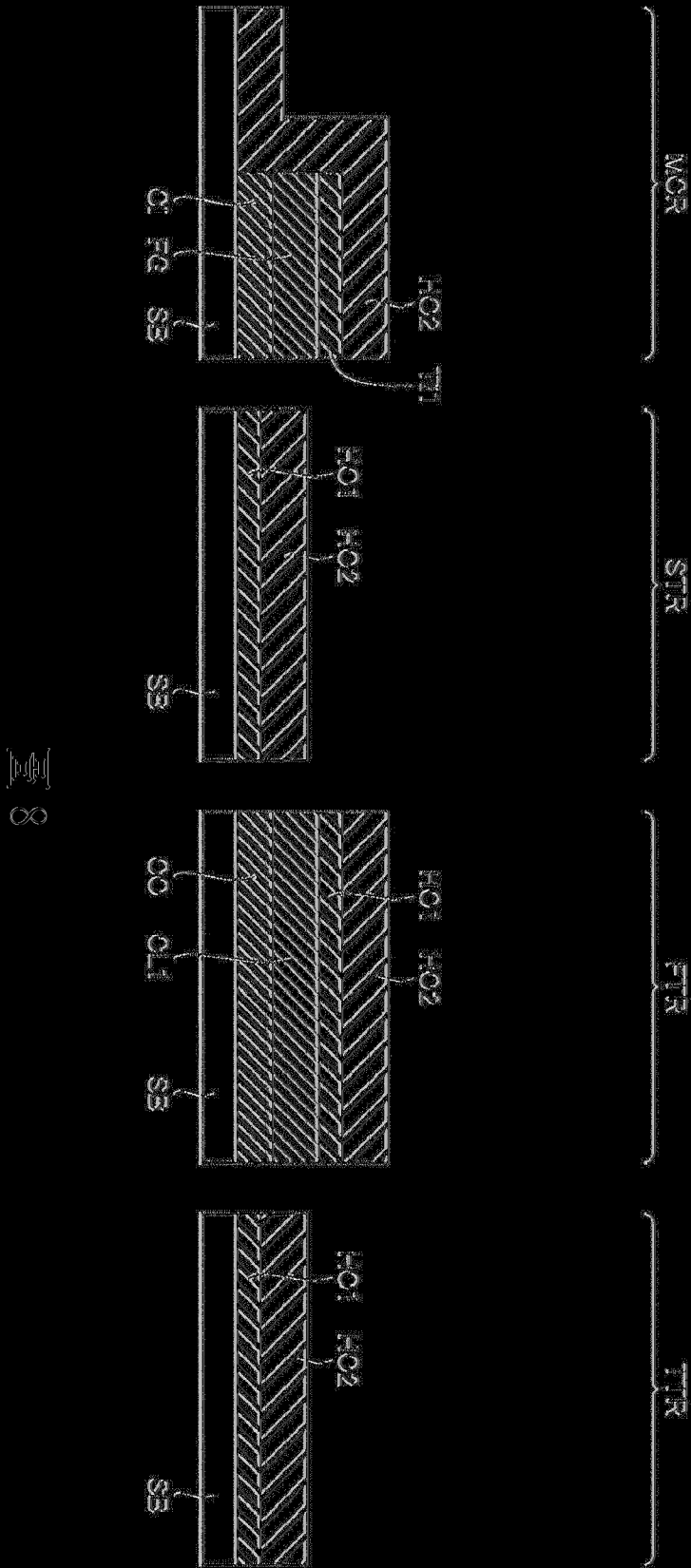
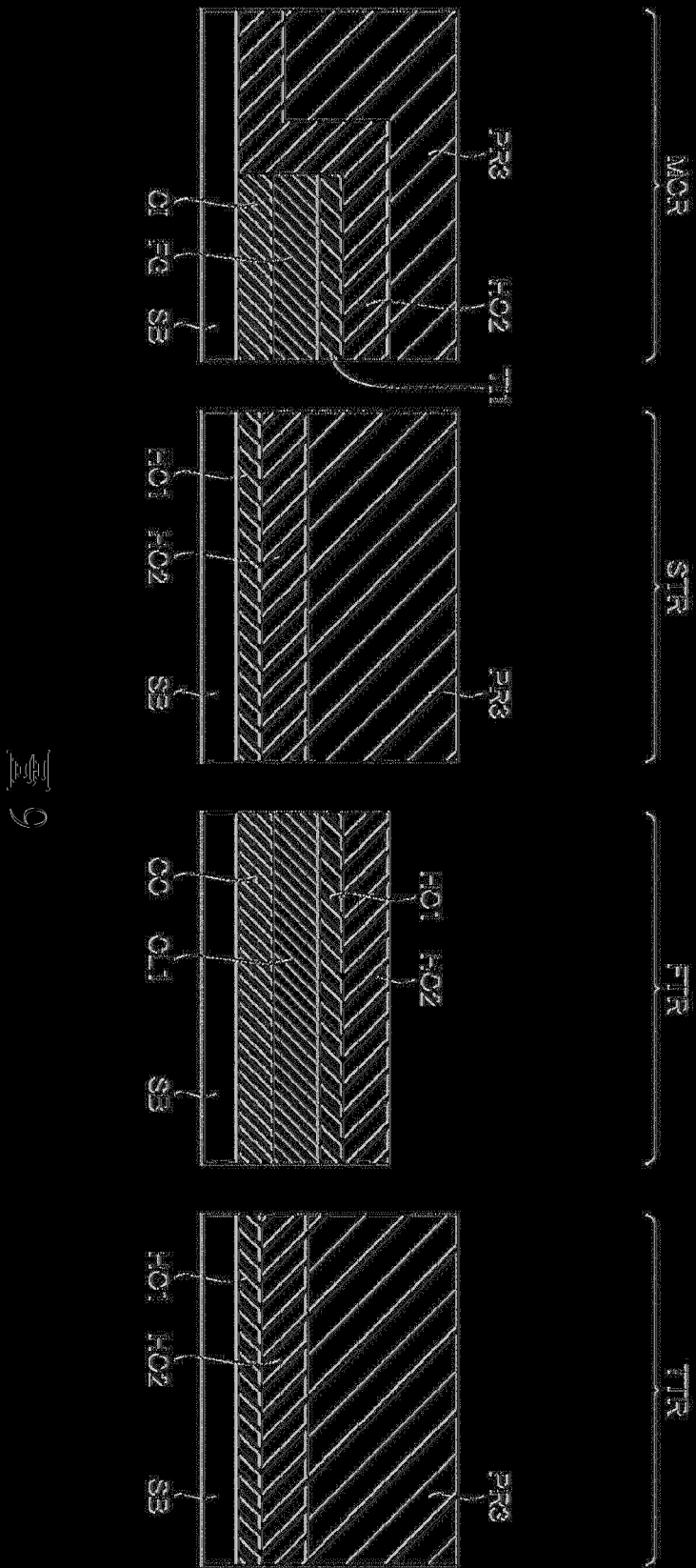
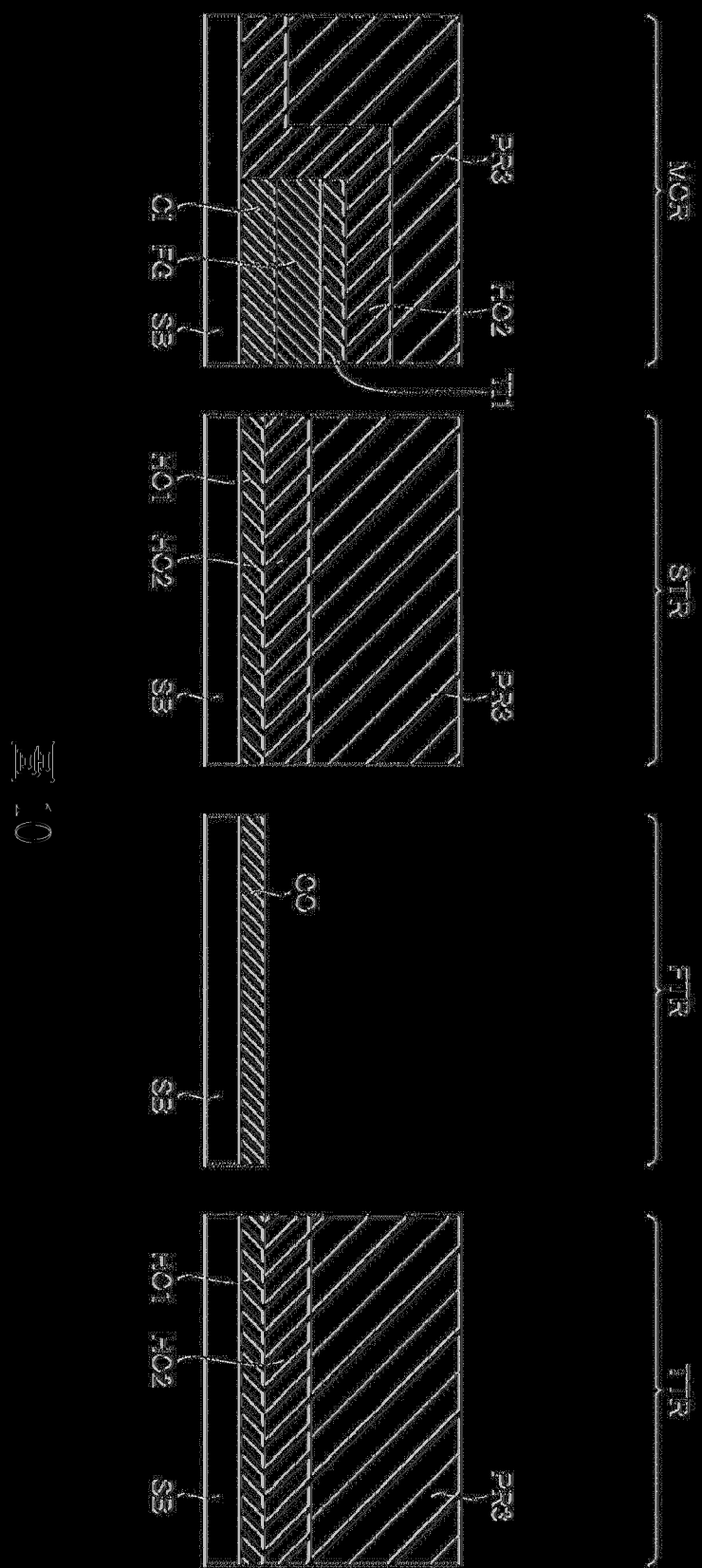


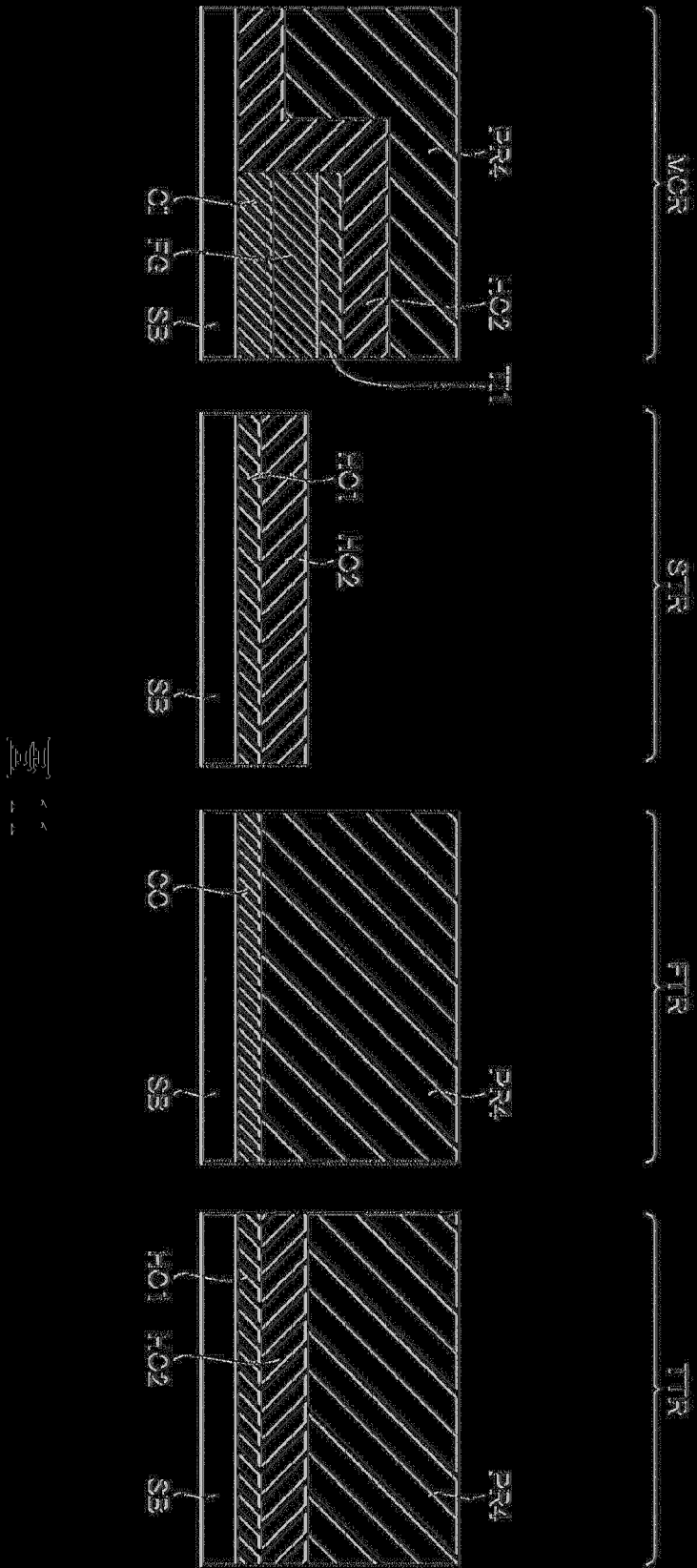
Fig. 7











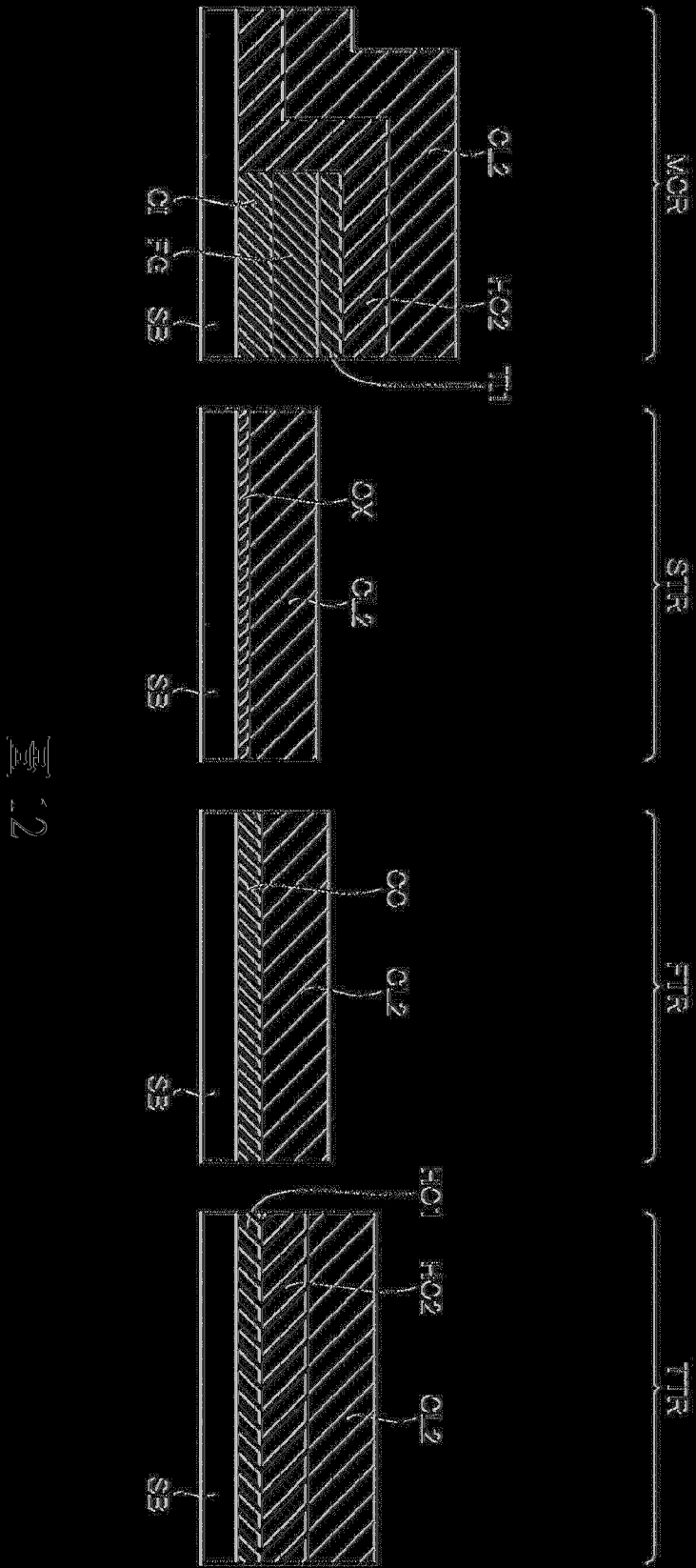
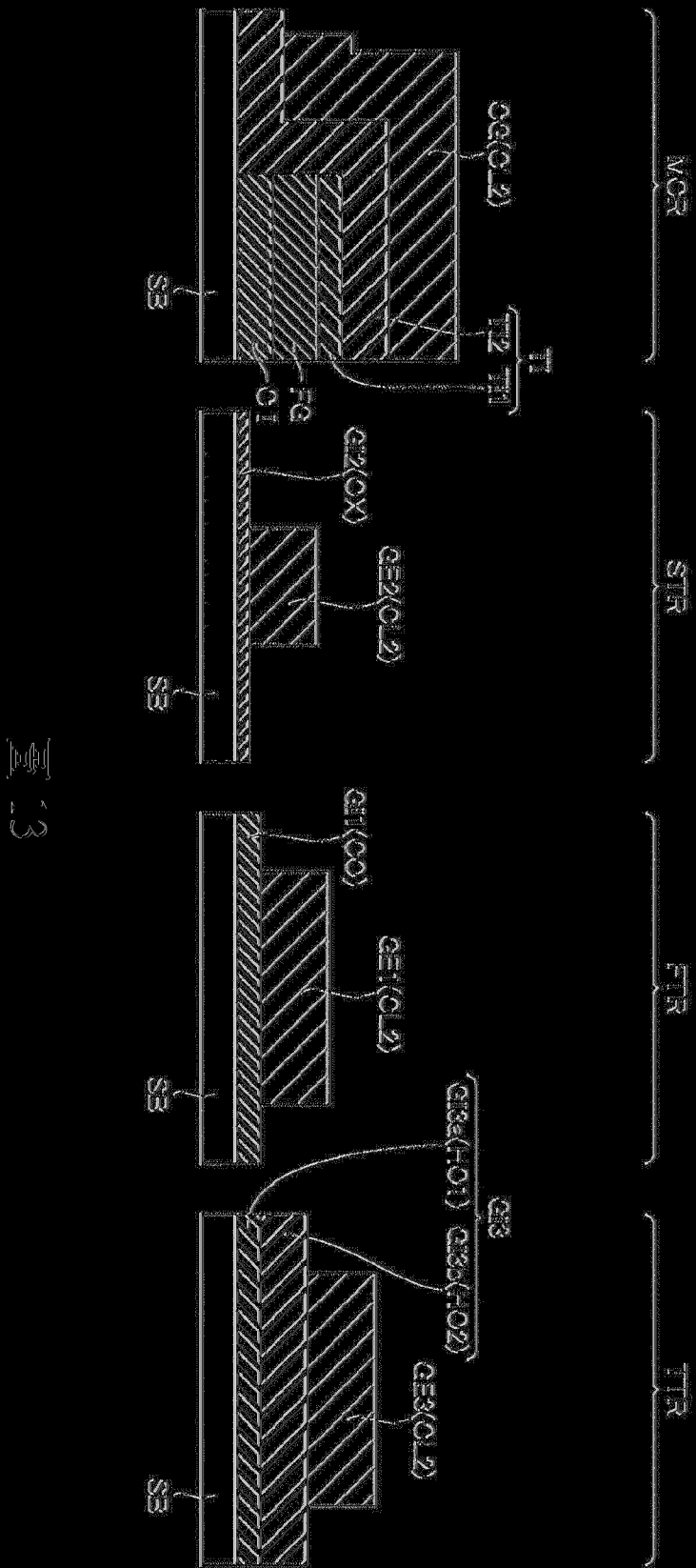


Fig. 2



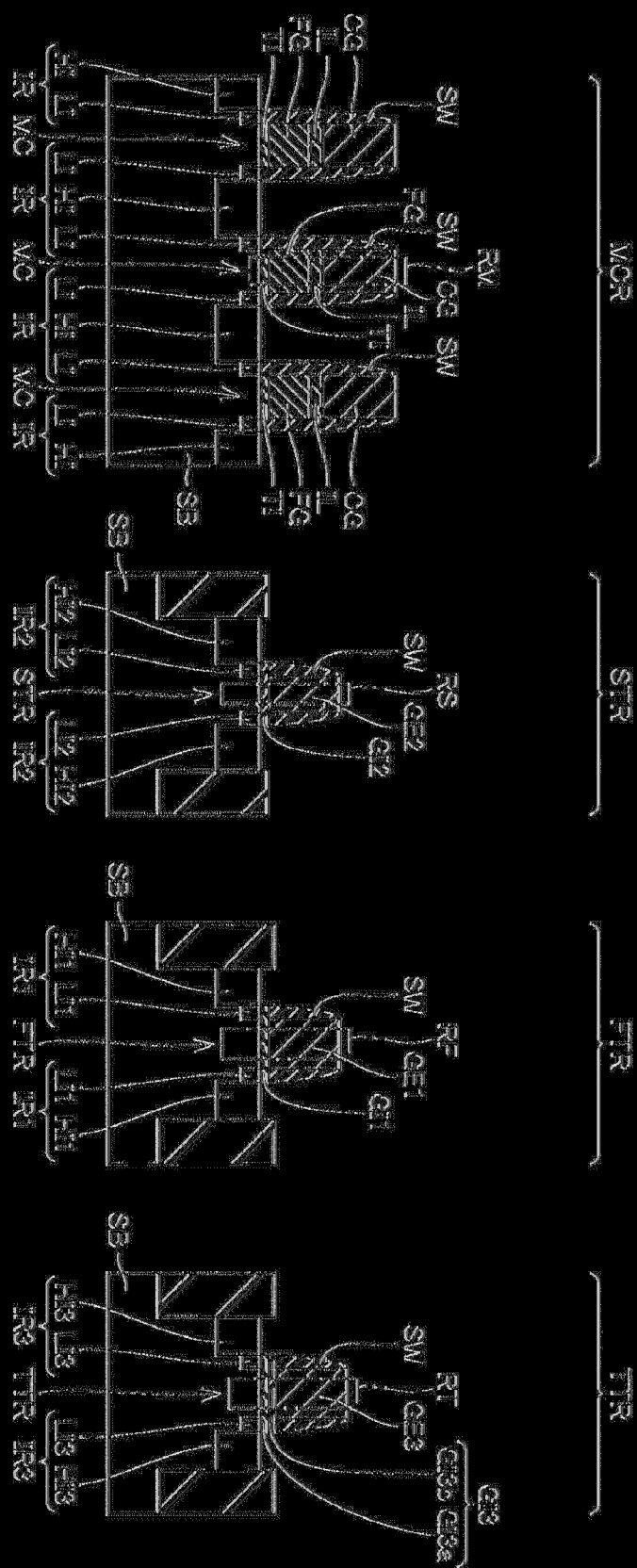
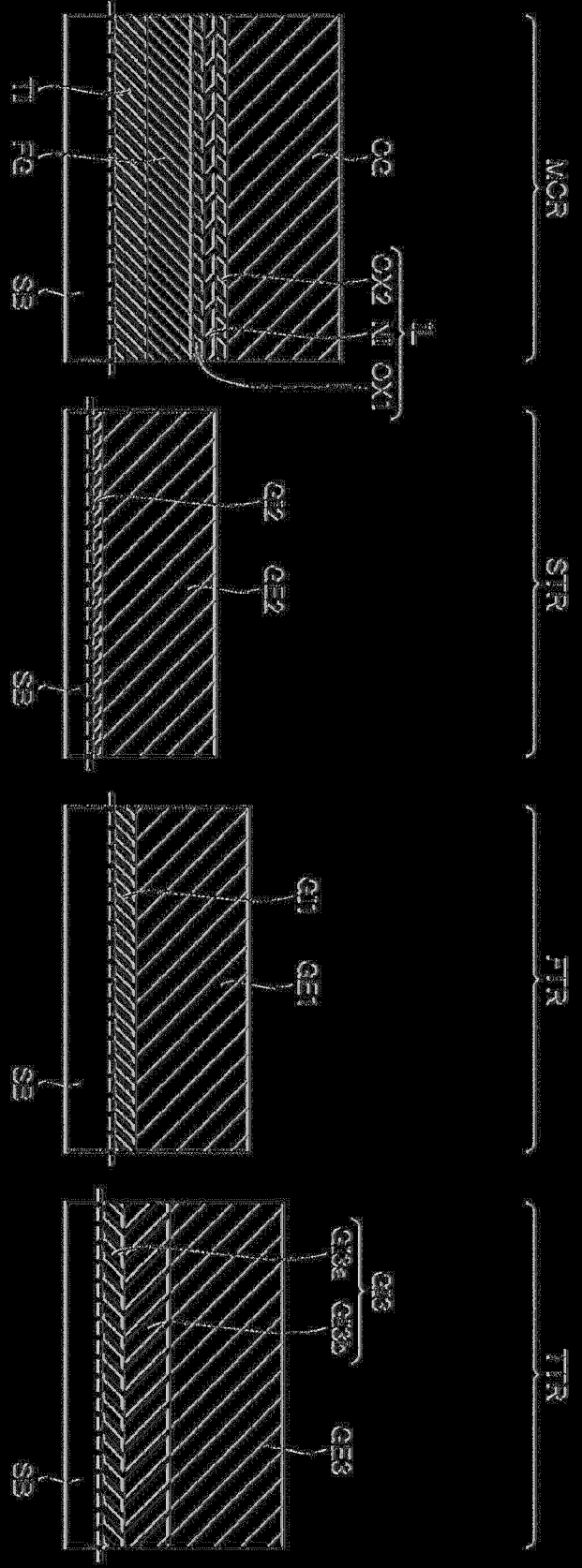


圖 4

圖 5



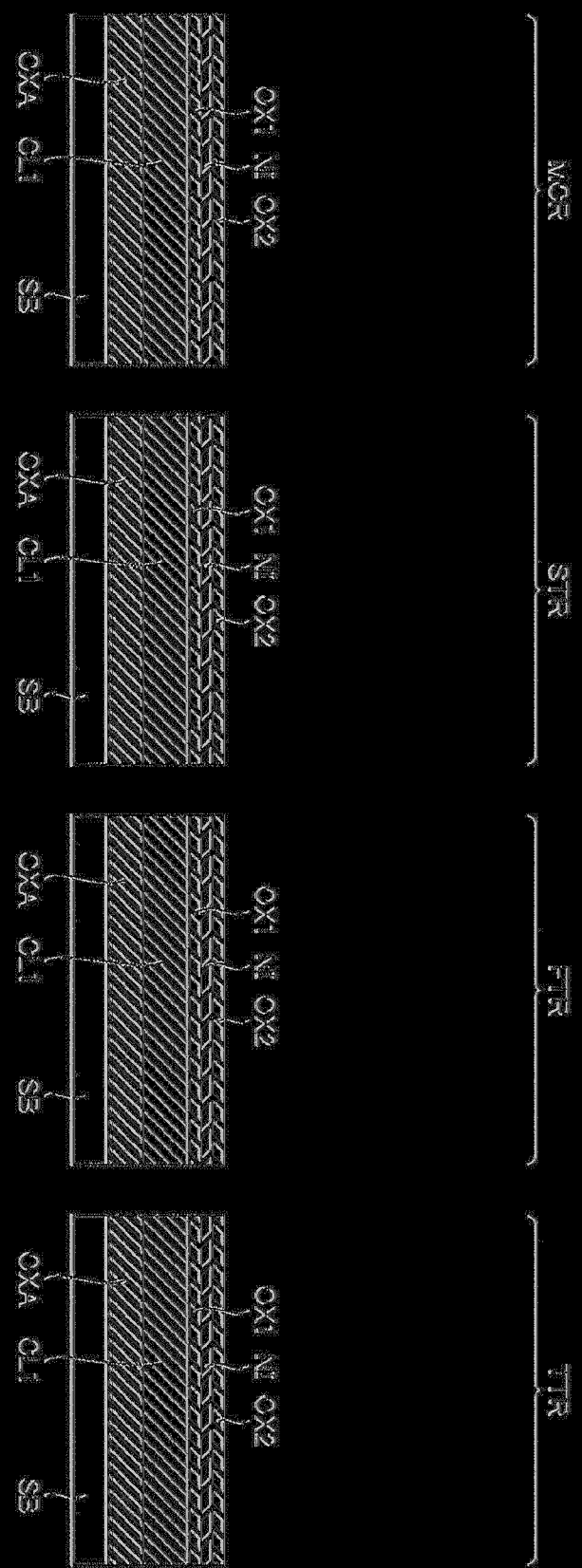
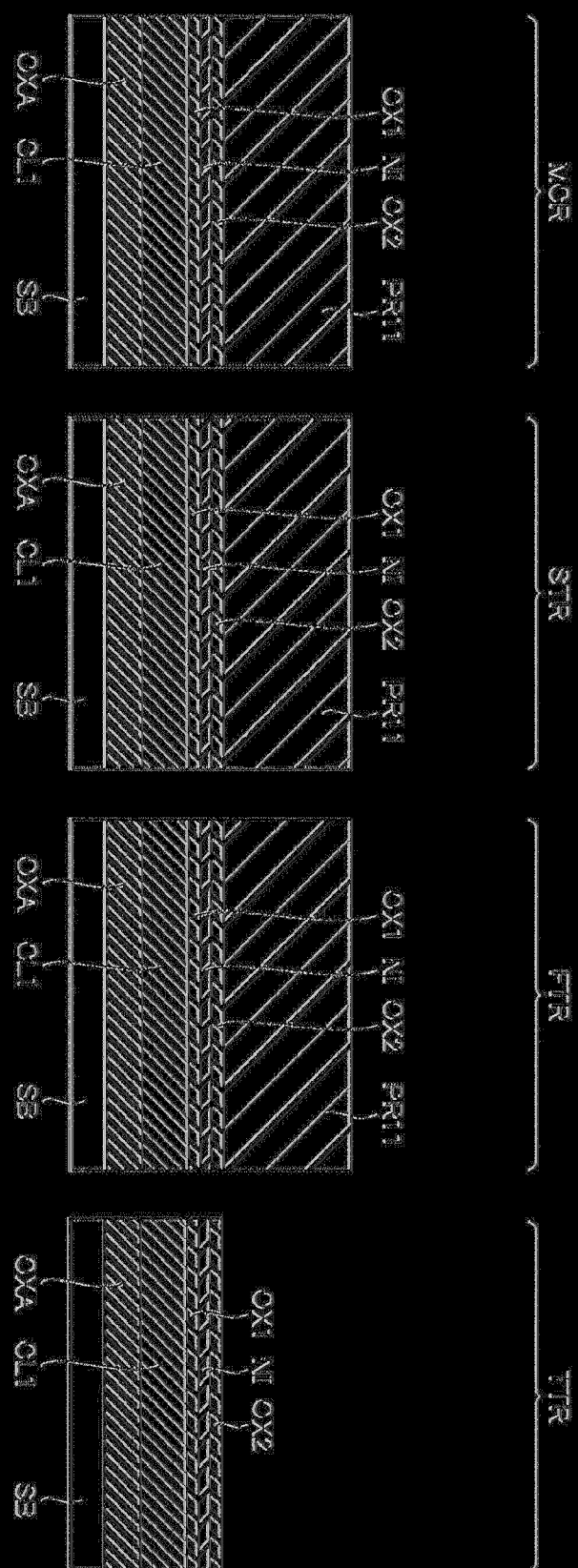
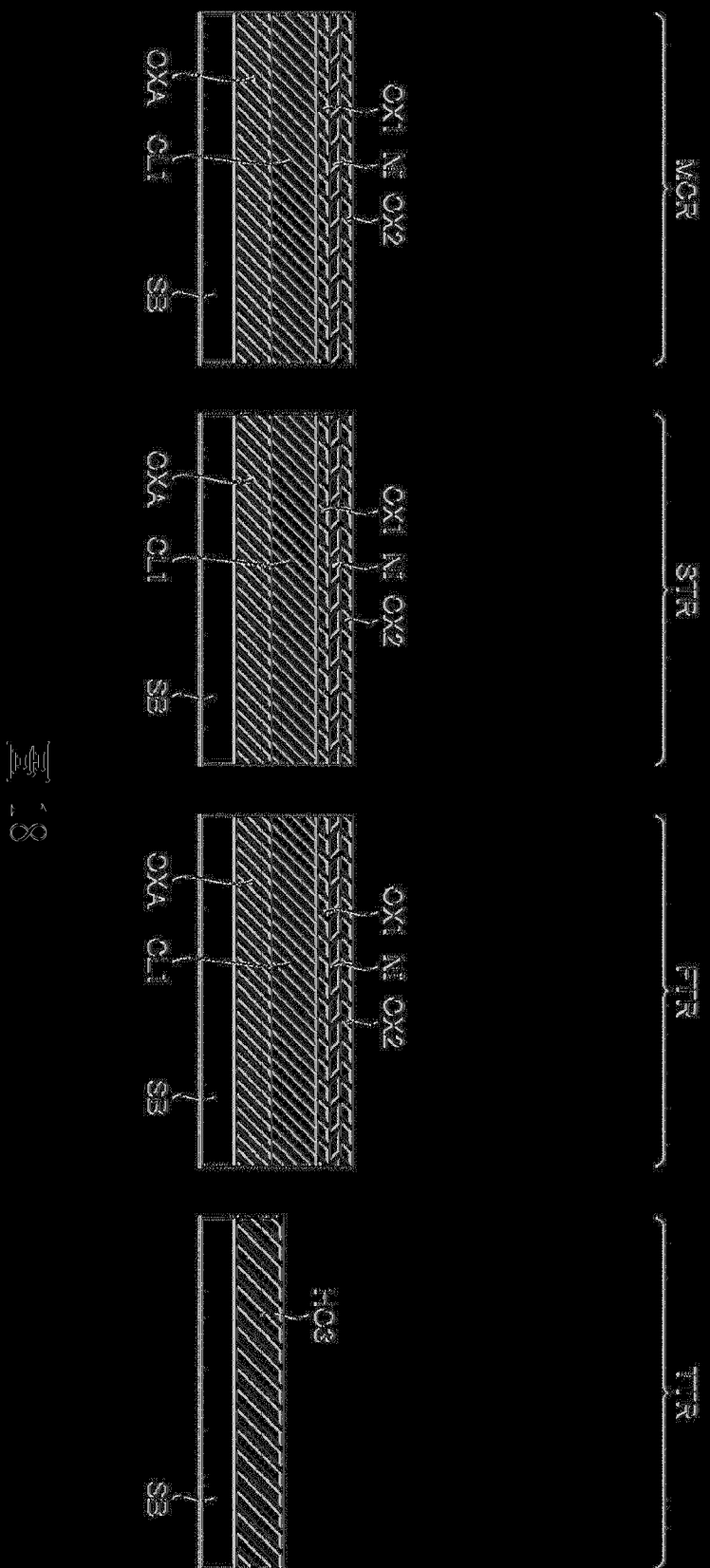


圖 6





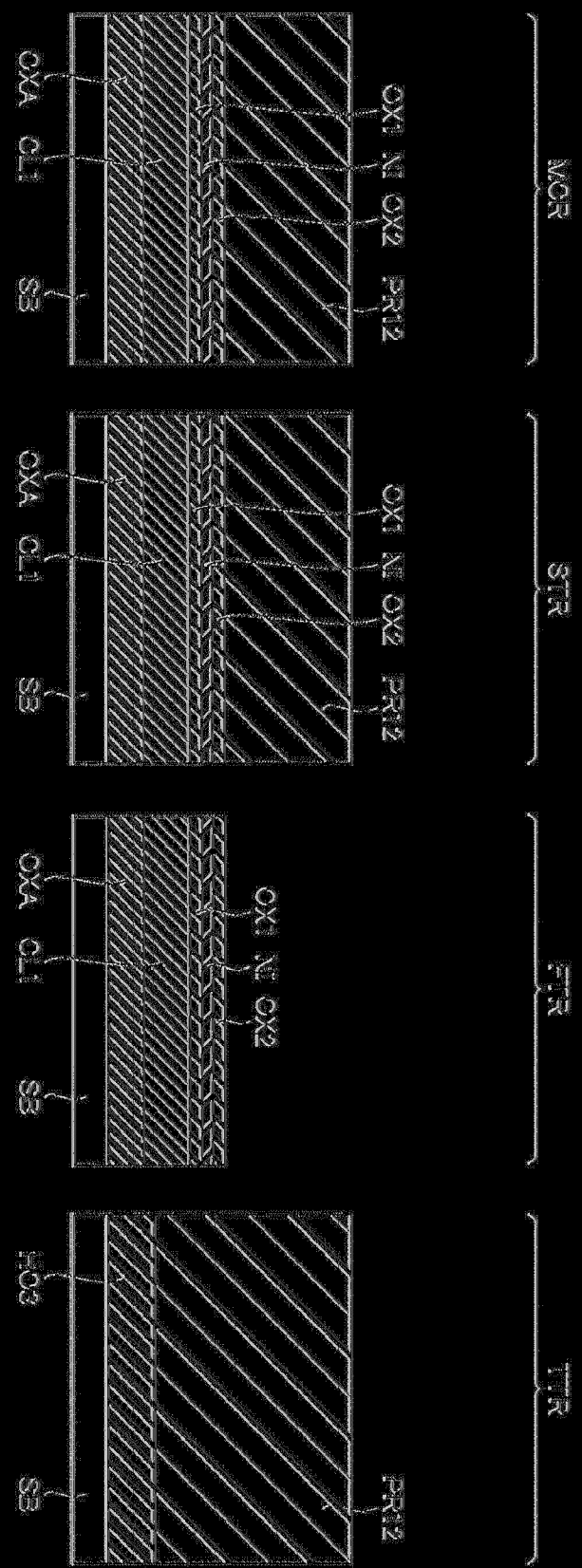


圖 19

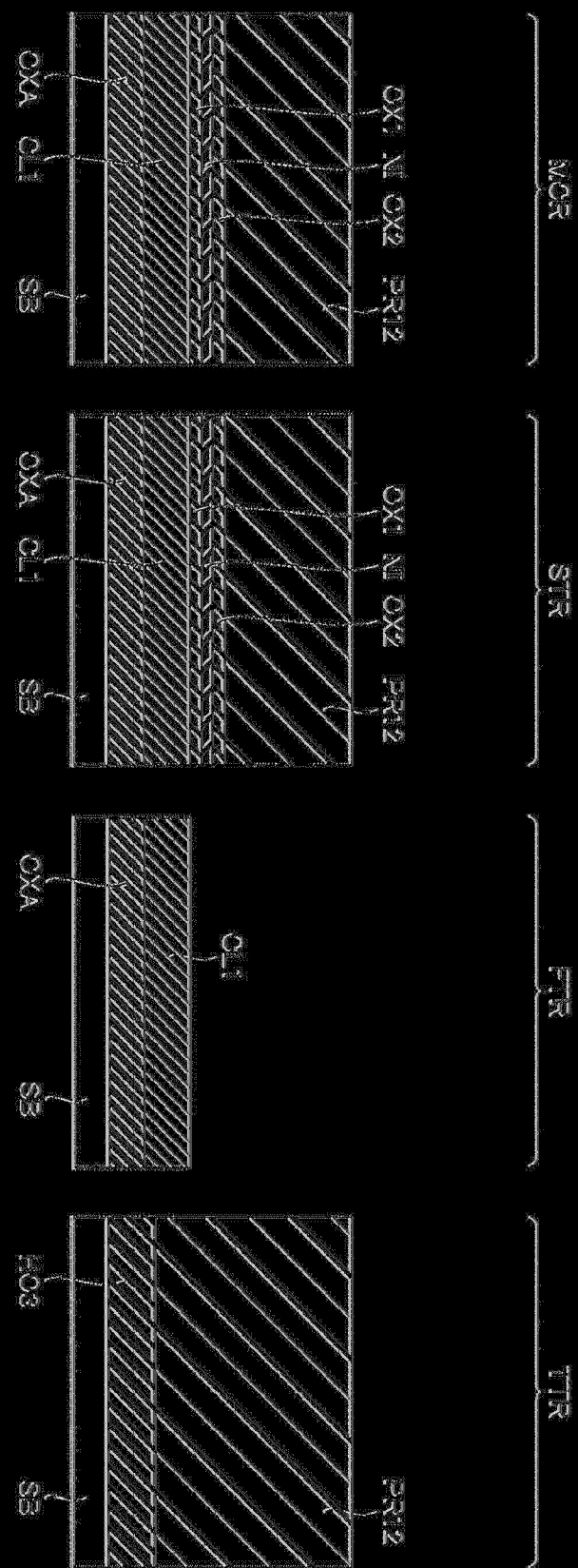


圖 20

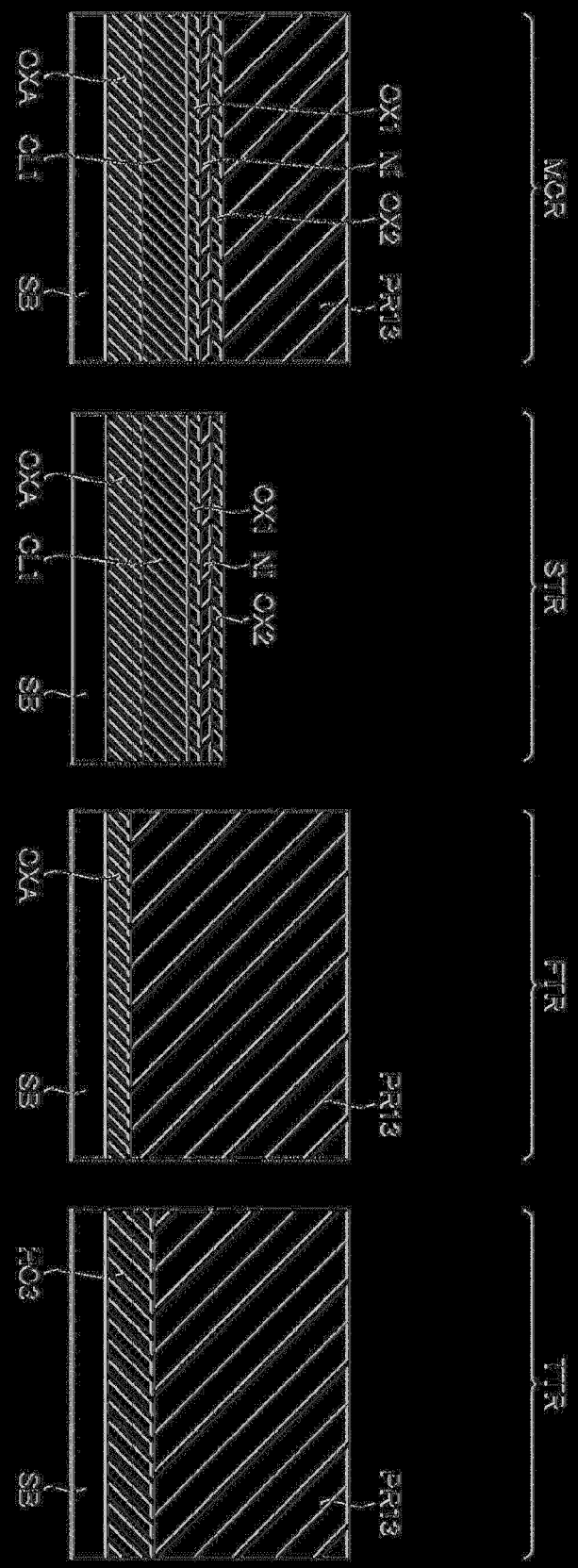


圖 2

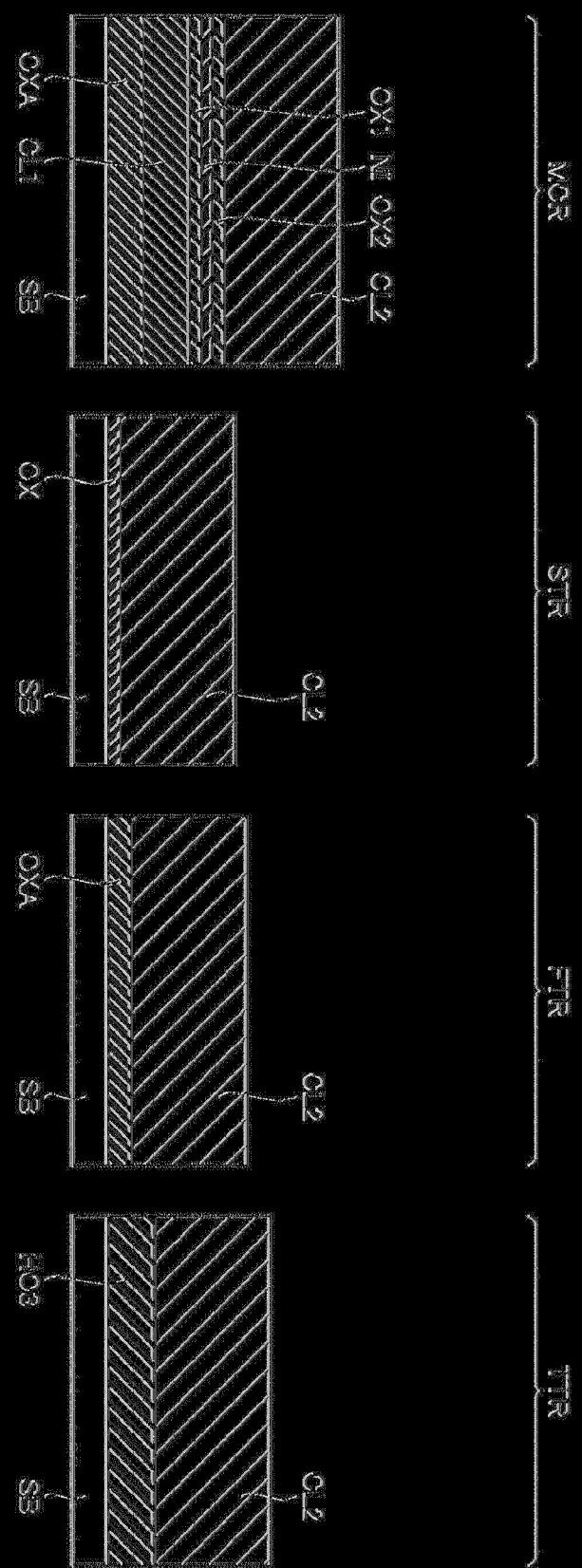


圖 22

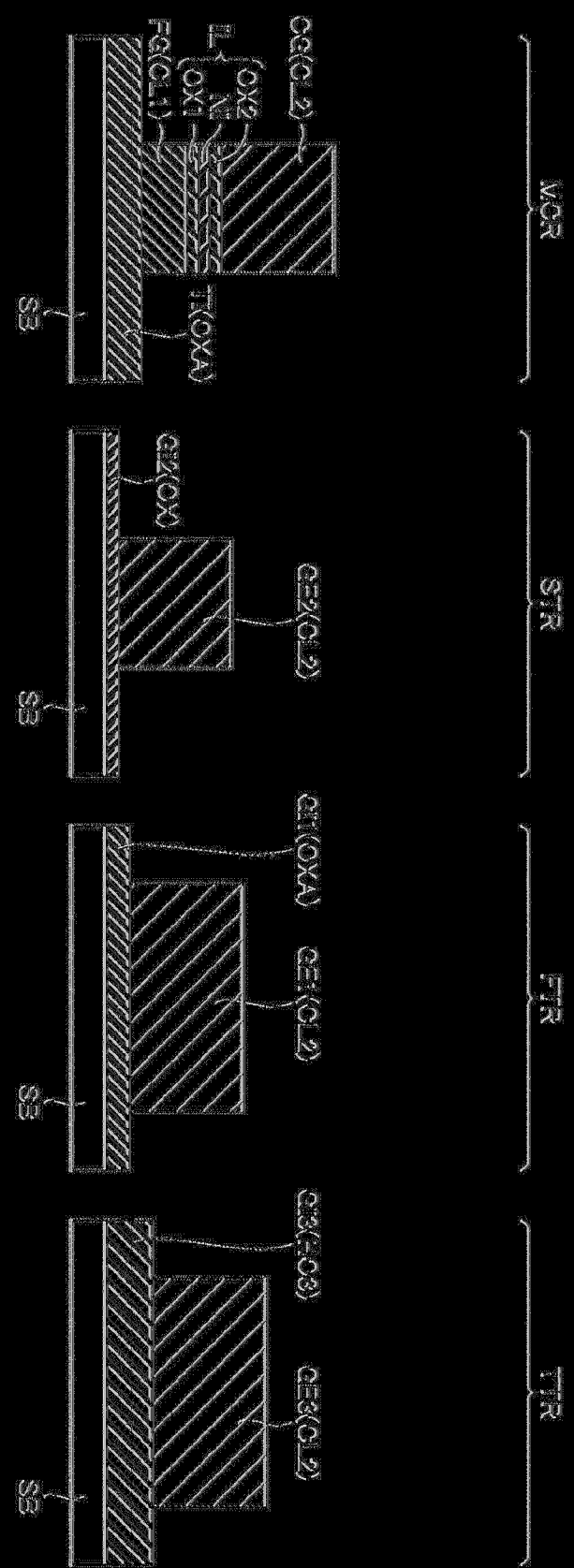


圖 23

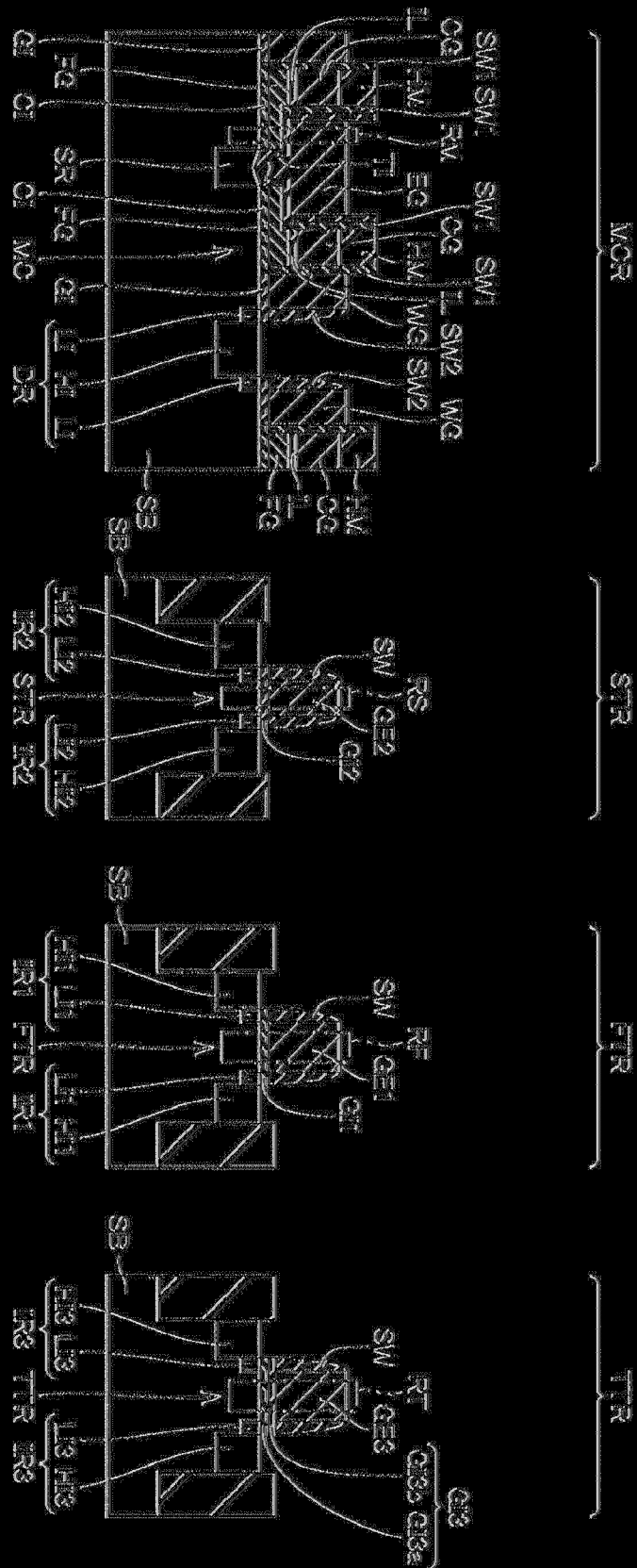


圖 24

圖 25

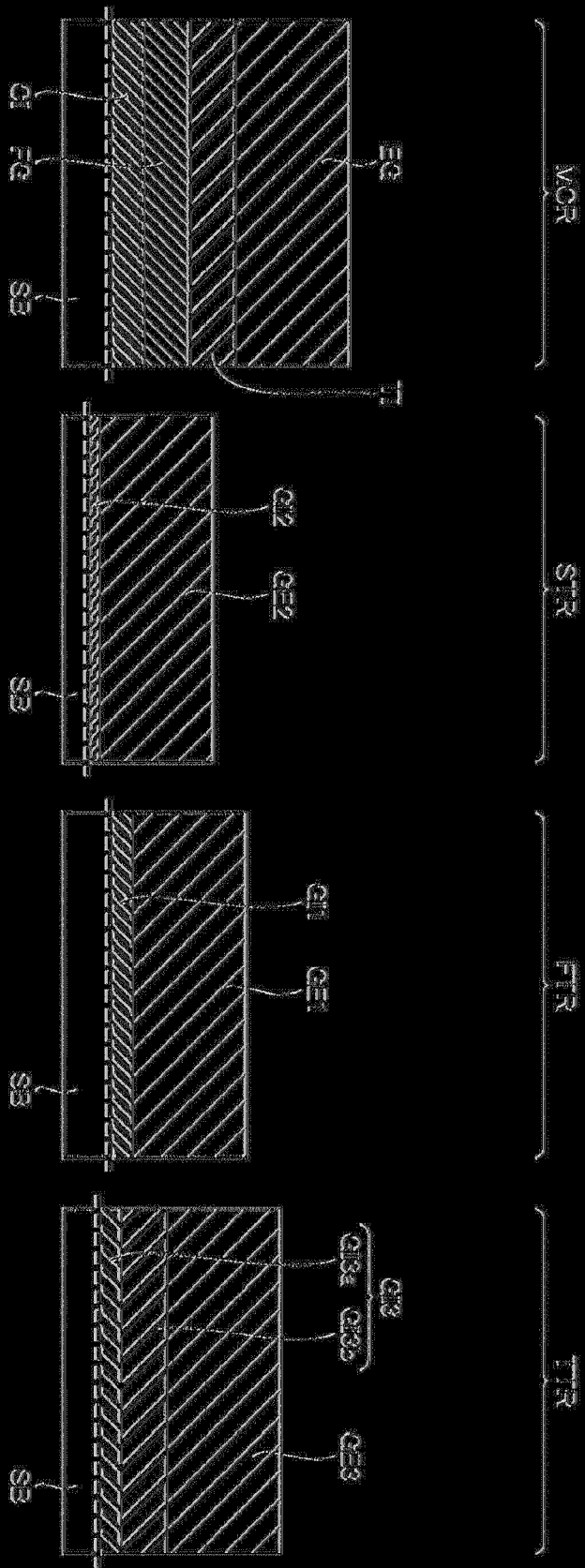
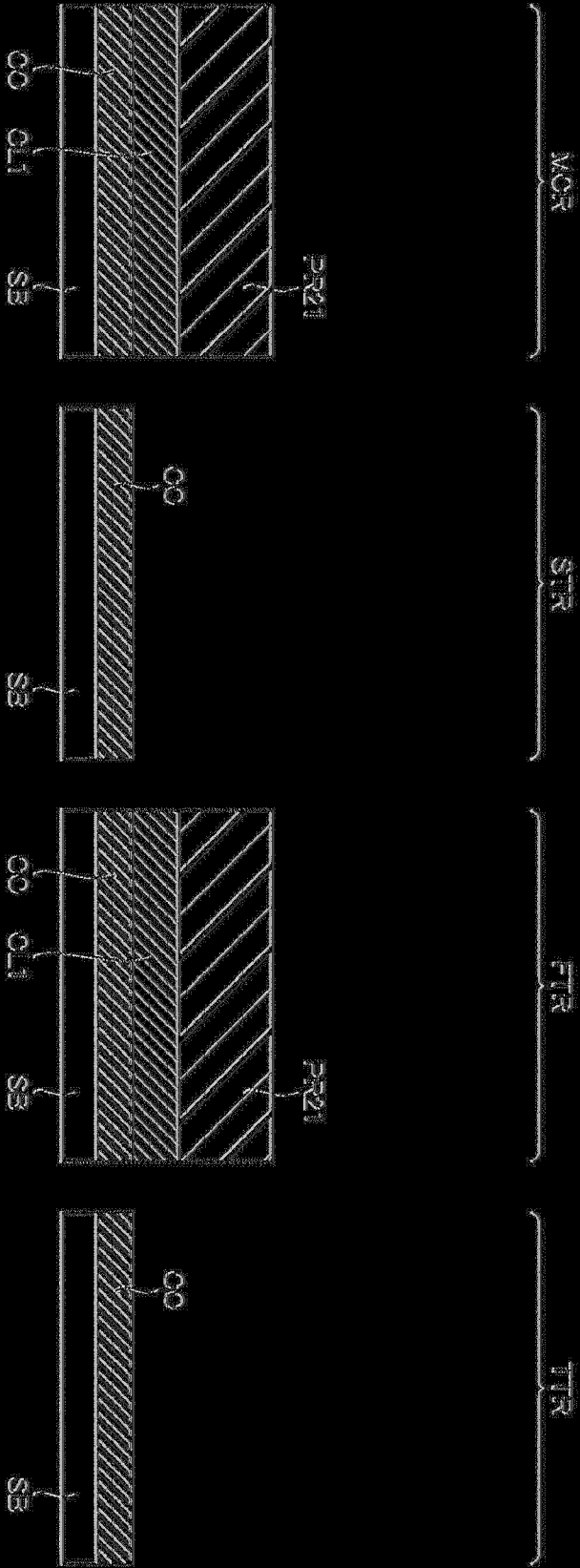


圖 26



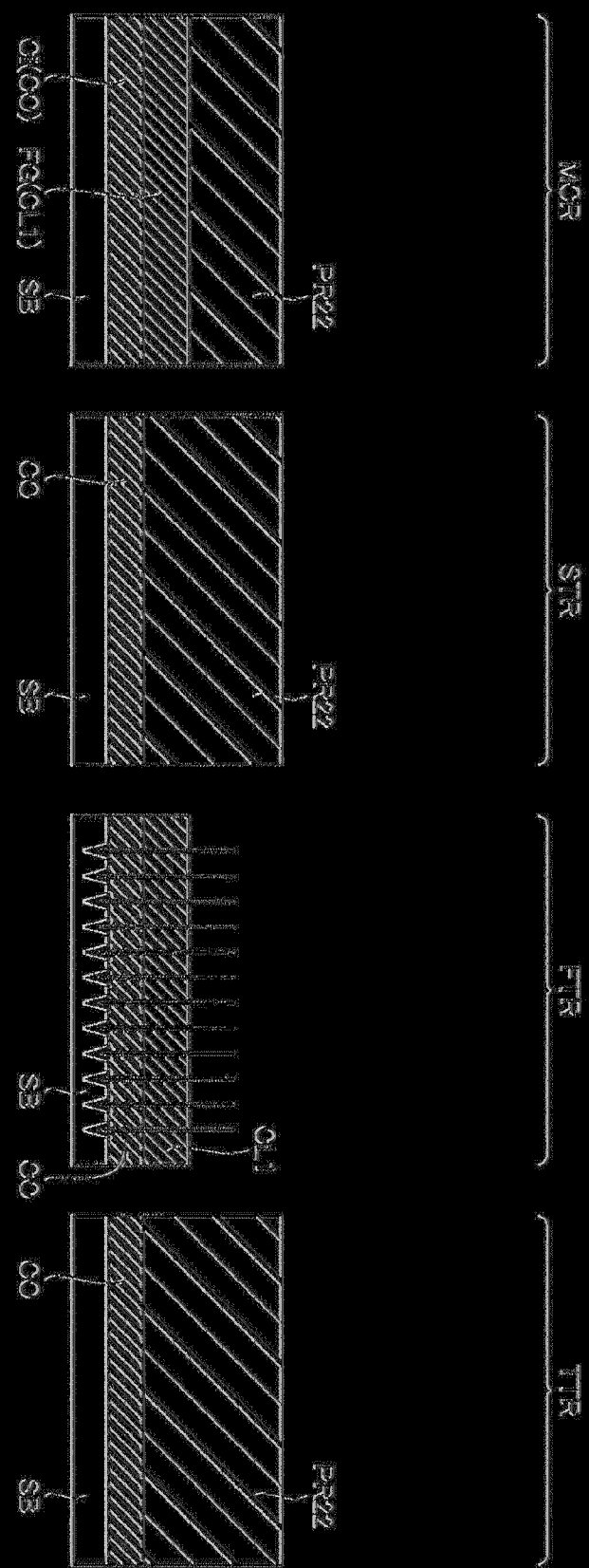


圖 27

圖 28

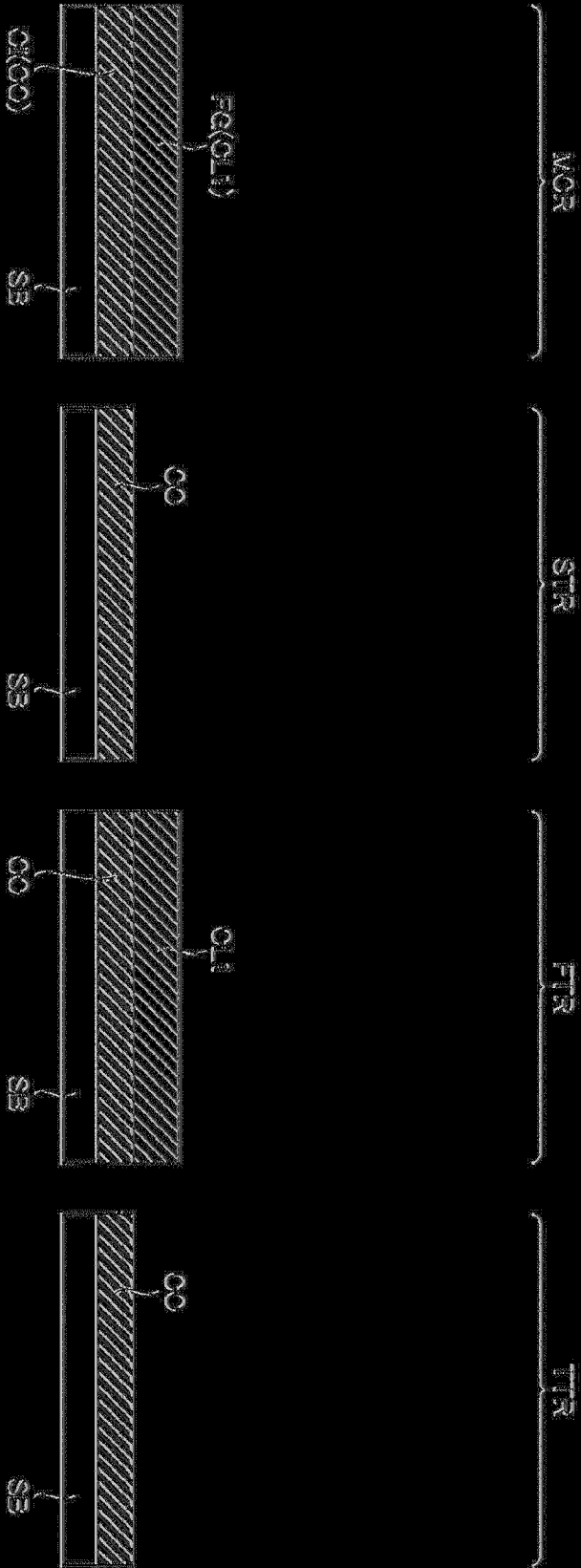


圖 29

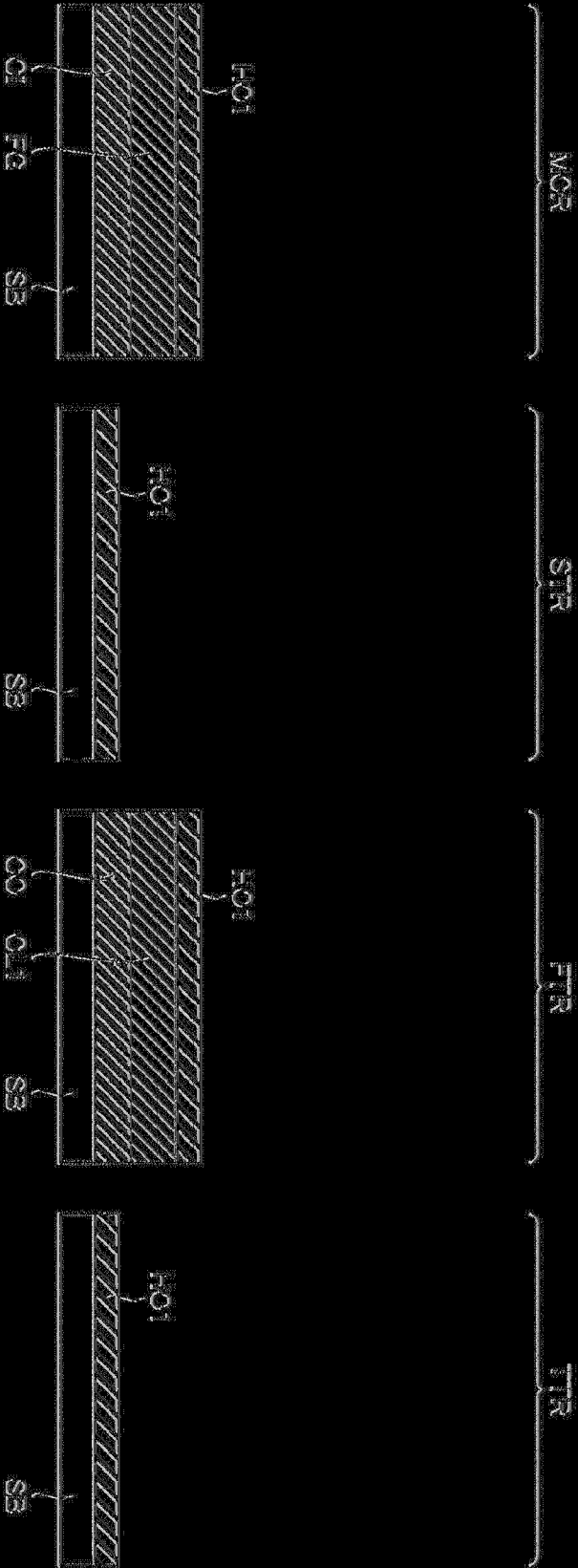


圖 30

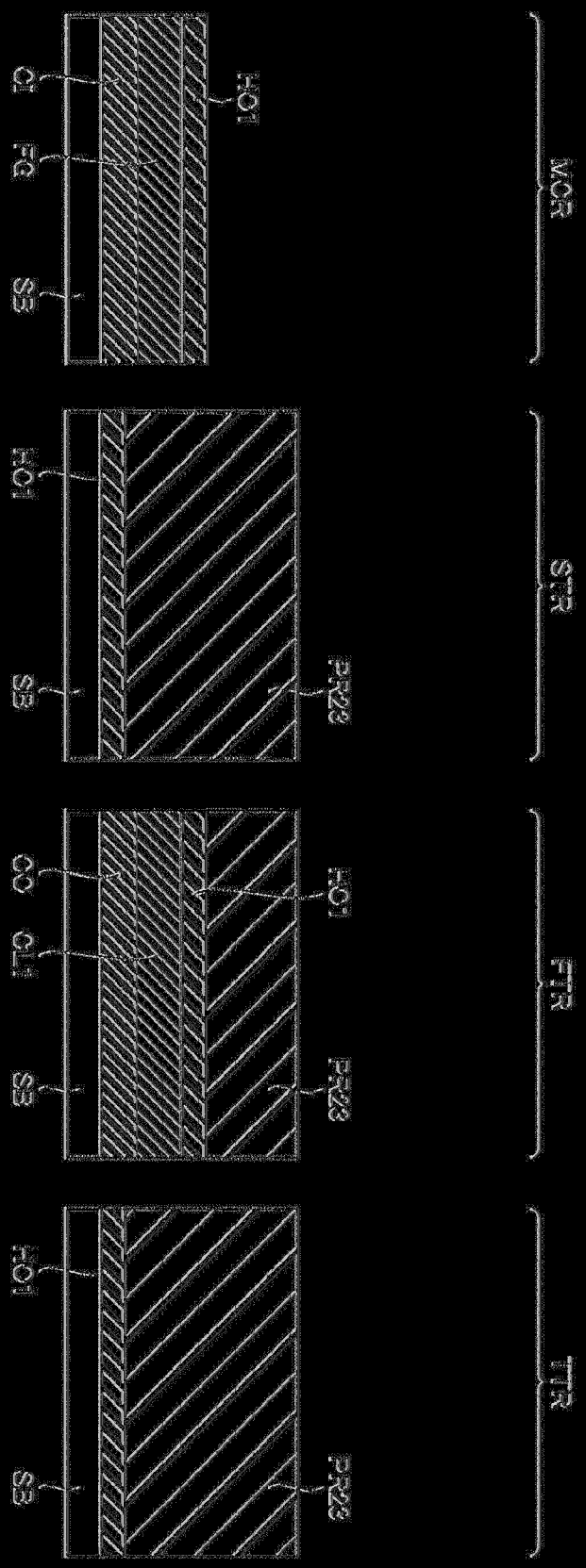
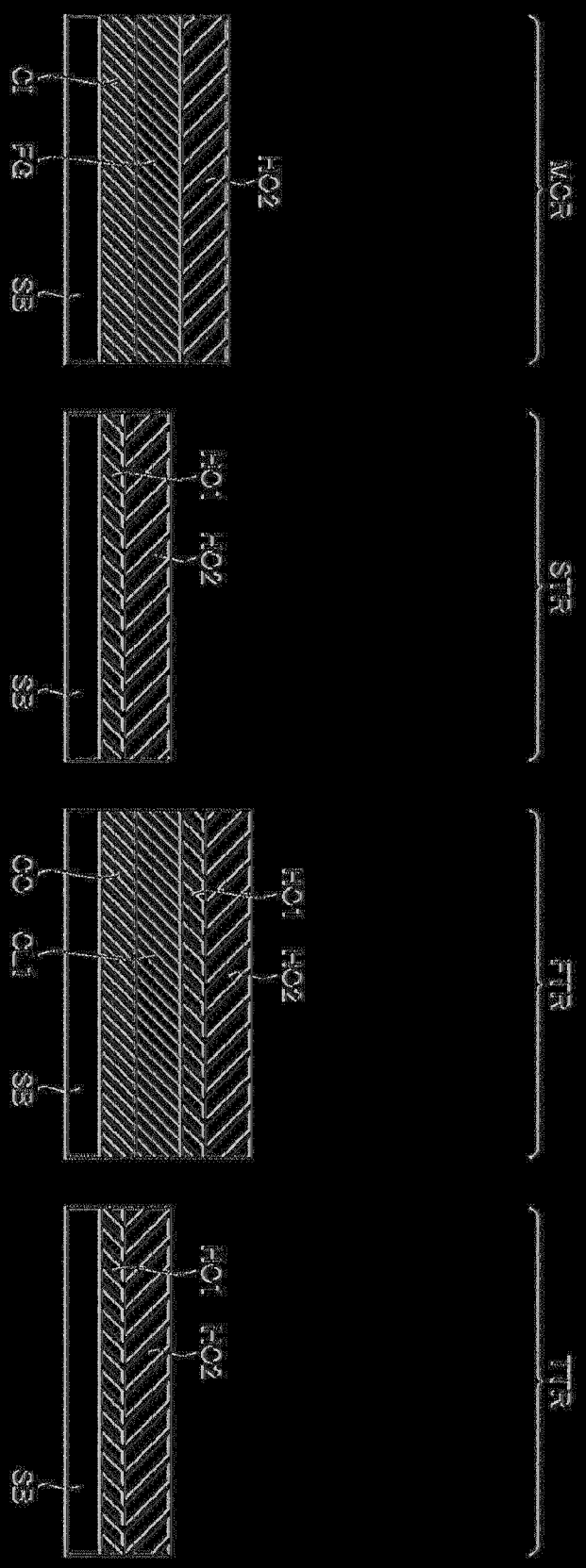


圖 3



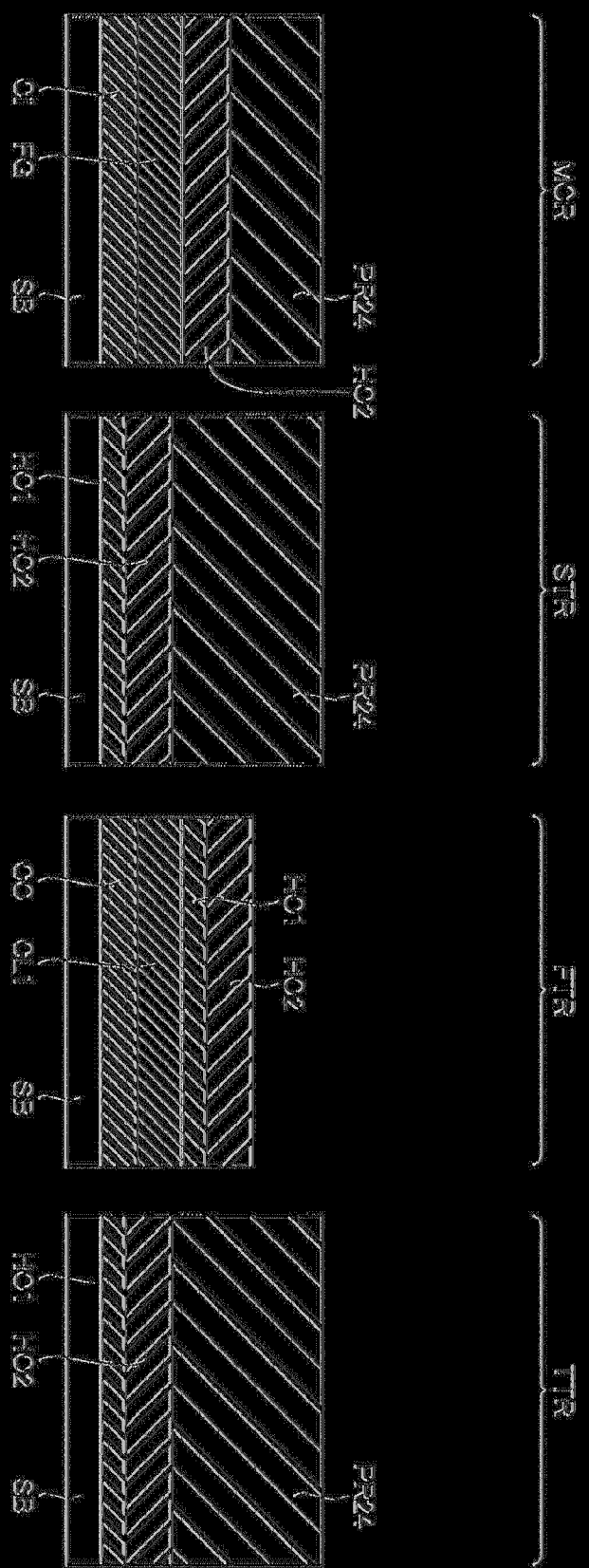
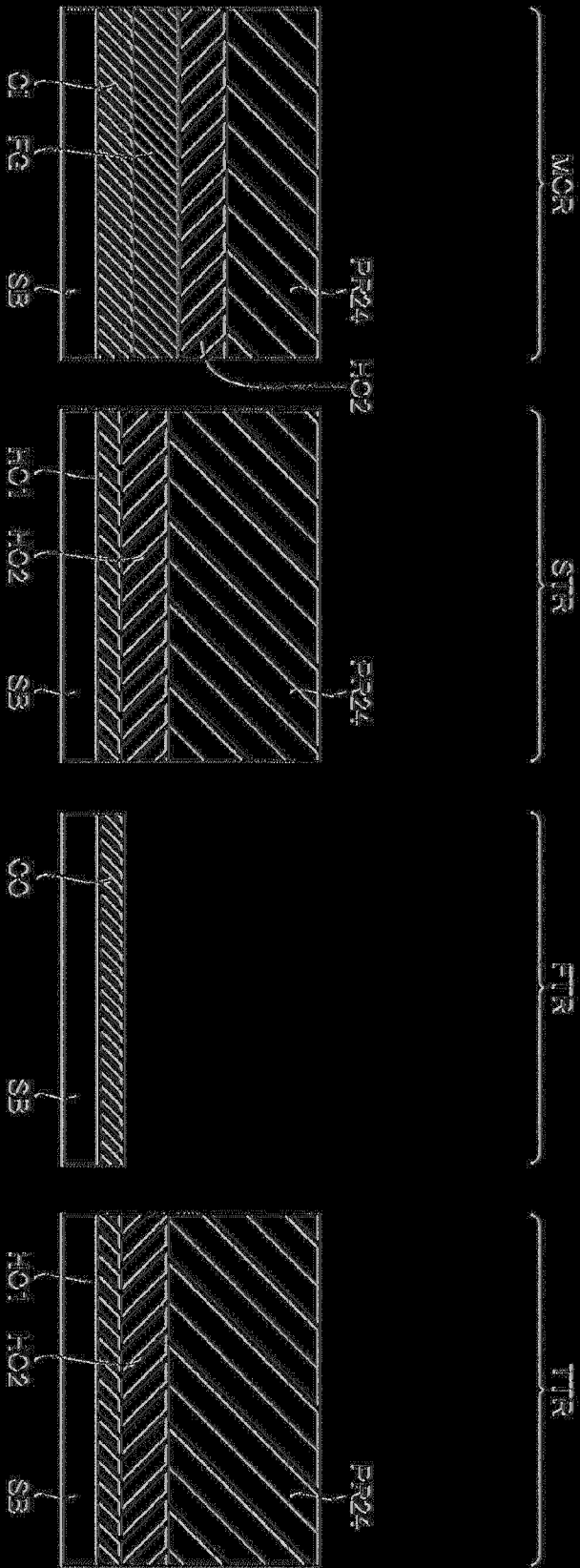


圖 32

圖 33



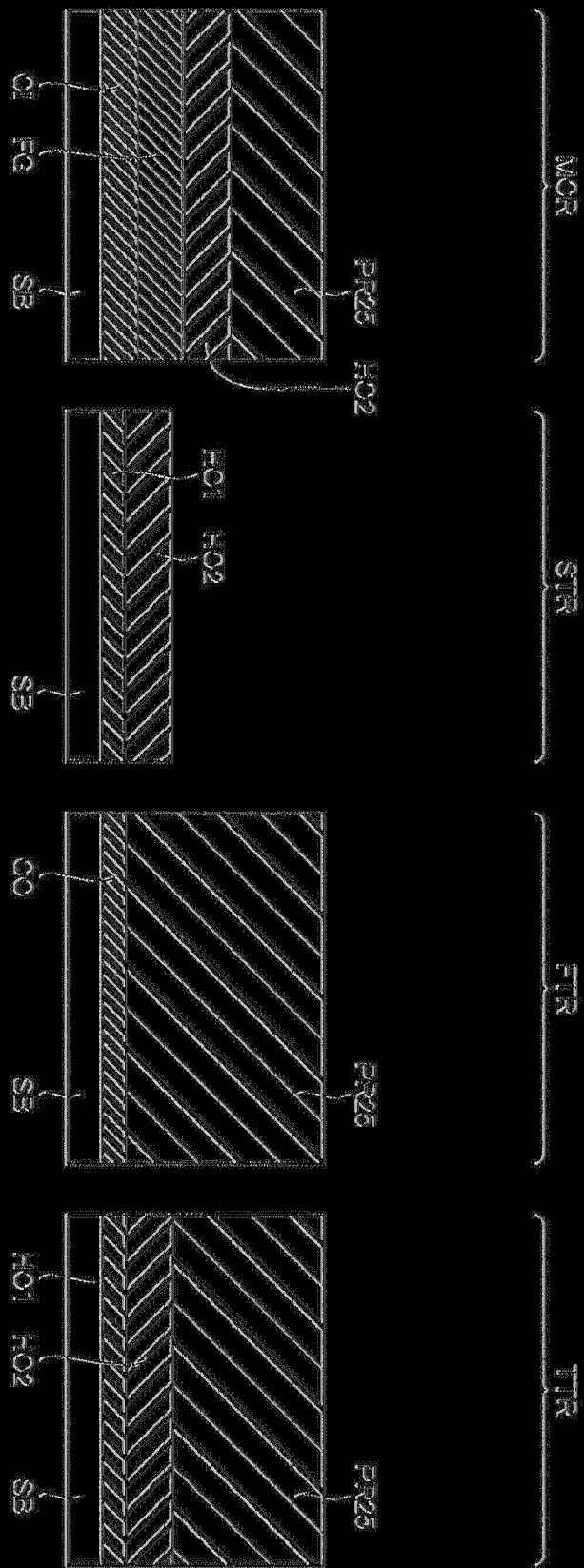
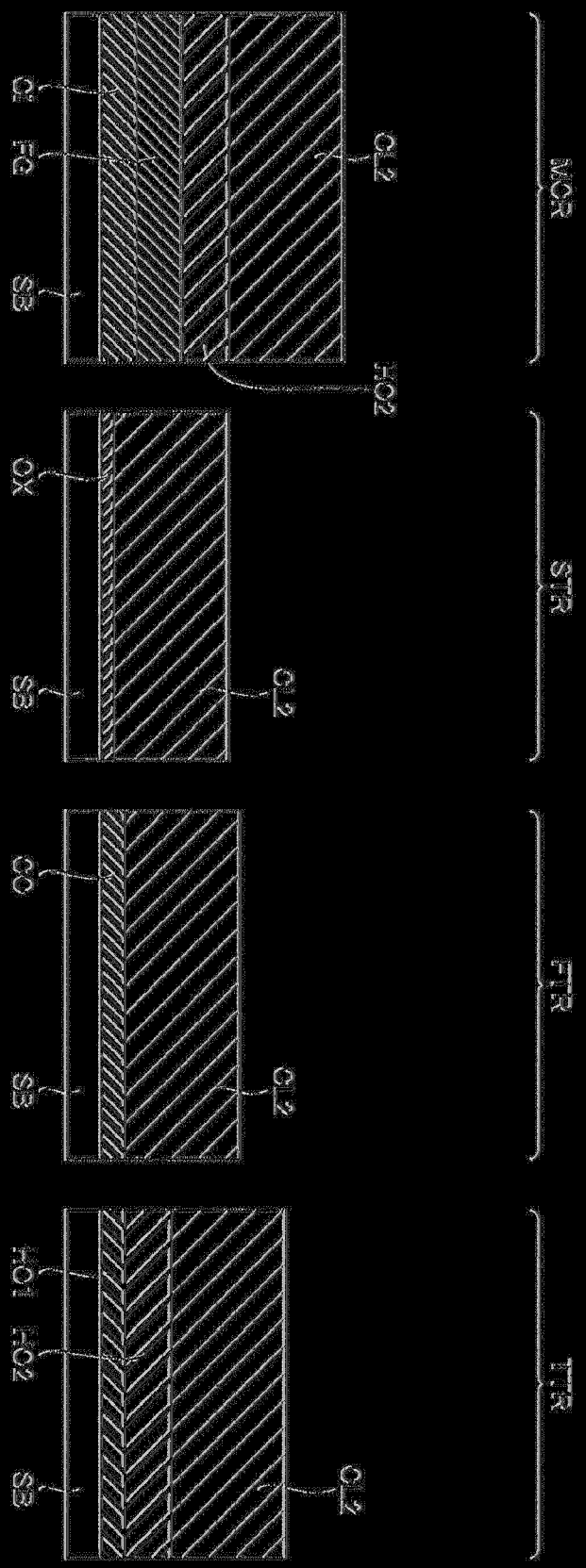


圖 34

圖 35



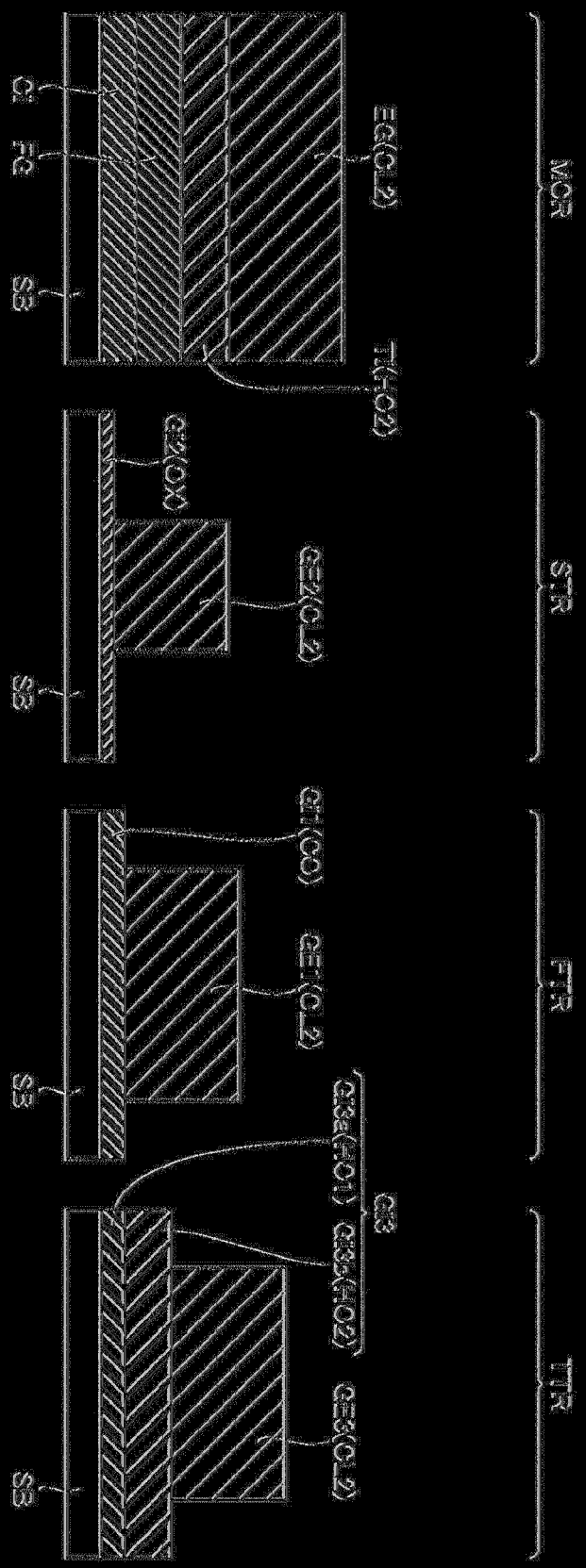


圖 36

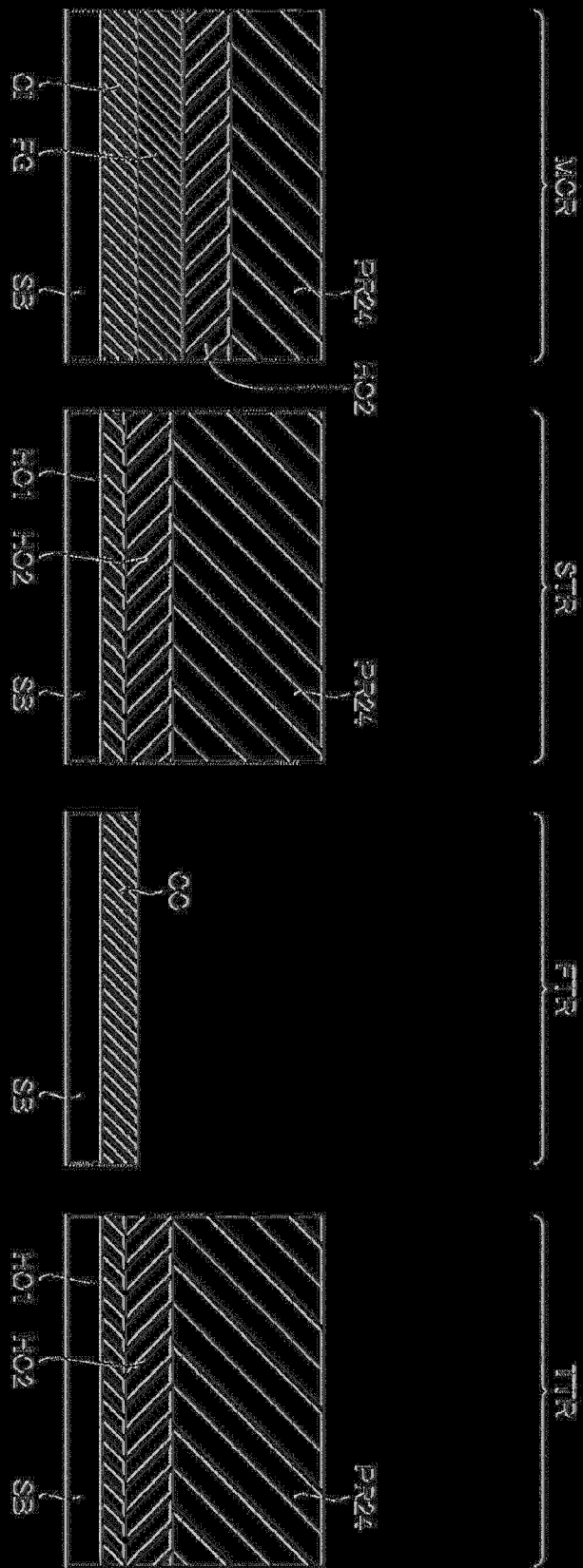


圖 37

Fig. 38

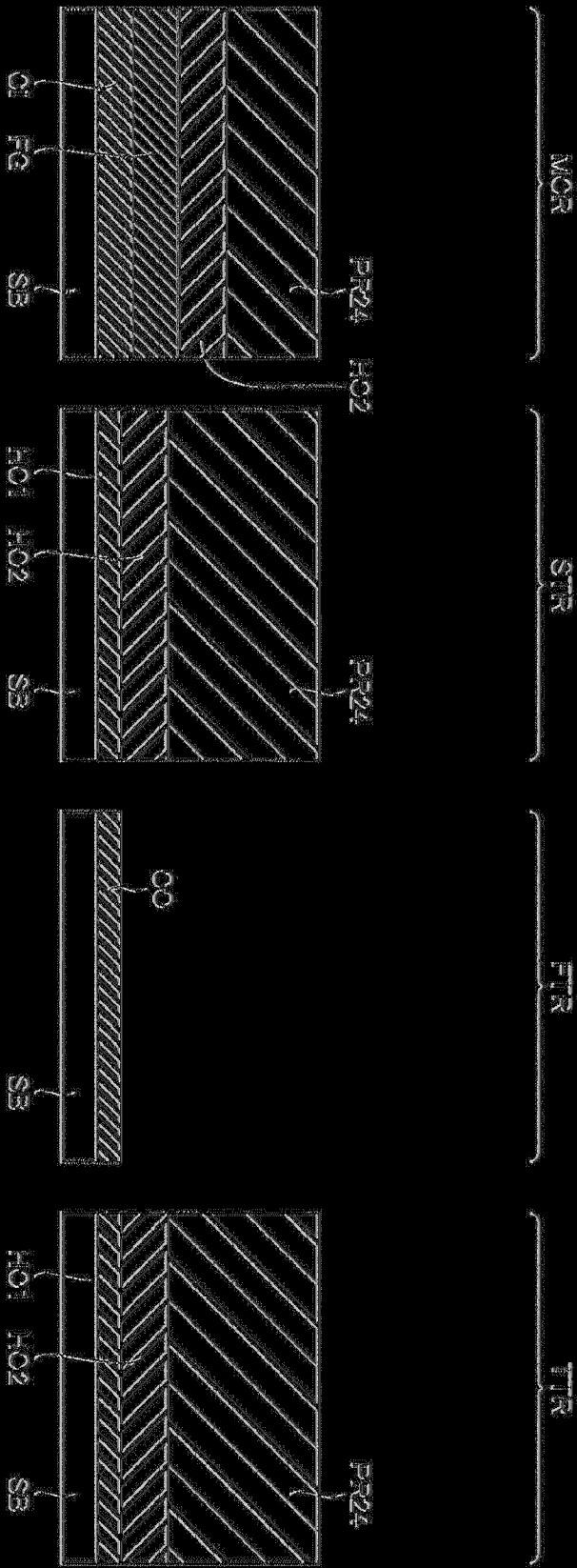


圖 39

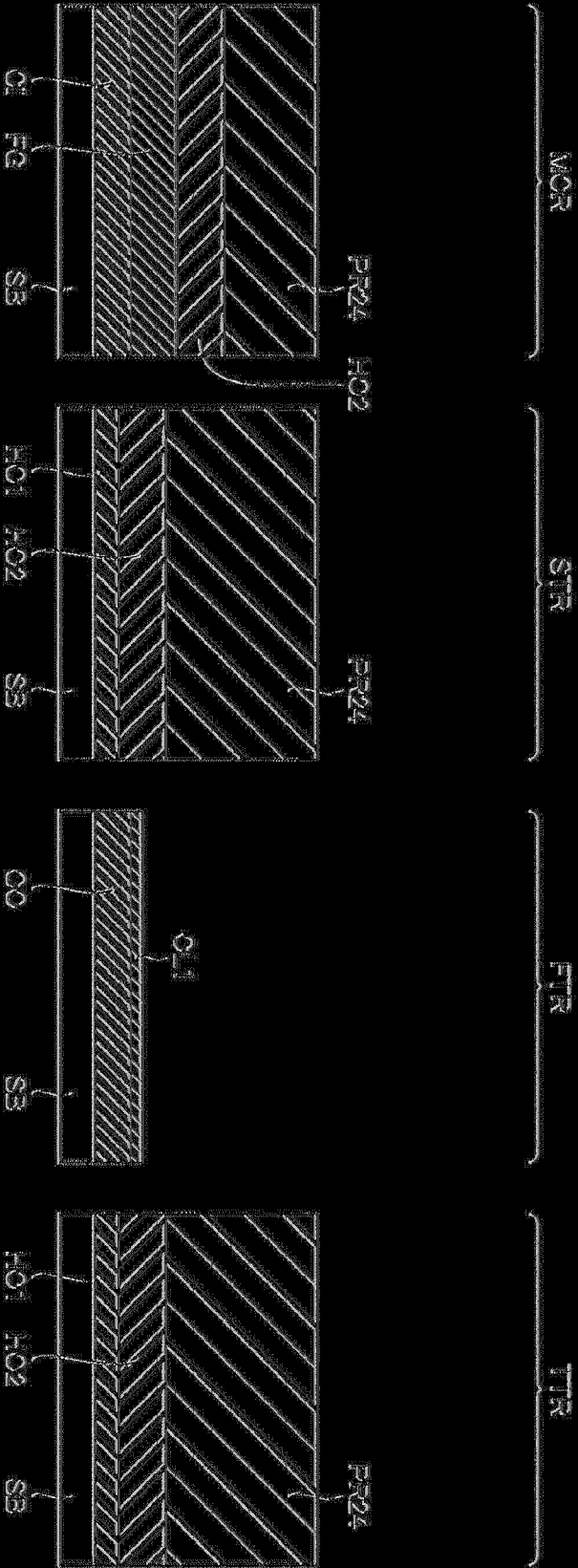


圖 40

