(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3793833号
(P3793833)
(45)発行日　平成18年7月5日(2006.7.5)　(24)登録日　平成18年4月21日(2006.4.21)

(51)Int.Cl.　F I
A63F 7/02 (2006.01)　A63F 7/02 320

請求項の数 2 (全 25 頁)

(21)出願番号　特願平7-46631
(22)出願日　平成7年2月13日(1995.2.13)
(65)公開番号　特開平8-215389
(43)公開日　平成8年8月27日(1996.8.27)
審査請求日　平成14年1月29日(2002.1.29)

(73)特許権者　000148922
株式会社大一商会
愛知県名古屋市中村区鴨付町１丁目２２番地
(74)代理人　100082304
弁理士　竹本　松司
(74)代理人　100088351
弁理士　杉山　秀雄
(74)代理人　100093425
弁理士　湯田　浩一
(74)代理人　100102495
弁理士　魚住　高博
(74)代理人　100101915
弁理士　塩野入　章夫

最終頁に続く

(54)【発明の名称】パチンコ機

(57)【特許請求の範囲】

【請求項１】

図柄表示装置を有し、パチンコ機のパチンコ遊技全体に関わる制御を行うためのメイン制御部と、前記メイン制御部から送られた制御信号に応じて前記図柄表示装置を表示駆動制御するためのサブ制御部とを備えたパチンコ機において、

前記メイン制御部は、遊技態様に応じた図柄の表示内容を前記サブ制御部に対して指令する複数のコマンドからなるコマンドデータを、１つのグループに複数のコマンドを含む複数のコマンドグループに分割する手段と、予め定められた長さの期間であって前記サブ制御部に対して割込み信号によって前記複数のコマンドグループのうちの１つのコマンドグループの転送を行う第１の期間と、前記第１の期間と同じ長さの期間であって当該期間中は前記サブ制御部に対してコマンドグループの転送を行わない第２の期間とが設定されると共に、前記第１の期間と前記第２の期間とが交互に設けられ、前記コマンドグループの転送を複数回に繰り返すことにより前記コマンドデータ全体を前記サブ制御部に転送する手段とを備え、

前記サブ制御部は、前記第１の期間中は、前記メイン制御部から送信された割込み信号に応じて表示駆動処理を一時中断して前記コマンドグループの受信処理に移行し、前記１つのコマンドグループの受信処理が完了すると一時中断していた前記表示駆動処理を再開し、前記第２の期間中は、前記表示駆動処理を継続する構成とされ、前記コマンドグループの受信処理を複数回繰り返すことによって前記コマンドデータ全体を入力するコマンドデータ入力手段と、前記コマンドデータ全体が正常であるか否かをチェックするデータチ

ェック手段とを備えたことを特徴とするパチンコ機。
【請求項２】
前記メイン制御部は、転送前の前記コマンドグループに含まれるコマンドを累積加算してチェックサムデータを算出し、前記チェックサムデータを前記コマンドグループに含ませて前記サブ制御部に転送する手段を備え、前記サブ制御部のデータチェック手段は、前記コマンドグループを受信する毎に該コマンドグループに含まれる前記コマンドを累積加算し、前記メイン制御部から送られた前記チェックサムデータを受け取ると、前記コマンドの累積加算値と前記チェックサムデータとが一致するか否かを判別し、一致した場合に正常と判定するものであることを特徴とする請求項１に記載のパチンコ機。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、図柄表示装置を有し、パチンコ機のパチンコ遊技全体に関わる制御を行うためのメイン制御部と、メイン制御部から送られた制御信号に応じて図柄表示装置を表示駆動制御するためのサブ制御部とを備えたパチンコ機に関する。
【０００２】
【従来の技術】
パチンコ遊技機においては、例えば、図柄表示装置を設け、その表示画面において、複雑な表示動作を行わせたり、遊技態様に応じて数種類の表示画面を切り換え動作を行わせたりすることにより、遊技者の多様な趣向を満たすようにしている。このようなパチンコ遊技機にあっては、パチンコ機のパチンコ遊技全体に関わる制御を行うためのメイン制御部のみでは、パチンコ機に配備された各駆動制御要素を全て制御することがメイン制御部の処理タイミングやメモリの記憶容量に制限があって困難であるため、駆動制御要素毎に専用のサブ制御部が配備されており、メイン制御部から制御信号並びに出力データからなる制御用のコマンドデータをサブ制御部に転送し、前記制御用のコマンドデータに応じてサブ制御部により駆動制御要素を制御駆動するようにしている。
【０００３】
メイン制御部から転送される制御用のコマンドデータは、例えば、サブ制御部が図柄表示装置である場合には、パチンコ機における遊技状況を示すステータスデータ及び図柄表示装置に複数設定されている各図柄表示部に表示する図柄の種類並びに表示位置を示す各データ等である。
【０００４】
また、ステータスデータは、例えば、パチンコ機における、遊技が開始される前の遊技待機中、遊技中、図柄変動が開始される前の図柄変動待機中、図柄変動中、複数ある図柄表示部のうちの変動中の１つの図柄表示部を残して他の図柄表示部において停止された図柄の組み合わせが大当たりとなる組み合わせに一致する遊技状態（以下、リーチという）、図柄表示部において大当たりが発生した場合の大当たり中、大当たりとなった場合に限り、遊技者に利益を付与するべく配設された入賞装置の開閉動作等の大当たり動作の内容を示す大当たり動作情報、入賞装置への入賞個数並びに入賞装置の開閉動作回数といった内容のものである。
【０００５】
このように、メイン制御部からサブ制御部に転送される制御用のコマンドデータは、例えば、図柄表示部の数が増えたり、パチンコ機の遊技状況によって表示を切り替えるような場合には、コマンドデータのデータ量が必然的に大きくなる。
【０００６】
従来のメイン制御部とサブ制御部との間におけるコマンドデータの伝送は、図１８のタイミングチャートに示すように、メイン制御部側からＷＲ信号を出力し、サブ制御部側のＲＥＡＤＹ信号をメイン制御部側が受けたときにコマンドデータを一回の出力処理で転送している。また、送信側であるメイン制御部からのデータ出力タイミングに受信側であるサブ制御部の受信タイミングを合わせなければならないため、サブ制御部側において図柄表

示駆動処理以外にコマンドデータ受信のための待ち時間が設定されており、サブ制御部が待ち時間の間にメイン制御部からのＷＲ信号並びにコマンドデータを受信できるよう構成されている。

【０００７】

しかしながら、前述のように図柄表示装置において実行する表示駆動処理が複雑化すればする程、コマンドデータのデータ量が大きくなるため、前記待ち時間を長く設定する必要があり、また、図柄表示装置の表示駆動時間が長い場合には、サブ制御部側の表示駆動処理に要する処理時間がメイン制御部側のデータ出力タイミングの処理サイクルより長くなったりするといったことが起こり、この場合には、送受信のタイミングがズレることとなり、図柄表示部上にチラツキが発生したり、表示に歪みを生じたりする。さらに、ノイズによる影響を受けて転送されたコマンドデータに雑音が混入するといった場合には、例えば、大当たりを成立させる乱数がメイン制御部において抽出されたにもかかわらず、図柄表示部において外れ図柄が表示されてしまうといった不具合が起こる場合がある。

【０００８】

【発明が解決しようとする課題】

本発明の目的は、図柄表示部上のチラツキや表示の歪みを防止することが可能であって、ノイズによるコマンドデータの転送ミスが防止でき、常時鮮明な画面表示を可能とするパチンコ機を提供することにある。

【０００９】

【課題を解決するための手段】

請求項１に記載のパチンコ機は、図柄表示装置を有し、パチンコ機のパチンコ遊技全体に関わる制御を行うためのメイン制御部と、前記メイン制御部から送られた制御信号に応じて前記図柄表示装置を表示駆動制御するためのサブ制御部とを備えたものであって、上記課題を解決するために、前記メイン制御部は、遊技態様に応じた図柄の表示内容を前記サブ制御部に対して指令する複数のコマンドからなるコマンドデータを、１つのグループに複数のコマンドを含む複数のコマンドグループに分割する手段と、予め定められた長さの期間であって前記サブ制御部に対して割込み信号によって前記複数のコマンドグループのうちの１つのコマンドグループの転送を行う第１の期間と、前記第１の期間と同じ長さの期間であって当該期間中は前記サブ制御部に対してコマンドグループの転送を行わない第２の期間とが設定されると共に、前記第１の期間と前記第２の期間とが交互に設けられ、前記コマンドグループの転送を複数回に繰り返すことにより前記コマンドデータ全体を前記サブ制御部に転送する手段とを備え、前記サブ制御部は、前記第１の期間中は、前記メイン制御部から送信された割込み信号に応じて表示駆動処理を一時中断して前記コマンドグループの受信処理に移行し、前記１つのコマンドグループの受信処理が完了すると、一時中断していた前記表示駆動処理を再開し、前記第２の期間中は前記表示駆動処理を継続する構成とされ、前記コマンドグループの受信処理を複数回繰り返すことによって前記コマンドデータ全体を入力するコマンドデータ入力手段と、前記コマンドデータ全体が正常であるか否かをチェックするデータチェック手段とを備えたことを特徴とする。

【００１０】

請求項２に記載のパチンコ機は、請求項１に記載のものにおいて、前記メイン制御部は、転送前の前記コマンドグループに含まれるコマンドを累積加算してチェックサムデータを算出し、前記チェックサムデータを前記コマンドグループに含ませて前記サブ制御部に転送する手段を備え、前記サブ制御部のデータチェック手段は、前記コマンドグループを受信する毎に該コマンドグループに含まれる前記コマンドを累積加算し、前記メイン制御部から送られた前記チェックサムデータを受け取ると、前記コマンドの累積加算値と前記チェックサムデータとが一致するか否かを判別し、一致した場合に正常と判定するものである。

【００１２】

【実施例】

以下、本発明の実施例を図面を参照して説明する。

図１は、実施例におけるパチンコ機におけるデータ伝送装置の要部を示すブロック図である。パチンコ機のパチンコ遊技全体に関わる制御を行うためのメイン制御部１は、制御処理実行手段としてのメインＣＰＵ２と、メインＣＰＵ２が実行するためのパチンコ遊技全体に関わる制御プログラムが格納されているＲＯＭ３と、随時読み出しおよび書き込みが可能なＲＡＭ４と、メインＣＰＵ２が周辺機器との間でデータ通信を行うための通信インタフェース５とにより構成されている。なお、メインＣＰＵ２には、メインＣＰＵ２のための電源（図示せず）やメインＣＰＵ２の処理サイクルを規定するクロック回路（図示せず）が接続されている。

【００１３】

また、図１に示すサブ制御部６は、パチンコ機が備えた図２に示す図柄表示装置７側に配備され、メイン制御部１からの制御信号並びにコマンドデータに応じて図柄表示装置７の各表示駆動手段を表示駆動制御する処理実行手段としてのサブＣＰＵ８と、サブＣＰＵ８が実行するための各表示駆動手段の表示駆動に関する制御プログラム並びにメイン制御部１とのデータ通信に関する制御プログラムが格納されているＲＯＭ９と、随時読み出しおよび書き込みが可能なＲＡＭ１０と、制御信号を出力するための出力ポート１１と、各表示駆動手段の一部を構成する特別図柄表示部１７を表示駆動するためのコモン１出力回路１２乃至コモン４出力回路１５並びにＬＥＤ信号出力回路１６とを備えている。なお、サブＣＰＵ８には、サブＣＰＵ８のための電源（図示せず）やサブＣＰＵ８の処理サイクルを規定するクロック回路（図示せず）が接続されている。

【００１４】

図１において、サブ制御部６のサブＣＰＵ８は、メイン制御部１の通信インタフェース５を介してメインＣＰＵ２と通信接続され、メインＣＰＵ２から出力された制御信号並びにコマンドデータが通信インタフェース５を介してサブＣＰＵ８に入力されるよう構成されている。なお、データ伝送ラインは、８本の信号線で構成され、８ビットデータがパラレルに伝送される。

【００１５】

また、特別図柄表示部１７は、縦１４行×横３２列に配列されたドットマトリクスＬＥＤにより構成され、さらに特別図柄表示部１７は、左，中，右特別図柄表示部１７ａ，１７ｂ，１７ｃの３つに区分されている。サブ制御部６におけるサブＣＰＵ８の出力ポート１１には、各コモン１出力回路１２乃至コモン４出力回路１５並びにＬＥＤ信号出力回路１６が接続されると共に、特別図柄表示部１７が各コモン１出力回路１２乃至コモン４出力回路１５並びにＬＥＤ信号出力回路１６に接続され、サブＣＰＵ８からの制御出力により各コモン１出力回路１２乃至コモン４出力回路１５の出力並びにＬＥＤ信号出力回路１６の出力を切り換えることにより、左，中，右特別図柄表示部１７ａ，１７ｂ，１７ｃに図柄を表示駆動するよう構成されている。

【００１６】

なお、メイン制御部１からサブ制御部６に対して転送され、遊技態様に応じた図柄の表示内容を指令するコマンドデータを複数に分割し、各分割されたコマンドデータを時分割よって転送する請求項１に記載の制御データ時分割転送手段は、メイン制御部１のＲＯＭ３に格納されている制御プログラムの一部である。また、メイン制御部１から転送されたコマンドデータを転送前のコマンドデータに対してチェックするデータチェック手段は、サブ制御部６のＲＯＭ９に格納されている制御プログラムの一部である。

【００１７】

図２は、実施例のパチンコ機に配備された遊技盤１８を一部省略して示す正面図である。遊技盤面の略中央には、特別図柄表示部１７を備えた図柄表示装置７が配設され、図柄表示装置７の下方には、特別図柄表示部１７における図柄の変動を開始させるための始動口１９を有する普通電動役物２０が配設され、普通電動役物２０の左右にはゲート２１，２２がそれぞれ配設され、遊技盤１８面の下部には、ソレノイド（図示を省略）により開閉動作される大入賞口２３を備えた入賞装置ユニット２４が配設されている。

【００１８】

図柄表示装置７は、その表示装置本体２５の中央に、左，中，右特別図柄表示部１７ａ，１７ｂ，１７ｃにより構成された特別図柄表示部１７を備え、特別図柄表示部１７の上部側には、普通電動役物２０の始動口１９への入賞記憶状態を最大４個まで表示する特別図柄記憶数表示ＬＥＤ２６が配備され、表示装置本体２５の上部には、２つの７セグメントにより構成された左，右普通図柄表示部２７ａ，２７ｂを有する普通図柄表示器２８が配設され、普通図柄表示器２８の上部にはゲート２１，２２への遊技球の通過記憶を最高４回迄表示する普通図柄記憶数表示ＬＥＤ２９が配備されている。

【００１９】

また、入賞装置ユニット２４の中央には、可動扉３０がその下端側を揺動自在に軸支され、該可動扉３０がソレノイドによりその上端側を前方に向けて移動された時に開成される大入賞口２３の内部中央には、特別の入賞領域である特定領域３１が設けられ、大入賞口２３の内部右方には、大入賞口２３への入賞球数を表示する大入賞口入賞数表示ＬＥＤ３２が配備され、大入賞口２３の内部左方には、可動扉３０の開成動作による大入賞口２３の開放回数を表示する開放回数表示ＬＥＤ３３が配設されている。

【００２０】

なお、普通電動役物２０の奥方、大入賞口２３の奥方、特定領域３１及び左右のゲート２１，２２の奥方には、入賞検出手段並びに遊技球検出手段としての始動口入賞検出スイッチＳＷ１、大入賞口入賞検出スイッチＳＷ２、特定領域通過検出スイッチＳＷ３及びゲート通過検出スイッチＳＷ４がそれぞれ配備されている。また、遊技盤１８面には、従来と同様、普通入賞口や遊技状況に応じて点灯駆動される装飾用の各表示灯が配設されているが、図示を省略している。

【００２１】

また、図３は、サブ制御部８における各表示手段の接続を示すブロック図であり、サブ制御部８には、図１に示す左，中，右特別図柄表示部１７ａ，１７ｂ，１７ｃの他に、各表示駆動回路３４乃至３９を介して左，右普通図柄表示部２７ａ，２７ｂを有する普通図柄表示器２８、普通図柄記憶数表示ＬＥＤ２９、大入賞口入賞数表示ＬＥＤ３２及び開放回数表示ＬＥＤ３３がそれぞれ接続され、これら各表示手段はサブＣＰＵ８により個別にまたは同時に表示駆動されるよう構成されている。

【００２２】

次に、図２に示す遊技盤１８面におけるパチンコ遊技の概略を説明する。遊技球が始動口１９に入賞すると、図柄表示装置７の特別図柄表示部１７の図柄変動が開始される。なお、始動口１９への遊技球の入賞があると、図３のメイン制御部１は大当たり判定用乱数の値を記憶する。特別図柄表示部１７の変動中における始動口１９への遊技球の入賞は最高４回迄記憶され、その記憶数が特別図柄記憶数表示ＬＥＤ２６によって個数点灯されて表示される。

【００２３】

特別図柄表示部１７の図柄変動は、図柄変動の開始後、左特別図柄表示部１７ａ、右特別図柄表示部１７ｃ、中特別図柄表示部１７ｂの順で停止表示される。各特別図柄表示部１７ａ，１７ｃ，１７ｂに表示される図柄の種類は、表１並びに表２に示す通りであって、メイン制御部１において、各特別図柄表示部１７ａ，１７ｃ，１７ｂに表示するべき図柄に対応した各特別図柄データを作成し、左特別図柄、右特別図柄、中特別図柄の全てが同一図柄となる大当たり特別図柄データと、左特別図柄と右特別図柄とが一致し、中特別図柄だけが異なるリーチ図柄データと、左特別図柄、右特別図柄、中特別図柄の全てが異なる外れ特別図柄データとに区分し、各々の特別図柄データをそれぞれ別々に記憶している。

【００２４】

【表１】

左・右図柄番号	0	1	2	3	4	5	6	7	8	9	10	11	12	13
停止図柄	1	2	3	4	5	6	7	8	9	S	U	P	E	R

【００２５】
【表２】

中図柄番号	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
停止図柄	1	2	3	4	5	6	7	8	9	S	U	P	E	R	0

メイン制御部１は、各特別図柄表示部１７ａ，１７ｃ，１７ｂの図柄の停止表示を行う際に、大当たり判定用乱数の値が大当たりに関するものであるか否か、リーチのみに関するものであるか否か、外れであるか否かをそれぞれ判別することにより、停止表示する各特別図柄データを区分して記憶しておいた大当たり特別図柄データ、リーチ図柄データ並びに外れ特別図柄データのうちより選択する。なお、特別図柄表示部１７において選択された図柄が表示される。

【００２６】
特別図柄表示部１７において大当たりが発生すると、遊技者に特に有利となる特別遊技状態が付与され、図２の入賞表示ユニット２４の可動扉３０がソレノイドにより所定時間の間開成動作され、大入賞口２３が開放される。大入賞口２３に遊技球すると、大入賞口２３への入賞球数が大入賞口入賞数表示ＬＥＤ３２によって数字表示される。大入賞口２３への遊技球の入賞は、所定の開放時間の間において一定個数、例えば１０個迄であり、１０個目の入賞を以て可動扉３０が閉成動作され、大入賞口２３が閉成される。

【００２７】
また、大入賞口２３の開放中、大入賞口２３に入賞した遊技球が、大入賞口２３内の特定領域３１を通過すると、特定領域３１への遊技球通過がメイン制御部１に記憶され、大入賞口２３の閉成後、再び、所定時間の間大入賞口２３が開放される。この大入賞口２３の開放回数は、メイン制御部１においてカウントされており、開放回数表示ＬＥＤ３３によって数字表示される。なお、大入賞口２３の開放回数は、最高１６回迄であり、１６回目の大入賞口２３の閉成を以て、遊技者に特に有利となる特別遊技状態が終了する。

【００２８】
また、図２のゲート２１，２２は、図柄表示装置７の普通図柄表示器２８の図柄変動開始のための始動ゲートであり、遊技球がゲート２１，２２のうちのいずれかを通過すると、普通図柄表示器２８の左普通図柄表示部２７及び右普通図柄表示部２７ｂが図柄変動を開始する。なお普通図柄表示器２８の変動中におけるゲート２１，２２への遊技球の通過は最高４回迄記憶され、その記憶数が普通図柄記憶数表示ＬＥＤ２９によって個数点灯されて表示される。

【００２９】
普通図柄表示器２８の図柄変動は、図柄変動の開始後、左普通図柄表示部２７ａ、右普通図柄表示部２７ｂの順で停止表示される。各普通図柄表示部２７ａ，２７ｂに表示される図柄の種類は、表３に示す通りである。

【００３０】
【表３】

停止データ	0	1	2	3	4	5
停止図柄	1	3	5	7	9	F

普通図柄表示器２８において停止表示された左普通図柄と右特別図柄とが同一図柄となると当たりとなり、普通電動役物２０の始動口１９が所定時間拡開駆動され、始動口１９への遊技球の入賞確率が増大する。

【００３１】

遊技盤１８面におけるパチンコ遊技に関わる各データは、メイン制御部１において個別に記憶され、メイン制御部１は、図１並びに図３に示すように、各データに応じてサブ制御部６に制御信号並びにコマンドデータを転送する。サブ制御部６は、メイン制御部１からの制御信号並びにコマンドデータを受け、これに応じて各表示手段を表示駆動する。

【００３２】

次に、メイン制御部１からサブ制御部６へのコマンドデータの転送について説明する。メイン制御部１からサブ制御部６へ送られるコマンドデータは、図４に示すように、全体としてＣＯＭ１乃至ＣＯＭ１２の１２個からなり、ＣＯＭ１乃至ＣＯＭ１２のそれぞれは、各１バイト（８ビット）の大きさであり、コマンドデータ全体では１２バイトである。

【００３３】

メイン制御部１からサブ制御部６へは、表４に示すように、全体として１２バイトの大きさをもつコマンドデータが、ＣＯＭ１～ＣＯＭ３、ＣＯＭ４～ＣＯＭ６、ＣＯＭ７～ＣＯＭ９、ＣＯＭ１０～ＣＯＭ１２の順序で３バイトずつ４回に分割されて転送される。

【００３４】

【表４】

転送順	１回目	２回目	３回目	４回目
ヘッダ	０Ｆ０	０Ｆ１	０Ｆ２	０Ｆ３
コマンド	ＣＭＤ１ ＣＭＤ２ ＣＭＤ３	ＣＭＤ４ ＣＭＤ５ ＣＭＤ６	ＣＭＤ７ ＣＭＤ８ ＣＭＤ９	ＣＭＤ１０ ＣＭＤ１１ ＣＭＤ１２

図５は、各回の転送フォーマットを示しており、１回に転送される転送データの大きさは４バイトである。各回の転送データの先頭部分１バイトには、例えば１回目、２回目…というように転送順序を示すヘッダが付与され、転送データの後ろ部分３バイトに各回に転送される分割されたコマンドデータの３バイトが付加される。なお、請求項１に記載のコマンドグループは、図５に示す各回の転送データに相当するもので、１つのコマンドグループはヘッダと３つのコマンドで構成されている。また、全体で１２バイトの大きさとなるコマンドデータは、４つのコマンドグループに分割される。

【００３５】

次に、各ＣＯＭ１乃至ＣＯＭ１２の内容について順次説明する。ＣＯＭ１の内容は表５に示す通りであるので詳細な説明は省略するが、表１に示すノーマルリーチは、大当たりが通常確率で発生するモードであり、スーパーリーチは、ノーマルリーチよりもやや高い確率で大当たりが発生するモードであり、スペシャルリーチは、スーパーリーチよりもさらに高い確率で大当たりが発生するモードである。ＣＯＭ１は、主として、パチンコ機の遊技状態を表すフラグ類やステータスデータである。

【００３６】

【表５】

ビット（7～0）					内　容
7	6	5	4	3～0	
0	0	0	0	1	電源投入時のテロップ表示
0	0	0	1	0	全図柄停止中
				1	図柄変動中
0	0	1	0	0	リーチ以外の変動
				1	リーチ時の変動（ノーマルリーチ時） （左，右特別図柄の点滅）
				2	リーチ時の変動（スーパーリーチ時） （左，右特別図柄の点滅、点滅速度は、 ノーマルリーチ時の１／２で中特別図柄はそのまま）
				3	リーチ時の変動（スペシャルリーチ時） （左，右特別図柄の点滅、点滅速度は、 スーパーリーチ時と同じ、中特別図柄はマスク表示）
0	1	0	0	0	大入賞口開放前のインターバル時
				1	未使用
				2	大入賞口開放時（特定領域通過後）
				3	大入賞口開放時（特定領域通過前）
				4	大入賞口閉鎖時（開放回数表示）
				5	大当たり動作終了時（テロップ表示）
1	0	0	0	0	カウント不正発生時

ＣＯＭ２は、７ビット～４ビットが大入賞口２３の開放回数を表す数値データであり、３ビット～０ビットが大入賞口２３への入賞個数を表す数値データである。

【００３７】

ＣＯＭ３は、７ビット～４ビットが普通図柄に関する記憶数を表す数値データであり、３ビット～０ビットが特別図柄に関する記憶数を表す数値データである。

【００３８】

ＣＯＭ４は、左特別図柄の図柄データ（０～１３）を表す数値データであり、ＣＯＭ５は、左特別図柄の表示位置データ（０～２９）を表す数値データである。また、ＣＯＭ６は、左普通図柄の停止データ（０～５）を表す数値データである。

【００３９】

ＣＯＭ７は、右特別図柄の図柄データ（０～１３）を表す数値データであり、ＣＯＭ８は、右特別図柄の表示位置データ（０～２９）を表す数値データである。また、ＣＯＭ９は、右普通図柄の停止データ（０～５）を表す数値データである。

【００４０】

ＣＯＭ１０は、中特別図柄の図柄データ（０～１４）を表す数値データであり、ＣＯＭ１１は、中特別図柄の表示位置データ（０～２９）を表す数値データである。

【００４１】

ＣＯＭ１２は、転送されたコマンドデータ全体を転送前のコマンドデータに対してチェックするデータチェックのためのチェックサムデータであり、ＣＯＭ１からＣＯＭ１１までを加算して得られる加算データである。

【００４２】

図６は、メイン制御部１からサブ制御部６へのコマンドデータの時分割による転送タイミングを示すタイミングチャートであり、３バイトずつ４分割された分割コマンドデータが２ｍｓ毎にメイン制御部１からサブ制御部６に転送される。

【００４３】

また、図７は、各回におけるメイン制御部１からサブ制御部６への分割コマンドデータの転送タイミングを示すタイミングチャートである。図１におけるメイン制御部１の動作に

ついて説明すると、まず、メインＣＰＵ２は、通信インタフェース５を介してサブＣＰＵ８に割込み信号を出力する。割込み信号がサブＣＰＵ８に入力されると、サブＣＰＵ８は、特別図柄表示部１７の表示駆動処理を一時中断し、メイン制御部１側からのコマンドデータの入力処理に移行する。

【００４４】

メインＣＰＵ２は、割込み信号と同時に、図７に示すように、ＣＥ信号（チップセレクト）をローレベルにすると共に、１回分の分割コマンドデータの転送を行う。即ち、図５に示すような転送データがヘッダ、ＣＯＭ１、ＣＯＭ２、ＣＯＭ３の順にシリアル転送され、このシリアル転送される分割コマンドデータと並行して、３０μｓの間隔をおいてヘッダに対応してＷＲ信号（書き込み信号）が２５μｓ間出力され、次いで３０μｓの間隔をおいて、ＣＯＭ１に対応してＷＲ信号が２５μｓ間出力され、再度３０μｓの間隔をおいて、ＣＯＭ２に対応してＷＲ信号が２５μｓ間出力され、さらに３０μｓの間隔をおいて、ＣＯＭ３に対応してＷＲ信号が２５μｓ間出力される。

【００４５】

図６に示すように、コマンドデータの時分割による転送タイミングは１ｍｓ（予め定められた長さの期間）毎に区切られている。最初の１ｍｓ間に１回目の分割コマンドデータの転送（２５０μｓ）が行われ、次の１ｍｓの間はコマンドデータの転送が行われないインターバル時間であり、１ｍｓ間のインターバル時間が経過した時点から１ｍｓ間に２回目の分割コマンドデータの転送（２５０μｓ）が行われる。このように、コマンドデータの転送を行う予め定められた長さの期間（請求項１に記載の第１の期間に相当する）とコマンドデータの転送を行わない予め定められた長さの期間であって、第１の期間と同じ長さの期間（請求項１に記載の第２の期間に相当する）とが交互に設けられ、４つに分割されたコマンドグループが４回に分けて転送される。

【００４６】

次に、ＲＯＭ３に格納された制御プログラムの一部である図８乃至図１３のフローチャートを参照してメイン制御部１におけるメインＣＰＵ２によるコマンドデータの分割転送処理について説明する。なお、メインＣＰＵ２は、図示しないパチンコ遊技に関する各処理と略並列的に分割転送処理を所定の処理周期で繰り返し行うものである。

【００４７】

メインＣＰＵ２は、分割転送処理を開始すると、まず、図６のタイミングチャートに記されたような分割転送処理の基本的周期となる１ｍｓの処理周期をセットする処理時間設定タイマＴｍの値が０であるか否かを判別する（ステップａ１）。なお、電源投入直後の初期化処理（図示を省略）により、処理時間設定タイマＴｍの値が０となっているので、メインＣＰＵ２は、ステップａ２に移行する。

【００４８】

ステップａ２に移行したメインＣＰＵ２は、次いで分割転送処理に関する処理フラグＦ１の値が未処理を規定する値０となっているか否かを判別する（ステップａ２）。前記と同様に、処理フラグＦ１の値も電源投入直後の初期化処理により０となっているので、メインＣＰＵ２は、ステップａ３に移行する。

【００４９】

メインＣＰＵ２は、ステップａ３に移行すると、まず、処理フラグＦ１に１をセットして分割転送処理の開始を記憶し（ステップａ３）、ステップａ４乃至ステップａ６の分割転送処理の新規開始初期条件セットのための処理に移行する。

【００５０】

ステップａ４において、メインＣＰＵ２は、図６に示すように、例えば、１回目、２回目…というように分割されたコマンドデータの転送回数をカウントする回数カウンタＣ１の値を０クリアし（ステップａ４）、次に、チェックサムの算出のために加算的に使用するチェックサムレジスタｃｈＲを０クリアし（ステップａ５）、次いで、各コマンド、即ち、ＣＯＭ１～ＣＯＭ１２のインデックスとして使用するインデックスレジスタｉに初期値１をセットし（ステップａ６）、ステップａ７乃至ステップａ１４の各回における初期条

件セットのための処理に移行する。
【００５１】
メインＣＰＵ２はステップａ７に移行すると、まず、初期条件設定識別フラグＦ２に１をセットして図７に示す各回のデータ転送における初期条件の設定の処理開始を記憶する。次いで、メインＣＰＵ２は、割込み信号出力フラグをセットし（ステップａ８）、ＣＥ信号出力フラグをセットし（ステップａ９）、ＷＲ信号出力フラグをクリアし（ステップａ１０）、ステップａ１１に移行する。
【００５２】
ステップａ１１においてメインＣＰＵ２は、図７に示すタイミングチャートに示すＷＲ信号の切り換えタイミング時間（３０μｓ並びに２５μｓ）が交互にセットされるＷＲ信号切り換えタイマＷＲＴにＷＲ信号のオフ時間である３０μｓをセットし（ステップａ１１）、ステップａ１２に移行する。
【００５３】
メインＣＰＵ２は、ステップａ１２に移行すると、大きさ１バイトの出力バッファＯＵＴに、今回分の転送する分割コマンドデータに対応するヘッダ（この場合には１回目を表す値）をセットし（ステップａ１２）、図７のタイミングチャートに示す２５０μｓの時間内における出力バッファＯＵＴにセットされるデータのセット回数をカウントするセット回数カウンタＣ２に初期値１をセットし（ステップａ１３）、図７のタイミングチャートにおける４回目に出力されるＷＲ信号のオン信号からオフ信号に切り換える時点でセットされる出力完了フラグをクリアし（ステップａ１４）、各回における初期条件セットのための処理を終えてステップａ１５に移行する。
【００５４】
ステップａ１５においては、出力処理が行われ、ステップａ８、ステップａ９、ステップａ１０及びステップａ１２でそれぞれセットした割込み信号、ＣＥ信号及びＷＲ信号のオフ信号と出力バッファＯＵＴの値がメインＣＰＵ２の出力ポート（図示を省略）から出力され、これらの制御信号並びに転送データは、通信インタフェース５を介してサブＣＰＵ８の入力ポート（図示を省略）に入力される。この結果、サブＣＰＵ８は、割込み信号が入力されることにより、図３の各表示手段に関する表示駆動処理を中断し、メインＣＰＵ２から転送されるデータの入力処理に移行することとなる。
【００５５】
ステップａ１５の処理後、メインＣＰＵ２は、ステップａ１６に移行し、タイマ減算処理を行う。タイマ減算処理においては、処理時間設定タイマＴｍ並びにＷＲ信号切り換えタイマＷＲＴの各値が０でない場合に限って各値が１つデクリメントされる。メインＣＰＵ２は、ステップａ１６の処理を終えると、今回周期の分割転送処理を終える。なお、メインＣＰＵ２は、この後パチンコ遊技に関する各処理へと移行する。
【００５６】
次周期の分割転送処理にあっては、処理時間設定タイマＴｍの値は０のままであり、処理フラグＦ１の値が１となっている結果、メインＣＰＵ２は、ステップａ１、ステップａ２の判別後ステップａ１７に移行し、初期条件設定識別フラグＦ２の値が０であるか否かを判別するが、前回周期のステップａ７の処理によって初期条件設定識別フラグＦ２に１がセットされている結果、メインＣＰＵ２は偽と判別し、ステップａ１８に移行する。
【００５７】
メインＣＰＵ２は、ステップａ１８に移行すると、割込み信号出力フラグをクリアし（ステップａ１８）、次いで、ステップａ１９に移行し、ＷＲ信号切り換えタイマＷＲＴの値が０であるか否かを判別し、ＷＲ信号切り換えタイマＷＲＴがセットされた直後であるため偽と判別し、ステップａ１５の出力処理を行うことにより割込み信号の出力をオフにし、ステップａ１６に移行してタイマ減算処理を行い、今回周期の分割転送処理を終える。
【００５８】
次周期以降の処理においては、メインＣＰＵ２は、ＷＲ信号切り換えタイマＷＲＴにセットされたＷＲ信号のオフ時間（３０μｓ）が経過するまでの間、ステップａ１、ステップ

ａ２、ステップａ１７、ステップａ１８、ステップａ１９およびステップａ１５の出力処理並びにステップａ１６のタイマ減算処理（以下、処理ループＡという）を処理周期で繰り返す。

【００５９】

そして、ＷＲ信号のオフ時間（３０μｓ）が経過すると、ＷＲ信号切り換えタイマＷＲＴの値が０となり、メインＣＰＵ２は、ステップａ１９を真と判別後、ステップａ２０に移行し、ＷＲ信号出力フラグがセットされているか否かを判別する。ＷＲ信号のオフ時間（３０μｓ）が経過した時点では、ステップａ１０によりＷＲ信号出力フラグがクリアされているため、メインＣＰＵ２はステップａ２１へ移行する。

【００６０】

次いで、メインＣＰＵ２は、出力完了フラグがセットされているか否かを判別するが（ステップａ２１）、ステップａ１４により出力完了フラグはクリアされているので偽と判別し、ステップａ２２に移行する。メインＣＰＵ２は、ＷＲ信号出力フラグをセットし（ステップａ２２）、次いで、ＷＲ信号切り換えタイマＷＲＴにＷＲ信号のオン時間（２５μｓ）をセットし（ステップａ２３）、ステップａ１５の出力処理並びにステップａ１６のタイマ減算処理を行い、今回周期の分割転送処理を終える。

【００６１】

ステップａ１５の出力処理が行われる結果、ヘッダに関するＷＲ信号がサブＣＰＵ８に入力され、サブＣＰＵ８はヘッダを読み込むこととなる。

【００６２】

次周期以降の処理においては、図７のタイミングチャートに示すように、メインＣＰＵ２は、ＷＲ信号のオン時間（２５μｓ）が経過するまでの間、前記処理ループＡを処理周期で繰り返す。

【００６３】

そして、ＷＲ信号のオン時間（２５μｓ）が経過すると、ＷＲ信号切り換えタイマＷＲＴの値が０となり、メインＣＰＵ２は、ステップａ１９の判別後、ステップａ２０に移行し、ＷＲ信号出力フラグがセットされているか否かを判別する。

【００６４】

ＷＲ信号のオン時間（２５μｓ）が経過した時点では、ステップａ２２によりＷＲ信号出力フラグがセットされているため、メインＣＰＵ２はステップａ２４へ移行し、ＷＲ信号出力フラグをクリアし（ステップａ２４）、次いで、ＷＲ信号切り換えタイマＷＲＴにＷＲ信号のオフ時間（３０μｓ）を再びセットし（ステップａ２５）、ステップａ２６に移行する。

【００６５】

メインＣＰＵ２は、ステップａ２６に移行すると、データのセット回数カウンタＣ２が４に達しているか否かを判別するが、セット回数カウンタＣ２の現在値が１のため偽と判別し（ステップａ２６）、次いで、ＣＯＭに関するインデックスレジスタｉの値が１１であるか否かを判別するが、インデックスレジスタｉの値が初期値１であるため偽と判別し（ステップａ２７）、ステップａ２８に移行する。

【００６６】

ステップａ２８においては、インデックスレジスタｉの現在値に応じたＣＯＭが出力バッファＯＵＴにセットされる。即ち、この場合であれば、インデックスレジスタｉの値が１であるので出力バッファＯＵＴにＣＯＭ（１）がセットされる（ステップａ２８）。次いでステップａ２９において、チェックサムレジスタｃｈＲにＣＯＭ（ｉ）の値を加算記憶する（ステップａ２９）。この場合であれば、チェックサムレジスタｃｈＲにＣＯＭ（１）の値が加算されて記憶される。

【００６７】

そして、メインＣＰＵ２は、インデックスレジスタｉの現在値を１つアップし（ステップａ３０）、ＣＯＭ（ｉ）を出力バッファＯＵＴにセットしたことに対応してセット回数カウンタＣ２の値（現在値１）を１つインクリメントし（ステップａ３１）、ステップａ１

５の出力処理並びにステップａ１６のタイマ減算処理を行い、今回周期の分割転送処理を終える。なお、ステップａ２４及びステップａ２８の処理が実行されると共にステップａ１５の出力処理が行われる結果、ＷＲ信号の出力がオフとなると同時に転送データの内容がヘッダからＣＯＭ１に切り換わる。

【００６８】

ここまでが、図７の各回におけるメイン制御部１からサブ制御部６への分割コマンドデータの転送タイミングにおける大きさ１バイトのデータ１個分に関する出力動作処理である。

【００６９】

次周期以降、メインＣＰＵ２は、ＷＲ信号切り換えタイマＷＲＴに交互にセットされるＷＲ信号のオフ時間とオン時間とに従って、上述した処理ループＡの処理と、ステップａ１及びステップａ２、ステップａ１７乃至ステップａ２０、ステップａ２１乃至ステップａ２３、ステップａ１５及びステップａ１６の各処理と、ステップａ１及びステップａ２、ステップａ１７乃至ステップａ２０、ステップａ２４乃至ステップａ２７、ステップａ２８乃至ステップａ３１、ステップａ１５及びステップａ１６の各処理とを順次繰り返し実行し、インデックスレジスタｉの値を歩進すると共に該値に従って、図７に示すように、ＣＯＭ（１）、ＣＯＭ（２）及びＣＯＭ（３）を順次出力し、各ＣＯＭをチェックサムレジスタｃｈＲに順次加算記憶していく。

従って、サブＣＰＵ８にはＣＯＭ（１）、ＣＯＭ（２）及びＣＯＭ（３）が順次を読み込まれることとなる。

【００７０】

そして、図７において、ＣＯＭ（３）に関する４回目のＷＲ信号の出力のオンをオフに切り換える時点では、メインＣＰＵ２は、図１０のステップａ２４により、ＷＲ信号出力フラグをクリアし（ステップａ２４）、ＷＲ信号切り換えタイマＷＲＴにＷＲ信号のオフ時間（３０μｓ）を再びセットし（ステップａ２５）、次いで、セット回数カウンタＣ２の現在値が４に達していることにより真と判別し（ステップａ２６）、ステップａ３２に移行し、出力バッファＯＵＴをクリアし（ステップａ３２）、出力完了フラグをセットし（ステップａ３３）、ステップａ１５の出力処理並びにステップａ１６のタイマ減算処理を行い、今回周期の分割転送処理を終える。なお、ステップａ１５の出力処理が行われる結果、ＷＲ信号の出力がオフとなり、データ出力がオフとなる。

【００７１】

そして、次周期以降、メインＣＰＵ２は、ＷＲ信号切り換えタイマＷＲＴにセットしたオフ時間が経過するまでの間、処理ループＡを繰り返し、ＷＲ信号のオフ時間（３０μｓ）が経過すると、メインＣＰＵ２は、ステップａ１９、ステップａ２０の判別後、ステップａ２１の判別処理において、出力完了フラグがセットされていることにより真と判別し、ステップａ３４に移行する。

【００７２】

メインＣＰＵ２は、ステップａ３４に移行すると、処理時間設定タイマＴｍに、図６に示す次の２回目の分割転送処理の開始迄のインターバル時間である１ｍｓをセットし（ステップａ３４）、ＣＥ信号出力フラグをクリアし（ステップａ３５）、回数カウンタＣ１の値を１つインクリメントし（ステップａ３６）、回数カウンタＣ１の値が４回に達したか否か、即ち、コマンドデータ全体の転送が終了したか否かを判別するが、１回目が終了した時点では、回数カウンタＣ１の値が１であるため偽と判別し、初期条件設定識別フラグＦ２を０クリアし（ステップａ３８）、ステップａ１５の出力処理並びにステップａ１６のタイマ減算処理を行い、今回周期の分割転送処理を終える。なお、ステップａ１５の出力処理が行われる結果、ＣＥ信号の出力がオフとなる。この時点で、図６のタイミングチャートにおける１回目のデータの分割転送処理が完了することとなる。

【００７３】

次周期以降の処理にあっては、処理フラグＦ１の値は１のままであり、処理時間設定タイマＴｍの値が０ではないので、メインＣＰＵ２は、ステップａ１の判別処理を偽と判別し

、ステップａ１６のタイマ減算処理のみを行い、分割転送処理を終える。

【００７４】

そして、セット時間（１ｍｓ）が経過すると、ステップａ１６のタイマ減算処理により処理時間設定タイマＴｍの値が０となるので、メインＣＰＵ２は、ステップａ１、ステップａ２の処理後、ステップａ１７に移行し、初期条件設定識別フラグＦ２が０クリアされている結果、ステップａ１７を真と判別してステップａ７に移行し、初期条件設定識別フラグＦ２に１をセットした後、ステップａ８乃至ステップａ１６を順次実行し、図６のタイミングチャートにおける２回目のデータの分割転送処理を開始するところとなる。なお、ステップａ１２においては、２回目の分割コマンドデータの転送に対応する値が出力バッファＯＵＴにセットされる。

【００７５】

メインＣＰＵ２は、この後、既述のアルゴリズムにより、図６のタイミングチャートにおける２回目以降４回目までのデータの分割転送処理を１ｍｓ毎に順次行うこととなる。

【００７６】

そして、４回目のデータの分割転送処理において、出力バッファＯＵＴにチェックサムデータとしての分割コマンドＣＯＭ（１２）をセットする時点では、インデックスレジスタｉの歩進値が１１となっている結果、メインＣＰＵ２はステップａ２７の判別処理を真と判別し、ステップａ３９に移行し、チェックサムレジスタｃｈＲに記憶されているＣＯＭ１～ＣＯＭ１１までの累積加算値を出力バッファＯＵＴにセットし（ステップａ３９）、ステップａ３０、ステップａ３１の処理後、ステップａ１５の出力処理並びにステップａ１６のタイマ減算処理を行い、該周期の分割転送処理を終える。

【００７７】

なお、ステップａ１５の出力処理が行われる結果、ＣＯＭ１～ＣＯＭ１１までのデータチェックのためのチェックサムがＣＯＭ（１２）として出力されてサブＣＰＵ８に入力される。また、サブＣＰＵ８は、チェックサムと受信したＣＯＭ１～ＣＯＭ１１まで値の累積加算値との一致不一致を判別することにより、コマンドデータ全体のデータチェックを行う。

【００７８】

またこの後、４回目のデータの分割転送処理におけるデータの分割転送処理が完了する時点では、ＣＥ信号出力フラグをクリアした後（ステップａ３５）、回数カウンタＣ１の値を１つインクリメントし（ステップａ３６）、回数カウンタＣ１の値が４回に達したか否かを判別し、即ち、コマンドデータ全体の転送が完了したか否かを判別し、４回目が終了した時点で回数カウンタＣ１の値が４であるため真と判別し、処理フラグＦ１の値を０クリアすることによりコマンドデータ全体の転送完了を記憶し（ステップａ４０）、初期条件設定識別フラグＦ２を０クリアし（ステップａ３８）、ステップａ１５の出力処理並びにステップａ１６のタイマ減算処理を行い、今回周期の分割転送処理を終える。なお、次周期以降の処理にあっては、新たに作成された次のコマンドデータが転送されることとなる。

【００７９】

次に、ＲＯＭ９に格納された制御プログラムの一部である図１４乃至図１７のフローチャートを参照してサブ制御部６におけるサブＣＰＵ８による分割コマンドデータの入力処理並びにデータチェック処理について説明する。

【００８０】

図１４は、ＲＯＭ９に格納された制御プログラムのメインルーチンの概略を示すフローチャートである。サブＣＰＵ８は、電源投入後、初期化処理を行い（ステップＢ１）、各処理に必要なフラグやレジスタ並びに記憶領域を初期化する。

【００８１】

サブＣＰＵ８は、初期化処理が終わると、図１に示すようなメイン制御部１からの割込み信号が入力されたか否かを判別し（ステップＢ２）、割込み信号が入力されていない場合には、各表示手段、即ち、図３に示す左，中，右特別図柄表示部１７ａ～１７ｃ、開放回

数表示ＬＥＤ３３、大入賞口入賞数表示ＬＥＤ３２、特別図柄記憶数表示ＬＥＤ２６、普通図柄記憶数表示ＬＥＤ２９及び左、右普通図柄表示部２７ａ，２７ｂに関するステップＢ３の各表示駆動処理を、確定コマンドデータ記憶エリアＫＣＯＭ（１）～ＫＣＯＭ（１１）に更新記憶されるメイン制御部１から転送されたコマンドデータＣＯＭ１～ＣＯＭ１１の内容に応じて略並列的に所定の処理周期で繰り返し行う。

【００８２】

一方、サブＣＰＵ８は、図１に示すように、メイン制御部１からの割込み信号が入力された場合には、各表示駆動処理を中断し、メイン制御部１から転送される分割コマンドデータを受信するためのステップＢ４のコマンド受信処理を行うものである。

【００８３】

以下、ステップＢ４のコマンド受信処理を図１５乃至図１７のフローチャートを参照して説明する。コマンド受信処理は、メイン制御部１からの割込み信号が入力された場合に開始される。まず、サブＣＰＵ８は、入力ポート（図示せず）の状態を読むことにより、ＣＥ信号及びＷＲ信号が入力されているか否かを判別することとなる。

【００８４】

ステップｂ１では、ＣＥ信号の入力があるか否かが判別される。ＣＥ信号は、割込み信号と同時にメインＣＰＵ２から出力されるため、ステップｂ１の判別処理は真と判別され、サブＣＰＵ８は、ステップｂ２に移行する。

【００８５】

ステップｂ２では、ＷＲ信号がオフ入力であるか否かが判別される。図７のタイミングチャートに示されるように、ＣＥ信号の出力時点では、ＷＲ信号はオフ出力となっているため、ステップｂ２の判別処理は真と判別され、サブＣＰＵ８はステップｂ３に移行する。

【００８６】

ステップｂ３においては、図７に示すようなＷＲ信号の立ち下がりが検出されたか否かが判別される。サブＣＰＵ８は、ＷＲ信号のオフ出力検出後、ＷＲ信号のオン出力があるか否かを繰り返し判別しており、ＷＲ信号の出力がオフからオンに転ずると、ステップｂ３の判別処理が真となってＷＲ信号の立ち下がりが検出されることとなり、サブＣＰＵ８は、ステップｂ４に移行する。

【００８７】

ステップｂ４においては、メインＣＰＵ２から出力された８ビットパラレルの出力データが、サブＣＰＵ８の入力ポートからＲＡＭ１０に設定された１バイトの大きさの入力バッファＩＮＤＡＴに読み込まれて格納される。すなわち、ＷＲ信号の立ち下がりを検出した時点で、メインＣＰＵ２から出力された出力データ（１バイト）がサブＣＰＵ８側に入力される。サブＣＰＵ８は、ステップｂ４の処理を行った後、ステップｂ５乃至ステップｂ８のヘッダ判別処理に移行する。

【００８８】

なお、割込み信号の入力によってコマンド受信処理が開始されてから、最初に入力されるメインＣＰＵ２からの出力データは、図５並びに図７に示すように、コマンドデータの分割転送における１回目を表すヘッダである。

【００８９】

まず、ステップｂ５においては、入力バッファＩＮＤＡＴに読み込んだデータが１回目のヘッダであるか否かが判別される。入力バッファＩＮＤＡＴに読み込んだデータが１回目のヘッダであれば、サブＣＰＵ８は、入力するコマンドデータ全体のエラーチェックを行うための各入力した分割コマンドデータを累積的に加算記憶するチェックサムレジスタＣＨＲを０クリアする（ステップｂ９）。

【００９０】

次に、サブＣＰＵ８は、図５に示す各入力する１２個の分割コマンドデータＣＯＭ１乃至ＣＯＭ１２に対応してＲＡＭ１０に設定されたＣＯＭ（１）～ＣＯＭ（１２）の各記憶エリアに、入力バッファＩＮＤＡＴに読み込んだデータを転送するために使用するインデックスレジスタｊに初期値１をセットする（ステップｂ１０）。

【００９１】
次いで、サブＣＰＵ８は、図６のタイミングチャートに示すように、例えば、１回目、２回目、…というように、受信処理を行う回数を計数する受信回数カウンタＣ３に１回目を規定する初期値１をセットし（ステップｂ１１）、各回における分割コマンドデータの読み込み回数をカウントするデータ入力カウンタＣ４を０セットし（ステップｂ１２）、１２個の分割コマンドデータＣＯＭ１乃至ＣＯＭ１２に対応するＣＯＭ（１）～ＣＯＭ（１２）の各記憶エリアを全てクリアし（ステップｂ１３）、ステップｂ２に戻り、ステップｂ２とステップｂ３のＷＲ信号の立ち下がりを検出する処理を行うこととなる。
【００９２】
図７に示すように、ＷＲ信号の出力は、２５μｓの間オン出力となっているため、サブＣＰＵ８は、ステップｂ２の判別処理を繰り返し偽と判別する。そして、ＷＲ信号の出力がオンからオフに転ずると、ステップｂ２の判別結果が真となり、サブＣＰＵ８は、ステップｂ３に移行する。また、ＷＲ信号の出力がオンからオフに転じた時点より３０μｓの間は、ＷＲ信号の出力はオフ出力であるため、サブＣＰＵ８は、ステップｂ３の判別処理を繰り返し偽と判別する。そして、ＷＲ信号の出力がオフからオンに転ずると、ステップｂ３の判別処理が真となってＷＲ信号の立ち下がりが検出され、サブＣＰＵ８は、ステップｂ４に移行し、再び、メインＣＰＵ２から出力された８ビットパラレルの出力データが、入力バッファＩＮＤＡＴに読み込まれる。
【００９３】
なお、１回目のヘッダを検出した時点から、最初に入力されるメインＣＰＵ２からの出力データは、図５並びに図７に示すように、分割コマンドデータのＣＯＭ１であるから、入力バッファＩＮＤＡＴにはＣＯＭ１が読み込まれることとなる。
【００９４】
サブＣＰＵ８は、ステップｂ４の処理を行った後、ステップｂ５に移行するが、入力バッファＩＮＤＡＴに読み込んだデータが１回目のヘッダではないので、偽と判別し、ステップｂ６に移行する。ステップｂ６においては、入力バッファＩＮＤＡＴに読み込んだデータが２回目のヘッダであるか否かが判別されるが、同様に偽と判別してステップｂ７に移行する。また、ステップｂ７においては、入力バッファＩＮＤＡＴに読み込んだデータが３回目のヘッダであるか否かが判別されるが、同様に偽と判別してステップｂ８に移行する。さらに、ステップｂ８においては、入力バッファＩＮＤＡＴに読み込んだデータが４回目のヘッダであるか否かが判別されるが、同様に偽と判別してステップｂ１４に移行する。即ち、入力バッファＩＮＤＡＴに読み込んだデータが分割コマンドデータである場合に、サブＣＰＵ８はステップｂ１４に移行する。
【００９５】
ステップｂ１４においては、入力バッファＩＮＤＡＴに読み込んだデータが、インデックスレジスタｊの値で指定されるデータ記憶エリアＣＯＭ（ｊ）に転送されて記憶される。例えば、この場合であれば、ｊ＝１であるので、入力バッファＩＮＤＡＴに読み込まれた分割コマンドデータＣＯＭ１が、データ記憶エリアＣＯＭ（１）に転送されて記憶される。
【００９６】
次いで、サブＣＰＵ８は、ステップｂ１５に移行し、インデックスレジスタｊの値を１つアップし（ステップｂ１５）、インデックスレジスタｊの値が１２に達しているか否かを判別する（ステップｂ１６）。４回目のヘッダを検出した時点から、３番目に、即ち、最後に入力されるメインＣＰＵ２からの出力データは、図５並びに図７に示すように、コマンドデータ全体のチェックサムデータであるから、ステップｂ１６の判別処理は、チェックサムデータを検出するための処理である。この時点では、インデックスレジスタｊの値は１２に達していないため、サブＣＰＵ８はステップｂ１６の判別処理後ステップｂ１７に移行する。
【００９７】
ステップｂ１７においては、チェックサムレジスタＣＨＲに記憶されている値に入力バッ

ファＩＮＤＡＴに読み込んだデータが累積加算して記憶される（ステップｂ１７）。例えば、この場合であれば、入力バッファＩＮＤＡＴに読み込まれた分割コマンドデータＣＯＭ１の値がチェックサムレジスタＣＨＲに記憶されている値０に加算され、加算結果がチェックサムレジスタＣＨＲに記憶される。

【００９８】

サブＣＰＵ８は、ステップｂ１７の処理後、データ入力カウンタＣ４の値を１つインクリメントし（ステップｂ１８）、データ入力カウンタＣ４の値が各回のデータ入力回数３に達しているか否かを判別する（ステップｂ１９）。

【００９９】

分割コマンドデータＣＯＭ１をデータ記憶エリアＣＯＭ（１）に記憶した時点では、データ入力カウンタＣ４の値は１となっていることにより、サブＣＰＵ８は、ステップｂ１９の判別処理を偽と判別し、ステップｂ２に戻る。

【０１００】

以下、サブＣＰＵ８は、前記と同様のアルゴリズムにより、ＷＲ信号の立ち下がりを検出すると、入力バッファＩＮＤＡＴにメインＣＰＵ２から出力された分割コマンドデータを読み込み、歩進されたインデックスレジスタｊの値で指定される記憶エリアＣＯＭｊに分割コマンドデータＣＯＭを記憶すると共に、入力した分割コマンドデータＣＯＭの値をチェックサムレジスタＣＨＲに累積加算していく。即ち、メインＣＰＵ２から出力されるＣＯＭ２乃至ＣＯＭ３の分割コマンドデータの各値をＣＯＭ（２）乃至ＣＯＭ（３）の各記憶エリアに順次記憶すると共に、ＣＯＭ２乃至ＣＯＭ３の分割コマンドデータの各値を順次チェックサムレジスタＣＨＲに累積加算する。

【０１０１】

そして、分割コマンドデータＣＯＭ３を記憶エリアＣＯＭ（３）に記憶し、分割コマンドデータＣＯＭ３をチェックサムレジスタＣＨＲに累積加算し、データ入力カウンタＣ４の値を１つインクリメントすると（ステップｂ１８）、データ入力カウンタＣ４の値が各回のデータ入力回数３に達し、サブＣＰＵ８は、ステップｂ１９の判別処理を真と判別し、ステップｃ１以降のデータチェック処理に移行することとなる。

【０１０２】

ステップｃ１においては、受信回数カウンタＣ３の値がコマンドデータ全体の受信回数４回に達しているか否かが判別される。ＣＯＭ１～ＣＯＭ３までの分割コマンドデータを受信した時点では、受信回数カウンタＣ３の値は１であるため、サブＣＰＵ８はステップｃ１の判別処理を偽と判別し、メインルーチンへリターンし、図１４のステップＢ３の各表示駆動処理へ移行する。このため、実質的なデータチェックのための処理は行われない。

【０１０３】

なお、ここまでが、図６のタイミングチャートにおける１回目の分割コマンドデータの転送に関するサブＣＰＵ８の受信処理である。この後、再度、メインＣＰＵ２からの割込み信号が入力されると、２回目の分割コマンドデータの転送に関するサブＣＰＵ８の受信処理が開始されることとなる。

【０１０４】

２回目の分割コマンドデータの転送に関するサブＣＰＵ８の受信処理において、最初に入力されるメインＣＰＵ２からの出力データは、図５並びに図７に示すように、コマンドデータの分割転送における２回目を表すヘッダである。

【０１０５】

入力バッファＩＮＤＡＴには２回目のヘッダが読み込まれることとなり、サブＣＰＵ８は、ステップｂ４の処理後、ステップｂ５の判別処理を偽と判別し、ステップｂ６の判別処理を真と判別し、ステップｂ２０に移行する。

【０１０６】

ステップｂ２０に移行したサブＣＰＵ８は、インデックスレジスタｊに２回目の分割コマンドデータの転送における初期値４をセットし（ステップｂ２０）、次いで、受信回数カウンタＣ３の値を１つインクリメントし（ステップｂ２１）、データ入力カウンタＣ４を

０セットし（ステップｂ２２）、ステップｂ２に戻る。

【０１０７】

以下、サブＣＰＵ８は、前記と同様のアルゴリズムにより、メインＣＰＵ２から出力されるＣＯＭ４乃至ＣＯＭ６の分割コマンドデータの各値をＣＯＭ（４）乃至ＣＯＭ（６）の各記憶エリアに順次記憶すると共に、ＣＯＭ４乃至ＣＯＭ６の分割コマンドデータの各値を順次チェックサムレジスタＣＨＲに累積加算し、２回目の分割コマンドデータの転送に関するコマンド受信処理を終えて、メインルーチンにリターンする。

【０１０８】

以下、同様に、メインＣＰＵ２からの割込み信号が入力される毎に、３回目並びに４回目の分割コマンドデータの転送に関するコマンド受信処理が開始されることとなる。

【０１０９】

なお、３回目の分割コマンドデータの転送に関するサブＣＰＵ８の受信処理において、最初に入力されるメインＣＰＵ２からの出力データは、図５並びに図７に示すように、コマンドデータの分割転送における３回目を表すヘッダである。入力バッファＩＮＤＡＴに３回目のヘッダが読み込まれると、サブＣＰＵ８は、ステップｂ５およびステップｂ６の判別後、ステップｂ７の判別処理を真と判別し、インデックスレジスタｊに３回目の分割コマンドデータの転送における初期値７をセットし（ステップｂ２３）、ステップｂ２１及びステップｂ２２の処理後、ステップｂ２に戻る。

【０１１０】

この後、前記と同様のアルゴリズムにより、ＣＯＭ７乃至ＣＯＭ９の分割コマンドデータの各値がＣＯＭ（７）乃至ＣＯＭ（９）の各記憶エリアに順次記憶されると共に、ＣＯＭ７乃至ＣＯＭ９の分割コマンドデータの各値が順次チェックサムレジスタＣＨＲに累積加算される。

【０１１１】

また、４回目の分割コマンドデータの転送に関するサブＣＰＵ８の受信処理において、入力バッファＩＮＤＡＴに４回目のヘッダが読み込まれると、サブＣＰＵ８は、ステップｂ５、ステップｂ６およびステップｂ７の判別後、ステップｂ８の判別処理を真と判別し、インデックスレジスタｊに４回目の分割コマンドデータの転送における初期値１０をセットし（ステップｂ２４）、ステップｂ２１及びステップｂ２２の処理後、ステップｂ２に戻る。

【０１１２】

この後、前記と同様のアルゴリズムにより、ＣＯＭ１０乃至ＣＯＭ１１の分割コマンドデータの各値がＣＯＭ（１０）乃至ＣＯＭ（１１）の各記憶エリアに順次記憶されると共に、ＣＯＭ１０乃至ＣＯＭ１１の分割コマンドデータの各値が順次チェックサムレジスタＣＨＲに累積加算される。そして、チェックサムデータであるＣＯＭ１２がＣＯＭ（１２）に記憶されると（ステップｂ１４）、ステップｂ１５の処理により、インデックスレジスタｊの値が１２に歩進され、ステップｂ１６の判別結果が真となり、サブＣＰＵ８は、ステップｂ１７の加算処理を経ることなくステップｂ１８に移行し、ステップｂ１９の判別処理を真と判別してステップｃ１に移行する。このため、チェックサムレジスタＣＨＲにはＣＯＭ１乃至ＣＯＭ１１の分割コマンドデータの各値が累積加算されて記憶されている。

【０１１３】

なお、図１６のフローチャートに示すように、１回目のヘッダを検出した時点で、受信回数カウンタＣ３に初期値１がセットされ、この後、各回のヘッダを検出する毎に、受信回数カウンタＣ３の値が１つ歩進されるので、４回目のヘッダを検出した時点では、受信回数カウンタＣ３の値は４に達している。

【０１１４】

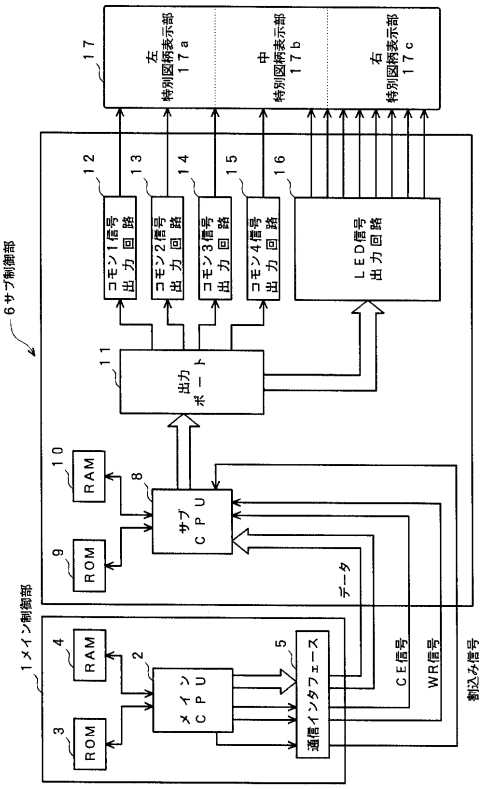
サブＣＰＵ８は、ステップｃ１の判別処理を真と判別してステップｃ２に移行し、チェックサムレジスタＣＨＲに記憶されているＣＯＭ１乃至ＣＯＭ１１の分割コマンドデータの累積加算値がＣＯＭ（１２）に記憶されているＣＯＭ１２の値に一致するか否かを判別す

る。
【０１１５】
ＣＯＭ１２は、転送前のコマンドデータ全体についてのデータチェック用として、メインＣＰＵ２が分割コマンドデータＣＯＭ１乃至ＣＯＭ１１の累積加算値として求めた値である。従って、図６のタイミングチャートに示すコマンドデータ全体のデータ転送が正常に行われた場合には、サブＣＰＵ８側のチェックサムレジスタＣＨＲに記憶されている累積加算値がＣＯＭ（１２）に記憶されているＣＯＭ１２の値に一致する。
【０１１６】
この場合には、サブＣＰＵ８は、ステップｃ２の判別後、ステップｃ３に移行し、各記憶エリアＣＯＭ（１）～ＣＯＭ（１１）に記憶されているメインＣＰＵ２側から転送されたＣＯＭ１～ＣＯＭ１１までの分割コマンドデータを、即ち、正常であると判定されたコマンドデータ全体を、確定コマンドデータ記憶エリアＫＣＯＭ（１）～ＫＣＯＭ（１１）に転送し（ステップｃ３）、メインルーチンへリターンする。なお、メインルーチンにおいては、新たに更新記憶された確定コマンドデータ記憶エリアＫＣＯＭ（１）～ＫＣＯＭ（１１）に格納されたコマンドデータの内容に基づいて各表示駆動処理が行われる。
【０１１７】
また、コマンドデータ全体のデータ転送が正常に行われなかった場合には、例えば、ノイズによる影響を受けて転送されたコマンドデータに雑音が混入するといった場合には、サブＣＰＵ８側のチェックサムレジスタＣＨＲに記憶されている累積加算値がＣＯＭ（１２）に記憶されているＣＯＭ１２の値に一致しない。
【０１１８】
この場合には、サブＣＰＵ８は、ステップｃ２の判別後、ステップｃ４に移行し、各記憶エリアＣＯＭ（１）～ＣＯＭ（１１）を全てクリアし（ステップｃ４）、メインルーチンへリターンする。このため、各記憶エリアＣＯＭ（１）～ＣＯＭ（１１）に記憶されているメインＣＰＵ２側から転送されたＣＯＭ１～ＣＯＭ１１までの異常が生じたと判定された分割コマンドデータは、破棄される。なお、メインルーチンにおいては、既に記憶されている確定コマンドデータ記憶エリアＫＣＯＭ（１）～ＫＣＯＭ（１１）に格納された前回のコマンドデータの内容に基づいて各表示駆動処理が行われる。このため、ノイズによる影響を受けて転送されたコマンドデータに雑音が混入するといった場合であっても、例えば、大当たりを成立させる乱数がメイン制御部において抽出されたにもかかわらず、図柄表示部において外れ図柄が表示されてしまうといった不具合が起こることはない。
【０１１９】
また、以上の説明から自明であるように、メインＣＰＵ２側から転送されるコマンドデータ全体がサブＣＰＵ８側に受信され、かつデータチェック処理により、正常と判定された場合に限って、受信したコマンドデータ全体を確定コマンドデータとし、各表示手段に関する各表示駆動処理を確定コマンドデータにより行うようにしているので、ノイズによる影響を受けて転送されたコマンドデータに雑音が混入するといった場合であっても、表示駆動処理は常に正常なコマンドデータに基づいて行われることとなる。
【０１２０】
また、メインＣＰＵ２側からサブＣＰＵ８側に対して転送するコマンドデータ全体を４分割し、各分割された分割コマンドデータを時分割よって転送するようにしたので、コマンドデータ全体を一遍に転送する場合に比べ、メインＣＰＵ２側からサブＣＰＵ８側に対するデータ転送のための接続時間が１／４づつに区切られることにより短いので、ノイズによる影響を受けにくく、コマンドデータ全体をより確実に転送することができる。
【０１２１】
また、図柄表示装置７の表示駆動時間が長い場合であっても、１回のデータ転送に要する時間が短いので、サブＣＰＵ８側の表示駆動処理に要する処理時間がメインＣＰＵ２側のデータ出力タイミングの処理サイクルより長くなったりするといったことを回避することができ、これにより送受信のタイミングのズレが防止されることとなり、図柄表示部上にチラツキが発生したり、表示に歪みを生じたりするといった諸問題が解消される。

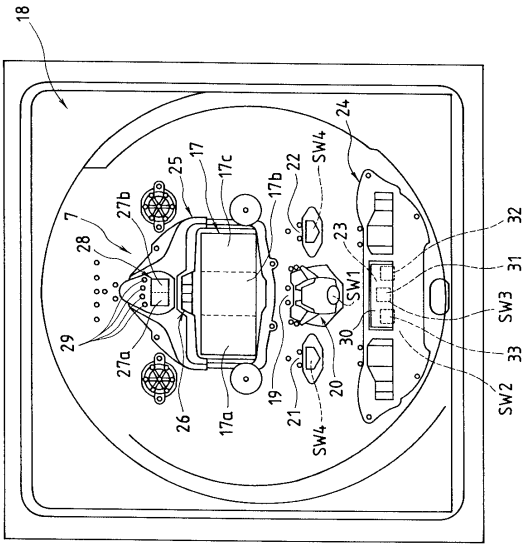
【０１２２】
【発明の効果】
請求項１に記載の構成によれば、コマンドデータ全体を一遍に転送する場合に比べ、メイン制御部側からサブ制御部側に対するデータ転送のための接続時間が時分割によって複数回づつに区切られることにより、１回のデータ転送に要する時間が短いので、図柄表示装置の表示駆動時間が長い場合であっても、サブ制御部側の表示駆動処理に要する処理時間がメイン制御部側のデータ出力タイミングの処理サイクルより長くなったりするといったことを回避することができ、これにより送受信のタイミングのズレが防止されることとなり、図柄表示部上にチラツキが発生したり、表示に歪みを生じたりするといった諸問題が解消される。
【０１２３】
また、１回のデータ転送に要する時間が短いので、ノイズによる影響を受けにくく、コマンドデータ全体をより確実に転送することができる。
【０１２４】
さらに、転送されたコマンドデータを転送前のコマンドデータに対してチェックすることにより、正常と判定された場合に限って、受信したコマンドデータ全体を確定コマンドデータとし、ノイズによる影響を受け、転送されたコマンドデータに雑音が混入するといった場合には、異常データとして破棄されるため、表示駆動処理は常に正常なコマンドデータに基づいて行われることとなり、大当たりを成立させる乱数がメイン制御部において抽出されたにもかかわらず、図柄表示部において外れ図柄が表示されてしまうといった不具合を回避することができる。
【図面の簡単な説明】
【図１】本発明の実施例に係るパチンコ機におけるデータ伝送装置の一部を示す要部ブロック図
【図２】実施例のパチンコ機に配備された遊技盤の概略正面図
【図３】サブ制御部における各表示手段の接続を示すブロック図
【図４】メイン制御部からサブ制御部へ送られるコマンドデータの構成を示す図
【図５】各回におけるメイン制御部からサブ制御部へ送られる転送データの構成を示す図
【図６】メイン制御部からサブ制御部へのコマンドデータの時分割による転送タイミングを示すタイミングチャート
【図７】各回におけるメイン制御部からサブ制御部への分割コマンドデータの転送タイミングを示すタイミングチャート
【図８】メイン制御部におけるメインＣＰＵが行うデータ分割転送処理の一部を示すフローチャート
【図９】図８のフローチャートのつづき
【図１０】図８のフローチャートのつづき
【図１１】図１０のフローチャートのつづき
【図１２】図１１のフローチャートのつづき
【図１３】図１０のフローチャートのつづき
【図１４】サブ制御部におけるサブＣＰＵが実行するメインルーチンを概略で示すフローチャート
【図１５】サブ制御部におけるサブＣＰＵが実行するコマンド受信処理の一部を示すフローチャート
【図１６】図１５のフローチャートのつづき
【図１７】図１６のフローチャートのつづき
【図１８】従来のメイン制御部からサブ制御部へのコマンドデータの転送を示すタイミングチャート
【符号の説明】
１　メイン制御部
２　メインＣＰＵ

３　ＲＯＭ
４　ＲＡＭ
５　通信インタフェース
６　サブ制御部
７　図柄表示装置
８　サブＣＰＵ
９　ＲＯＭ
１０　ＲＡＭ
１１　出力ポート
１２　コモン１出力回路
１３　コモン２出力回路
１４　コモン３出力回路
１５　コモン４出力回路
１６　ＬＥＤ信号出力回路
１７　特別図柄表示部
１７ａ　左特別図柄表示部
１７ｂ　中特別図柄表示部
１７ｃ　右特別図柄表示部
１８　遊技盤
１９　始動口
２０　普通電動役物
２１　ゲート
２２　ゲート
２３　大入賞口
２４　入賞装置ユニット
２５　表示装置本体
２６　特別図柄記憶数表示ＬＥＤ
２７ａ　左普通図柄表示部
２７ｂ　右普通図柄表示部
２８　普通図柄表示器
２９　普通図柄記憶数表示ＬＥＤ
３０　可動扉
３１　特定領域
３２　大入賞口入賞数表示ＬＥＤ
３３　開放回数表示ＬＥＤ
３４　表示駆動回路
３５　表示駆動回路
３６　表示駆動回路
３７　表示駆動回路
３８　表示駆動回路
３９　表示駆動回路

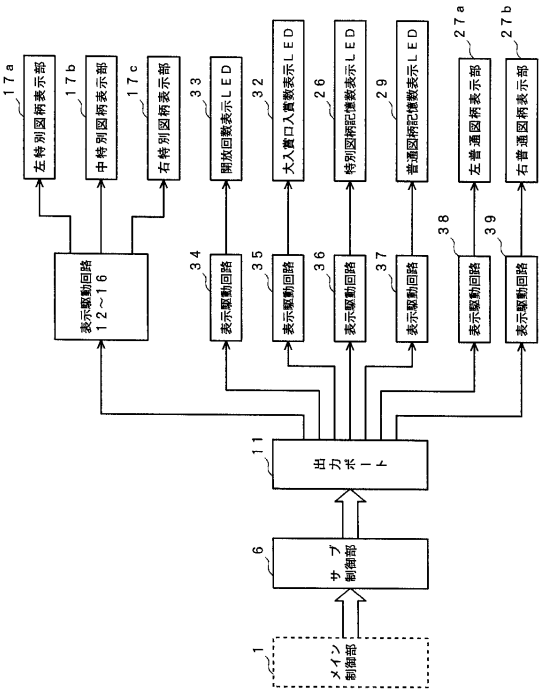
【図１】



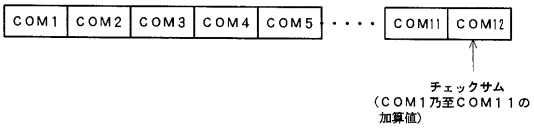
【図２】



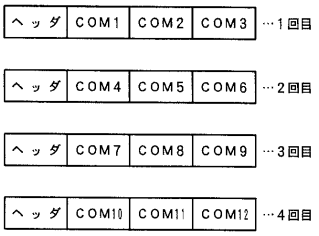
【図３】



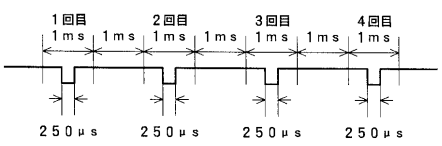
【図４】



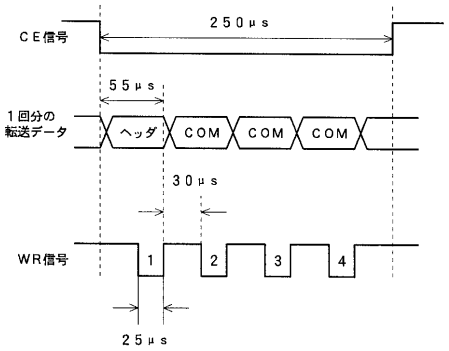
【図５】



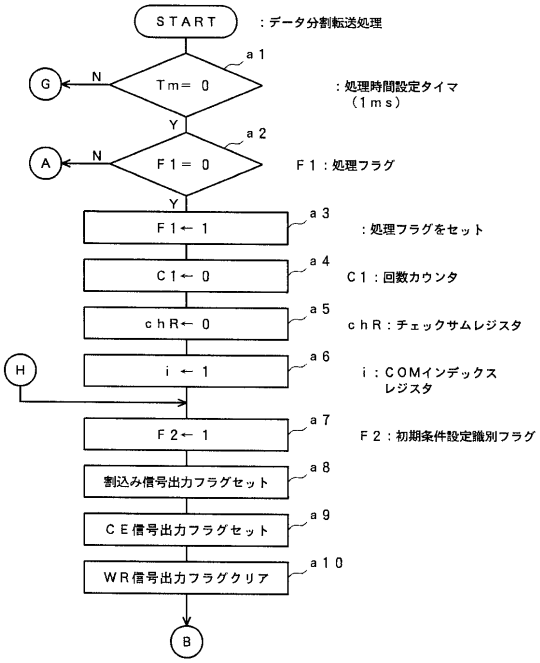
【図６】



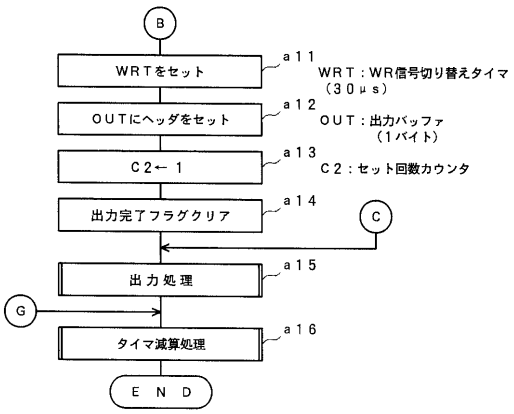
【図７】


CE信号
250μs
55μs
1回分の
転送データ
ヘッダ
COM
COM
COM
30μs
WR信号
1
2
3
4
25μs

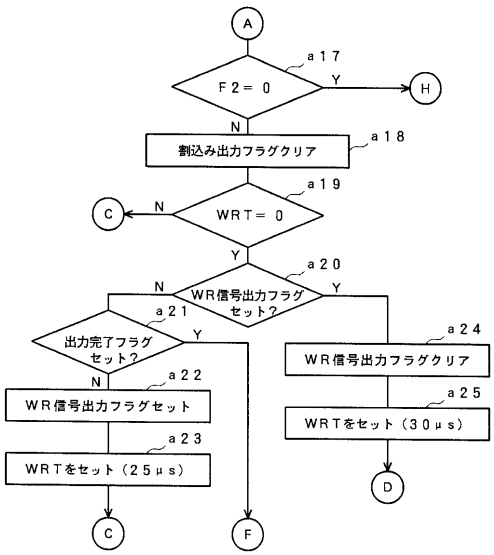
【図８】


START
：データ分割転送処理
a1
Tm= 0
：処理時間設定タイマ
（1ms）
G
N
Y
a2
F1= 0
F1：処理フラグ
A
N
Y
a3
F1← 1
：処理フラグをセット
a4
C1← 0
C1：回数カウンタ
a5
chR← 0
chR：チェックサムレジスタ
H
a6
i ← 1
i：COMインデックス
レジスタ
a7
F2← 1
F2：初期条件設定識別フラグ
a8
割込み信号出力フラグセット
a9
CE信号出力フラグセット
a10
WR信号出力フラグクリア
B

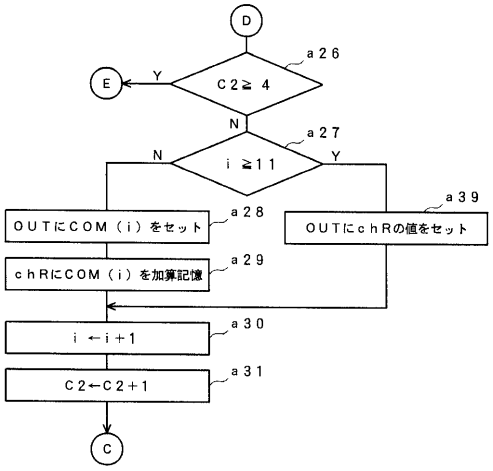
【図９】


B
a11
WRTをセット
WRT：WR信号切り替えタイマ
（30μs）
a12
OUTにヘッダをセット
OUT：出力バッファ
（1バイト）
a13
C2← 1
C2：セット回数カウンタ
a14
出力完了フラグクリア
C
a15
出力処理
G
a16
タイマ減算処理
END

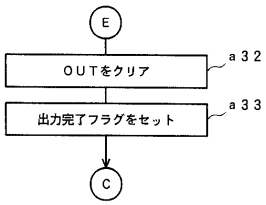
【図１０】


A
a17
F2= 0
Y
H
N
a18
割込み出力フラグクリア
a19
C
N
WRT= 0
Y
a20
N
WR信号出力フラグ
セット?
Y
a21
出力完了フラグ
セット?
Y
a24
WR信号出力フラグクリア
N
a22
WR信号出力フラグセット
a25
WRTをセット（30μs）
a23
WRTをセット（25μs）
D
C
F

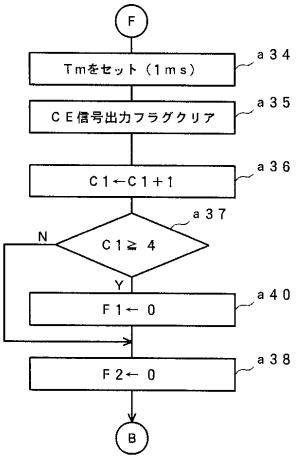
【図１１】



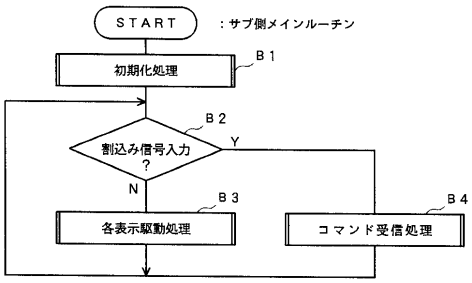
【図１２】



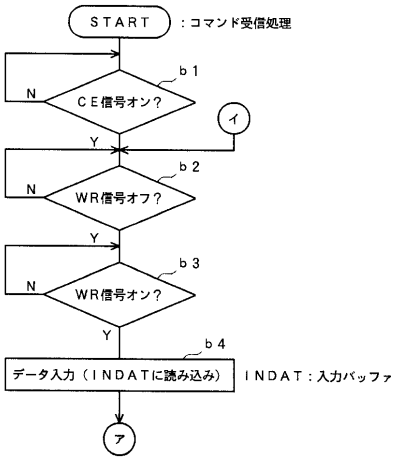
【図１３】



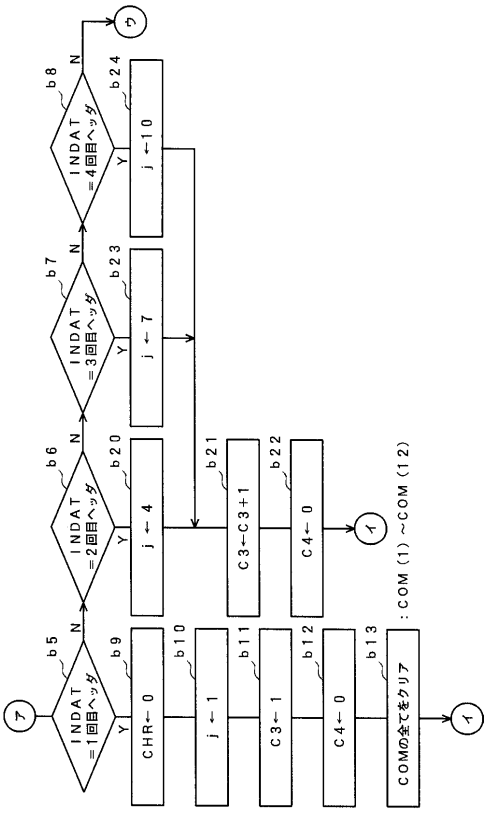
【図１４】



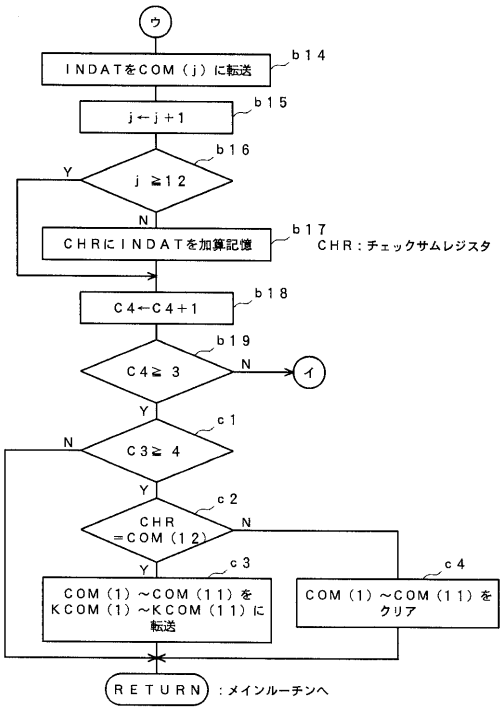
【図１５】



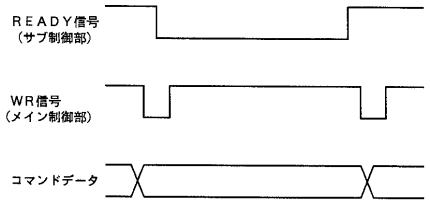
【図１６】



【図１７】


ウ
INDATをCOM（j）に転送
b14
j←j＋1
b15
j ≧12
b16
Y
N
CHRにINDATを加算記憶
b17
CHR：チェックサムレジスタ
C4←C4＋1
b18
C4≧ 3
b19
N
イ
Y
C3≧ 4
c1
N
Y
CHR
=COM（12）
c2
N
Y
COM（1）～COM（11）を
KCOM（1）～KCOM（11）に
転送
c3
COM（1）～COM（11）を
クリア
c4
RETURN
：メインルーチンへ

【図１８】


READY信号
（サブ制御部）
WR信号
（メイン制御部）
コマンドデータ

フロントページの続き

(72)発明者　市原　高明
愛知県西春日井郡西春町大字沖村字西ノ川１番地　株式会社大一商会　内
(72)発明者　堀井　渉
愛知県西春日井郡西春町大字沖村字西ノ川１番地　株式会社大一商会　内

審査官　西村　仁志

(56)参考文献　特開平０５－３０５１７３（ＪＰ，Ａ）
特開平０５－２９３２４５（ＪＰ，Ａ）
特開平０６－２７７３４５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
A63F 7/02