

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

O P I S P A T E N T O W Y 100271

Patent dodatkowy
do patentu _____

Zgłoszono: 18.08.76 (P. 191891)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 20.06.77

Opis patentowy opublikowano: 31.12.1980

Int. Cl.² G06F 7/00

CZYTELNIA

Urzedu Patentowego
P. O. Box 1000 01-001 Warszawa

Twórca wynalazku: Jerzy Kawecki

Uprawniony z patentu : Przemysłowy Instytut Automatyki
i Pomiarów „MERA-PIAP”,
Warszawa (Polska)

Elektroniczne urządzenie logiczne

Przedmiotem wynalazku jest elektroniczne urządzenie logiczne stanowiące podstawową część programowego procesora logicznego, lub współpracujące z komputerem cyfrowym i przeznaczone do realizacji ciągów wnioskowań, oraz operacji wnioskowania na bitach.

Dotychczas znane procesory, stanowiące główny element części centralnych komputerów cyfrowych i realizujące różne operacje, mają niewielkie możliwości wykonywania operacji logicznych. Sprowadzają się one do takich operacji logicznych, wykonywanych na bitach, jak: alternatywa, koniunkcja, negacja, różnica symetryczna, itp. Główny element budowanych obecnie procesorów stanowi arytmometr, którego budowa określa w dużej mierze zbiór operacji realizowanych przez komputer.

W przypadku wykorzystywania komputerów, na przykład, do logicznej analizy sytuacji, diagnostyki logicznej, logicznej analizy informacji czy budowy inteligentnych automatów, tak zwanych robotów, konieczne jest programowanie złożonych algorytmów logicznych, a zwłaszcza ciągów wnioskowań. Jednak ze względu na ograniczone możliwości logiczne obecnie budowanych komputerów cyfrowych, programy realizujące złożone algorytmy logiczne cechuje znaczna zajętość pamięci. Istotne jest również to, że bardzo znacznie spada efektywna szybkość działania komputera cyfrowego realizującego ciągi wnioskowań.

Celem wynalazku jest usunięcie podanych niedogodności przez opracowanie urządzenia logicznego stanowiącego część główną procesora logicznego, albo współpracującego z komputerem cyfrowym, które realizuje ciągi wnioskowań, oraz operacje wnioskowania na bitach. Cel ten osiągnięto przez zastosowanie w elektronicznym urządzeniu logicznym realizującym ciągi wnioskowań, oraz operacje wnioskowania na bitach, określonej liczby układów logicznych, które połączone są szeregowo z układami wybierającymi, oraz rejestrem wartości logicznych wniosków, rejestrem jednoznaczności wniosków i rejestrem sensowności wniosków. Wyjście kolejnego układu logicznego połączone jest z wejściami informacyjnymi odpowiednich układów wybierających, natomiast wejścia układu logicznego połączone są z wyjściami odpowiednich układów wybierających. Ponadto wyjścia układów logicznych połączone są z odpowiednimi pozycjami rejestru wartości logicznych wniosków, oraz rejestru jednoznaczności wniosków i rejestru sensowności wniosków. Każdy układ logiczny urządzenia stanowi szeregowo połączenie zespołu logicznego z zespołem układów wybierających wartość logiczną

wniosek, oraz jednoznaczność wniosków i sensowność wniosków. Odpowiednie wyjścia zespołu logicznego połączone są z wejściami informacyjnymi układu wybierającego wartość logiczną wniosków, oraz z wejściami informacyjnymi układu wybierającego jednoznaczność wniosków i wejściami informacyjnymi układu wybierającego sensowność wniosków.

Natomiast wejścia adresowe układu wybierającego wartość logiczną wniosku oraz układu wybierającego jednoznaczność wniosku i układu wybierającego sensowność wniosku, połączone są ze sobą oraz połączone są z wejściem sterującym układu logicznego. Na wyjściach zespołu logicznego wytwarzane są sygnały logiczne, przy czym zespół ten zawiera pięć bramek i siedem negatorów odpowiednio połączonych ze sobą. Odpowiednie wejścia układu logicznego połączone są z odpowiednimi wyjściami zespołu logicznego, oraz połączone są z odpowiednimi negatorami i bramkami. Ponadto połączone są wzajemnie pomiędzy sobą odpowiednie bramki i negatory zespołu logicznego, oraz połączone są odpowiednie negatory i bramki z odpowiednimi wyjściami zespołu logicznego. Do jednego z wyjść zespołu logicznego doprowadzony jest sygnał o wartości logicznej równej zero, a do drugiego wyjścia tego zespołu doprowadzony jest sygnał o wartości logicznej równej jeden.

Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy elektronicznego urządzenia logicznego, a fig. 2 – schemat ideowy układu logicznego wchodzącego w skład poszczególnych stopni urządzenia.

Elektroniczne urządzenie logiczne zbudowane jest z następujących układów i rejestrów odpowiednio połączonych: układy logiczne UL1, UL2, UL3, UL4, układy wybierające czyli multiplexery M1.1, M1.2, M1.3, M1.4, M2.1, M2.2, M2.3, M2.4, rejestr wartości logicznych wniosków RW, rejestr jednoznaczności wniosków RJ oraz rejestr sensowności wniosków RS.

Do wejść informacyjnych WEO układów wybierających M1.1 i M2.1 doprowadzone są sygnały, których wartości logiczne odpowiadają wartościom logicznym przesłanek P1.1 i P2.1. Wejścia informacyjne WE2 tych układów wybierających są połączone z wyjściem W układu logicznego UL2, natomiast wejścia informacyjne WE3 tych układów wybierających są połączone z wyjściem W układu logicznego UL3, a wyjścia informacyjne WE4 tych układów wybierających są połączone z wyjściem W układu logicznego UL4. Do wejść adresowych WEA układów wybierających M1.1 i M2.1 doprowadzone są odpowiednio sygnały n1.1 i n2.1, których wartości określają numery wejść przyłączanych do wyjść WY tych układów wybierających. Wyjście WY układu wybierającego M1.1 jest połączone z wejściem WE1 układu logicznego UL1, a wyjście WY układu wybierającego M2.1 jest połączone z wejściem WE2 układu logicznego UL1. Do wejścia sterującego WES pierwszego układu logicznego UL1 doprowadzony jest sygnał nF1 którego wartość określa rodzaj operacji wnioskowania realizowanej przez pierwszy układ logiczny UL1. Wyjście W układu logicznego UL1 połączone jest z wejściami WE1 układów wybierających M1.2, M1.3, M1.4, M2.2, M2.3, M2.4 oraz pozycją 1 rejestru wartości logicznych wniosków RW. Wyjście J układu logicznego UL1 połączone jest z pozycją 1 rejestru jednoznaczności wniosków RJ, a wyjście S układu logicznego UL1 połączone jest z pozycją 1 rejestru sensowności wniosków RS.

Do wejść informacyjnych WEO układów wybierających M1.2 i M2.2 doprowadzone są odpowiednio sygnały, których wartości logiczne odpowiadają wartościom logicznym przesłanek P1.2 i P2.2.

Do wejść adresowych WEA układów wybierających M1.2 i M2.2 doprowadzone są odpowiednio sygnały n1.2 i n2.2, których wartości określają numery wejść przyłączanych do wyjść WY tych układów wybierających. Wyjście WY układu wybierającego M1.2 przyłączone jest do wejścia WE1 drugiego układu logicznego UL2, a wyjście WY układu wybierającego M2.2 przyłączone jest do wejścia WE2 drugiego układu logicznego UL2. Wyjście W układu logicznego UL2 połączone jest z wejściami WE2 układów wybierających M1.1, M1.3, M1.4, M2.1, M2.3, M2.4, oraz z pozycją 2 rejestru wartości logicznych wniosków RW. Wyjście J układu logicznego UL2 połączone jest z pozycją 2 rejestru jednoznaczności wniosków RJ, a wyjście S układu logicznego UL2 połączone jest z pozycją 2 rejestru sensowności wniosków RS. Do wejść informacyjnych WEO układów wybierających M1.3 i M2.3 doprowadzone są odpowiednio sygnały, których wartości logiczne odpowiadają wartościom logicznym przesłanek P1.3 i P2.3.

Do wejść adresowych WEA układów wybierających M1.3 i M2.3 doprowadzone są odpowiednio sygnały n1.3 i n2.3, których wartości określają numery wejść przyłączanych do wyjść WY tych układów wybierających. Wyjście WY układu wybierającego M1.3 przyłączone jest do wejścia WE1 trzeciego układu logicznego UL3, a wyjście WY układu wybierającego M2.3 przyłączone jest do wejścia WE2 trzeciego układu logicznego UL3. Do wejścia sterującego WES układu logicznego UL3 doprowadzony jest sygnał nF3 którego wartość określa rodzaj operacji wnioskowania realizowanej przez układ logiczny UL3. Wyjście W układu logicznego UL3 połączone jest z wejściami informacyjnymi WE3 układów wybierających M1.1, M1.2, M1.4, M2.1, M2.2, M2.4 oraz z pozycją 3 rejestru wartości logicznych wniosków RW. Wyjście J układu logicznego UL3 jest połączone z pozycją 3 rejestru jednoznaczności wniosków RJ, a wyjście S układu logicznego UL3 połączone jest z pozycją 3 rejestru

sensowności wniosków RS.

Do wejść WEO układów wybierających M1.4 i M2.4 doprowadzone są odpowiednio sygnały, których wartości odpowiadają wartościom logicznym przesłanek P1.4 i P2.4. Do wejść adresowych układów wybierających M1.4 i M2.4 doprowadzone są odpowiednio sygnały n1.4 i n2.4, których wartości określają numery wejść przyłączanych do wyjść WY tych układów wybierających. Wyjście WY układu wybierającego M1.4 przyłączone jest do wejścia WE1 czwartego układu logicznego UL4, a wyjście WY układu wybierającego M2.4 jest przyłączone do wejścia WE2 czwartego układu logicznego UL4. Do wejścia sterującego WES układu logicznego UL4 doprowadzony jest sygnał nF4, którego wartość określa rodzaj operacji wnioskowania realizowanej przez układ logiczny UL4. Wyjście WY układu logicznego UL4 połączone jest z wejściami informacyjnymi WE4 układów wybierających M1.1, M1.2, M1.3, M2.1, M2.2, M2.3, oraz z pozycją 4 rejestru wartości logicznych wniosków RW. Wyjście J układu logicznego UL4 połączone jest z pozycją 4 rejestru jednoznaczności wniosków RJ, a wyjście S układu logicznego UL4 połączone jest z pozycją 4 rejestru sensowności wniosków RS.

Układ logiczny UL którego schemat ideowy przedstawia fig. 2 zawiera: dwa wejścia WE1 i WE2 dla sygnałów informacyjnych których wartości logiczne odpowiadają wartościom logicznym przesłanek wnioskowania, wyjście W sygnału którego wartości logiczne odpowiadają wartościom logicznym wniosków, wyjście J sygnału którego wartości logiczne odpowiadają wartościom logicznym jednoznaczności wniosku, wyjście S sygnału którego wartości logiczne odpowiadają wartościom logicznym sensowności wniosku czyli niesprzeczności przesłanek wnioskowania oraz wejście sterujące WES dla sygnału sterującego nF, którego wartość określa rodzaj operacji wnioskowania realizowanej przez układ logiczny UL. Układ logiczny UL składa się z zespołu logicznego ZL i zespołu układów wybierających MW, MJ, MS, połączonych ze sobą w sposób opisany poniżej.

Wejście WE1 układu logicznego UL połączone jest z wejściami negatorów 6 i 11, wejściami bramek 1 i 5, wejściami informacyjnymi WEJ2 i WEJ10 układu wybierającego MW i wejściami informacyjnymi WEJ2, WEJ6, WEJ10 i WEJ12 układu wybierającego MJ. Natomiast wejście WE2 układu logicznego UL połączone jest z wejściami negatorów 7 i 12, wejściami bramek 1 i 3, wejściem informacyjnym WEJ14 układu wybierającego MW oraz wejściem informacyjnym WEJ14 układu wybierającego MJ. Wyjście negatora 6 połączone jest z wejściami informacyjnymi WEJ7 i WEJ15 układu wybierającego MW oraz wejściami informacyjnymi WEJ1, WEJ7, WEJ9 i WEJ13 układu wybierającego MJ. Wyjście negatora 7 połączone jest z wejściem informacyjnym WEJ8 układu wybierającego MW oraz wejściami informacyjnymi WEJ3, WEJ8 i WEJ11 układu wybierającego MJ. Wyjście bramki 1 połączone jest z wejściem negatora 8 oraz z jednym z wejść bramki 2. Wyjście negatora 8 połączone jest z wejściami informacyjnymi WEJ6 i WEJ12 układu wybierającego MW. Wyjście negatora 11 przyłączone jest do jednego z wejść bramki 3 oraz bramki 4, a wyjście negatora 12 jest przyłączone do jednego z wejść bramki 5, oraz bramki 4. Wyjście bramki 4 połączone jest z jednym z wejść bramki 2 oraz z wejściem negatora 9 i wejściem informacyjnym WEJ6 układu wybierającego MS. Wyjście bramki 2 połączone jest z wejściem informacyjnym WEJ4 układu wybierającego MW. Wyjście bramki 3 połączone jest z wejściem negatora 10 oraz z wejściem informacyjnym WEJ12 układu wybierającego MS. Wyjście negatora 10 połączone jest z wejściem informacyjnym WEJ1 układu wybierającego MW. Wyjście bramki 5 połączone jest z wejściami informacyjnymi WEJ1 i WEJ9 układu wybierającego MS. Do wejść informacyjnych WEJ3, WEJ5, WEJ11 i WEJ13 układu wybierającego MW, oraz do wejścia informacyjnego WEJ5 układu wybierającego MJ doprowadzony jest sygnał o wartości logicznej równej zero, a do wejść informacyjnych WEJ4 i WEJ15 układu wybierającego MJ, oraz do wejść informacyjnych WEJ2, WEJ3, WEJ4, WEJ5, WEJ7, WEJ8, WEJ10, WEJ11, WEJ13, WEJ14 i WEJ15 układu wybierającego MS doprowadzony jest sygnał o wartości logicznej równej jeden. Do wejść adresowych WEA układów wybierających MW, MJ i MS doprowadzony jest sygnał nF, którego wartość określa rodzaj operacji wnioskowania realizowanej przez układ logiczny UL. Wyjście WY układu wybierającego MW jest wyjściem W sygnału wniosku układu logicznego UL. Wyjście WY układu wybierającego MJ jest wyjściem J sygnału jednoznaczności wniosku układu logicznego UL. Wyjście WY układu wybierającego MS jest wyjściem S sygnału sensowności wniosku układu logicznego UL.

Urządzenie według wynalazku działa w następujący sposób. Przed rozpoczęciem działania urządzenia do jego wejść doprowadza się: sygnały P1.1, P1.2, P1.3, P1.4, P2.1, P2.2, P2.3, P2.4 odpowiadające wartościom logicznym przesłanek wnioskowania, oraz sygnały nF1, nF2, nF3, nF4, których wartości określają rodzaje operacji wnioskowania realizowanych przez układy logiczne UL1, UL2, UL3, UL4 i sygnały n1.1, n1.2, n1.3, n1.4, n2.1, n2.2, n2.3, n2.4, których wartości określają numery wejść układów wybierających M1.1, M1.2, M1.3, M1.4, M2.1, M2.2, M2.3, M2.4, które są przyłączane do ich wyjść WY. Następnie pierwszy układ logiczny UL1 realizuje operację wnioskowania określoną przez wartość sygnału nF1 której argumentami są wartości logiczne sygnałów doprowadzonych do jego wejść WE1 i WE2 z wyjść WY układów wybierających M1.1 i M2.1. Wyniki operacji wnioskowania wykonanej przez układ logiczny UL1 pojawiają się w postaci sygnałów na wyjściach W, J,

S układu logicznego UL1. Wartość sygnału wniosku jest zapisywana na pozycji 1 rejestru wartości logicznych wniosków RW oraz pojawia się na wejściach informacyjnych WEJ układów wybierających M1.2, M2.2, M1.3, M2.3, M1.4 i M2.4. Wartość sygnału jednoznaczności wniosku jest zapisywana na pozycji 1 rejestru jednoznaczności wniosków RJ, a wartość sygnału sensowności wniosku jest zapisywana na pozycji 1 rejestru sensowności wniosków RS. Układy wybierające M1.2 i M2.2 wybierają zgodnie z wartościami sygnałów n1.2 i n2.2 podawanych na ich wejścia adresowe WEA jeden z sygnałów doprowadzonych do ich wejść informacyjnych WEJ. Sygnały odpowiadające wartościom logicznym wybranych sygnałów pojawiają się na wyjściach WY układów wybierających M1.2 i M2.2.

Drugi układ logiczny UL2 realizuje operację wnioskowania określoną przez wartość sygnału nF2, której argumentami są wartości logiczne sygnałów doprowadzonych do jego wejść WE1 i WE2 z wyjść WY układów wybierających M1.2 i M2.2. Wyniki operacji wnioskowania pojawiają się w postaci sygnałów na wyjściach W, J, S układu logicznego UL2. Wartość sygnału wniosku jest zapisywana na pozycji 2 rejestru wartości logicznych wniosków RW, oraz pojawia się na wejściach informacyjnych WE2 układów wybierających M1.1, M1.3, M1.4, M2.1, M2.3, M2.4. Wartość sygnału jednoznaczności wniosku jest zapisywana na pozycji 2 rejestru jednoznaczności wniosków RJ, a wartość sygnału sensowności wniosku jest zapisywana na pozycji 2 rejestru sensowności wniosków RS. Następnie układy wybierające M1.3 i M2.3 wybierają zgodnie z wartościami sygnałów n1.3 i n2.3 podawanymi na ich wejścia adresowe WEA jeden z sygnałów doprowadzonych do ich wejść informacyjnych WEJ. Sygnały odpowiadające wartościom logicznym wybranych sygnałów pojawiają się na wyjściach WY układów wybierających M1.3 i M2.3.

Trzeci układ logiczny UL3 realizuje operację wnioskowania określoną przez wartość sygnału nF3, której argumentami są wartości logiczne sygnałów doprowadzonych do jego wejść WE1 i WE2 z wyjść WY układów wybierających M1.3 i M2.3. Wyniki operacji wnioskowania pojawiają się w postaci sygnałów na wyjściach W, J, S układu logicznego UL3. Wartość sygnału wniosku jest zapisywana na pozycji 3 rejestru wartości logicznych wniosków RW. Wartość sygnału jednoznaczności wniosku jest zapisywana na pozycji 3 rejestru jednoznaczności wniosków RJ a wartość sensowności wniosku jest zapisywana na pozycji 3 rejestru sensowności wniosków RS. Następnie układy wybierające M1.4 i M2.4 wybierają zgodnie z wartościami sygnałów n1.4 i n2.4 podawanymi na ich wejścia adresowe WEA jeden z sygnałów doprowadzonych do ich wejść informacyjnych WEJ. Sygnały odpowiadające wartościom logicznym wybranych sygnałów pojawiają się na wyjściach WY układów wybierających M1.4 i M2.4.

Czwarty układ logiczny UL4 realizuje operację wnioskowania określoną przez wartość sygnału nF4, której argumentami są wartości logiczne sygnałów doprowadzonych do jego wejść WE1 i WE2 z wyjść WY układów wybierających M1.4 i M2.4. Wyniki operacji wnioskowania pojawiają się w postaci sygnałów na wyjściach W, J, S układu logicznego UL4. Wartość sygnału wniosku jest zapisywana na pozycji 4 rejestru wartości logicznych wniosków RW. Wartość sygnału jednoznaczności wniosku jest zapisywana na pozycji 4 rejestru jednoznaczności wniosków RJ, a wartość sygnału sensowności wniosku jest zapisywana na pozycji 4 rejestru sensowności wniosków RS. Na tym kończy się działanie elektronicznego urządzenia logicznego realizującego ciąg wnioskowań i w rejestrach RW, RJ, RS zostają zapisane wartości logiczne sygnałów określające wartości logiczne wniosków, ich jednoznaczność i sensowność.

W przypadku realizacji operacji wnioskowania na bitach do wejść adresowych WEA układów wybierających M1.1, M1.2, M1.3, M1.4, M2.1, M2.3, M2.2, M2.4 doprowadza się sygnały n1.1, n1.2, n1.3, n1.4, n2.1, n2.2, n2.3, n2.4 o wartości równej zeru. Wówczas argumentami operacji wnioskowania, realizowanych przez układy logiczne UL1, UL2, UL3, UL4 są wartości logiczne par sygnałów P1.1 i P2.1, P1.2, i P2.2, P1.3, i P2.3, P1.4 i P2.4. Wyniki operacji wnioskowania określonych przez wartości sygnałów nF1, nF2, nF3, nF4 doprowadzonych do wejść sterujących WES układów logicznych, pojawiają się w postaci sygnałów na wyjściach W, J, S układów logicznych UL1, UL2, UL3, UL4 i są zapisywane na odpowiednich pozycjach rejestrów RW, RJ, RS i nie są doprowadzane do wejść WE1 i WE2 pozostałych układów logicznych.

Układ logiczny UL, którego schemat ideowy przedstawia fig. 2 działa następująco. Po podaniu na wejścia WE1 i WE2 sygnałów, których wartości logiczne odpowiadają wartościom logicznym przesłanek P1 i P2, zespół logiczny ZL zbudowany z bramek 1, 2, 3, 4, 5 i negatorów 6, 7, 8, 9, 10, 11, 12 generuje sygnały na wyjściach A, B, C, D, E, F, G, H, I, J, K, L, M, określone następującymi zależnościami logicznymi:

sygnał na wyjściu A = P1 P2

sygnał na wyjściu B = P1

sygnał na wyjściu C = P1

sygnał na wyjściu D = P2

sygnał na wyjściu E = P2

sygnał na wyjściu H = P1 P2

sygnał na wyjściu I = P1 P2

sygnał na wyjściu J = P1 P2

sygnał na wyjściu K = P1 P2

sygnał na wyjściu L = P1 P2

sygnał na wyjściu $F = P1 \ P2$

sygnał na wyjściu $M = 1$

sygnał na wyjściu $G = 0$

Następnie układy wybierające MW, MJ, MS wybierają zgodnie z wartościami sygnału nF podawanego na ich wejścia adresowe WEA i określającymi rodzaje operacji wnioskowania realizowanej przez układ logiczny UL, odpowiednie sygnały spośród sygnałów wygenerowanych przez zespół logiczny ZL i przyłączonych do ich wejść informacyjnych WEJ w poprzednio opisany sposób. Wybrane sygnały pojawiają się na wyjściach WY układów wybierających MW, MJ, MS i określają odpowiednio wartość logiczną wniosku na wyjściu W, jednoznaczność wniosku na wyjściu J oraz sensowność wniosku na wyjściu S.

Zastrzeżenia patentowe

1. Elektroniczne urządzenie logiczne realizujące ciągi wnioskowań oraz operacje wnioskowania na bitach, zrealizowane w oparciu o dyskretne elementy półprzewodnikowe lub w technice obwodów scalonych, z n a m i e n n e t y m, że ma określoną liczbę układów logicznych (UL1÷UL4), które połączone są szeregowo z przyporządkowanymi układami wybierającymi (M1.1÷M1.4) i (M2.1÷M2.4) oraz rejestrem wartości logicznych wniosków (RW), rejestrem jednoznaczności wniosków (RJ) i rejestrem sensowności wniosków (RS), przy czym wyjście (W) kolejnego układu logicznego połączone jest z wejściami informacyjnymi (WE1÷WE4) określonych układów wybierających za wyjątkiem układów wybierających przyporządkowanych temu kolejnemu układowi logicznemu, natomiast wejścia (WE1 i WE2) kolejnego układu logicznego połączone są z wyjściami (WY) przyporządkowanych układów wybierających a wyjścia (W, J, S) kolejnych układów logicznych (UL1÷UL4) połączone są z odpowiednimi pozycjami (1÷4) rejestru wartości logicznych wniosków (RW), rejestru jednoznaczności wniosków (RJ) i rejestru sensowności wniosków (RS).

2. Elektroniczne urządzenie według zastrz. 1, z n a m i e n n e t y m, że każdy układ logiczny (UL) stanowi szeregowe połączenie zespołu logicznego (ZL) z zespołem układów wybierających wartość logiczną wniosków (MW), jednoznaczności wniosków (MJ) i sensowności wniosków (MS), przy czym pierwsze wyjście (A) zespołu logicznego (ZL) połączone jest z czwartym wejściem informacyjnym (WEJ4) układu wybierającego wartość logiczną wniosku (MW), drugie wyjście (B) zespołu logicznego (ZL) połączone jest z drugim wejściem informacyjnym (WEJ2) i dziesiątym wejściem informacyjnym (WEJ10) układu wybierającego wartość logiczną wniosku (MW) oraz z drugim wejściem informacyjnym (WEJ2), szóstym wejściem informacyjnym (WEJ6), dziesiątym wejściem informacyjnym (WEJ10) i dwunastym wejściem informacyjnym (WEJ12) układu wybierającego jednoznaczność wniosku (MJ), trzecie wyjście (C) zespołu logicznego (ZL) połączone jest z siódmym wejściem informacyjnym (WEJ7) i piętnastym wejściem informacyjnym (WEJ15) układu wybierającego wartość logiczną wniosku (MW) oraz z pierwszym wejściem informacyjnym (WEJ1), siódmym wejściem informacyjnym (WEJ7), dziewiątym wejściem informacyjnym (WEJ9) i trzynastym wejściem informacyjnym (WEJ13) układu wybierającego jednoznaczność wniosku (MJ), czwarte wyjście (D) zespołu logicznego (ZL) połączone jest z czternastym wejściem informacyjnym (WEJ14) układu wybierającego wartość logiczną wniosku (MW) oraz z czternastym wejściem informacyjnym (WEJ14) układu wybierającego jednoznaczność wniosku (MJ), piąte wyjście (E) zespołu logicznego (ZL) połączone jest z ósmym wejściem informacyjnym (WEJ8) układu wybierającego wartość logiczną wniosku (MW) oraz z trzecim wejściem informacyjnym (WEJ3), ósmym wejściem informacyjnym (WEJ8) i jedenastym wejściem informacyjnym (WEJ11) układu wybierającego jednoznaczność wniosku (MJ), szóste wyjście (F) zespołu logicznego (ZL) połączone jest z szóstym wejściem informacyjnym (WEJ6) i dwunastym wejściem informacyjnym (WEJ12) układu wybierającego wartość logiczną wniosku (MW), siódme wyjście (G) zespołu logicznego (ZL) połączone jest z trzecim wejściem informacyjnym (WEJ3), piątym wejściem informacyjnym (WEJ5), jedenastym wyjściem informacyjnym (WEJ11) i trzynastym wejściem informacyjnym (WEJ13) układu wybierającego wartość logiczną wniosku (MW) oraz z piątym wejściem informacyjnym (WEJ5) układu wybierającego jednoznaczność wniosku (MJ), ósme wyjście (H) zespołu logicznego (ZL) połączone jest z pierwszym wejściem informacyjnym (WEJ1) układu wybierającego wartość logiczną wniosku (MW), dziewiąte wyjście (I) zespołu logicznego (ZL) połączone jest z dziewiątym wejściem informacyjnym (WEJ9) układu wybierającego wartość logiczną wniosku (MW), dziesiąte wyjście (J) zespołu logicznego (ZL) połączone jest z dwunastym wejściem informacyjnym (WEJ12) układu wybierającego sensowność wniosku (MS), jedenaste wyjście (K) zespołu logicznego (ZL) połączone jest z szóstym wejściem informacyjnym (WEJ6) układu wybierającego sensowność wniosku (MS), dwunaste wyjście (L) zespołu logicznego (ZL) połączone jest z pierwszym wejściem informacyjnym (WEJ1) i dziewiątym wejściem informacyjnym (WEJ9) układu wybierającego sensowność wniosku (MS), trzynaste wyjście (M) zespołu logicznego (ZL) połączone jest z czwartym

wejściem informacyjnym (WEJ4) i piętnastym wejściem informacyjnym (WEJ15) układu wybierającego jednoznaczność wniosku (MJ) oraz z drugim wejściem informacyjnym (WEJ2), trzecim wejściem informacyjnym (WEJ3), czwartym wejściem informacyjnym (WEJ4), piątym wejściem informacyjnym (WEJ5), siódmym wejściem informacyjnym (WEJ7), ósmym wejściem informacyjnym (WEJ8), dziesiątym wejściem informacyjnym (WEJ10), jedenastym wejściem informacyjnym (WEJ11), trzynastym wejściem informacyjnym (WEJ13), czternastym wejściem informacyjnym (WEJ14) i piętnastym wejściem informacyjnym (WEJ15) układu wybierającego sensowność wniosku (MS), natomiast wejścia adresowe (WEA) układu wybierającego wartość logiczną wniosku (MW), układu wybierającego jednoznaczność wniosku (MJ) i układu wybierającego sensowność wniosku (MS) połączone są ze sobą oraz połączone są z wejściem sterującym (WES) układu logicznego (UL).

3. Elektroniczne urządzenie według zastrz. 1, z n a m i e n n e t y m, że każdy układ logiczny (UL) ma zespół logiczny (ZL) wytwarzający na wyjściach (A÷M) sygnały logiczne, który zawiera pięć bramek (1÷5) i siedem negatorów (6÷12), przy czym pierwsze wejście (WE1) układu logicznego (UL) połączone jest z drugim wyjściem (B) zespołu logicznego (ZL) oraz z wejściem pierwszego negatora (6), którego wyjście połączone jest z trzecim wyjściem (C) zespołu logicznego (ZL), pierwsze i drugie wejście (WE1) i (WE2) układu logicznego połączone jest z wejściami pierwszej bramki (1), której wyjście połączone jest z wejściem trzeciego negatora (8), oraz z jednym z wejść drugiej bramki (2), przy czym wyjście trzeciego negatora (8) połączone jest z szóstym wyjściem (F) zespołu logicznego (ZL), drugie wejście (WE2) układu logicznego (UL) połączone jest z czwartym wyjściem (D) zespołu logicznego (ZL), oraz z wejściem drugiego negatora siedem którego wyjście połączone jest z piątym wyjściem (E) zespołu logicznego (ZL), pierwsze wejście (WE1) układu logicznego (UL) połączone jest z wejściem szóstego negatora (L1), którego wyjście jest przyłączone do jednego z wejść trzeciej bramki (3), której drugie wejście jest przyłączone do drugiego wejścia (WE2) układu logicznego (UL), natomiast wyjście trzeciej bramki (3) jest połączone z dziesiątym wyjściem (J) zespołu logicznego (ZL) i z wejściem piątego negatora (10), którego wyjście połączone jest z ósmym wyjściem (H) zespołu logicznego (ZL), drugie wejście (WE2) układu logicznego (UL) połączone jest z wejściem siódmego negatora (12), którego wyjście połączone jest z jednym z wejść piątej bramki (5), której drugie wejście połączone jest z pierwszym wejściem (WE1) układu logicznego (UL) a wyjście piątej bramki (5) połączone jest z dwunastym wyjściem (L) zespołu logicznego (ZL), przy czym wyjście szóstego negatora (L1) i wyjście siódmego negatora (12) połączone są z wejściami czwartej bramki (4), której wyjście połączone jest z jedenastym wyjściem (K) zespołu logicznego (ZL) oraz z wejściem czwartego negatora (9), którego wyjście połączone jest z dziewiątym wyjściem (I) zespołu logicznego (ZL) i z jednym z wejść drugiej bramki (2), której drugie wejście połączone jest z wyjściem pierwszej bramki (1) a wyjście drugiej bramki (2) połączone jest z pierwszym wyjściem (A) zespołu logicznego (ZL), natomiast do siódmego wyjścia (G) zespołu logicznego (ZL) doprowadzony jest sygnał o wartości logicznej równej zero, a do trzynastego wyjścia (M) zespołu logicznego (ZL) doprowadzony jest sygnał o wartości logicznej równej jeden.

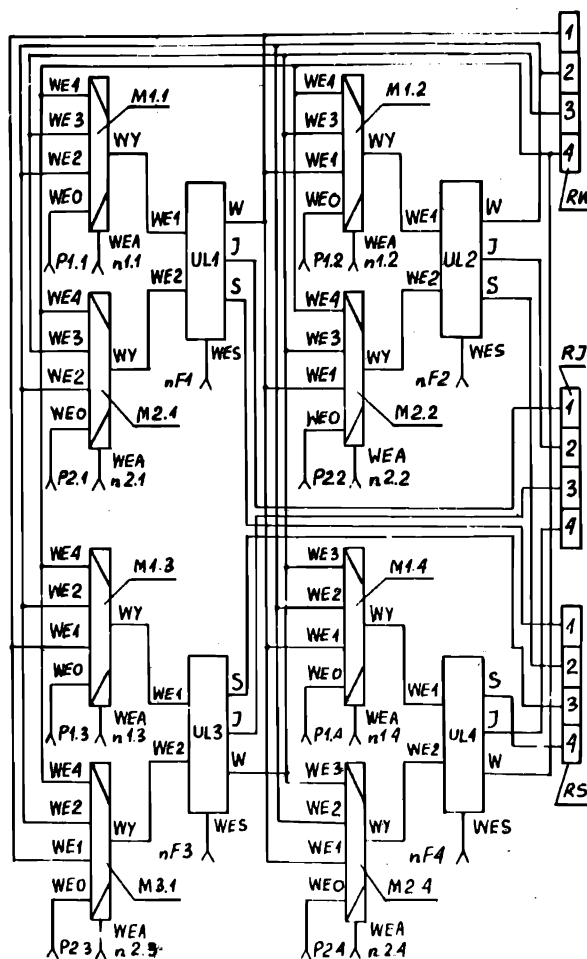


Fig. 1

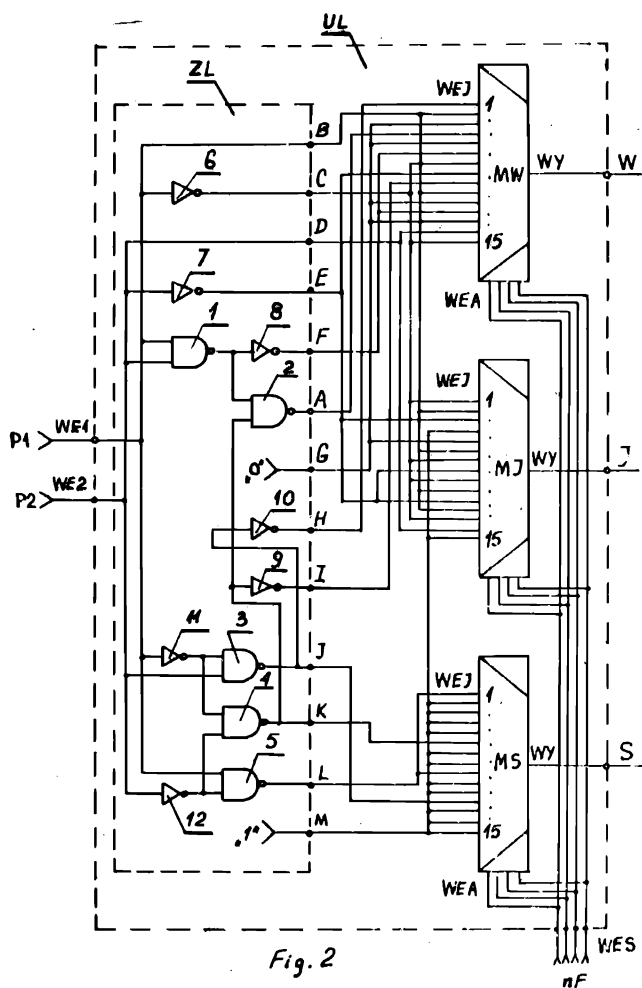


Fig. 2