

公告本

293939

申請日期	85. 4. 19
案 號	85104679
類 別	1401/21/10

A4
C4

293939

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	製造電容器及半導體記憶裝置之方法
	英 文	Method for Manufacturing a Capacitor and a Semiconductor Memory-Device
二、發明 人	姓 名	1. 喬治田普爾 Dr. Georg Tempel 2. 戴特里契溫德曼恩 Dr. Dietrich Widmann
	國 籍	1-2皆為德國
三、申請人	住、居所	1. 德國 D-81927 慕尼黑佛拉史欽特雷格爾街 17 號 2. 德國 D-82008 安特哈欽魯德維格史土比街 2 號
	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
三、申請人	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 80333 威田巴契廣場 2 號
三、申請人	代 表 人 姓 名	納特布斯克 (Nätebusch) 歐姆克 (Ohmke)

裝

訂

線

293939

(由本局填寫)

承辦人代碼：

A6

大類：

B6

I P C 分類：

本案已向：

歐洲 國(地區) 申請專利，申請日期： 案號： ，☐有 ☒無主張優先權

1995年4月24日案號：95 106 101.9

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2b-

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明()

本發明係關於電容器之製造方法及具有許多配置在半導體基底上的存儲單元之半導體存儲裝置，於其中，每一單元具有一個配置在半導體基底中之具有閘極接點和第一及第二電極接點的選擇電晶體，及一個配置於選擇電晶體並可藉此電晶體操控的存儲電容器（其具有鐵電質介質）和第一及第二電容器電極，於此，每一選擇電晶體之閘極接點和半導體存儲裝置的字線之一連接，每一選擇電晶體之第一電極接點和位元線連接，以及每一存儲電容器之第一電容器電極和一個由導電材料製成的共同導線層連接，本發明亦關於一種此類半導體存儲裝置的製造方法。

這種具備存在電容器和鐵電質電介質（即所謂的FRAM）的半導體存儲裝置可從R. Moazzami et al, Symposium on VLSI Technology Digest of Technical Papers 1994, 第55 ff.頁，及Tatsumi Sumi et al., IEEE International Solid-State Circuits Conference 1994, 第268 ff.頁得知，在此類的半導體存儲裝置中，存儲電容器由鐵電質介質以平面方式組成並基於道線原因每一位元有很大的單元面積，使其面對所期望的高度積體密度時將被視為是不利的雖然至今仍有一些問題存在，但鐵電質的存儲器或FRAM仍然有很好的前景其可完全取代目前的半導體存儲體（DRAM, SRAM, EEPROM, Flash EEPROM）。FRAM的優點主要在於短的程序設計時間（>20ns），低的程序電壓（大約由IC之3V供應電壓開

五、發明說明(>)

始)，在程序設計時低能源消耗（無需電荷唧筒），以及經常的可程序化（已證實是 10^{12} ，期望 10^{15} ，EEPROM 的是 10^5 ）。特別是現在，例如鉛-銻-鈦酸鹽，鋇-鉍酸鹽或其化合物對鐵電層而言是一些看似頗有前景的材料。一些仍阻礙 FRAM 科技之快速導入的問題之一是尚未解決的和積體電路的製造法之間的相容性，特別需要的是鐵電質存儲器電容量上的白金電極以及至今仍普遍運用到鐵電質凝膠塗層的離心技術，其和一種相對大的層厚以及面積強化的容量有關連，至今仍阻礙在半導體科技中的一種可取代的運用，以致於至今仍無適合之串列方法以製造 FRAM，同時要考慮的是用於鐵電質介質的相對複雜材料的沉積以及因此造成和一個令人滿意的且適合此方法的來源有關的問題，於此之外，基於撕裂之形成，漏電流，溫度影響及電極附著等導致層面的不良品質，會產生方法-整合的問題。於此特別是目前已知的鐵電質材料對氫極度敏感，但氫在半導體存儲裝置的已知的製造法中幾乎不受遏制，且尤其在電漿沉積法和電漿蝕刻法時會發生此現象。

除這種 FRAM 單元外，高積體的 DRAM 半導體存儲器具有習用的材料以用於存儲電容器的電介質是已知的。於此為實現 DRAM 半導體存儲器而能目前之值達到約 256 Megabyte 的存儲容量將使用具有高介電常數之電介質。以便即使在足夠大的容量時，一般為每單元 20 fF 以上，仍然能達到較小之單元面積。為此目的，到現今在一般

五、發明說明()

情況仍使用一種ONO層，其中，技術性的極限是可辨識的，因為在厚度的持續縮減時，漏電流會高過已給的極限值，同時足夠的電容量(面積)僅可藉昂貴費用的結構如溝槽(Trench)或堆疊(Stacked)電容器而獲得。有鑑於此，對於存儲電容器的電介質逐漸增加的測量中，將使用新的足夠高的介電常數之材料，但目前熟知的其它電介質材料對目前使用在半導體存儲裝置之製造法中所出現的一般性負載格外敏感，尤其是對高溫過程，不期望的化學反應和類似情況的穩定性。

根據現行技術，本發明的目的在於提供一種在半導體電路設備中的電容器之製造法，一個具有鐵電質存儲器容量之半導體存儲裝置，其在高的可信賴度及品質情況下具有幾乎可和目前的DRAM電路相比較的積體密度，以及提供此種半導體存儲裝置的製造法，其在現行的過程中可用比較少的花費進行積體化，因此是適合串列生產的，這表示，一種對於具有鐵電質存儲電容器的已完成的半導體電路設備或半導體存儲裝置在儘可能少的早期故障數目上所獲得的效益成為可能。

本發明之目的將藉由申請專利範圍第1項所述之電容器製造法，申請專利範圍第8項的半導體存儲裝置之製造法及申請專利範圍第12項的半導體存儲裝置而達成。

一種具有電介質之電容器以及在半導體基底上所形成之半導體電路設備中的第一和第二電容器電極依下列步驟完成：在半導體電路設備的基底上所塗敷的一層面上

五、發明說明 (4)

形成一個槽溝，朝著溝槽的側壁至少區域性地保形 (conformax) 地沉積一導電層以用於溝槽內的第二電容器電極，保形地沉積一作為電介質位置支撐用之輔助層到導電層上之溝槽內以用於第二電容器電極，保形地沉積一導電層以用於輔助層上之溝槽內的第一電容器電極，至少部份去除輔助層並藉此暴露至少一個位於兩個導電層間至少一部份區域內的中空層以用於第一和第二電容器電極，沉積電介質於兩個導電層間之中空層以用於第一和第二電容器電極。

沉積介電層的步驟最好是以離心方式進行。依據本發明之原理可使介電層沉積在奈米範圍內之層厚度中，由於其稠粘的，似漆的粘度特性，所以最好能以離心方法進行沉積。

於此藉著離心方式，此電介質（其中電介質之材料最好具有可放入溶解液中的物質）可沉積到兩個導電層間的暴露中空層之中以用於第一和第二電容器電極。

在本發明的較佳實施情中，電介質顯示一種鐵電質的凝膠，此可藉著離心方式來沉積。此外，電介質也顯示另一種非必需的鐵電物質，其可在離心法中沉積，特別是一種用於相對於先前已知物質具有較大電介質常數之電介質的這類物質。

此外，依據本發明之半導體存儲裝置是依分類技術設計的，其中，具有鐵電質電介質而配置於選擇電晶體的存儲電容器有一相對於基底表面之平面而突起的配置。

五、發明說明(5)

於此，具有鐵電質電介質之存儲電容器配置在選擇電晶體之第二電極接點本來就已存在之接觸金屬層內所形成之溝槽中，其中溝槽之深度相當於接觸金屬層之層厚度。這種具有鐵電質電介質之存儲電容器之形成在一突起之配置中可使在FRAM單元之最小面積時仍可使存儲電容器達到一個足夠的容量，其中依據本發明具有相對於基底表面之平面而突出之鐵電質存儲電容器配置之形成，於完全製成與此相關之存儲單元的較少臨界(critical)組件(即，選擇電晶體，其具有包括所屬電極在內之完整的金屬層)之後，可形成對於所期望之高積體密度看起來為臨界狀況之鐵電質電介質。

最好之方式為，將離心技術所沉積之鐵電質凝膠帶入兩個電容器電極間所形成之薄中空層內，於此，中空層也具有一相對於基底表面的平面而突起之配置。

本發明之原理規定，相對於基底表面之平面而突起之具有鐵電質電介質的存儲電容器主要以圓筒對稱方式形成且具有至少近乎垂直於基底表面之平面而延伸的圓筒中央軸。

形成在溝槽內存儲電容器的第二電容器電極可形成為沉積在溝槽之垂直側壁上之保形金屬隔層。

在其它有利的結構中規定，存儲電容器之第一電容器電極具有一個形成在溝槽內的，與溝槽之縱向伸展同軸且面對第二電容器電極而延伸之電極段，及鐵電質電介質至少是配置在第一電容器電極之電極段和第二電容器

五、發明說明 (b)

電極之電極段之間。於此，存儲電容器之第一電容器電極以杯狀形成在第二電容器電極內。

依照本發明之方法規定，在完成選擇電晶體和其所屬的用於字線和位元線之接點之金屬層之後，配置於選擇電晶體的具有鐵電質電介質之存儲電容器製造在一相對於選擇電晶體之平面為突起之配置中，選擇電容器基本上係平行於半導體基底之表面而配置。

於此，具有鐵電質電介質之存儲電容器配置在形成於選擇電晶體之第二電極接點本來就存在之接觸金屬層內之溝槽中，於此，溝槽深度相當於接觸金屬層之層厚度。

本發明之方法的概念首先應認識的是，提供半導體存儲裝置或過程以製造半導體存儲裝置，在此可使鐵電材料在製造半導體存儲裝置的過程中成功地包裝，更確切地說，在完成所有形成之選擇電晶體（包括完整之金屬層及所有配置於選擇電晶體之電極）之後，首先沉積介電材料和進行熱處理所必需之結晶化工作。

依本發明之方法可製造FRAM存儲裝置，其面積需求也是相當小如RAM單元，甚至可在現有方法之可積體的處理步驟中進行。於此，鐵電質電介質之層厚度可在奈米範圍內作精確的調整。

依照本發明所述之原理製造半導體存儲裝置（其具有一個鐵電質電介質的存儲電容器）在完成選擇電晶體之製造後依下述步驟進行：

全面塗敷一絕緣的覆蓋層，

五、發明說明(7)

形成一接觸金屬層至選擇電晶體之第二電極接點，
蝕刻一個位於接觸金屬層內通達絕緣覆蓋層之溝槽，
保形地沉積一導電層至溝槽側壁以用於溝槽內之第二電容器電極，

保形地沉積一個作為鐵電質電介質之位置保持用之位於溝槽內之輔助層至導電層以用於第二電容器電極，

保形地沉積一個導電層至輔助層以用於溝槽內之第一電容器電極，

至少部份去除輔助層及藉此暴露在兩導電層之間的中空層以用於第一及第二電容器電極，

沉積鐵電質電介質到兩導電層間暴露的中空層以用於第一及第二電容器電極。

以有利方式使具有鐵電質電介質之介電層之沉積步驟藉由離心方式進行。

在一特殊有利之過程中，依照本發明之方法將顯示其它下列實施步驟：

對向溝槽之內輪廓作保形沉積的導電層進行背面蝕刻以用於第二電容器電極，至少使溝槽外部用於第二電容器電極之導電層之平面式沉積部份被去除。以此方式可防止兩個電容器電極間之短路的危險。

在一特殊有利的半導體存儲裝置之構造或依照本發明之方法中，鐵電質電介質顯示一種鐵電質凝膠，其尤其具有一種鉛-鋅-鈦酸鹽(PZT)及/或鋇-鉍酸鹽之化合物。

其它適用第一及/或第二電容器電極之層材料最好是

五、發明說明(8)

鈦及／或白金，其中第一和第二電容器電極之層也可形成多層之結構，最好具有鈦／鈦氮化物／白金或鈦／鈦氮化物／鎢的序列層。

本發明以顯示在圖式中之實施例分別詳述於下。

圖式顯示：

圖 1 是本發明具有 FRAM 單元的半導體設備之電路接線。

圖 2 到圖 4 顯示本發明之半導體存儲裝置之各連續製造步驟。

具有依據圖 1 等效電路之 FRAM 單元 1 的本發明之半導體裝置包含一個在半導體基底 2 上形成之選擇電晶體管 3，選擇電晶體 3 最好是 MOS 型式，具有一連接在由鎢或 Polyzid 製成之位元線 4 上的第一電極接點 5 (源極)，一第二電極接點 6 (汲極) 以及一連接在由 n^+ 複晶矽或 Polyzid 製成之字線 7 上之閘極接點 8，及一個存儲電容器 9，此存儲電容器 9 具有：一個與共同導線層 10 (場板) 連接之第一電容器電極 11，一個和選擇電晶體 3 之第二電極接點 6 連接的第二電容器電極 12 和一個配置在第一和第二電容器電極間的鐵電質電介質 13。

在圖 2 到圖 4 中顯示的本發明之製造半導體存儲裝置之實施例的起點是顯示在圖 2 的已知之 DRAM 方法中包括完成位元線 4 之配置，在此配置上，一整面之平面式絕緣覆蓋層 15，例如沉積 BPSG-Flow-Glas，及可自調

(重疊) 的接觸金屬層 16 將被形成以用於選擇電晶體 3 之第二電極接點 6 (n^+ -摻雜之 DRAIN 區域 17)。接觸金

五、發明說明(9)

屬層 16 於此最好沉積成 n^+ 複晶矽層具大約 $0.7\mu m$ 之厚度。

隨後，相對於基底表面之平面 21 而突起所形成之溝槽 18，可藉一異向性蝕刻而形成於接觸金屬層 16 中，溝槽 18 直接配置於選擇電晶體 3 之區域上方且可直達 BPSG 層 15。

最後，保形沉積依照圖 3，在溝槽 18 之垂直側壁上產生一個導電層 19，即，一由金屬製成之距離保持件（隔層），其係藉和導電層 19 之最後的異向性背面蝕刻而產生。距離保持件（隔層）具有之層最好是 Ti/TiN/Pt 或 Ti/TiN/W。

在由此形成之配置上，依據圖 3，將保形沉積一作為鐵電質電介質位置保持件之輔助層 20，輔助層 20 由導電層 19 上之溝槽 18 內之 SiO_2 構成，此處 SiO_2 輔助層 20 之厚度和後來之鐵電層相符。在 SiO_2 輔助層上為生成一共同之電容器板 10，將保形沉積一個由耐高溫之金屬如白金或鎢所構成的導電層 23。在溝槽 18 中殘留之中空可用適當的填料 22 充填，其中如複晶矽 Poly-Si 所構成之填料 22 可用來進行保形沉積並作異向性之背面蝕刻。以此方式可產生圖 3 所示之配置。

在下一步驟時，由白金或鎢構成的導電層 23 至少要再蝕刻，使導電層 23 配置在水平區域上之部份 24 被去除。

在完成熱處理及所有先前步驟後，將作為鐵電質電介質位置保持件之輔助層 20 之材料用濕化學法，例如稀釋

五、發明說明(10)

的氫氟酸，作暴露蝕刻，至少到在電容器電極11，12之兩層19，23間可形成一相對於基底表面之平面21而對準之近乎垂直的中空層23，於此中空層25中，最後將藉離心方式塗敷(Spin-Coating)一鐵電質凝膠之薄膜，於此，在電容器板19，23間的中空可用鐵電質凝膠充填，為形成鐵電質電介質之結晶，將進行一種熱處理步驟。一個在輔助層20之材料的濕化學蝕刻時留下的底26可作為同軸配置在溝槽18內部的第一電容器電極23的機械性支撐。

最後，依照圖4，在整面上沉積一層最好由 SiO_2 構成之鈍化層27。接著，可用本身已為人所知的方法繼續其它處理步驟，例如金屬化的處理。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱：製造電容器及半導體記憶裝置之方法）

本創作係關於半導體存儲裝置，其具有許多配置在半導體基底上的存儲單元(1)，於其中，每一單元有一個具有閘極接點(8)和第一(5)及第二電極接點(6)的選擇電晶體(3)及一個存儲電容器(9)，此存儲電容器(9)具有

鐵電質電介質(13)及第一(11)和第二電容器電極(12)，於此，選擇電晶體(3)之每一閘極接點(8)和半導體存儲裝置的字線(7)連接，選擇電晶體(3)的每一第一電極接點(5)和位元線(4)連接，以及存儲器電容器(9)之每一第一電容器電極(11)和由導電材料所構成的共同導電層(10)連接。依照本發明之半導體存儲裝置特徵在於，配置於選擇電晶體(3)之具有鐵電質電介質(13)之存儲電容器(9)有一相對於基底表面之平面(21)為突起之配置。依照本發明之這類半導體存儲裝置之製造方法是具有鐵電質電介質(13)之存儲電容器(9)在完成製造選擇電晶體後以下列方式來製造：

全面塗敷一絕緣的覆蓋層(15)，形成一接觸金屬層(16)，在接觸金屬層(16)內部蝕刻一直達絕緣覆蓋層(15)之溝槽(18)，沉積一導電層(19)以用於溝槽(18)內之第二電容器電極(12)，保形地沉積一個作為鐵電質電介質(13)之位置保持件用之位於溝槽(18)內之輔助層(20)，保形地沉積一個導電層(23)以用於第一電容器電極(11)，去除輔助層(20)及藉此暴露在兩導電層(19, 23)之間的中空層(25)，沉積鐵電質電介質(13)到暴露的中空層(25)中。

四、英文發明摘要 (發明之名稱: Method for Manufacturing a Capacitor and a Semiconductor Memory-Device)

This invention relates to a semiconductor memory-device with many memory-cells (1) that are arranged on a semiconductor substrate, each memory-cell (1) includes a select-transistor (3) that has a gate-connection (8), a first (5) and a second electrode-connection (6); and a memory-capacitor (9) that has ferro-electrical dielectric (13), a first (11) and a second capacitor-electrode (12), where each gate-connection (8) of the select-transistor (3) is connected with a word-line (7) of the semiconductor memory-device, each first electrode-connection (5) of the select-transistor (3) is connected with a bit-line (4), and each first capacitor-electrode (11) of the memory-capacitor (9) is connected with a common conductive-layer (10) formed from electrically conductive material. The semiconductor memory-device in this invention is characterized in that, the memory-capacitor (9) that belongs to the select-transistor (3) and has ferroelectrical dielectric (13) has an arrangement that rises high relative to the plane (21) in the surface of the substrate. According to this invention, the method for manufacturing such a semiconductor memory-device is that, the memory-capacitor (9) with ferroelectrical dielectric (13) is manufactured after having finished the select-transistor (3) by means of the following steps:
Coating an isolated cover-layer (15) in the whole plane, forming a contact-metal-layer (16), etching a trench (18) inside the contact-metal-layer (16) until reaching the isolated cover-layer (15), depositing a conductive-layer (19) for the second capacitor-electrode (12) inside the trench (18), conformal depositing an auxiliary-layer (20), that serves as a position-holder for the ferroelectrical dielectric (13), inside the trench (18), conformal depositing a conductive-layer (23) for the first capacitor-electrode (11), removing the auxiliary-layer (20) and thus exposing the hollow-layer (25) between the two conductive-layer (19, 23), and depositing the ferroelectrical dielectric (13) in the exposed hollow-layer (25).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種製造電容器 (9) 之方法，電容器 (9) 具有鐵電質 (13) 及第一 (11) 和第二電容器電極 (12)，電容器 (9) 係在形成於半導體基底上之半導體電路裝置中，此方法在步驟上之特徵為：

在半導體電路裝置之基底上所塗敷之層 (16) 中形成一個溝槽 (18)，對溝槽 (18) 之側壁至少以區域性方式保形 (conform) 地沉積一導電層 (19) 以用於溝槽 (18) 內之第二電容器電極 (12)，

在導電層 (19) 上之溝槽 (18) 之內部，保形地沉積一個作為電介質 (13) 之位置保持件之輔助層 (20) 以用於第二電容器電極 (12)，

保形地沉積一導電層 (23) 以用於輔助層 (20) 上之溝槽 (18) 內之第一電容器電極 (11)，

至少部份地去除輔助層 (20) 和藉此暴露位在兩導電層 (19, 23) 間至少一部份區域中的中空層 (25) 以用於第一及第二電容器電極，

沉積電介質 (13) 到兩導電層 (19, 23) 間暴露之中空層 (25) 中以用於第一和第二電容器電極。

2. 如申請專利範圍第 1 項之電容器製造方法，其中介電層之沉積步驟是以離心方式進行。
3. 如申請專利範圍第 1 項之電容器製造方法，其中電介層 (13) 以一種浸入溶劑內之物質來進行塗敷或離心式處理，此種物質具有粘稠，似漆類的粘度。
4. 如申請專利範圍第 1 項之電容器製造方法，其中電介

六、申請專利範圍

質(13)是一種鐵電質凝膠。

5. 如申請專利範圍第4項之電容器製造方法，其中鐵電質凝膠具有一種鉛-鋯-鈦酸鹽(PZT)及／或一種鋇-鉍酸鹽的化合物。
6. 如申請專利範圍第1項之電容器製造方法，其中作為電介質(13)之位置保持件用之輔助層(20)具有 SiO_2 。
7. 如申請專利範圍第1項之電容器製造方法，其中溝槽(18)之深度相當於層(16)之厚度。
8. 一種製造半導體存儲裝置之方法，此存儲裝置具有許多配置在半導體基底上的存儲單元(1)，於其中，每一單元具有一個配置在基本上平行於半導體基底之表面而延伸的平面(21)中之選擇電晶體(3)，每一選擇電晶體(3)具有一個閘極接點(8)及第一(5)和第二電極接點(6)，和一個配置於選擇晶體(3)的並可藉此操控之具有鐵電質電介質(13)之存儲電容器(9)及第一(11)和第二電容器電極(12)，其中選擇電晶體(3)之每一閘極接點(8)連接半導體存儲裝置之字線(7)，選擇電晶體(3)之第一電極接點(5)連接位元線(4)，存儲電容器(9)之每一第一電容器電極(11)連接一由導電材料構成的共同導線層(10)，特徵在於，製造配置於選擇電晶體(3)的具有鐵電質電介質(13)之存儲電容器(9)以便在對基本上平行於半導體基底之表面而配置之選擇電晶體(3)的平面(21)為突起的配置中在完成製造選擇電晶體(3)以及其附屬之金屬層之後便在對基本上平行於半導體基底之

六、申請專利範圍

表面而配置之選擇電晶體 (3) 的平面 (21) 為突起的配置中容器 (9) 作為字線和位元線 (4, 7) 的接點，於此，具有鐵電質電介質 (13) 之存儲電容器 (9) 配置在一個形成於選擇電晶體 (3) 之第二電極接點 (6) 的接觸金屬層 (16) 內之溝槽 (18) 中，於此，溝槽 (18) 的深度相當於接觸金屬層 (16) 的層厚度。

9. 如申請專利範圍第 8 項之半導體存儲裝置之製造方法，其中具有鐵電質電介質 (13) 之存儲電容器 (9) 在完成選擇電晶體 (3) 之製造後經下列步驟來製造：

全面塗敷一絕緣之覆蓋層 (15)，

形成一個接觸金屬層 (16) 至選擇電晶體 (3) 之第二電極接點 (6)，

蝕刻一個位於接觸金屬層 (16) 內之溝槽 (18) 直至絕緣之覆蓋層 (15)，

向溝槽之側壁 (18) 保形地沉積一導電層 (19) 以用於溝槽 (18) 內之第二電容器電極 (12)，

在導電層 (19) 上之溝槽 (18) 內部，保形地沉積一作為鐵電質電介質 (13) 之位置保持件用之輔助層 (20) 以用於第二電容器電極 (12)，

保形地沉積一導電層 (23) 以用於輔助層 (20) 上之溝槽 (18) 內之第一電容器電極 (11)，至少部份地去除輔助層 (20) 並藉此暴露一個在再導電層 (19, 23) 間的中空層 (25) 以用於第一及第二電容器電極，

沉積鐵電質電介質 (13) 到兩導電層 (19, 23) 間之暴

六、申請專利範圍

露的中空層(25)以用於第一及第二電容器電極。

10. 如申請專利範圍第9項之半導體存儲裝置之製造方法，其中具有鐵電質電介質(13)之介電層之沉積步驟係以離心方式進行。

11. 如申請專利範圍第9項之半導體存儲裝置之製造方法，其中對溝槽(18)之內輪廓之保形沉積所形成之導電層(19)進行背面蝕刻以用於第二電容器電極(12)至少一直到導電層(19)之位於溝槽外之平面式沉積部分(24)清除為止以用於第二電容器電極。

12. 一種半導體存儲裝置，其具有許多配置在半導體基底上的存儲單元(1)，於其中，每一單元具有一個配置在基本上平行於半導體基底之表面而延伸的平面(21)中之選擇電晶體(3)，每一選擇電晶體(3)具有一個閘極接點(8)及第一(5)和第二電極接點(6)，和一個配置於選擇晶體(3)的並可藉此操控之具有鐵電質電介質(13)之存儲電容器(9)及第一(11)和第二電容器電極(12)，其中選擇電晶體(3)之每一閘極接點(8)連接半導體存儲裝置之字線(7)，選擇電晶體(3)之第一電極接點(5)連接位元線(4)，存儲電容器(9)之每一第一電容器電極(11)連接一由導電材料構成的共同導線層(10)，特徵在於，

配置於選擇電晶體(3)之具有鐵電質電介質(13)之存儲電容器(9)有一相對於基底表面之平面(21)而突起之配置，於此，具有鐵電質電介質(13)之存儲電容器(9)配置在一形成於選擇電晶體(3)之第二電極接點(6)所用

六、申請專利範圍

之金屬層(16)內之溝槽(18)中，於此，溝槽(18)之深度相當於接觸金屬層(16)之層厚度。

13. 如申請專利範圍第12項之半導體存儲裝置，其中存儲電容器⑨之面對基底表面之平面(21)而突起之配置主要以圓筒對稱狀形成，具有一個至少幾乎垂直於基底表面之平面(21)而延伸之圓筒中軸。

14. 如申請專利範圍第12項之半導體存儲裝置，其中在溝槽(18)內所形成之存儲電容器⑨之第二電容器電極(12)形成為沉積在溝槽(18)之垂直側壁上之保形(conform)金屬隔層。

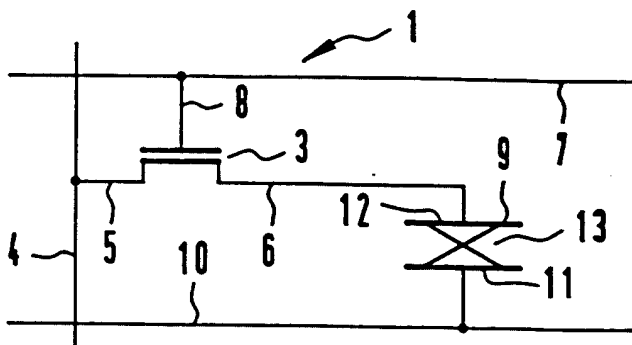
15. 如申請專利範圍第12項之半導體存儲裝置，其中存儲電容器⑨之第一電容器電極(11)具有一個在溝槽(18)內形成之，與溝槽(18)之縱向伸展同軸延伸並面對第二電容器電極(12)而延伸之電極段，及鐵電質電介質(13)至少是配置在第一電容器電極(12)之電極段和第二電容器電極之電極段間。

16. 如申請專利範圍第12項之半導體存儲裝置，其中存儲電容器⑨之第一電容器電極(11)以杯狀在第二電容器電極(12)內形成。

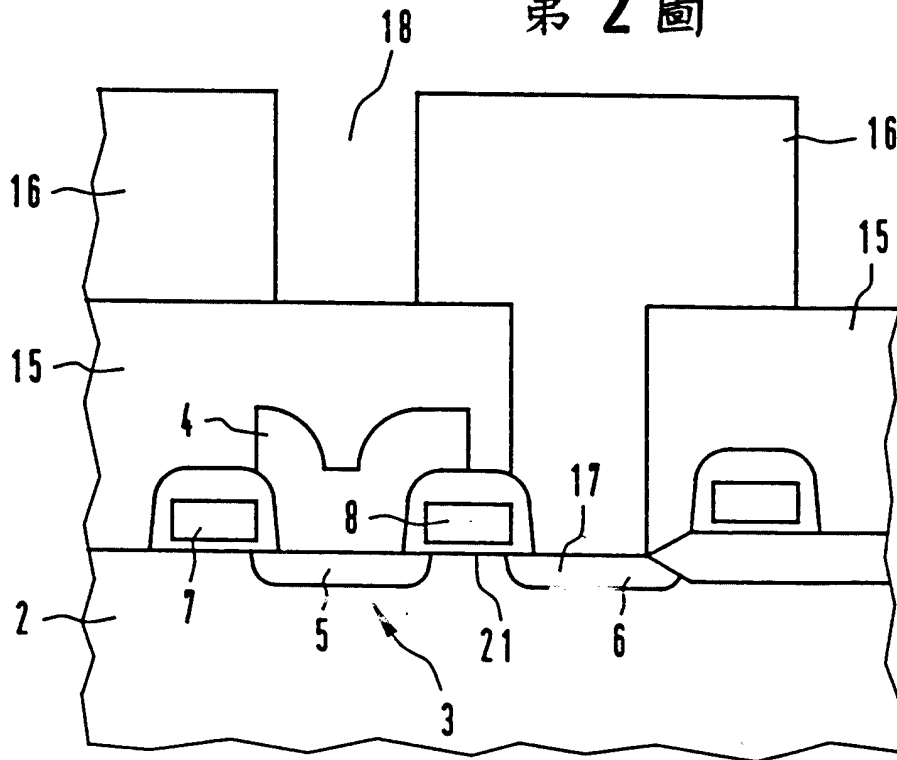
17. 如申請專利範圍第12項之半導體存儲裝置，其中溝槽(18)直接在選擇電晶體③之上方形形成，並藉一絕緣覆蓋層(15)而與選擇電晶體③電性絕緣。

1/2

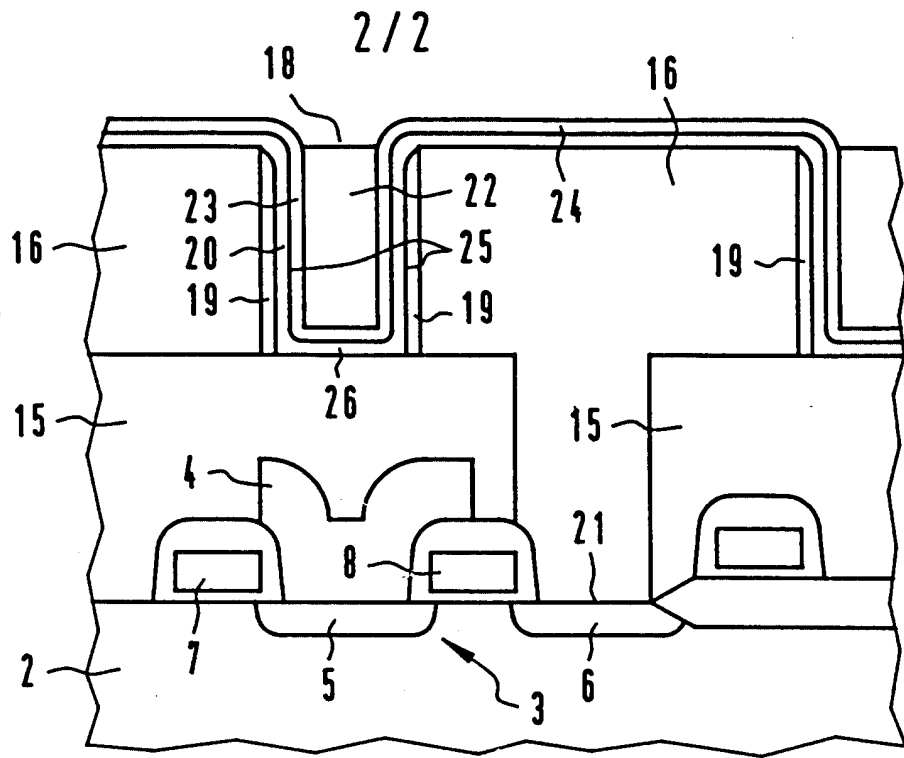
第 1 圖



第 2 圖



第 3 圖



第 4 圖

