



(12) 发明专利

(10) 授权公告号 CN 101916726 B

(45) 授权公告日 2012. 10. 10

(21) 申请号 201010220198. 6

(22) 申请日 2010. 07. 06

(73) 专利权人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路 865 号

(72) 发明人 陈静 罗杰馨 伍青青 肖德元 王曦

(74) 专利代理机构 上海光华专利事务所 31219 代理人 李仪萍

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/3205(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

US 6441434 B1, 2002. 08. 27,

US 2008/0150026 A1, 2008. 06. 26,

US 5489792 A, 1996. 02. 06,

US 2008/0308867 A1, 2008. 12. 18,

JP 特开 2003-303968 A, 2003. 10. 24,

CN 101231956 A, 2008. 07. 30,

US 7410876 B1, 2008. 08. 12,

JP 特开 2006-148064 A, 2006. 06. 08,

审查员 曹毓涵

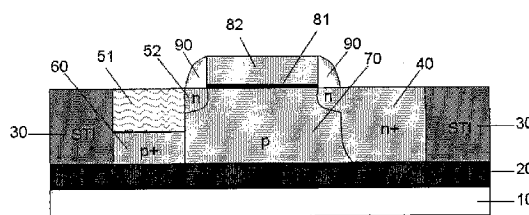
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

抑制浮体效应的 SOI MOS 器件结构的制作方法

(57) 摘要

本发明公开了一种抑制 SOI 浮体效应的 MOS 结构的制作方法。本发明方法制作的 SOIMOS 结构,其有源区包括:体区、N 型源区、N 型漏区、重掺杂 P 型区;其 N 型源区由硅化物和与之相连的 N 型 Si 区两部分组成;所述重掺杂 P 型区位于硅化物与绝缘埋层之间,并分别与硅化物、体区、绝缘埋层及浅沟槽隔离结构相接触。制作时先通过离子注入的方法形成重掺杂 P 型区,再在源区的部分表面形成一层金属,通过热处理使金属与其下的 Si 材料反应生成硅化物。本发明通过硅化物与下方的重掺杂 P 区形成欧姆接触,释放 SOI MOS 器件在体区积累的空穴,从而抑制 SOIMOS 器件的浮体效应,并具有不增加芯片面积,制造工艺简单与常规 CMOS 工艺相兼容等优点。



CN 101916726 B

1. 一种抑制 SOI 浮体效应的 MOS 器件结构的制作方法,其特征在于,包括以下步骤:

步骤一、在具有绝缘埋层的 Si 材料上制作浅沟槽隔离结构,隔离出有源区,并在有源区上制作栅区;

步骤二、进行高剂量的源区轻掺杂和漏区轻掺杂,形成高浓度的轻掺杂 N 型源区和轻掺杂 N 型漏区,所述高剂量的源区轻掺杂和漏区轻掺杂的注入剂量达到  $1e15/cm^2$  的量级,所述高浓度的轻掺杂 N 型源区和轻掺杂 N 型漏区的浓度达到  $1e19/cm^3$  的量级;

步骤三、在栅区周围制作侧墙隔离结构,所述侧墙隔离结构将轻掺杂 N 型源区和轻掺杂 N 型漏区的部分表面覆盖,然后采用一道在轻掺杂 N 型源区的位置设有开口的掩膜版,经由该掩膜版垂直地进行重掺杂 P 离子注入,控制 P 离子注入至轻掺杂 N 型源区下方,从而形成重掺杂的 P 型区域;

步骤四、进行一次源区和漏区离子注入,形成 N 型 Si 材料源区和 N 型漏区,在所述 N 型 Si 材料源区和 N 型漏区之间形成体区,在 N 型 Si 材料源区和绝缘埋层之间保留部分重掺杂的 P 型区域成为重掺杂 P 型区;

步骤五、在 N 型 Si 材料源区的部分表面形成一层金属,所述金属选自 Co、Ti 中的一种,然后通过热处理使该金属与其下的 Si 材料反应生成硅化物,并使该硅化物与所述重掺杂 P 型区接触,而剩余的未与该金属反应的 Si 材料成为 N 型 Si 区,生成的硅化物和 N 型 Si 区构成 N 型源区,最终完成 MOS 器件结构。

2. 根据权利要求 1 所述抑制 SOI 浮体效应的 MOS 器件结构的制作方法,其特征在于:步骤一中,在制作所述栅区之前可以先对有源区进行 P 离子注入。

3. 根据权利要求 1 所述抑制 SOI 浮体效应的 MOS 器件结构的制作方法,其特征在于:步骤五中,所述的热处理采用炉管退火工艺。

4. 根据权利要求 1 或 3 所述抑制 SOI 浮体效应的 MOS 器件结构的制作方法,其特征在于:步骤五中,所述的热处理的温度为  $700-900^{\circ}C$ ,时间为 50-70 秒。

## 抑制浮体效应的 SOI MOS 器件结构的制作方法

### 技术领域

[0001] 本发明涉及一种 MOS (Metal Oxide Semiconductor) 结构的制作方法,尤其是一种通过硅化物工艺有效抑制 SOI 浮体效应的 MOS 器件结构的制作方法,属于半导体制造技术领域。

### 背景技术

[0002] SOI (Silicon On Insulator) 是指绝缘体上硅技术。在 SOI 技术中,器件仅制造于表层很薄的硅膜中,器件与衬底之间由一层隐埋氧化层隔开,正是这种结构使得 SOI 技术具有了体硅无法比拟的优点。寄生电容小,使得 SOI 器件拥有高速度和低功耗。SOI CMOS 器件的全介质隔离彻底消除了体硅 CMOS 器件的寄生门锁效应,SOI 全介质隔离使得 SOI 技术集成密度高以及抗辐照特性好。SOI 技术广泛应用于射频、高压、抗辐照等领域。随着器件尺寸的不断缩小,SOI 技术极有可能替代体硅成为 Si 技术的首选。

[0003] SOI MOS 根据有源体区是否耗尽分为部分耗尽 SOI MOS (PDSOI) 和全耗尽 SOI MOS (FDSOI)。一般来说全耗尽 SOI MOS 顶层硅膜会比较薄,薄膜 SOI 硅片成本高,另一方面全耗尽 SOI MOS 阈值电压不易控制。因此目前普遍采用的还是部分耗尽 SOI MOS。

[0004] 部分耗尽 SOI MOS 的有源体区并未完全耗尽,使得体区处于悬空状态,碰撞电离产生的电荷无法迅速移走,这会导致 SOI MOS 特有的浮体效应。对于 SOI NMOS 沟道电子在漏端碰撞电离产生的电子-空穴对,空穴流向体区,SOI MOS 浮体效应导致空穴在体区积累,从而抬高体区电势,使得 SOI NMOS 的阈值电压降低继而漏电流增加,导致器件的输出特性曲线  $I_d V_d$  有翘曲现象,这一现象称为 Kink 效应。Kink 效应对器件和电路性能以及可靠性产生诸多不利的影响,在器件设计时应尽量抑制。对 SOI PMOS,由于空穴的电离率比较低,碰撞电离产生的电子-空穴对远低于 SOI NMOS,因此 SOI PMOS 中的 Kink 效应不明显。

[0005] 为了解决部分耗尽 SOI NMOS,通常采用体接触 (body contact) 的方法将“体”接固定电位 (源端或地),如图 1a-1b 所示,为传统 T 型栅结构体接触,在 T 型栅的一端形成的 P<sup>+</sup> 注入区与栅下面的 P 型体区相连,MOS 器件工作时,体区积累的载流子通过 P<sup>+</sup> 通道泄放,达到降低体区电势的目的,负面作用是造成工艺流程复杂化,寄生效应增加,降低了部分电学性能并且增大了器件面积。

[0006] 鉴于此,本发明为了抑制 SOI MOS 器件中的浮体效应,提出一种新型的 MOS 结构,该新型结构可以通过硅化物工艺得以实现,工艺简单易行。

### 发明内容

[0007] 本发明要解决的技术问题在于提供一种抑制 SOI 浮体效应的 MOS 器件结构的制作方法,通过硅化物工艺有效抑制 SOI 浮体效应。

[0008] 为了解决上述技术问题,本发明采用如下技术方案:

[0009] 一种抑制 SOI 浮体效应的 MOS 器件结构的制作方法,包括以下步骤:

[0010] 步骤一、在具有绝缘埋层的 Si 材料上制作浅沟槽隔离结构,隔离出有源区,并在

有源区上制作栅区；

[0011] 步骤二、进行高剂量的源区轻掺杂和漏区轻掺杂，形成高浓度的轻掺杂 N 型源区和轻掺杂 N 型漏区，所述高剂量的源区轻掺杂和漏区轻掺杂注入剂量达到  $1e15/cm^2$  的量级，所述高浓度的轻掺杂 N 型源区和轻掺杂 N 型漏区的浓度达到  $1e19/cm^3$  的量级；

[0012] 步骤三、采用一道在轻掺杂 N 型源区的位置设有开口的掩膜版，经由该掩膜版垂直地进行重掺杂 P 离子注入，控制 P 离子注入至轻掺杂 N 型源区下方，从而形成重掺杂的 P 型区域；

[0013] 步骤四、进行一次源区和漏区离子注入，形成 N 型 Si 材料源区和 N 型漏区，在所述 N 型 Si 材料源区和 N 型漏区之间形成体区，在 N 型 Si 材料源区和绝缘埋层之间保留部分重掺杂的 P 型区域成为重掺杂 P 型区；

[0014] 步骤五、在 N 型 Si 材料源区的部分表面形成一层金属，然后通过热处理使该金属与其下的 Si 材料反应生成硅化物，并使该硅化物与所述重掺杂 P 型区接触，而剩余的未与该金属反应的 Si 材料成为 N 型 Si 区，生成的硅化物和 N 型 Si 区构成 N 型源区，最终完成 MOS 器件结构。

[0015] 本发明公开的抑制 SOI 浮体效应的 MOS 结构的制作方法，其有益效果在于：所制作的结构在源区下方存在重掺杂的 P 型区，源区硅化物穿通源端 N 区与下方的重掺杂 P 区形成欧姆接触，释放 SOI MOS 器件在体区积累的空穴，从而抑制 SOI MOS 器件的浮体效应。本发明在有效抑制浮体效应的同时，还具有不会增加芯片面积，制造工艺简单与常规 CMOS 工艺相兼容等优点。

#### 附图说明

[0016] 图 1a 为背景技术中采用体接触方法抑制浮体效应的 MOS 结构俯视示意图；

[0017] 图 1b 为背景技术中采用体接触方法抑制浮体效应的 MOS 结构剖面示意图；

[0018] 图 2a-2e 为利用本发明方法制备 MOS 器件结构的工艺流程示意图。

#### 具体实施方式

[0019] 下面结合附图进一步说明本发明，为了示出的方便附图并未按照比例绘制。

[0020] 如图 2e 所示，一种抑制 SOI 浮体效应的 MOS 器件结构，包括：衬底 10、位于衬底 10 之上的绝缘埋层 20、位于绝缘埋层 20 之上的有源区、位于所述有源区之上的栅区以及位于所述有源区周围的浅沟槽隔离 (STI) 结构 30。

[0021] 所述有源区包括：体区 70、N 型源区、N 型漏区 40、重掺杂 P 型区 60；所述 N 型源区由硅化物 51 和与之相连的 N 型 Si 区 52 两部分组成；所述 N 型源区和 N 型漏区 40 分别位于体区 70 两端；重掺杂 P 型区 60 位于所述 N 型源区的硅化物 51 与绝缘埋层 20 之间，并分别与硅化物 51、体区 70、绝缘埋层 20 以及浅沟槽隔离结构 30 相接触；N 型 Si 区 52 与体区 70 相接触。

[0022] 其中，所述栅区包括栅介质层 81 和位于所述栅介质层 81 上的栅电极 82。在所述栅区周围还设有绝缘侧墙隔离结构 90。有源区主要采用 Si 材料。其中体区 70 可采用 P 型的 Si 材料。N 型漏区 40 采用 N 型的 Si 材料。绝缘埋层 20 可采用二氧化硅或氮化硅材料，在本发明一具体例子中可采用二氧化硅，即为埋层氧化层 (BOX)。硅化物 51 可以是任何导

电的硅化物（例如硅化钴，硅化钛），使其可以与下方的重掺杂 P 型区 60 形成欧姆接触，用于释放 SOI MOS 器件在体区积累的空穴，从而抑制 SOI MOS 器件的浮体效应。由于浮体效应导致的 Kink 效应在 SOIPMOS 中不明显，因此本发明的方案主要是针对 SOI NMOS 器件。

[0023] 上述抑制 SOI 浮体效应的 MOS 器件结构的制作方法，如图 2a-2e 所示，包括以下步骤：

[0024] 步骤一、如图 2a，在具有绝缘埋层 20 的 Si 材料 (SOI) 上制作浅沟槽隔离结构 30，隔离出有源区 700，并在有源区 700 上制作栅区，即在有源区 700 上依次制作栅介质层 81、栅电极 82，其中栅电极 82 可采用多晶硅材料。在制作栅区之前可以先对有源区进行 P 离子注入用于调节阈值电压。

[0025] 步骤二、如图 2b，进行高剂量的源区轻掺杂 (LDS) 和漏区轻掺杂 (LDD)，在这一步骤中，与传统的 LDD/LDS 不同之处在于：本发明实际的轻掺杂源漏 N 型注入剂量达到  $1e15/cm^2$  的量级，所以可以称之为高掺杂源漏了，由此形成的轻掺杂 N 型源区 500 和轻掺杂 N 型漏区 400 具有较高的掺杂浓度，它们实际的浓度达到  $1e19/cm^3$ 。然而为了与源漏注入区别，这道工艺还是援引业界一直采用的名称 LDD/LDS。

[0026] 步骤三、采用氧化硅或氮化硅等材料在栅区周围制作侧墙隔离结构 (Spacer) 90，将轻掺杂 N 型源区 500 和轻掺杂 N 型漏区 400 的部分表面覆盖。通过离子注入的方法，从未被覆盖的轻掺杂 N 型源区和轻掺杂 N 型漏区表面向下注入离子，在轻掺杂 N 型源区 500 下方形成重掺杂的 P 型区域 600。如图 2c 所示，在一具体实施例中，该步骤可以采用一道在轻掺杂 N 型源区 500 的位置设有开口的掩膜版，经由该掩膜版垂直地进行重掺杂 P 离子注入，控制 P 离子注入至轻掺杂 N 型源区 500 下方，从而形成重掺杂的 P 型区域 600。

[0027] 步骤四、如图 2d，由于在步骤二中采用了高剂量的 LDD/LDS 工艺，保证了沟道电流依然从源端通过 N 型的 LDS 流出，另一方面保证低的源漏电阻，所以在这一过程中仅需要进行一次源区和漏区离子注入，形成 N 型 Si 材料源区 50 和 N 型漏区 40，而不需要二次侧墙工艺来进行二次源漏注入。这样在 N 型 Si 材料源区 50 和 N 型漏区 40 之间形成体区 70，在 N 型 Si 材料源区 50 和绝缘埋层 20 之间保留部分重掺杂的 P 型区域 600 成为重掺杂 P 型区 60。

[0028] 步骤五、在 N 型 Si 材料源区 50 的部分表面形成一层金属，例如 Co、Ti，然后通过热处理使该金属与其下的 Si 材料反应生成硅化物 51 并使该硅化物 51 与所述重掺杂 P 型区 60 接触，而剩余的未与该金属反应的 Si 材料成为 N 型 Si 区 52。热处理可采用炉管退火工艺，温度为 700-900℃，优选 800℃，退火时间为 50-70 秒，优选 1 分钟。Co 与 Si 反应生成的硅化物 51 为硅化钴，Ti 与 Si 反应生成硅化钛。生成的硅化物 51 和 N 型 Si 区 52 构成 N 型源区，最终完成如图 2e 所示的 MOS 器件结构。

[0029] 本发明中涉及的其他技术属于本领域技术人员熟悉的范畴，在此不再赘述。上述实施例仅用以说明而非限制本发明的技术方案。任何不脱离本发明精神和范围的技术方案均应涵盖在本发明的专利申请范围当中。

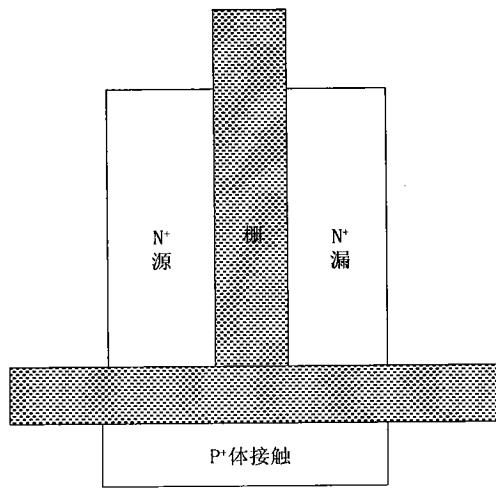


图 1a

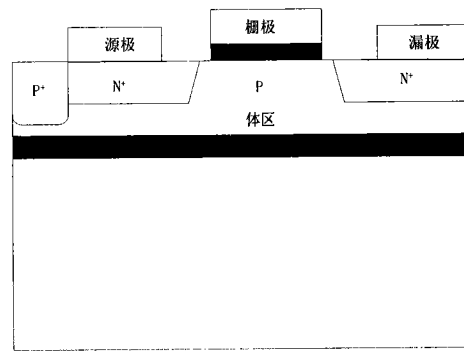


图 1b

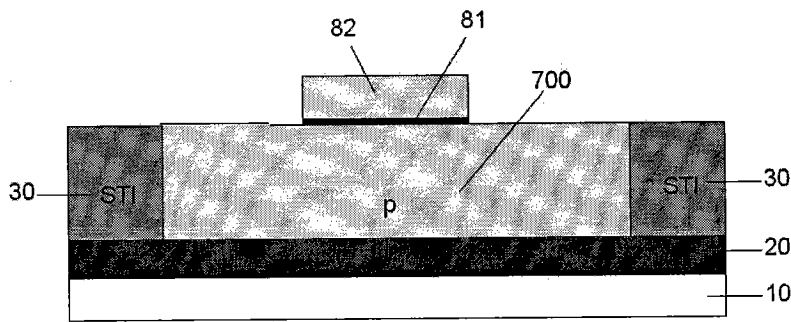


图 2a

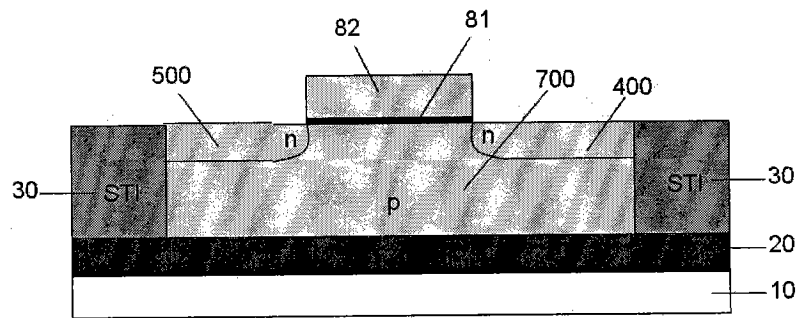


图 2b

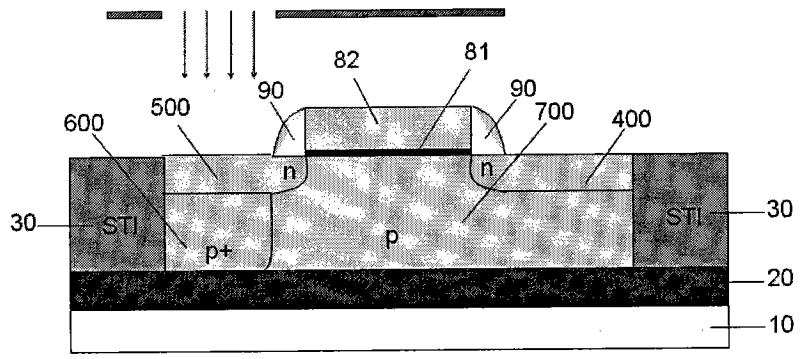


图 2c

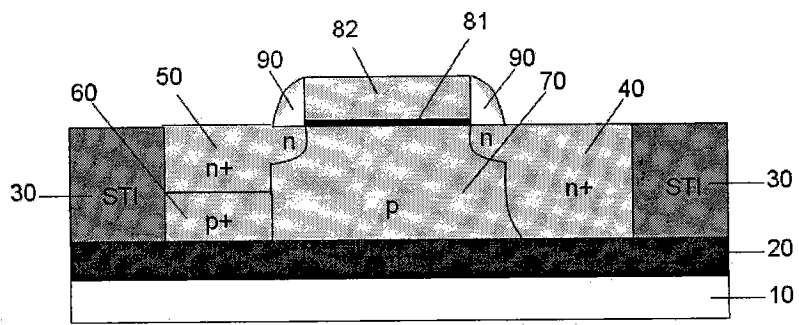


图 2d

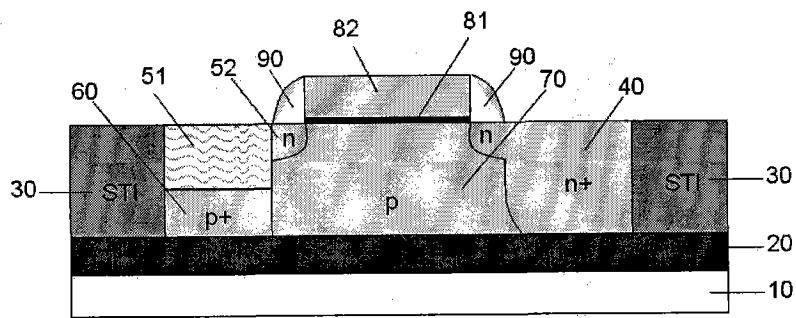


图 2e