



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년11월16일

(11) 등록번호 10-1676962

(24) 등록일자 2016년11월10일

- (51) 국제특허분류(Int. Cl.)
H03K 3/3562 (2006.01) H03K 3/037 (2006.01)
- (52) CPC특허분류
H03K 3/3562 (2013.01)
H03K 3/037 (2013.01)
- (21) 출원번호 10-2015-0103247
- (22) 출원일자 2015년07월21일
심사청구일자 2015년07월21일
- (56) 선행기술조사문헌
JP2001168685 A
KR1020090027042 A
KR1020050011439 A
KR1020080053185 A

- (73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
- (72) 발명자
강진구
서울특별시 서초구 잠원로12길 5, 335동 1003호(잠원동, 신반포아파트)
- 김수중**
인천광역시 남구 능해길 55 (송의동)
- (74) 대리인
양성보

전체 청구항 수 : 총 5 항

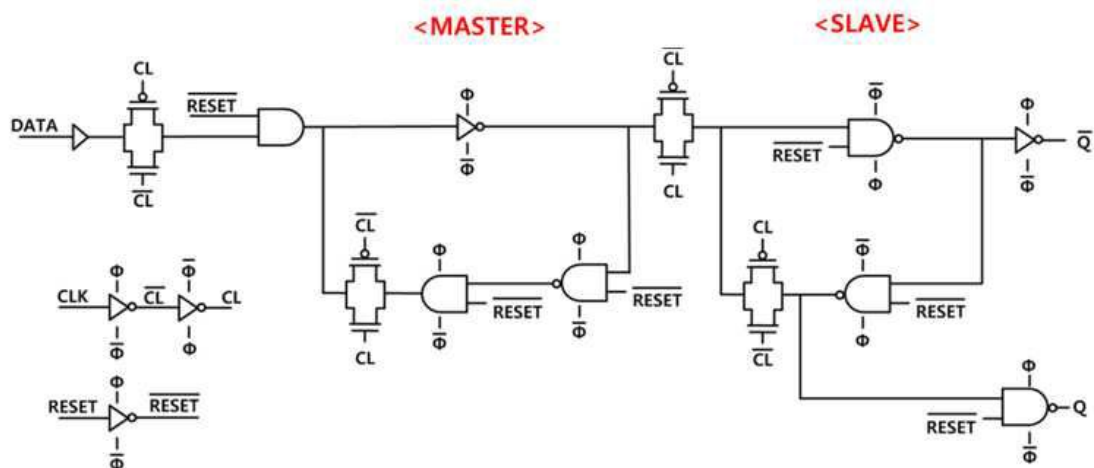
심사관 : 이우리

(54) 발명의 명칭 리셋이 있는 단열 디-플립플롭 회로

(57) 요약

리셋이 있는 단일 디-플립플롭 회로가 제시된다. 본 발명에서 제안하는 리셋이 있는 단일 디-플립플롭 회로는 제2 클럭신호에 응답하여 피드백 되는 제1 출력신호를 래치하여 출력하고 제1 클럭신호에 응답하여 데이터를 반전하여 출력하는 마스터, 상기 제1 클럭신호에 응답하여 피드백 되는 제2 출력신호를 래치하여 출력하고 상기 제2 클럭신호에 응답하여 상기 데이터를 반전하여 출력하는 슬레이브를 포함하고, 상기 마스터는 리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위한 AND 로직을 포함하고, 상기 슬레이브는 리셋이 하이이고, 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위한 NAND 로직을 포함한다.

대표도 - 도7



이 발명을 지원한 국가연구개발사업

과제고유번호 51555-1

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 중점연구소

연구과제명 (정부 및 산업체)그린 생체모방형 임플란터블 전자칩 및U- 생체정보처리 플랫폼 융합기술 개발(정보전자공동연구소)

기 여 율 1/2

주관기관 인하대학교 산학협력단

연구기간 2015.05.01 ~ 2016.04.30

이 발명을 지원한 국가연구개발사업

과제고유번호 1711014036

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 대학ICT연구센터 육성지원사업

연구과제명 정보기기용 시스템반도체 핵심 설계 기술 개발 및 인력양성

기 여 율 1/2

주관기관 서울시립대학교 산학협력단

연구기간 2015.01.01 ~ 2015.12.31

명세서

청구범위

청구항 1

리셋이 있는 단일 디-플립플롭 회로에 있어서,

제2 클럭신호에 응답하여 피드백 되는 제1 출력신호를 래치하여 출력하고 제1 클럭신호에 응답하여 데이터를 반전하여 출력하는 마스터; 및

상기 제1 클럭신호에 응답하여 피드백 되는 제2 출력신호를 래치하여 출력하고 상기 제2 클럭신호에 응답하여 상기 데이터를 반전하여 출력하는 슬레이브

를 포함하고,

상기 마스터는,

리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위해 마스터의 피드백 경로의 NAND 로직의 출력 값과 리셋을 입력으로 받는 AND 로직을 포함하고,

상기 슬레이브는,

리셋이 하이이고, 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위해 슬레이브의 피드백 되는 값과 리셋을 입력으로 받는 NAND 로직을 포함하는 것

을 특징으로 하는 리셋이 있는 단일 디-플립플롭 회로.

청구항 2

제1항에 있어서,

상기 마스터의 AND 로직은 상기 리셋이 로우인 구간에서는 버퍼로서 동작하는 것

을 특징으로 하는 리셋이 있는 단일 디-플립플롭 회로.

청구항 3

제1항에 있어서,

상기 슬레이브의 NAND 로직은 상기 리셋이 로우인 구간에서는 인버터로서 동작하는 것

을 특징으로 하는 리셋이 있는 단일 디-플립플롭 회로.

청구항 4

제1항에 있어서,

상기 마스터 및 슬레이브는 상기 리셋이 하이인 구간에서는 기존 값과 피드백 되는 값이 동일한 것

을 특징으로 하는 리셋이 있는 단일 디-플립플롭 회로.

청구항 5

리셋이 있는 단일 디-플립플롭 회로 동작 방법에 있어서,

마스터를 통해 제2 클럭신호에 응답하여 피드백 되는 제1 출력신호를 래치하여 출력하고 제1 클럭신호에 응답하여 데이터를 반전하여 출력하는 단계; 및

슬레이브를 통해 상기 제1 클럭신호에 응답하여 피드백 되는 제2 출력신호를 래치하여 출력하고 상기 제2 클럭신호에 응답하여 상기 데이터를 반전하여 출력하는 단계

를 포함하고,

상기 마스터는,

리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위해 마스터의 피드백 경로의 NAND 로직의 출력 값과 리셋을 입력으로 받는 AND 로직을 포함하고,

상기 슬레이브는,

리셋이 하이이고, 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위해 슬레이브의 피드백 되는 값과 리셋을 입력으로 받는 NAND 로직을 포함함으로써 리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값이 동일한 것

을 특징으로 하는 리셋이 있는 단일 디-플립플롭 회로 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 QSERL(Quasi-Static Energy Recovery Logic)로 설계한 전달 게이트(Transmission Gate) 디-플립플롭(D-flipflop)의 출력과형의 흔들림을 방지할 수 있는 회로에 관한 것이다.

배경 기술

[0002] 최근 수십 년 동안의 VLSI 시스템에 대한 설계는 제조 공정의 발달로 인하여 고집적화, 빠른 동작속도가 가능해졌다. 이러한 결과로 인해서 회로 설계자들은 회로의 동작 속도와 집적화에 많은 집중을 하였다. 하지만 빠른 동작속도와 집적도의 발달은 회로의 전력 소모의 증가를 가져 왔고, 또한 열로 인한 에너지 소모가 중요한 문제로 부각 되었다. 이에 따라 회로에서 사용되는 전력 소모를 줄이고, 사용된 에너지를 재사용하기 위해 선형적인 전력 공급 클럭(Power Clock, PCK)을 사용하여 에너지 소모를 줄일 수 있는 단일회로를 필요로 한다.

[0003] 기존의 CMOS 회로는 임의의 노드에 대한 충전과 방전 과정의 통하여 데이터 값을 변화하는 방법을 사용하기 때문에 많은 에너지의 소모가 발생한다. 그러나 충전 과정 중에 발생하는 에너지 손실(단열 손실)은 막을 수 없지만 방전과정의 에너지 손실(비단열 손실)은 재사용 될 수 있다는 생각으로 연구된 것이 단열 회로이다. 단열 회로는 공급전압으로 선형적인 전력 공급 클럭을 사용하기 때문에 전압을 천천히 상승시키고, 천천히 하강 시키는 것이 가능하다. 이러한 공급 전압의 특성으로 갑작스런 전압 변화에 따른 에너지 손실을 줄일 수 있다. 이러한 것을 단열 스위칭(adiabatic swithing)이라 한다. 단열 회로에서는 단열 스위칭 원리에 따라서 임의의 노드를 구동하기 때문에 CMOS 회로에서 발생하던 비단열 손실을 제거하는 것이 가능하다.

[0004] 또한 제안하는 발명에서는 단열 회로(Adiabatic circuit) 중 QSERL구조를 사용하였으며, QSERL 구조에 대한 설명은 다음과 같다. QSERL 회로는 회로 구동을 위해 2개의 사인과 클럭 전원을 사용함으로써 충전 과정 중에 발생하는 에너지 손실(단열 손실)도 막고, 방전과정의 에너지 손실(비단열 손실) 또한 재사용 될 수 있는 단열 회로이다.

[0005] 도 1은 QSERL 동작 원리를 나타내는 도면이다.

[0006] 도 1에서 QSERL의 회로 구성을 보여준다. QSERL은 스태틱(Static) CMOS에서 두 개의 다이오드를 추가한 형태를 가지고 있다. 맨 위의 다이오드는 전하를 충전하는 경로를 제어하고, 아래 다이오드는 방전하는 경로를 제어한다. 사인과 클럭 전원은 Evaluation, Hold 2개의 위상으로 구성되어 있으며, 위상에 따라 다음과 같이 존재한다.

[0007] Evaluation 위상(Φ 상승, Φ 하강)에서는 4가지 케이스가 존재한다.

[0008] 1) X 노드 LOW, pMOS Tree ON $\rightarrow$ X노드는 Φ 상승하는 것을 따라서 상승

[0009] 2) X 노드 LOW, nMOS Tree ON $\rightarrow$ X노드는 LOW(변하지 않음)

[0010] 3) X 노드 HIGH, PMOS Tree ON $\rightarrow$ X노드는 HIGH(변하지 않음)

[0011] 4) X 노드 HIGH, nMOS Tree ON $\rightarrow$ X노드는 Φ 하강하는 것을 따라서 하강

- [0012] Hold 위상(Φ 하강, Φ 상승)에서 X노드의 전압은 위, 아래의 다이오드 때문에 변하지 않는다.
- [0013] 도 2는 QSERL 다이오드 구성을 나타내는 도면이다.
- [0014] 충전 과정 중에 발생하는 에너지 손실(단열 손실)도 막고자 다이오드 구조를 도 2와 같이 설계를 한다. 도 2와 같이 다이오드와 MOSFET을 같이하면 큰 게이트-소스 전압을 만들 수 있어 MOSFET을 트라이오드 영역에서 동작시키는 것이 가능하다. 그러므로 턴 온 저항이 작아 충전과정에서의 에너지 소모를 다이오드만 사용 할 때보다 감소 시킬 수 있다.

선행기술문헌

특허문헌

(특허문헌 0001) 한국 등록특허공보 10-0473386호(2005.02.16.)

발명의 내용

해결하려는 과제

- [0015] 본 발명이 이루고자 하는 기술적 과제는 회로에서 사용되는 전력 소모를 줄이고, 사용된 에너지를 재사용하기 위해 선형적인 전력 공급 클럭(Power Clock, PCK)을 사용하여 에너지 소모를 줄일 수 있는 단열회로를 제공하는 데 있다.

과제의 해결 수단

- [0016] 일 측면에 있어서, 본 발명에서 제안하는 리셋이 있는 단열 디-플립플롭 회로는 제2 클럭신호에 응답하여 피드백 되는 제1 출력신호를 래치하여 출력하고 제1 클럭신호에 응답하여 데이터를 반전하여 출력하는 마스터, 상기 제1 클럭신호에 응답하여 피드백 되는 제2 출력신호를 래치하여 출력하고 상기 제2 클럭신호에 응답하여 상기 데이터를 반전하여 출력하는 슬레이브를 포함한다.
- [0017] 상기 마스터는 리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위한 AND 로직을 포함한다.
- [0018] 상기 슬레이브는 리셋이 하이이고, 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위한 NAND 로직을 포함한다.
- [0019] 상기 마스터의 AND 로직은 상기 리셋이 로우인 구간에서는 버퍼로서 동작한다.
- [0020] 상기 슬레이브의 NAND 로직은 상기 리셋이 로우인 구간에서는 인버터로서 동작한다.
- [0021] 상기 마스터 및 슬레이브는 상기 리셋이 하이인 구간에서는 기존 값과 피드백 되는 값이 동일하다.
- [0022] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 리셋이 있는 단열 디-플립플롭 회로 동작 방법은 마스터를 통해 제2 클럭신호에 응답하여 피드백 되는 제1 출력신호를 래치하여 출력하고 제1 클럭신호에 응답하여 데이터를 반전하여 출력하는 단계, 슬레이브를 통해 상기 제1 클럭신호에 응답하여 피드백 되는 제2 출력신호를 래치하여 출력하고 상기 제2 클럭신호에 응답하여 상기 데이터를 반전하여 출력하는 단계를 포함한다.
- [0023] 상기 마스터는 AND 로직을 포함하고, 상기 슬레이브는 NAND 로직을 포함함으로써 리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값이 동일하다.

발명의 효과

- [0024] 본 발명의 실시예들에 따르면 제안된 리셋이 있는 단열 디-플립플롭을 통해 출력을 일정하게 하여 회로의 동작을 정확하게 할 수 있으며, 또한 리셋이 있는 디-플립플롭 구조의 설계를 통해, 추후 디지털 회로에서 필수적인 카운터 블록을 설계하는 것이 가능하게 하여 QSERL 회로로 디지털 블록을 설계하는 것이 가능하다.

도면의 간단한 설명

- [0025] 도 1은 종래기술에 따른 QSERL 동작 원리를 나타내는 도면이다.
- 도 2는 종래기술에 따른 QSERL 다이오드 구성을 나타내는 도면이다.
- 도 3은 종래기술에 따른 리셋이 있는 디-플립플롭을 나타내는 도면이다.
- 도 4는 종래기술에 따른 리셋이 있는 디-플립플롭 출력 파형을 나타내는 도면이다.
- 도 5는 종래기술에 따른 구조에 단열(Adiabatic)을 적용한 파형
- 도 6은 종래기술에 따른 구조에서 출력파형 흔들림 원인을 설명하기 위한 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 리셋이 있는 단열 디-플립플롭을 나타내는 도면이다.
- 도 8은 본 발명의 일 실시예에 따른 리셋이 있는 단열 디-플립플롭의 흔들림 방지 이유를 설명하기 위한 도면이다.
- 도 9는 본 발명의 일 실시예에 따른 리셋이 있는 단열 디-플립플롭 출력 파형을 나타내는 도면이다.
- 도 10은 본 발명의 일 실시예에 따른 리셋이 있는 단열 디-플립플롭 회로 동작 방법을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0027] 도 3은 종래기술에 따른 리셋이 있는 디-플립플롭을 나타내는 도면이다.
- [0028] 종래기술에 따른 리셋이 있는 디-플립플롭은 도 3과 같이 리셋(Reset)이 "하이(High)"인 경우에 NAND 로직(logic)에서의 출력(output)이 "하이(High)"로 항상 출력되어, 데이터(Data)가 변해도 디-플립플롭의 출력(Q)에서는 항상 "하이(High)"가 일정하게 유지된다.
- [0029] 도 4는 종래기술에 따른 리셋이 있는 디-플립플롭 출력 파형을 나타내는 도면이다.
- [0030] 종래기술에 따른 리셋이 있는 디-플립플롭은 리셋(Reset)이 "하이(High)"인 경우에 NAND 로직(logic)에서의 출력(output)이 "하이(High)"로 항상 출력되어, 데이터(Data)가 변해도 디-플립플롭의 출력(Q)에서는 항상 "하이(High)"가 도 4와 같이 일정하게 유지된다.
- [0031] 도 5는 종래기술에 따른 구조에 단열(Adiabatic)을 적용한 파형
- [0032] 이러한 종래기술에 따른 구조에 QSERL 구조를 적용해서 설계를 하면 도 5와 같이 리셋(Reset)이 "하이(High)"이고, 데이터(Data)가 "로우(Low)"인 구간에서 디-플립플롭의 출력이 흔들리는 것을 확인할 수가 있다. 도 6을 참조하여 이러한 이유에 대하여 설명한다.
- [0033] 도 6은 종래기술에 따른 구조에서 출력파형 흔들림 원인을 설명하기 위한 도면이다.
- [0034] 종래기술에 따른 구조에 QSERL 구조를 적용해서 설계를 하면 리셋(Reset)이 "하이(High)"이고, 데이터(Data)가 "로우(Low)"인 구간에서 디-플립플롭의 출력이 흔들리는 것을 확인할 수가 있다. 이러한 이유로는 도 6과 같이 리셋(Reset)이 "하이(High)"이고 데이터(Data)가 "로우(Low)"일 때 마스터(Master), 슬레이브(Slave) 부분에서 루프를 돌았을 때 기존의 값과 루프를 돈 값이 서로 달라서 충돌이 발생하는 것이다. 기존의 CMOS는 전압이 VDD, VSS로 고정되어 있어 이런 것에 영향을 적게 받지만, QSERL인 단열(Adiabatic) 구조는 공급전압이 사인파(sinusoidal) 형태의 전압을 사용하기 때문에 이런 값의 충돌에 많은 영향을 받아 디-플립플롭 출력에도 충돌된 영향들이 리플(Ripple)의 형태로 나타나게 된다. 디-플립플롭의 출력 파형에 리플(Ripple)이 생기면 추후 회로를 동작시킬 때 오동작의 가능성이 있고, 시스템의 안정성 또한 보장할 수 없는 단점이 있어 개선이 필요하다.

- [0035] 도 7은 본 발명의 일 실시예에 따른 리셋이 있는 단일 디-플립플롭을 나타내는 도면이다.
- [0036] 제안하는 리셋이 있는 단일 디-플립플롭 회로는 제2 클럭신호에 응답하여 피드백 되는 제1 출력신호를 래치하여 출력하고 제1 클럭신호에 응답하여 데이터를 반전하여 출력하는 마스터, 상기 제1 클럭신호에 응답하여 피드백 되는 제2 출력신호를 래치하여 출력하고 상기 제2 클럭신호에 응답하여 상기 데이터를 반전하여 출력하는 슬레이브를 포함한다.
- [0037] 상기 마스터는 리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위한 AND 로직을 포함한다. 그리고, 상기 슬레이브는 리셋이 하이이고, 데이터가 로우일 때, 기존 값과 피드백 되는 값의 차이에 의해 충돌하는 것을 방지하기 위한 NAND 로직을 포함한다.
- [0038] 제안하는 리셋이 있는 단일 디-플립플롭 구조는 리셋(Reset)이 "하이(High)"이고, 데이터(Data)가 "로우(Low)"인 구간에서도 디-플립플롭의 출력인 Q가 흔들리지 않는 것을 개선한 구조이다. 그 이유로는 리셋(Reset)이 "하이(High)"이고 데이터(Data)가 "로우(Low)"일 때 마스터(Master), 슬레이브(Slave) 부분에서 루프를 돌았을 때 기존의 값과 루프를 돈 값이 서로 달라서 충돌하는 것을 NAND 로직과 AND 로직을 이용하여 출력파형의 흔들림을 개선 한 것이다. 따라서 사인파(sinusoidal) 형태의 전압을 사용하더라도 값의 충돌이 없기 때문에 디-플립플롭 출력이 일정 하게 유지 되는 것을 확인할 수 있다.
- [0039] 도 8은 본 발명의 일 실시예에 따른 리셋이 있는 단일 디-플립플롭의 흔들림 방지 이유를 설명하기 위한 도면이다.
- [0040] 도 8을 참조하면, 리셋(Reset)이 "하이(High)"이고 데이터(Data)가 "로우(Low)"일 때 마스터(Master), 슬레이브(Slave) 부분에서 루프를 돌았을 때 기존의 값과 루프를 돈 값이 서로 달라서 충돌하는 것을 NAND 로직과 AND 로직을 이용하여 출력파형의 흔들림을 개선할 수 있다. 따라서 사인파(sinusoidal) 형태의 전압을 사용하더라도 값의 충돌이 없기 때문에 디-플립플롭 출력이 일정 하게 유지 되는 것을 확인할 수 있다.
- [0041] 제안하는 리셋이 있는 단일 디-플립플롭 구조에서 추가 된 NAND, AND 로직은 리셋(Reset)이 "로우(Low)"인 구간에서는 NAND는 인버터(INVERTER)의 역할을 하고, AND는 버퍼(BUFFER)의 역할을 하므로 기존 제안된 리셋이 있는 디-플립플롭과 동일한 기능을 하고, 리셋(Reset)이 "하이(High)"인 구간에는 마스터(Master), 슬레이브(Slave) 부분에서 루프를 돌아도 값들이 동일하게 만들어 디-플립플롭의 출력이 일정한 파형으로 출력되도록 한다.
- [0042] 도 9는 본 발명의 일 실시예에 따른 리셋이 있는 단일 디-플립플롭 출력 파형을 나타내는 도면이다.
- [0043] 제안하는 리셋이 있는 단일 디-플립플롭 구조에서 추가 된 NAND, AND 로직은 리셋(Reset)이 "로우(Low)"인 구간에서는 NAND는 인버터(INVERTER)의 역할을 하고, AND는 버퍼(BUFFER)의 역할을 하므로 기존 제안된 리셋이 있는 디-플립플롭과 동일한 기능을 하고, 리셋(Reset)이 "하이(High)"인 구간에는 마스터(Master), 슬레이브(Slave) 부분에서 루프를 돌아도 값들이 동일하게 만들어 디-플립플롭의 출력이 일정한 파형으로 출력되도록 한다. 그러므로 제안하는 구조를 사용하면 단일 회로(Adiabatic circuit)을 적용했을 때, 리셋이 있는 단일 디-플립플롭 구조를 사용할 수 있는 동시에 플립플롭의 오동작의 가능성을 없애고, 시스템의 안정성 또한 보장하는 장점이 있다.
- [0044] 따라서 리셋이 있는 단일 디-플립플롭을 통해 출력을 일정하게 하여 회로의 동작을 정확하게 할 수 있으며, 또한 리셋이 있는 디-플립플롭 구조의 설계를 통해, 추후 디지털 회로에서 필수적인 카운터 블록을 설계하는 것이 가능하게 하여 QSERL 회로로 디지털 블록을 설계하는 것을 가능하게 한다.
- [0045] 도 10은 본 발명의 일 실시예에 따른 리셋이 있는 단일 디-플립플롭 회로 동작 방법을 설명하기 위한 흐름도이다.
- [0046] 단일 디-플립플롭 회로 동작 방법은 마스터를 통해 제2 클럭신호에 응답하여 피드백 되는 제1 출력신호를 래치하여 출력하고 제1 클럭신호에 응답하여 데이터를 반전하여 출력하는 단계(1010), 슬레이브를 통해 상기 제1 클럭신호에 응답하여 피드백 되는 제2 출력신호를 래치하여 출력하고 상기 제2 클럭신호에 응답하여 상기 데이터를 반전하여 출력하는 단계(1020)를 포함한다.

- [0047] 그리고 상기 마스터는 AND 로직을 포함하고, 상기 슬레이브는 NAND 로직을 포함함으로써 리셋이 하이이고, 상기 데이터가 로우일 때, 기존 값과 피드백 되는 값이 동일하게 유지된다.
- [0048] 제안하는 리셋이 있는 단일 디-플립플롭 구조는 리셋(Reset)이 "하이(High)"이고, 데이터(Data)가 "로우(Low)"인 구간에서도 디-플립플롭의 출력인 Q가 흔들리지 않는 것을 개선한 구조이다. 그 이유로는 리셋(Reset)이 "하이(High)"이고 데이터(Data)가 "로우(Low)"일 때 마스터(Master), 슬레이브(Slave) 부분에서 루프를 돌았을 때 기존의 값과 루프를 돈 값이 서로 달라서 충돌하는 것을 NAND 로직과 AND 로직을 이용하여 출력파형의 흔들림을 개선 한 것이다. 따라서 사인파(sinusoidal) 형태의 전압을 사용하더라도 값의 충돌이 없기 때문에 디-플립플롭 출력이 일정 하게 유지 되는 것을 확인할 수 있다.
- [0049] 제안하는 리셋이 있는 단일 디-플립플롭 구조에서 추가 된 NAND, AND 로직은 리셋(Reset)이 "로우(Low)"인 구간에서는 NAND는 인버터(INVERTER)의 역할을 하고, AND는 버퍼(BUFFER)의 역할을 하므로 기존 제안된 리셋이 있는 디-플립플롭과 동일한 기능을 하고, 리셋(Reset)이 "하이(High)"인 구간에는 마스터(Master), 슬레이브(Slave) 부분에서 루프를 돌아도 값들이 동일하게 만들어 디-플립플롭의 출력이 일정한 파형으로 출력되도록 한다.
- [0050] 그러므로 제안하는 구조를 사용하면 단일 회로(Adiabatic circuit)을 적용했을 때, 리셋이 있는 단일 디-플립플롭 구조를 사용할 수 있는 동시에 플립플롭의 오동작의 가능성을 없애고, 시스템의 안정성 또한 보장하는 장점이 있다.
- [0051] 따라서 리셋이 있는 단일 디-플립플롭을 통해 출력을 일정하게 하여 회로의 동작을 정확하게 할 수 있으며, 또한 리셋이 있는 디-플립플롭 구조의 설계를 통해, 추후 디지털 회로에서 필수적인 카운터 블록을 설계하는 것이 가능하게 하여 QSERL 회로로 디지털 블록을 설계하는 것을 가능하게 한다.
- [0052] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0053] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0054] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은

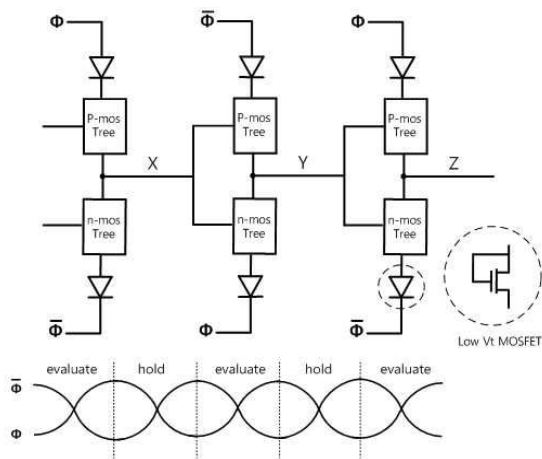
기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0055] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

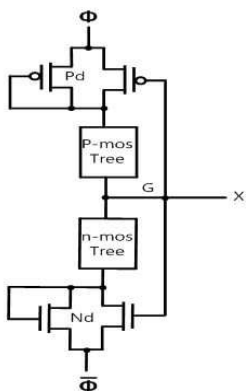
[0056] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

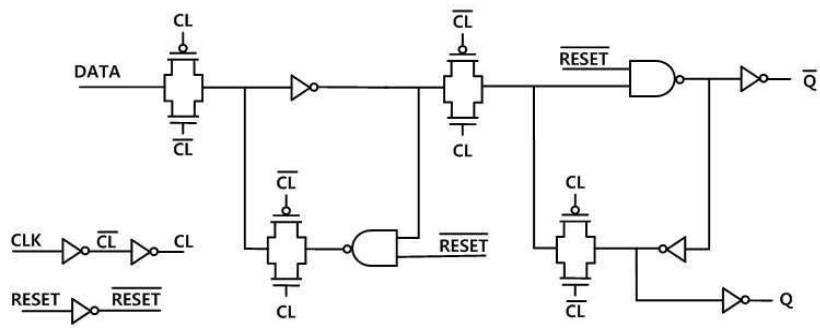
도면1



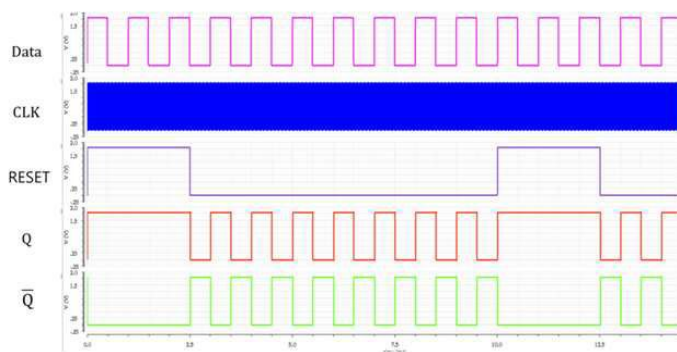
도면2



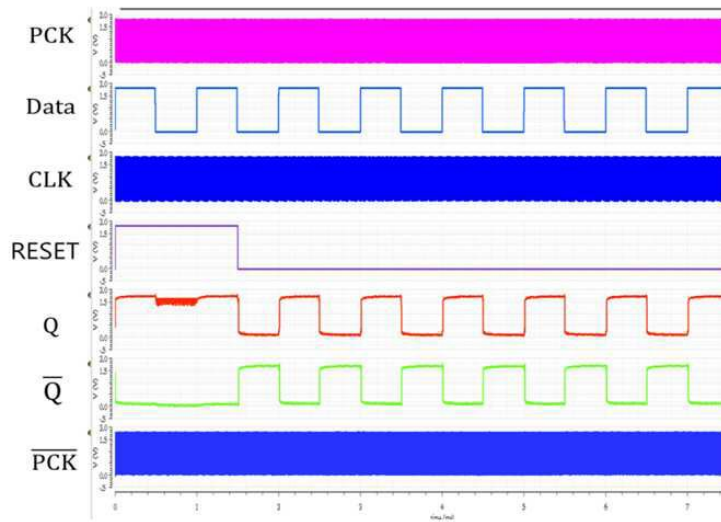
도면3



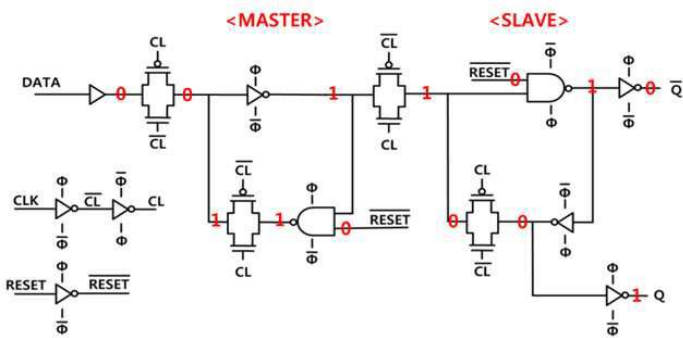
도면4



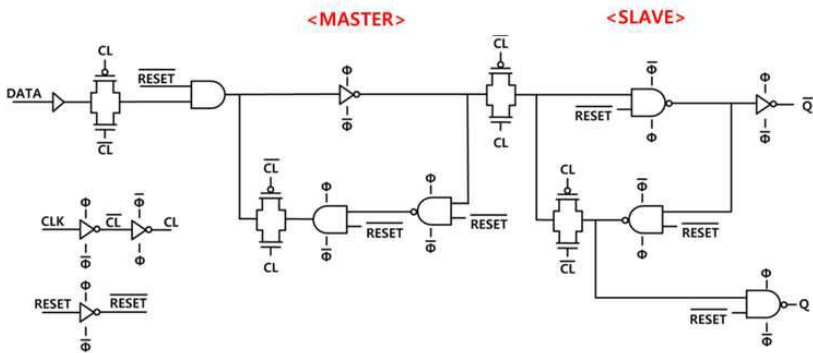
도면5



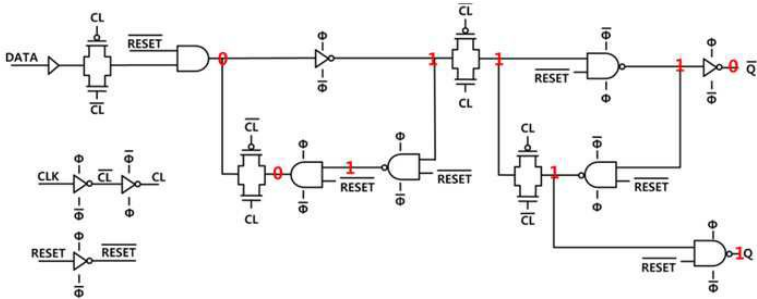
도면6



도면7

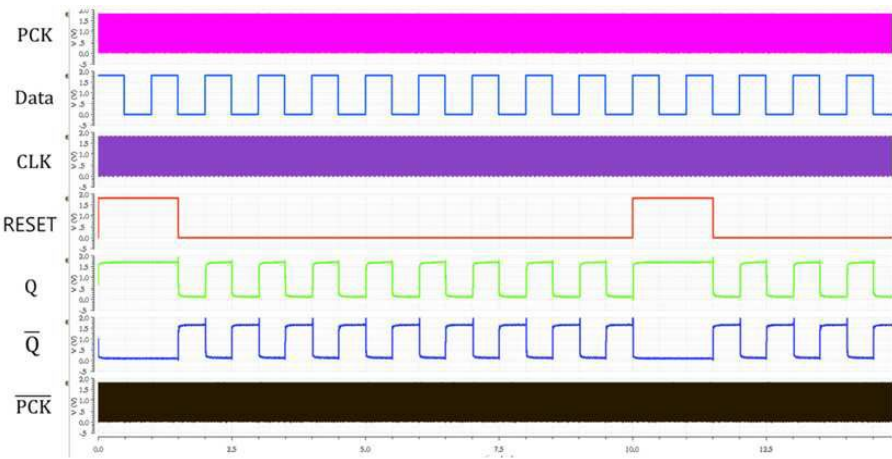


도면8



AND				NAND			
	input		Output(Q)		input		Output(Q)
Reset = 1	0	0	0	Reset = 1	0	0	1
	0	1	0		0	1	1
Reset = 0	1	0	0	Reset = 0	1	0	1
	1	1	1		1	1	0

도면9



도면10

