

【特許請求の範囲】**【請求項 1】**

タイマー割り込みの第一の周期を、所定の係数を乗じた第二の周期に短縮させ、前記タイマー割り込みとは非同期な処理を待機するタスクの待機時間について、前記第一の周期単位の周期数を前記所定の係数で除した周期数に補正し、

補正後の前記周期数の前記タイマー割り込みの発生により前記待機時間を計測する処理をコンピュータが実行する試験方法。

【請求項 2】

タスクからの待機要求に応じ、前記非同期な処理を待機するタスクに関する識別情報を記憶する記憶部を参照して、該待機要求に係るタスクに関して前記周期数の補正の要否を判定する処理を前記コンピュータが実行する請求項 2 記載の試験方法。

10

【請求項 3】

タイマー割り込みの第一の周期を、所定の係数を乗じた第二の周期に短縮させ、前記タイマー割り込みとは非同期な処理を待機するタスクの待機時間について、前記第一の周期単位の周期数を前記所定の係数で除した周期数に補正し、

補正後の前記周期数の前記タイマー割り込みの発生により前記待機時間を計測する処理をコンピュータに実行させる試験プログラム。

【請求項 4】

タイマー割り込みの第一の周期を、所定の係数を乗じた第二の周期に短縮させる短縮部と、

20

前記タイマー割り込みとは非同期な処理を待機するタスクの待機時間について、前記第一の周期単位の周期数を前記所定の係数で除した周期数に補正する補正部と、

補正後の前記周期数の前記タイマー割り込みの発生により前記待機時間を計測する計測部とを有する情報処理装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ソフトウェアの試験方法、試験プログラム、及び情報処理装置に関する。

【背景技術】**【0002】**

30

ソフトウェアの障害の中には、稼動状態が長期間継続した場合に発生するものがある。このような障害の原因の一つとして、例えば、一定周期で変数の値が継続的にインクリメント又はデクリメントされることによって、変数のオーバーフロー又はアンダーフローが発生し、当該オーバーフロー等の発生時における対処がされていないことが挙げられる。

一定周期の長さによっては、上記のような障害を検出するための試験に、長期間を要してしまう可能性がある。そこで、従来、ソフトウェアの加速試験が行われている。加速試験の方法としては、変数を加速する方法やソフトウェアの時間を加速する方法（例えば、特許文献 1 参照）がある。

【0003】

40

変数を加速する方法では、一定周期でインクリメント又はデクリメントされる変数に対して、試験対象のソフトウェアの外部からインクリメント又はデクリメント操作が行われる。そうすることで、一定周期より速い周期で変数のインクリメント又はデクリメントが可能となる。例えば、ハードウェアから一定周期で割り込みを受けた際に OS (Operating System) によってインクリメントされる変数に関して、OS の外部のソフトウェアが、当該変数のインクリメントを割り込み周期とは無関係に行う例が挙げられる。

【0004】

しかしながら、変数を加速する方法では、加速可能な変数が、外部から参照及び更新可能な変数に限られるため、試験対象のソフトウェアの全体を加速させることはできない。

【0005】

50

一方、ソフトウェアの時間を加速する方法では、ハードウェアによるタイマー割り込みの周期が加速され、ソフトウェアが認識する時間が加速される。一般的に、CPUは、設定されたカウンタ値を所定の周期で減算し、当該カウンタ値が0となった時点でタイマー割り込みを発生させる。OSは、タイマー割り込みに応じて、OSが管理する時刻の更新や、タスクのディスパッチ等を行う。加速試験の際には、CPUに設定されるカウンタ値の値を小さくすることで、タイマー割り込みの周期を短くすることができる。その結果、OSが管理する時間の経過や、タスクのディスパッチ等が加速される。個々のタスクは任意の時間経過後に実行されるようにスケジューリングされるものが多く、時刻の経過が加速されることで、OS及びOS上で動作するソフトウェア全体の加速試験が可能となる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2004-38350号公報

【特許文献2】特開2007-34672号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、ソフトウェアの時間(タイマー割り込みの周期)を加速する方法では、タイマー割り込みとは非同期に動作するハードウェアにアクセスし、当該ハードウェアの応答待ちを行うようなタスクについて、加速試験が困難であるという問題がある。すなわち、タスクの応答待ち時間は加速されている一方で、ハードウェアの処理は、加速されないからである。その結果、タスクは、応答待ちから起床(又は復帰)しても、ハードウェアからの応答を得ることができず、タイムアウト等の異常を認識してしまう可能性がある。

【0008】

この点について、図を用いて更に詳しく説明する。図1は、タイマー割り込みの周期を加速しない場合のタスク動作と時間との関係の一例を示す図である。

【0009】

同図は、処理の実行主体ごとに、処理の実行タイミングを示す。すなわち、同図の水平方向は、時間軸を示す。同図では、タイマー割り込みの周期が4ミリ秒であることが示されている。なお、タイマー割り込みの周期ごとに、付与されている数値(0~24)は、同図の開始時からの相対的な実時間(ミリ秒)を示す。一方、垂直方向には、処理の実行主体として、タスクスケジューラ、タスク1、タスク2、タスク3、及び周辺ハードウェア等が列挙されている。

【0010】

タスクスケジューラは、一定時間後にタスクを起動するためのスケジュール情報としてのタイマーリストを有し、タスクを起床させる処理を実施する。タスク1、2、及び3は、タスクスケジューラに登録されているタスクである。周辺ハードウェアは、例えば、メモリ、HDD(Hard Disk Drive)等、タスクからアクセス対象とされるハードウェアである。

【0011】

ここでは、タスク3の動作に注目する。タスク3は、時刻8において、周辺ハードウェアに処理要求を行った後、16ミリ秒間の待機(wait)をOSに要求する。周辺ハードウェアの処理の終了を待機するためである。タスクスケジューラは、待機時間をタイマー割り込みの周期数に変換する。ここでは、 $16 \div 4 = 4$ 周期に変換される。そこで、タスクスケジューラは、4周期後の時刻24にタスク3を起床させる。一方、周辺ハードウェアの処理は、開始から12ミリ秒後の時刻20で完了している。したがって、時刻24に起床したタスク3は、周辺ハードウェアからの応答を得ることができ、以降の処理を継続することができる。

【0012】

10

20

30

40

50

一方、図2は、タイマー割り込みの周期を2分の1に加速した場合のタスク動作と時間との関係の一例を示す図である。同図の見方は、図1と同様である。

【0013】

同図において、タイマー割り込みの周期は、2ミリ秒に加速されている。タスク3の処理内容は、図1と同様である。すなわち、タスク3は、時刻2において、周辺ハードウェアに処理要求を行った後、16ミリ秒間の待機(wait)を開始する。なお、同図における時刻2は、タイマー割り込みの周期数では3周期目であり、タスク3やタスクスケジューラにとって、図1における時刻4と同じタイミングに相当する。

【0014】

タスクスケジューラは、待機時間をタイマー割り込みの周期数に変換する。ここでも、 $16 \div 4 = 4$ 周期に変換される。タスクスケジューラは、タイマー割り込みの周期が加速されていることを知らず、カウンタ値への変換式は、図1の場合と変わらないからである。そこで、タスクスケジューラは、4周期後の時刻12にタスク3を起床させる。一方、周辺ハードウェアの処理は、開始から12ミリ秒後の時刻16まで待たないと完了しない。したがって、時刻12に起床したタスク3は、周辺ハードウェアからの応答を得ることができず、タスク3はタイムアウト等を認識してしまう。

10

【0015】

そこで、タイマー割り込みとは非同期な処理を待機するソフトウェアに関して加速試験を行うことのできる試験方法、試験プログラム、及び情報処理装置の提供を目的とする。

20

【課題を解決するための手段】

【0016】

そこで上記課題を解決するため、試験方法は、タイマー割り込みの第一の周期を、所定の係数を乗じた第二の周期に短縮させ、前記タイマー割り込みとは非同期な処理を待機するタスクの待機時間について、前記第一の周期単位の周期数を前記所定の係数で除した周期数に補正し、補正後の前記周期数の前記タイマー割り込みの発生により前記待機時間を計測する処理をコンピュータが実行する。

【発明の効果】

【0017】

タイマー割り込みとは非同期な処理を待機するソフトウェアに関して加速試験を行うことができる。

30

【図面の簡単な説明】

【0018】

【図1】タイマー割り込みの周期を加速しない場合のタスク動作と時間との関係の一例を示す図である。

【図2】タイマー割り込みの周期を2分の1に加速した場合のタスク動作と時間との関係の一例を示す図である。

【図3】本発明の実施の形態における試験装置のハードウェア構成例を示す図である。

【図4】第一の実施の形態における試験装置の機能構成例を示す図である。

【図5】加速値受付部が実行する処理手順の一例を説明するためのフローチャートである。

40

【図6】第一の実施の形態の待機処理部の機能構成例を示す図である。

【図7】第一の実施の形態の待機処理部が実行する処理手順の一例を説明するためのフローチャートである。

【図8】加速解消部が実行する処理手順の一例を説明するためのフローチャートである。

【図9】試験装置全体の処理手順の一例を説明するためのフローチャートである。

【図10】タイマー割り込みの周期を加速しない場合の試験装置の動作の具体例を説明するための図である。

【図11】タイマー割り込みの周期を加速しない場合の試験装置におけるタスク動作と時間との関係の一例を示す図である。

50

【図12】タイマー割り込みの周期を2分の1に加速した場合の試験装置の動作の具体例を説明するための図である。

【図13】タイマー割り込みの周期を2分の1に加速した場合の試験装置におけるタスク動作と時間との関係の一例を示す図である。

【図14】第二の実施の形態の待機処理部の機能構成例を示す図である。

【図15】第三の実施の形態を説明するための図である。

【図16】第四の実施の形態を説明するための図である。

【図17】第四の実施の形態における試験タスク及び被試験装置の動作例を示す図である。

【図18】第四の実施の形態の試験タスクに係るプログラムの改変例を示す図である。

10

【発明を実施するための形態】

【0019】

以下、図面に基づいて本発明の実施の形態を説明する。図3は、本発明の実施の形態における試験装置のハードウェア構成例を示す図である。図3の試験装置10は、それぞれバスBで相互に接続されているドライブ装置100、補助記憶装置102、メモリ装置103、CPU104、及びインタフェース装置105等を有する。

【0020】

試験装置10での処理を実現するプログラムは、記録媒体101によって提供される。プログラムを記録した記録媒体101がドライブ装置100にセットされると、プログラムが記録媒体101からドライブ装置100を介して補助記憶装置102にインストールされる。但し、プログラムのインストールは必ずしも記録媒体101より行う必要はなく、ネットワークを介して他のコンピュータよりダウンロードするようにしてもよい。補助記憶装置102は、インストールされたプログラムを格納すると共に、必要なファイルやデータ等を格納する。

20

【0021】

メモリ装置103は、プログラムの起動指示があった場合に、補助記憶装置102からプログラムを読み出して格納する。CPU104は、メモリ装置103に格納されたプログラムに従って試験装置10に係る機能を実行する。インタフェース装置105は、ネットワークに接続するためのインタフェースとして用いられる。

【0022】

なお、記録媒体101の一例としては、CD-ROM、DVDディスク、又はUSBメモリ等の可搬型の記録媒体が挙げられる。また、補助記憶装置102の一例としては、HDD(Hard Disk Drive)又はフラッシュメモリ等が挙げられる。記録媒体101及び補助記憶装置102のいずれについても、コンピュータ読み取り可能な記録媒体に相当する。

30

【0023】

なお、試験装置10には、マウス及びキーボード等の入力装置や、液晶ディスプレイ等の表示装置が接続されていてもよい。また、試験装置10をネットワークに接続する必要が無い場合、試験装置10は、インタフェース装置105を備えていなくてもよい。

【0024】

図4は、第一の実施の形態における試験装置の機能構成例を示す図である。同図には、CPU104、加速値設定部11、及びOS12等が示されている。

40

【0025】

CPU104は、カウンタ部141、割り込み部142、及びI/Oコントローラ部143等を含む。カウンタ部141は、後述されるカウンタ値加速部123より設定されるカウンタ値を所定の周波数(以下、「カウンタ周波数」という。)に基づく周期でデクリメントする。カウンタ部141は、カウンタ値が0になると、その旨を割り込み部142に通知する。すなわち、カウンタ部141は、カウンタ値を用いてタイマー割り込みの発生時期を検知する。以下、単に「カウンタ値」というとき、カウンタ部141が利用するカウンタ値をいう。

50

【 0 0 2 6 】

割り込み部 1 4 2 は、カウンタ部 1 4 1 からの通知に応じ、タイマー割り込みを発生させる。

【 0 0 2 7 】

I / O コントローラ部 1 4 3 は、周辺 I / O デバイス $d_1 \sim d_n$ (以下、それぞれを区別しない場合、「周辺 I / O デバイス d 」という。) とのデータの入出力を制御する。なお、本実施の形態において、周辺 I / O デバイス d は、タイマー割り込み又はタイマー割り込みの周期とは非同期に動作するハードウェアの一例である。周辺 I / O デバイス d の一例としては、図 3 に示される、補助記憶装置 1 0 2、メモリ装置 1 0 3、又はドライブ装置 1 0 0 等である。また、周辺 I / O デバイス d は、外部記憶媒体等、試験装置 1 0 の外部の装置であってもよい。

10

【 0 0 2 8 】

加速値設定部 1 1 は、タイマー割り込みの周期を短縮させるための係数 (以下、「加速値」という。) を OS 1 2 に設定する。加速値は、0 より大きく 1 以下の値を有する。加速値が 1 である場合、タイマー割り込みの周期は短縮されない。加速値設定部 1 1 は、例えば、G U I (Graphical User Interface) を表示させ、当該 G U I を介して加速値を取得してもよいし、補助記憶装置 1 0 2 が記憶する加速値を取得してもよい。なお、加速値設定部 1 1 は、試験装置 1 0 にインストールされたプログラムが C P U 1 0 4 に実行させる処理により実現される。

【 0 0 2 9 】

OS 1 2 は、試験装置 1 0 にインストールされている OS 1 2 (Operating System) である。同図において、OS 1 2 は、加速値受付部 1 2 1、カウンタ値設定部 1 2 2、カウンタ値加速部 1 2 3、タイマー割り込み捕捉部 1 2 4、タスク管理部 1 2 5、時刻更新部 1 2 6、割り込み回数更新部 1 2 7、待機処理部 1 2 8、及び加速解消部 1 2 9 等を有する。これら各部は、OS 1 2 に含まれるプログラムが試験装置 1 0 に実行させる処理により実現される。

20

【 0 0 3 0 】

加速値受付部 1 2 1 は、加速値設定部 1 1 より加速値の設定を受け付ける。加速値受付部 1 2 1 は、受け付けた加速値をカウンタ値加速部 1 2 3 及び加速解消部 1 2 9 に通知する。カウンタ値設定部 1 2 2 は、タイマー割り込みが発生するたびに、カウンタ値をカウンタ値加速部 1 2 3 に設定する。カウンタ値加速部 1 2 3 は、カウンタ値設定部 1 2 2 よりカウンタ値が設定されるたびに、当該カウンタ値に、加速値受付部 1 2 1 より通知されている加速値を乗じた値 (カウンタ値) を、カウンタ部 1 4 1 に設定する。したがって、加速値が 0 より大きく 1 未満である場合、カウンタ値は、カウンタ値設定部 1 2 2 が有する本来の値より小さくなる。その結果、タイマー割り込みの周期が短縮する。

30

【 0 0 3 1 】

タイマー割り込み捕捉部 1 2 4 は、いわゆる割り込みハンドラとして機能する。すなわち、タイマー割り込み捕捉部 1 2 4 は、C P U 1 0 4 が発生させるタイマー割り込みを捕捉又は検知する。タイマー割り込み捕捉部 1 2 4 は、捕捉したタイマー割り込みに応じて、例えば、カウンタ値設定部 1 2 2、タスク管理部 1 2 5、時刻更新部 1 2 6、及び割り込み回数更新部 1 2 7 等呼び出す。

40

【 0 0 3 2 】

待機処理部 1 2 8 は、タスクからの待機要求 (wait 要求) に応じ、当該タスクを待機要求において指定された待機時間だけ待機させるための処理を実行する。タスクとは、OS 1 2 が管理する処理の実行単位をいう。例えば、スレッド又はプロセスが処理の実行単位の一例である。

【 0 0 3 3 】

待機処理部 1 2 8 は、タスクの待機時間に関して、秒単位の値を、タイマー割り込みの発生周期単位の値 (以下、単に「周期数」という。) に換算する。具体的には、タスクは、OS 1 2 に対して待機要求を行う際に、待機時間を秒単位の値によって指定する。待機

50

処理部 128 は、当該秒単位の値を、タイマー割り込みの周期によって除することにより、待機時間を周期数に換算する。待機処理部 128 は、換算結果の周期数を、加速解消部 129 又はタスク管理部 125 に通知する。例えば、待機要求に係るタスクが I/O 処理を行うタスクであれば、当該周期数は、加速解消部 129 に通知される。一方、待機要求に係るタスクが I/O 処理を行わないタスク（例えば、CPU 104 のみで動作するタスク）であれば、当該周波数は、直接的にタスク管理部 125 に通知される。「直接的に」とは、加速解消部 129 を経由せずに、ということである。なお、I/O 処理とは、周辺 I/O デバイス d への処理要求を行い、当該処理要求に対する応答を待機することをいう。

【0034】

加速解消部 129 は、I/O 処理を行うタスクの待機時間に関して、加速値に基づく加速を解消する。具体的には、加速解消部 129 は、待機処理部 128 より通知された周期数を、加速値によって除することにより補正する。加速解消部 129 は、補正後の周期数（以下、「補正周期数」という。）をタスク管理部 125 に通知する。なお、加速値は、例えば、加速値受付部 121 より取得される。

【0035】

タスク管理部 125 は、OS 12 上で動作するタスクのスケジューリング等を行う。タスク管理部 125 は、タイマーリスト TL を有する。タイマーリスト TL は、各タスクのスケジュール情報である。例えば、タイマーリスト TL には、各タスクを実行する時間が記録されている。

【0036】

時刻更新部 126 は、OS 12 が管理する時刻情報を更新する。割り込み回数更新部 127 は、割り込み回数を保持する変数の値を更新する。

【0037】

上記したように、タスク管理部 125 及び時刻更新部 126 は、タイマー割り込み捕捉部 124 によって呼び出される。すなわち、タスク管理部 125 及び時刻更新部 126 は、タイマー割り込みの発生を契機として処理を実行する。したがって、タイマー割り込みの周期が加速されることにより、タスク管理部 125 及び時刻更新部 12 等の処理周期も加速される。その結果、タスク管理に関する時間が加速（短縮）されたり、時刻の進行が加速されたりする。

【0038】

例えば、タスク管理部 125 は、待機中のタスクの起床時期を、待機処理部 128 より通知される周期数又は加速解消部 129 より通知される補正周期数を用いて検知する。すなわち、タスク管理部 125 は、待機開始後のタイマー割り込みが、当該周期数又は当該補正周期数によって示される回数分発生したことによって、待機時間の満了を検知する。換言すれば、タスク管理部 125 は、当該周期数又は当該補正周期数の示す回数のタイマー割り込みの発生によって、待機時間を計測する。したがって、待機時間が、加速解消部 129 より通知される補正周期数に基づいて計測される場合、当該待機時間は加速されたものとなる。すなわち、当該待機時間は、タスクによって指定された実時間より短縮されたものとなる。一方、待機時間が、待機処理部 128 より通知される周期数に基づいて計測される場合、当該待機時間は加速されたものにはならない。すなわち、当該待機時間は、タスクによって指定された実時間通りとなる。

【0039】

以下、試験装置 10 における処理手順について説明する。図 5 は、加速値受付部が実行する処理手順の一例を説明するためのフローチャートである。

【0040】

ステップ S 101 において、加速値受付部 121 は、加速値設定部 11 より加速値を受け付ける。続いて、加速値受付部 121 は、当該加速値を、カウンタ値加速部 123 及び加速解消部 129 のそれぞれに通知する（S 102）。

【0041】

10

20

30

40

50

続いて、待機処理部 128 について説明する。図 6 は、第一の実施の形態の待機処理部の機能構成例を示す図である。同図において、待機処理部 128 は、待機要求受付部 131、識別情報取得部 132、待機時間換算部 133、及び判定部 134 等を有する。

【0042】

待機要求受付部 131 は、タスクより待機要求を受け付ける。待機要求は、例えば、wait 関数をインタフェースとして受け付けられる。識別情報取得部 132 は、待機要求に係るタスク（以下、「待機タスク」という。）が、I/O 処理を実行するタスクであるか否かを識別又は判定するための識別情報を取得する。第一の実施の形態では、タスク名が当該識別情報として利用される。タスク名とは、例えば、タスクに係るプログラムファイル名である。したがって、識別情報取得部 132 は、待機タスクよりタスク名を取得する。なお、待機処理部 128 は、各タスクと同一プロセス空間内で処理を実行する。したがって、識別情報取得部 132 は、待機タスクのタスク名を容易に取得することができる。

10

【0043】

待機時間換算部 133 は、待機要求において指定される、秒単位の待機時間を周期数に換算する。判定部 134 は、待機タスクの待機時間に関して、加速解消部 129 による補正（加速の解消）の要否を判定する。具体的には、判定部 134 は、識別情報取得部 132 によって取得される識別情報に基づいて、待機タスクが I/O 処理を実行するか否かを判定する。第一の実施の形態では、当該識別情報としてのタスク名が、I/O 処理識別テーブル TB に含まれているか否かによって、待機タスクが I/O 処理を実行するか否かを判定する。判定部 134 は、判定結果に応じて、タスク管理部 125 又は加速解消部 129 に、周期数を通知する。

20

【0044】

I/O 処理識別テーブル TB には、I/O 処理を実行するタスクのタスク名の一覧が記録されている。I/O 処理識別テーブル TB は、例えば、補助記憶装置 102 に記憶されている。

【0045】

続いて、待機処理部 128 の処理手順について説明する。図 7 は、第一の実施の形態の待機処理部が実行する処理手順の一例を説明するためのフローチャートである。

【0046】

待機要求受付部 131 によって、タスク（待機タスク）より待機要求を受け付けられると（S111 で Yes）、識別情報取得部 132 は、待機タスクのタスク名を取得する（S112）。続いて、待機時間換算部 133 は、待機要求に指定された秒単位の待機時間を、タイマー割り込みの周期によって除することにより、周期数に換算する（S113）。

30

【0047】

続いて、判定部 134 は、待機タスクのタスク名が I/O 処理識別テーブル TB に含まれているか否かに基づいて、待機タスクが I/O 処理を実行するか否かを判定する（S114）。当該タスク名が、I/O 処理識別テーブル TB に含まれている場合、すなわち、待機タスクが I/O 処理を実行する場合（S115 で Yes）、判定部 134 は、加速解消部 129 に周期数を通知する（S116）。一方、当該タスク名が、I/O 処理識別テーブル TB に含まれていない場合、すなわち、待機タスクが I/O 処理を実行しない場合（S115 で No）、判定部 134 は、タスク管理部 125 に周期数を通知する（S117）。タスク管理部 125 は、当該周期数に基づいて、待機タスクの起床時期をタイマリスト TL に登録する。

40

【0048】

続いて、加速解消部 129 の処理手順について説明する。図 8 は、加速解消部が実行する処理手順の一例を説明するためのフローチャートである。

【0049】

待機処理部 128 より周期数が通知されると（S121 で Yes）、加速解消部 129

50

は、当該周期数を加速値によって除することにより、補正周期数を算出する（S 1 2 2）。なお、加速値は、図 5 のステップ S 1 0 2 において、加速値受付部 1 2 1 より通知されている。続いて、加速解消部 1 2 9 は、補正周期数をタスク管理部 1 2 5 に通知する（S 1 2 3）。タスク管理部 1 2 5 は、当該補正周期数に基づいて、待機タスクの起床時期をタイマーリスト T L に登録する。

【 0 0 5 0 】

続いて、図 4 に示される各部が連携して実行する全体の処理手順について説明する。図 9 は、試験装置全体の処理手順の一例を説明するためのフローチャートである。

【 0 0 5 1 】

カウンタ部 1 4 1 は、カウンタ値加速部 1 2 3 より設定されたカウンタ値をカウンタ周波数に基づく周期で 1 ずつ減算する（S 2 0 1、S 2 0 2）。カウンタ値が 0 になると、割り込み部 1 4 2 は、タイマー割り込みを発生させる（S 2 0 3）。

【 0 0 5 2 】

タイマー割り込みは、タイマー割り込み捕捉部 1 2 4 によって捕捉される。タイマー割り込み部 1 4 2 は、タイマー割り込みの捕捉に応じ、タスク管理部 1 2 5、時刻更新部 1 2 6、割り込み回数更新部 1 2 7、及びカウンタ値設定部 1 2 2 等呼び出す（S 2 0 4）。

【 0 0 5 3 】

タスク管理部 1 2 5 は、タイマー割り込み捕捉部 1 2 4 からの呼び出しに応じ、起動時期又は起床時期となったタスクを起動又は起床させる（S 2 0 5）。また、時刻更新部 1 2 6 は、タイマー割り込み捕捉部 1 2 4 からの呼び出しに応じ、OS 1 2 が管理する時刻情報を更新する（S 2 0 6）。また、割り込み回数更新部 1 2 7 は、タイマー割り込み捕捉部 1 2 4 からの呼び出しに応じ、割り込み回数を保持する変数の値に 1 を加算する（S 2 0 7）。

【 0 0 5 4 】

また、カウンタ値設定部 1 2 2 は、タイマー割り込み捕捉部 1 2 4 からの呼び出しに応じ、カウンタ値を算出する。カウンタ値は、タイマー割り込み捕捉部 1 2 4 からの呼び出し時に通知される、タイマー割り込みの周波数（タイマー割り込みの周期の逆数）によってカウンタ周波数を除することにより算出される。カウンタ値設定部 1 2 2 は、算出されたカウンタ値をカウンタ値加速部 1 2 3 へ通知する（S 2 0 8）。カウンタ値加速部 1 2 3 は、通知されたカウンタ値に、加速値受付部 1 2 1 より通知されている加速値を乗ずることにより、加速されたカウンタ値を算出する。カウンタ値加速部 1 2 3 は、算出されたカウンタ値をカウンタ部 1 4 1 に設定する（S 2 0 9）。

【 0 0 5 5 】

一方、ステップ S 2 0 5 において起動されたタスクは、所定の処理を実行する（S 2 1 1）。例えば、タスクは、周辺 I / O デバイス d へ処理要求を行う。タスクは、当該処理要求に対する応答を待機するため、待機時間を指定して、待機処理部 1 2 8 に待機要求を入力する（S 2 1 2）。待機処理部 1 2 8 は、当該タスク内（例えば、当該タスクに係るプロセス空間）において、図 7 を用いて説明した待機処理を実行する（S 2 1 3）。なお、当該タスクは、I / O 処理を実行するため、当該タスクのタスク名は、I / O 処理識別テーブル T B に登録されている。したがって、タスク管理部 1 2 5 には、補正周期数（すなわち、加速が解消された周期数）が通知される。その結果、当該タスクは、補正周期数が示す回数のタイマー割り込みの発生後、すなわち、待機要求に指定した秒数通りの時間の経過後に、起床される。

【 0 0 5 6 】

続いて、試験装置 1 0 の動作例について、各パラメータに具体的な値を当てはめて説明する。図 1 0 は、タイマー割り込みの周期を加速しない場合の試験装置の動作の具体例を説明するための図である。同図において、カウンタ周波数は、6 6 M H z、タイマー割り込みの周波数は、2 5 0 H z（すなわち、タイマー割り込みの周期は、4 ミリ秒）であるとする。

10

20

30

40

50

【 0 0 5 7 】

ステップ S 3 0 1 において、加速値受付部 1 2 1 は、加速値設定部 1 1 より、加速値として「1」の設定を受け付ける。すなわち、タイマー割り込みの周期を加速しないことが設定される。続いて、加速値受付部 1 2 1 は、カウンタ値加速部 1 2 3 及び加速解消部 1 2 9 に、加速値として「1」を通知する (S 3 0 2) 。

【 0 0 5 8 】

タイマー割り込み捕捉部 1 2 4 は、4 ミリ秒の周期でタイマー割り込みを発生させるために、4 ミリ秒の逆数である 2 5 0 H z を、タイマー割り込みの周波数として、カウンタ値設定部 1 2 2 に設定する (S 3 0 3) 。カウンタ値設定部 1 2 2 は、カウンタ周波数 (6 6 M H z) をタイマー割り込みの周波数 (2 5 0 H z) で除することにより、カウンタ値 (2 6 6 6 6 6) を算出し、当該カウンタ値をカウンタ値加速部 1 2 3 に設定する (S 3 0 4) 。

10

【 0 0 5 9 】

カウンタ値加速部 1 2 3 は、カウンタ値に加速値を乗じた値 (2 6 6 6 6 6 × 1 = 2 6 6 6 6 6) を、カウンタ値としてカウンタ部 1 4 1 に設定する (S 3 0 5) 。カウンタ部 1 4 1 は、1 0 0 0 / 6 6 M H z の周期で、カウンタ値 (2 6 6 6 6 6) をデクリメントし、カウンタが 0 になった時点で割り込み部 1 4 2 へ通知を行う (S 3 0 6) 。割り込み部 1 4 2 は、カウンタ部 1 4 1 からの通知に応じて、タイマー割り込みを発生させる (S 3 0 7) 。タイマー割り込み捕捉部 1 2 4 は、タイマー割り込みの発生に応じて、ステップ S 3 0 3 を実行する。すなわち、ステップ S 3 0 3 以降は、タイマー割り込みの発生に応じて繰り返し実行される。その結果、2 6 6 6 6 6 / 6 6 M H z = 4 ミリ秒の周期で、タイマー割り込みが発生する。

20

【 0 0 6 0 】

このような状態において、タスク 1、2、及び 3 が O S 1 2 上で動作しており、タスク 3 が、I / O 処理を実行するタスクであるとする。すなわち、タスク 3 のタスク名は、I / O 処理識別テーブル T B に登録されていることとする。

【 0 0 6 1 】

ここから先は、図 1 0 に加え、図 1 1 も参照しながら説明する。図 1 1 は、タイマー割り込みの周期を加速しない場合の試験装置におけるタスク動作と時間との関係の一例を示す図である。同図は、処理の実行主体ごとに、処理の実行タイミングを示す。すなわち、同図の水平方向は、時間軸を示す。一方、垂直方向には、処理の実行主体として、タスク管理部 1 2 5、加速解消部 1 2 9、待機処理部 1 2 8、タスク 1、タスク 2、タスク 3、及び周辺ハードウェア d 等が列挙されている。

30

【 0 0 6 2 】

周辺 I / O デバイス d に対して処理要求を行った後、タスク 3 は、1 6 ミリ秒の待機時間を指定して、待機処理部 1 2 8 に対して待機要求を行う (S 3 0 8) 。待機処理部 1 2 8 は、カウンタ値設定部 1 2 2 よりタイマー割り込み周波数 (2 5 0 H z) を取得し、待機要求に指定された待機時間 (1 6 ミリ秒) を周期数に換算する。周期数は、待機時間 (1 6 ミリ秒) をタイマー割り込み周期 (1 0 0 0 / 2 5 0 H z) で除することにより算出される。したがって、1 6 ミリ秒 / (1 0 0 0 / 2 5 0 H z) = 4 周期が、周期数となる。タスク 3 のタスク名は I / O 処理識別テーブル T B に登録されている。したがって、待機処理部 1 2 8 は、当該周期数を加速解消部 1 2 9 に通知する (S 3 0 9) 。

40

【 0 0 6 3 】

加速解消部 1 2 9 は、当該周期数を加速値受付部 1 2 1 より通知された加速値によって除することにより、補正周期数を算出する。したがって、補正周期数は、4 / 1 = 4 周期となる。加速解消部 1 2 9 は、当該補正周期数をタスク管理部 1 2 5 に通知する (S 3 1 0) 。タスク管理部 1 2 5 は、通知された補正周期数分のタイマー割り込みの発生後に、タスク 3 を起床させる (S 3 1 1) 。ここで、タイマー割り込みの周期は 4 ミリ秒である。したがって、4 × 4 = 1 6 ミリ秒後に、タスク 3 は起床される。すなわち、タスク 3 が待機要求に指定した待機時間通りにタスク 3 は起床される。一方、周辺 I / O デバイス d の

50

処理時間は、12ミリ秒である。したがって、タスク3は、起床後において、周辺I/Oデバイスdからの応答を得ることができ、処理を継続することができる。

【0064】

次に、タイマー割り込みの周期を2分の1に加速した場合について説明する。図12は、タイマー割り込みの周期を2分の1に加速した場合の試験装置の動作の具体例を説明するための図である。同図において、カウンタ周波数は、66MHz、タイマー割り込みの周波数は、250Hz（すなわち、タイマー割り込みの周期は、4ミリ秒）であるとする。

【0065】

ステップS401において、加速値受付部121は、加速値設定部11より、加速値として「0.5」の設定を受け付ける。すなわち、タイマー割り込みの周期を2分の1に加速することが設定される。続いて、加速値受付部121は、カウンタ値加速部123及び加速解消部129に、加速値として「0.5」を通知する（S402）。

【0066】

タイマー割り込み捕捉部124は、4ミリ秒の周期でタイマー割り込みを発生させるために、4ミリ秒の逆数である250Hzを、タイマー割り込みの周波数として、カウンタ値設定部122に設定する（S403）。カウンタ値設定部122は、カウンタ周波数（66MHz）をタイマー割り込みの周波数（250Hz）で除することにより、カウンタ値（266666）を算出し、当該カウンタ値をカウンタ値加速部123に設定する（S404）。

【0067】

カウンタ値加速部123は、カウンタ値に加速値を乗じた値（ $266666 \times 0.5 = 133333$ ）を、カウンタ値としてカウンタ部141に設定する（S405）。カウンタ部141は、 $1000 / 66\text{MHz}$ の周期で、カウンタ値（133333）をデクリメントし、カウンタが0になった時点で割り込み部142へ通知を行う（S406）。割り込み部142は、カウンタ部141からの通知に応じて、タイマー割り込みを発生させる（S407）。タイマー割り込み捕捉部124は、タイマー割り込みの発生に応じて、ステップS403を実行する。すなわち、ステップS403以降は、タイマー割り込みの発生に応じて繰り返し実行される。その結果、 $133333 / 66\text{MHz} = 2$ ミリ秒の周期で、タイマー割り込みが発生する。

【0068】

このような状態において、タスク1、2、及び3がOS12上で動作しており、タスク3が、I/O処理を実行するタスクであるとする。すなわち、タスク3のタスク名は、I/O処理識別テーブルTBに登録されていることとする。

【0069】

ここから先は、図12に加え、図13も参照しながら説明する。図13は、タイマー割り込みの周期を2分の1に加速した場合の試験装置におけるタスク動作と時間との関係の一例を示す図である。同図の見方は、図11と同じである。

【0070】

周辺I/Oデバイスdに対して処理要求を行った後、タスク3は、16ミリ秒の待機時間を指定して、待機処理部128に対して待機要求を行う（S408）。待機処理部128は、カウンタ値設定部122よりタイマー割り込み周波数（250Hz）を取得し、待機要求に指定された待機時間（16ミリ秒）を周期数に換算する。周期数は、待機時間（16ミリ秒）をタイマー割り込み周期（ $1000 / 250\text{Hz}$ ）で除することにより算出される。したがって、 $16\text{ミリ秒} / (1000 / 250\text{Hz}) = 4$ 周期が、周期数となる。タスク3のタスク名はI/O処理識別テーブルTBに登録されている。したがって、待機処理部128は、当該周期数を加速解消部129に通知する（S409）。

【0071】

加速解消部129は、当該周期数を加速値受付部121より通知された加速値によって除することにより、補正周期数を算出する。したがって、補正周期数は、 $4 / 0.5 = 8$

10

20

30

40

50

周期となる。加速解消部 129 は、当該補正周期数をタスク管理部 125 に通知する (S410)。タスク管理部 125 は、通知された補正周期数分のタイマー割り込みの発生後に、タスク 3 を起床させる (S411)。ここで、タイマー割り込みの周期は 2 ミリ秒である。したがって、 $2 \times 8 = 16$ ミリ秒後に、タスク 3 は起床される。すなわち、タスク 3 が待機要求に指定した待機時間通りにタスク 3 は起床される。一方、周辺 I/O デバイス d の処理時間は、12 ミリ秒である。したがって、タスク 3 は、起床後において、周辺 I/O デバイス d からの応答を得ることができ、処理を継続することができる。

【0072】

上述したように、第一の実施の形態によれば、タイマー割り込みの周期を加速 (又は短縮) させる一方で、該周期とは非同期に動作するハードウェアからの応答の待機時間に関しては、該加速を解消させることができる。すなわち、当該待機時間に関して、実時間に戻すことができる。したがって、タイマー割り込みの周期と非同期に動作するハードウェアに関する I/O 処理を含むソフトウェア全体の加速試験の実施を可能とすることができる。

10

【0073】

その結果、例えば、一定周期でインクリメント又はデクリメントされる変数のオーバーフロー又はアンダーフローを短時間で検出することができる。また、ソフトウェアの長期稼働の安定性の確認に要する時間を短縮化することができる。また、タイマー等に基づいて、予め決められた日時又は時刻でスケジュールされた動作するソフトウェア又は当該ソフトウェアによって制御される装置に関して、スケジュールの内容を変更することなく、試験の所要時間を短縮することができる。

20

【0074】

なお、タイマー割り込みの周期とは非同期な対象は、ハードウェアに限られない。例えば、試験装置 10 とネットワークを介して接続されるコンピュータにおいて動作するソフトウェアであってもよい。すなわち、試験装置 10 において動作するタスクが、当該ソフトウェアに対して処理要求を行い、当該処理要求に対する応答を待機する際に、加速の解消が行われてもよい。

【0075】

次に、第二の実施の形態について説明する。第二の実施の形態では、待機処理部 128 が実行する処理内容の一部が、第一の実施の形態と異なる。

30

【0076】

図 14 は、第二の実施の形態の待機処理部の機能構成例を示す図である。図 14 中、図 6 と同一部分には同一符号を付し、その説明は省略する。

【0077】

第二の実施の形態において、I/O 処理を実行する待機タスクは、I/O 処理のための待機であるか否を示すフラグ情報を、例えば、メモリ装置 103 に記録する。

【0078】

待機処理部 128 の識別情報取得部 132 は、当該フラグ情報をメモリ装置 103 より取得する。判定部 134 は、当該フラグ情報に基づいて、待機タスクが、I/O 処理のための待機であるのか否かを判定し、判定結果に応じて、周期数をタスク管理部 125 又は加速解消部 129 に通知する。

40

【0079】

このように、待機要求に係るタスクが I/O 処理のための待機であるのか否かの判定方法は、所定の方法に限定されない。上記以外においても、例えば、I/O 処理のための待機要求とそうでない待機要求とを受け付けるための A P I (Application Program Interface) が明確に区別されてもよい。また、待機要求に係るタスクがアクセスする仮想アドレスを監視し、当該仮想アドレスが、周辺 I/O デバイス d のメモリマップド I/O 領域に対応するものであれば、当該タスクによる待機要求は、I/O 処理のための待機に関するものであると判定されてもよい。すなわち、待機要求に係るタスクに関する何らかの識別情報に基づいて、I/O 処理のための待機であるか否かが判定されればよい。

50

【 0 0 8 0 】

次に、第三の実施の形態について説明する。第三の実施の形態では、予め指定した実際の日時に加速試験を自動的に開始させ、予め指定した実際の日時に加速試験を自動的に終了させたい場合について説明する。

【 0 0 8 1 】

図 1 5 は、第三の実施の形態を説明するための図である。図 1 5 中、図 4 と同一部分には同一符号を付し、その説明は省略する。また、図 1 5 において、OS 1 2 の構成要素の一部は、便宜上省略されている。

【 0 0 8 2 】

同図において、タスク 1 は、タスク 1 は、R T C (Real Time Clock) 3 0 を周期的に読み出す常駐型のプログラムである。また、例えば、補助記憶装置 1 0 2 には、試験開始日時及び試験終了日時が予め記録されている。なお、R T C 3 0 は電源が切られている間も内蔵電池から電源供給を受けて、時刻の更新を行っている時計であり、情報処理装置には一般的に採用されている。

10

【 0 0 8 3 】

タスク 1 は、周期的に、R T C 3 0 より時刻情報を読み出した時刻情報と、試験開始日時とを比較する。タスク 1 は、試験開始日時の到来を検知すると、加速値設定部 1 1 に 0 より大きく 1 未満の加速値を設定する。加速値設定部 1 1 は、当該加速値を、加速値受付部 1 2 1 に設定する (S 5 0 3)。その結果、タイマー割り込みの周期が加速され、加速試験が行われる。

20

【 0 0 8 4 】

一方、タスク 1 は、加速試験中においても、周期的に、R T C 3 0 より時刻情報を読み出した時刻情報と、試験終了日時とを比較する。タスク 1 は、試験終了日時の到来を検知すると、加速値設定部 1 1 に加速値として「 1 」を設定する。その結果、加速試験は終了する。

【 0 0 8 5 】

なお、加速試験中において、タスク 1 自身も、加速された動作を行っているが (例えば、R T C 3 0 の時刻情報の読み出し周期の短縮等が発生しているが)、R T C 3 0 より読み出される時刻情報は、実際の時刻を示すものである。したがって、試験終了日時に指定された実際の日時に加速試験を終了させることができる。

30

【 0 0 8 6 】

加速試験が実施されると、OS 1 2 の時刻情報も加速されるため、現在時刻の把握が困難となるが、本実施の形態によれば、加速動作中のタスクであっても実際の時刻を把握することができる。

【 0 0 8 7 】

次に、第四の実施の形態について説明する。第四の実施の形態では、所定のシーケンスに基づいて、試験装置 1 0 が外部の被試験装置を制御する例について説明する。

【 0 0 8 8 】

図 1 6 は、第四の実施の形態を説明するための図である。同図において、試験装置 1 0 と被試験装置 5 0 とは、例えば、L A N (Local Area Network) 等のネットワークを介して接続されている。試験装置 1 0 のハードウェア構成及び機能構成等は、図 3 又は図 4 において説明した通りである。試験装置 1 0 上で動作するタスク (以下、「試験タスク」という。) は、被試験装置 5 0 の電源の O N / O F F 制御を、予め設定されたスケジュールで繰り返し実行する。このような場合、試験装置 1 0 の OS 1 2 に、0 より大きく 1 未満の加速値を設定することで、当該スケジュールを早期に消化することができる。但し、被試験装置 5 0 は、電源 O F F の指示の受け付け後に電源が O F F されるまで或る程度時間を要し、また、電源 O N の指示の受け付け後に定常状態となるまでに或る程度時間を要する。したがって、試験タスクには、被試験装置 5 0 が電源 O N 時又は電源 O F F 時に必要とする時間を考慮した制御が求められる。但し、スケジュール情報において、当該時間が考慮されたスケジュールが設定されていたとしても、加速試験中においては、当該時間も

40

50

加速されてしまう。そこで、試験装置 10 は、試験タスクを、図 17 に示されるように動作させる。

【0089】

図 17 は、第四の実施の形態における試験タスク及び被試験装置の動作例を示す図である。

【0090】

同図において、L1 で示される線は、試験タスクの ON/OFF 制御を示す。一方、L2 で示される線は、試験タスクの ON/OFF 指示に応じて被試験装置 50 の ON/OFF 動作を示す。また、M1 で示される部分には、試験装置 10 の動作状態（加速モード又は実時間モード）が示されている。加速試験モードとは、OS12 に対して 0 より大きく 1 未満の加速値が設定された状態、すなわち、タイマー割り込みの周期が加速された状態を示す。実時間モードは、OS12 に対して加速値として 1 が設定された状態、すなわち、タイマー割り込みの周期が加速されていない状態を示す。なお、横軸に付与されている時刻は、試験装置 10 の OS12 が管理する時刻情報が示す時刻である。

10

【0091】

例えば、試験タスクは、スケジュール情報に基づいて、8:00 に電源 ON の指示を被試験装置 50 に対して行うと共に、加速値として「1」を加速値設定部 11 に設定する。その結果、試験装置 10 は、実時間モードとなる。したがって、試験タスクは、スケジュール情報において指定されている、被試験装置 50 の制御開始時刻の 8:10 まで、実時間で待機する。

20

【0092】

一方、被試験装置 50 は、電源 ON の指示を受けて、電源を ON させる。電源 ON の開始後、被試験装置 50 は、10 分弱を要して、定常状態となる。

【0093】

8:10 になると、試験タスクは、加速値設定部 11 に 0 より大きく 1 未満の加速値を設定し、被試験装置 50 に対して各種の制御を遠隔的に行う。したがって、当該制御は、加速モードにおいて行われる。

【0094】

その後、スケジュール情報において、電源 OFF の時刻として指定されている 18:00 になると、試験タスクは、被試験装置 50 は、加速値として「1」を加速値設定部 11 に設定する。その結果、試験装置 10 は、実時間モードとなる。したがって、試験タスクは、スケジュール情報において指定されている、被試験装置 50 の制御開始時刻の 18:10 まで、実時間で待機する。

30

【0095】

一方、被試験装置 50 は、電源 OFF の指示を受けて、電源を OFF させる。電源 OFF の開始後、被試験装置 50 は、10 分弱を要して、電源 OFF 状態となる。

【0096】

18:10 になると、試験タスクは、加速値設定部 11 に 0 より大きく 1 未満の加速値を設定し、例えば、電源が OFF されたか否かの確認等を被試験装置 50 関して行う。したがって、当該確認等は、加速モードにおいて行われる。

40

【0097】

上記のように、加速試験モードと実時間モードとを適切に切り替えることで、被試験装置 50 の電源 ON 時又は電源 OFF 時の所要時間に同期させつつ、かつ、試験全体に要する時間を短縮することができる。

【0098】

なお、第四の実施の形態では、被試験装置 50 の電源の ON/OFF 制御を一例として説明しているが、ON/OFF 時以外において、試験装置 10 と被試験装置 50 との間で経過時間を合わせたい場合に、実時間モードへの切り替えが行われてもよい。

【0099】

ところで、第四の実施の形態の試験タスクに係るプログラムが、加速試験を予定しない

50

で実装されている場合、すなわち、当該プログラムに加速値設定部 11 への加速値の設定処理が実装されていない場合、例えば、図 18 に示されるように、当該プログラムが改変されてもよい。

【0100】

図 18 は、第四の実施の形態の試験タスクに係るプログラムの改変例を示す図である。同図において、(A) は、改変前のプログラム領域を示す。当該プログラム領域には、電源 ON の指示を行うための領域 (ON 指示領域) と、電源 OFF の指示を行うための領域 (OFF 指示領域) とが含まれる。

【0101】

斯かるプログラム領域に対して、ON 指示領域及び OFF 指示領域の前後に、加速値の設定ステップを追加するバイナリパッチを適用することにより、当該プログラム領域を (B) に示されるように改変することができる。

10

【0102】

(B) においては、ON 指示領域又は OFF 指示領域の前に加速値として「1」を設定するステップが含まれている。また、ON 指示領域又は OFF 指示領域の後に加速値として $0 < \dots < 1$ を設定するステップが含まれている。(B) に示されるプログラム領域を有することにより、試験タスクは、図 17 において説明した制御を行うことができる。

【0103】

なお、本実施の形態において、カウンタ値加速部 123 は、短縮部の一例である。加速解消部 129 は、補正部の一例である。タスク管理部 125 は、計測部の一例である。

20

【0104】

以上、本発明の実施例について詳述したが、本発明は斯かる特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【0105】

以上の説明に関し、更に以下の項を開示する。

(付記 1)

タイマー割り込みの第一の周期を、所定の係数を乗じた第二の周期に短縮させ、前記タイマー割り込みとは非同期な処理を待機するタスクの待機時間について、前記第一の周期単位の周期数を前記所定の係数で除した周期数に補正し、
補正後の前記周期数の前記タイマー割り込みの発生により前記待機時間を計測する処理をコンピュータが実行する試験方法。

30

(付記 2)

タスクからの待機要求に応じ、前記非同期な処理を待機するタスクに関する識別情報を記憶する記憶部を参照して、該待機要求に係るタスクに関して前記周期数の補正の要否を判定する処理を前記コンピュータが実行する付記 2 記載の試験方法。

(付記 3)

タイマー割り込みの第一の周期を、所定の係数を乗じた第二の周期に短縮させ、前記タイマー割り込みとは非同期な処理を待機するタスクの待機時間について、前記第一の周期単位の周期数を前記所定の係数で除した周期数に補正し、
補正後の前記周期数の前記タイマー割り込みの発生により前記待機時間を計測する処理をコンピュータに実行させる試験プログラム。

40

(付記 4)

タスクからの待機要求に応じ、前記非同期な処理を待機するタスクに関する識別情報を記憶する記憶部を参照して、該待機要求に係るタスクに関して前記周期数の補正の要否を判定する処理を前記コンピュータに実行させる付記 3 記載の試験プログラム。

(付記 5)

タイマー割り込みの第一の周期を、所定の係数を乗じた第二の周期に短縮させる短縮部と、
前記タイマー割り込みとは非同期な処理を待機するタスクの待機時間について、前記第

50

一の周期単位の周期数を前記所定の係数で除した周期数に補正する補正部と、
補正後の前記周期数の前記タイマー割り込みの発生により前記待機時間を計測する計測部とを有する情報処理装置。

(付記6)

タスクからの待機要求に応じ、前記非同期な処理を待機するタスクに関する識別情報を記憶する記憶部を参照して、該待機要求に係るタスクに関して前記周期数の補正の要否を判定する判定部を有する付記5記載の情報処理装置。

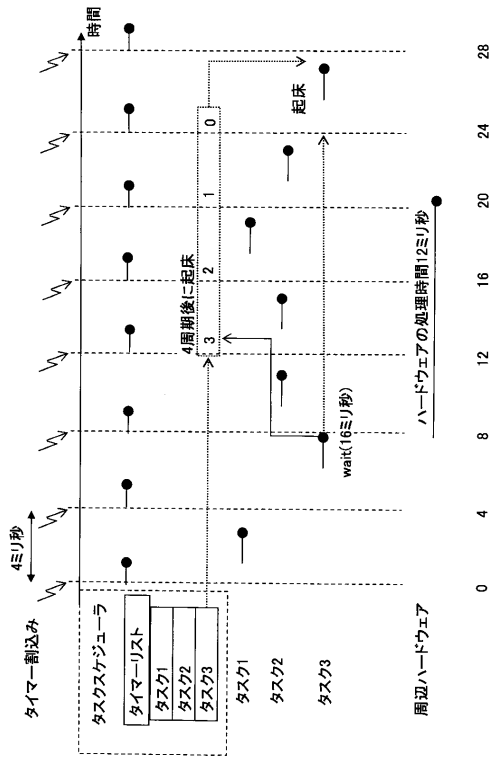
【符号の説明】

【0106】

10	試験装置	10
11	加速値設定部	
12	OS	
30	RTC	
50	被試験装置	
100	ドライブ装置	
101	記録媒体	
102	補助記憶装置	
103	メモリ装置	
104	CPU	
105	インタフェース装置	20
121	加速値受付部	
122	カウンタ値設定部	
123	カウンタ値加速部	
124	タイマー割り込み捕捉部	
125	タスク管理部	
126	時刻更新部	
127	割り込み回数更新部	
128	待機処理部	
129	加速解消部	
131	待機要求受付部	30
132	識別情報取得部	
133	待機時間換算部	
134	判定部	
141	カウンタ部	
142	割り込み部	
143	I/Oコントローラ部	
B	バス	

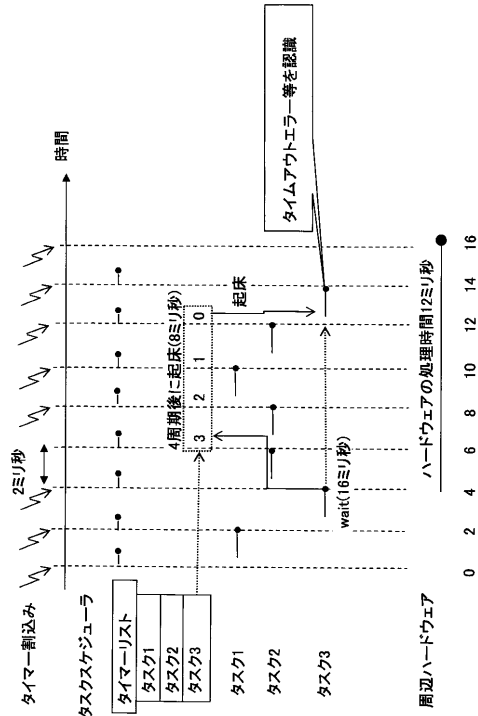
【 図 1 】

タイマー割り込みの周期を加速しない場合の
タスク動作と時間との関係の一例を示す図



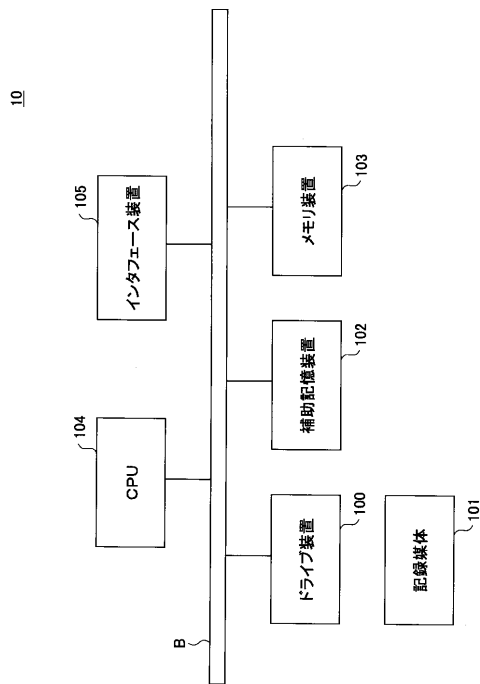
【 図 2 】

タイマー割り込みの周期を2分の1に加速した場合の
タスク動作と時間との関係の一例を示す図



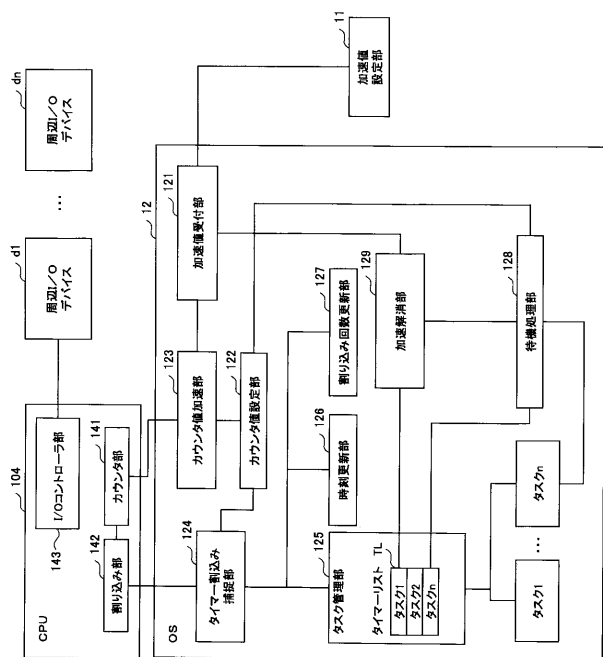
【 図 3 】

本発明の実施の形態における試験装置のハードウェア構成例を示す図



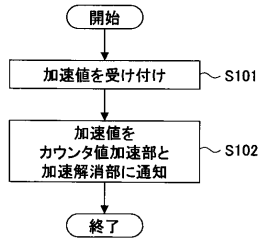
【 図 4 】

第一の実施の形態における試験装置の機能構成例を示す図



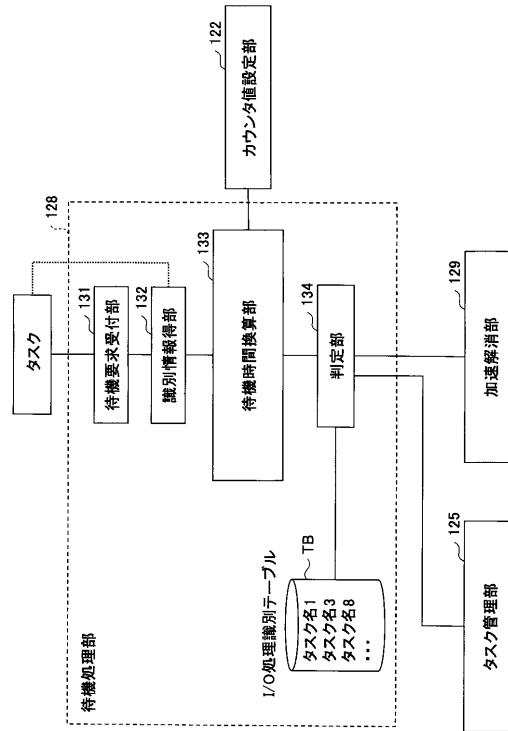
【 図 5 】

加速値受付部が実行する処理手順の一例を説明するためのフローチャート



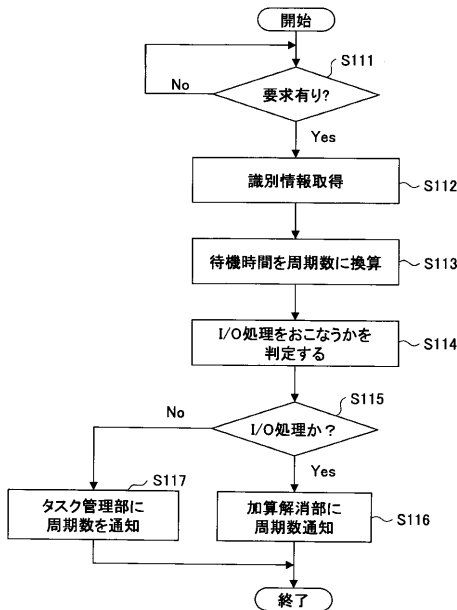
【 図 6 】

第一の実施の形態の待機処理部の機能構成例を示す図



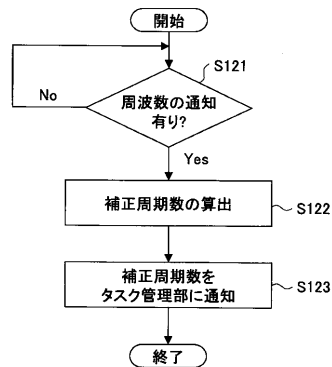
【 図 7 】

第一の実施の形態の待機処理部が実行する処理手順の一例を説明するためのフローチャート



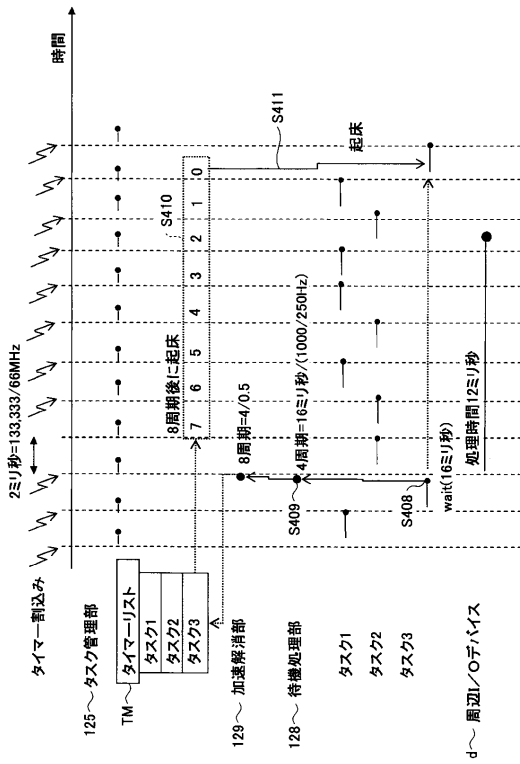
【 図 8 】

加速解消部が実行する処理手順の一例を説明するためのフローチャート



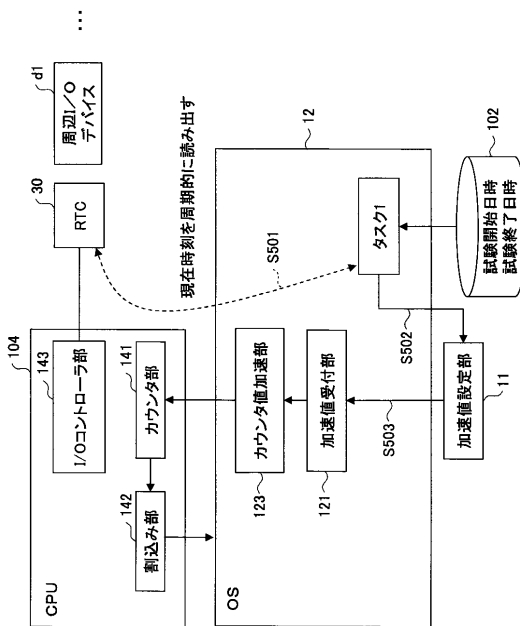
【 図 1 3 】

タイマー割り込みの周期を2分の1に加速した場合の試験装置におけるタスク動作と時間との関係の一例を示す図



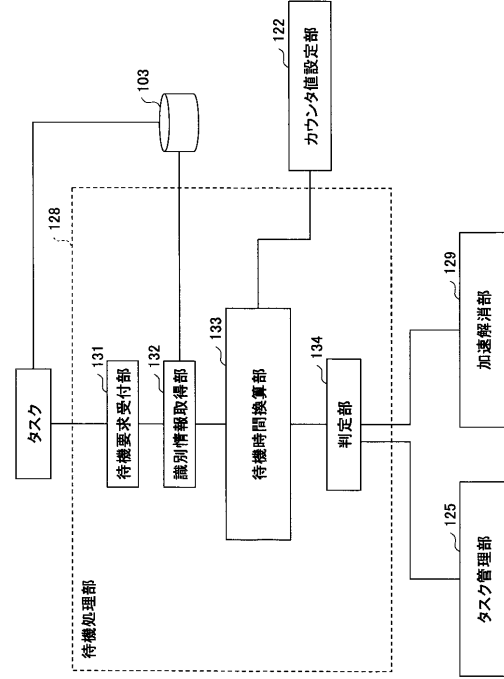
【 図 1 5 】

第三の実施の形態を説明するための図



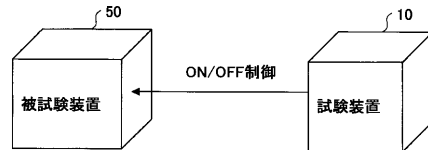
【 図 1 4 】

第二の実施の形態の待機処理部の機能構成例を示す図



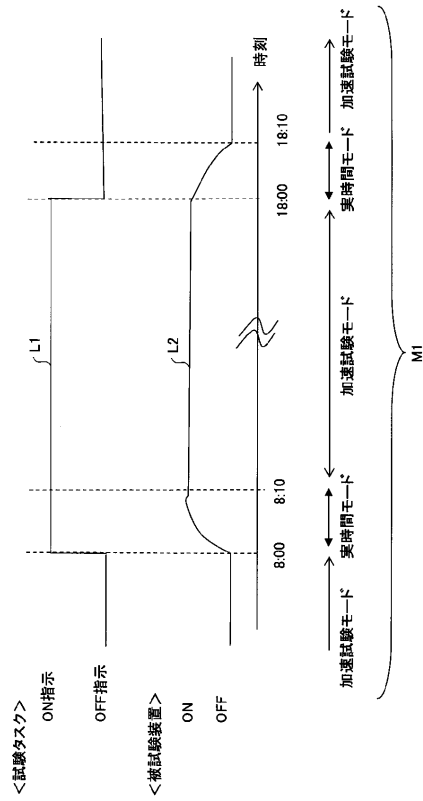
【 図 1 6 】

第四の実施の形態を説明するための図



【 図 1 7 】

第四の実施の形態における試験タスク及び被試験装置の動作例を示す図



【 図 1 8 】

第四の実施の形態の試験タスクに係るプログラムの改変例を示す図

