



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년09월12일

(11) 등록번호 10-1898079

(24) 등록일자 2018년09월06일

(51) 국제특허분류(Int. Cl.)

H01L 21/3065 (2006.01) H01L 21/205 (2006.01)

(21) 출원번호 10-2011-0115722

(22) 출원일자 2011년11월08일

심사청구일자 2016년09월21일

(65) 공개번호 10-2012-0049823

(43) 공개일자 2012년05월17일

(30) 우선권주장

JP-P-2010-250461 2010년11월09일 일본(JP)

(56) 선행기술조사문현

KR100657054 B1\*

(뒷면에 계속)

전체 청구항 수 : 총 4 항

(54) 발명의 명칭 플라즈마 처리 장치

(73) 특허권자

도쿄엘렉트론가부시키가이샤

일본 도쿄도 미나토구 아카사카 5초메 3반 1고

(72) 발명자

나가야마 노부유키

일본국 미야기켄 쿠로카와군 타이와쵸 테크노힐즈

1반 도쿄 엘렉트론 미야기 가부시키가이샤 나이

기쿠치 에이이치로

일본국 미야기켄 쿠로카와군 타이와쵸 테크노힐즈

1반 도쿄 엘렉트론 미야기 가부시키가이샤 나이

(74) 대리인

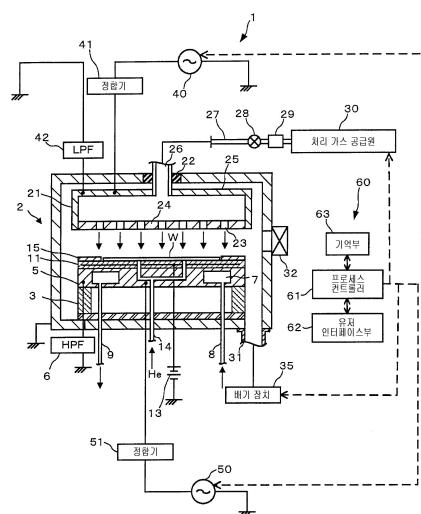
이철

심사관 : 손희수

**(57) 요 약**

(과제) 피(被)처리 기판의 주연부(周緣部)의 온도 상승을 억제함으로써 플라즈마 처리의 면내 균일성을 향상시킬 수 있어, 균일한 플라즈마 처리를 행할 수 있는 플라즈마 처리 장치를 제공한다.

(해결 수단) 내부를 기밀하게(airtightly) 폐색 가능하게 된 처리 챔버와, 처리 챔버 내에 처리 가스를 공급하는 처리 가스 공급 기구와, 처리 챔버 내로부터 배기하기 위한 배기 기구와, 처리 가스의 플라즈마를 생성하기 위한 플라즈마 생성 기구와, 처리 챔버 내에 설치되어, 피처리 기판과 당해 피처리 기판의 주위를 둘러싸도록 설치되는 포커스 링이 동일한 평면에 올려놓여지도록 구성된 재치대(holding stage)와, 재치대의 온도를 조절하는 온도 조절 기구와, 재치대의 상면에 설치되어, 포커스 링의 하부에까지 연재(extending)되는 흡착용 전극을 갖는 정전 척(electrostatic chuck)을 구비한 플라즈마 처리 장치.

**대 표 도 - 도1**

(56) 선행기술조사문현

US06733624 B2\*

US20050120960 A1\*

JP2002033376 A

JP2005520337 A

\*는 심사관에 의하여 인용된 문현

---

## 명세서

### 청구범위

#### 청구항 1

내부를 기밀하게(airtightly) 폐색 가능하게 된 처리 챔버와,  
 상기 처리 챔버 내에 처리 가스를 공급하는 처리 가스 공급 기구와,  
 상기 처리 챔버 내로부터 배기하기 위한 배기 기구와,  
 상기 처리 가스의 플라즈마를 생성하기 위한 플라즈마 생성 기구와,  
 상기 처리 챔버 내에 설치되며, 피(被)처리 기관과, 당해 피처리 기관의 주위를 둘러싸도록 설치되는 포커스 링  
 이 동일한 평면에 올려놓여지도록 구성된 재치대(holding stage)와,  
 상기 재치대의 온도를 조절하는 온도 조절 기구와,  
 상기 재치대의 상면에 설치되어, 상기 포커스 링의 하부에까지 연재(extending)되는 흡착용 전극을 갖는 정전  
 척(electrostatic chuck)  
 을 구비하며,  
 상기 정전 척의 상기 흡착용 전극은, 상기 피처리 기관과 상기 포커스 링과의 경계 부분이 하방을 향하여 굴곡  
 된 형상으로 되어 있는 것을 특징으로 하는 플라즈마 처리 장치.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,  
 상기 정전 척은, 절연층의 사이에 상기 흡착용 전극을 개재시킨 구조를 갖고,  
 상기 절연층 및 상기 흡착용 전극은, 용사(spray)에 의해 형성되어 있는 것을 특징으로 하는 플라즈마 처리 장  
 치.

#### 청구항 4

제1항에 있어서,

상기 플라즈마 생성 기구는, 상기 재치대와, 당해 재치대와 대향하도록 설치된 상부 전극과의 사이에 고주파 전  
 력을 공급하여 상기 처리 가스의 플라즈마를 생성하는 것을 특징으로 하는 플라즈마 처리 장치.

#### 청구항 5

제1항에 있어서,

상기 정전 척의 절연층이  $Y_2O_3$  또는  $Al_2O_3$ 으로 이루어지는 용사 피막인 것을 특징으로 하는 플라즈마 처리 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 플라즈마 처리 장치에 관한 것이다.

### 배경 기술

[0002] 종래부터, 반도체 장치의 제조 공정 등에 있어서는, 반도체 웨이퍼나 액정 표시 장치용 유리 기판을,

플라즈마를 이용하여 처리하는 플라즈마 처리 장치, 예를 들면, 플라즈마 에칭 장치, 플라즈마 CVD 장치 등이 사용되고 있다.

[0003] 상기 플라즈마 처리 장치로서는, 예를 들면, 처리 챔버 내에, 기판이 올려놓여지는 재치대(holding stage)가 설치되고, 이 재치대에 기판을 흡착하기 위한 정전 척(electrostatic chuck)을 설치한 것이 알려져 있다. 이와 같이 재치대에 정전 척을 설치한 플라즈마 처리 장치에서는, 정전 척을 플라즈마로부터 보호하기 위해, 재치대의 재치면의 형상을 볼록 형상으로 하고, 이 볼록 형상의 재치면의 크기를 기판보다 근소하게 작게 하여, 재치면에 설치된 정전 척의 흡착면이 플라즈마에 노출되지 않도록 구성한 것이 알려져 있다.

[0004] 또한, 반도체 웨이퍼 등의 기판의 주위에 포커스 링을 설치한 구성의 플라즈마 처리 장치에서는, 반도체 웨이퍼 흡착용의 정전 척 외에, 포커스 링 흡착용의 정전 척을 설치하고, 포커스 링을 재치대에 흡착함으로써, 재치대 내를 순환하는 온도 조절 매체에 의해 포커스 링의 온도 조절도 행하도록 하는 것이 알려져 있다(예를 들면, 특허문헌 1 참조).

[0005] 또한, 예를 들면 직경 300mm의 반도체 웨이퍼를 처리하는 플라즈마 처리 장치에서는, 볼록 형상으로 형성된 재치대의 재치면의 직경(정전 척의 흡착면의 직경)을 예를 들면 296mm~298mm 정도로 하고, 정전 척의 흡착면이 모두 반도체 웨이퍼에 덮인 상태로 함으로써, 처리 중에 정전 척의 흡착면이 플라즈마에 노출되지 않도록 하고 있다. 또한, 이 경우, 정전 척의 흡착면 내에 매설된 정전 척용 전극의 직경은, 흡착면의 직경보다 더욱 작게 되어 있다.

[0006] 또한, 박판 형상의 포커스 링을 반도체 웨이퍼와 동일 평면 상에 올려놓고, 포커스 링의 임피던스를 반도체 웨이퍼의 임피던스에 가까워지도록 한 플라즈마 처리 장치도 알려져 있다(예를 들면, 특허문헌 2 참조).

## 선행기술문헌

### 특허문헌

[0007] (특허문헌 0001) 일본공개특허공보 평10-303288호

(특허문헌 0002) 일본공개특허공보 2004-235623호

## 발명의 내용

### 해결하려는 과제

[0008] 상기와 같이, 종래부터 플라즈마 처리 장치에 있어서는, 기판을 올려놓는 재치대의 재치면 및 이 재치면에 설치된 정전 척의 흡착면의 직경을, 플라즈마 처리하는 반도체 웨이퍼의 직경보다 작게 함으로써, 정전 척의 흡착면이 플라즈마에 노출되지 않도록 하는 것이 행해지고 있다.

[0009] 그러나, 상기 구성의 플라즈마 처리 장치에서는, 반도체 웨이퍼의 주연부(周緣部)가 정전 척에 흡착되지 않기 때문에, 반도체 웨이퍼의 주연부의 온도가 다른 부분에 비해 높아지는 경향이 있다. 이 때문에, 반도체 웨이퍼의 중앙부와 주연부의 온도의 차에 의해, 반도체 웨이퍼의 중앙부와 주연부에서 플라즈마 처리 상태가 상이한 경우가 있다. 예를 들면, 플라즈마 에칭에 의해 반도체 웨이퍼 상에 형성된 에칭 대상막에 홀을 형성하는 경우는, 홀의 뚫음성이 반도체 웨이퍼의 중앙부와 주연부에서 상이하거나, 포토레지스트(photoresist)에 대한 에칭 대상막의 선택비(selectivity)가 반도체 웨이퍼의 중앙부와 주연부에서 상이한 경우 등이 있다. 이 때문에, 플라즈마 처리의 면내 균일성이 악화된다는 문제가 있다. 또한, 전술한 특허문헌 2의 기술은, 임피던스에 주목한 것으로, 온도에 대해서는 고려되어 있지 않다.

[0010] 본 발명은, 상기 종래의 사정에 대처하여 이루어진 것으로, 피처리 기판의 주연부의 온도 상승을 억제함으로써 플라즈마 처리의 면내 균일성을 향상시킬 수 있어, 균일한 플라즈마 처리를 행할 수 있는 플라즈마 처리 장치를 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

[0011] 본 발명의 플라즈마 처리 장치의 일 실시형태는, 내부를 기밀하게(airtightly) 폐색 가능하게 된 처리 챔버와, 상기 처리 챔버 내에 처리 가스를 공급하는 처리 가스 공급 기구와, 상기 처리 챔버 내로부터 배기하기 위한 배

기 기구와, 상기 처리 가스의 플라즈마를 생성하기 위한 플라즈마 생성 기구와, 상기 처리 챔버 내에 설치되어, 피(被)처리 기관과, 당해 피처리 기관의 주위를 둘러싸도록 설치되는 포커스 링이 동일한 평면에 올려놓여지도록 구성된 재치대와, 상기 재치대의 온도를 조절하는 온도 조절 기구와, 상기 재치대의 상면에 설치되어, 상기 포커스 링의 하부에까지 연재(extending)되는 흡착용 전극을 갖는 정전 척을 구비한 것을 특징으로 한다.

### 발명의 효과

[0012] 본 발명에 의하면, 피처리 기관의 주연부의 온도 상승을 억제함으로써 플라즈마 처리의 면내 균일성을 향상시킬 수 있어, 균일한 플라즈마 처리를 행할 수 있는 플라즈마 처리 장치를 제공할 수 있다.

### 도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시 형태에 따른 플라즈마 에칭 장치의 개략 구성을 개략적으로 나타내는 도면이다.

도 2는 도 1의 플라즈마 에칭 장치의 주요부 구성을 나타내는 도면이다.

도 3은 변형예에 따른 플라즈마 에칭 장치의 주요부 구성을 나타내는 도면이다.

도 4는 반도체 웨이퍼의 온도 분포를 측정한 결과를 나타내는 그래프이다.

도 5는 반도체 웨이퍼의 각부의 포토레지스트의 에칭 레이트 측정한 결과를 나타내는 그래프이다.

도 6은 종래 장치의 주요부 구성을 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0014] (발명을 실시하기 위한 형태)

[0015] 이하, 본 발명의 상세를, 도면을 참조하여 실시 형태에 대해서 설명한다.

[0016] 도 1은 본 실시 형태에 따른 플라즈마 에칭 장치의 주요부 개략 구성을 개략적으로 나타내는 것이다. 플라즈마 에칭 장치(1)는 전극판이 상하 평행하게 대향하고, 플라즈마 형성용 전원이 접속된 용량 결합형 평행 평판 에칭 장치로서 구성되어 있다.

[0017] 플라즈마 에칭 장치(1)는 예를 들면 표면이 양극(陽極) 산화 처리된 알루미늄 등으로 이루어지고 원통 형상으로 성형된 처리 챔버(2)를 갖고 있으며, 이 처리 챔버(2)는 접지되어 있다. 처리 챔버(2) 내의 저부(底部)에는, 세라믹스 등의 절연성의 재료로 원통 형상으로 형성된 지지 부재(3)를 개재하여, 대략 원기둥 형상의 서셉터(susceptor; 재치대)(5)가 설치되어 있다.

[0018] 서셉터(5)에는, 피처리 기관으로서의 반도체 웨이퍼(W)와, 이 반도체 웨이퍼(W)의 주위를 둘러싸는 환상(annular shape)의 포커스 링(15)이 올려놓여진다. 이 포커스 링(15)은, 예를 들면, 실리콘 등으로 구성되어 있으며, 에칭의 면내 균일성을 향상시키는 작용을 갖는다. 또한, 서셉터(5)는 하부 전극의 역할을 수행하는 것으로, 서셉터(5)에는 하이 패스 필터(HPF)(6)가 접속되어 있다.

[0019] 서셉터(5)의 내부에는, 냉매실(7)이 설치되어 있으며, 이 냉매실(7)에는, 냉매가 냉매 도입관(8)을 통하여 도입되고 순환하여 냉매 배출관(9)으로부터 배출된다. 그리고, 냉매실(7)을 순환하는 냉매의 냉열이 서셉터(5)를 통하여 반도체 웨이퍼(W)에 대하여 전열되고, 이에 따라 반도체 웨이퍼(W)가 소망하는 온도로 제어된다.

[0020] 서셉터(5)는 그 상측이 평면 형상으로 성형되고, 그 평면 형상의 상측면에 정전 척(11)이 설치되어 있다. 도 2에 나타내는 바와 같이, 정전 척(11)은, 절연층(11a)의 사이에 도전층인 흡착용 전극(11b)을 개재시켜 구성되어 있다. 정전 척(11)은, 서셉터(5)의 상측면 전체를 덮도록 설치되어 있고, 흡착용 전극(11b)은, 반도체 웨이퍼(W)의 주연부보다 외측으로 연재되어, 포커스 링(15)의 하부에까지 이르도록 설치되어 있다. 이 정전 척(11)의 흡착용 전극(11b)에는, 도 1에 나타내는 직류 전원(13)으로부터 예를 들면 1.5kV의 직류 전압이 인가된다. 이에 따라, 예를 들면 쿨롱력에 의해 반도체 웨이퍼(W) 및 포커스 링(15)을 정전 흡착한다.

[0021] 서셉터(5), 정전 척(11)에는, 반도체 웨이퍼(W)의 이면에, 전열 매체(예를 들면 He 가스 등)를 공급하기 위한 가스 통로(14)가 형성되어 있고, 이 전열 매체를 통하여 서셉터(5)의 냉열이 정전 척(11)을 통하여 반도체 웨이퍼(W)에 전달되어 반도체 웨이퍼(W)가 소정의 온도로 유지되도록 되어 있다.

[0022] 상기와 같이, 본 실시 형태의 플라즈마 에칭 장치(1)에서는, 서셉터(5)의 상측이 볼록 형상이 아니라 평면 형상으로 성형되고, 정전 척(11)의 흡착용 전극(11b)이 반도체 웨이퍼(W)의 주연부보다 외측으로 연재되어, 포커스

링(15)의 하부에까지 이르도록 설치되어 있다. 따라서, 반도체 웨이퍼(W)가, 그 주연부에 이르기까지 그 전체가 정전 척(11)에 흡착된 상태가 된다. 이에 따라, 반도체 웨이퍼(W)의 전체가 서셉터(5)의 냉열에 의해 온도 조절되어, 반도체 웨이퍼(W)의 주연부의 온도가 상승하는 것을 억제할 수 있다.

[0023] 또한, 본 실시 형태에서는, 흡착용 전극(11b)이 포커스 링(15)의 하부에까지 연재되어 있기 때문에, 1개의 흡착용 전극(11b)에 의해 반도체 웨이퍼(W)와 실리콘체의 포커스 링(15)을 정전기적으로 흡착할 수 있는 구조로 되어 있다. 이와 같이, 서셉터(5)의 상면을, 포커스 링(15)의 재치부까지 포함하여 평면 형상으로 하고, 1개의 흡착용 전극(11b)에서 반도체 웨이퍼(W)와 포커스 링(15)을 흡착하는 구조로 되어 있기 때문에, 별도 포커스 링(15)을 흡착하기 위한 흡착용 전극을 형성하는 공정을 필요로 하는 일 없이, 용이하게 포커스 링(15)의 흡착 구조를 실현할 수 있다.

[0024] 정전 척(11)을 구성하는 절연층(11a) 및 흡착용 전극(11b)은, 서셉터(5)를 구성하는 알루미늄 등으로 이루어지는 기재(基材)에, 용사(spray)에 의해 형성할 수 있다. 이와 같이 절연층(11a) 등을 용사에 의해 형성하면, 절연층(11a)이 플라즈마에 의해 깎여, 그 두께가 감소한 경우에, 용사에 의한 보수를 행할 수 있다. 또한, 반도체 웨이퍼(W)와 포커스 링(15)을 흡착하기 위한 흡착용 전극을 한 번의 용사로 형성할 수 있기 때문에 염가로 포커스 링(15)의 흡착 구조를 실현할 수 있다.

[0025] 절연층(11a)을 구성하는 재료로서는, 예를 들면,  $Al_2O_3$ ,  $Y_2O_3$  등의 세라믹스를 이용할 수 있다.  $Y_2O_3$ 은, 플라즈마에 대한 내성이 높고, 플라즈마에 의해 깎이기 어렵다는 특성을 갖고 있다. 또한, 반도체 웨이퍼와 동질의 실리콘을 이용한 경우, 반도체 웨이퍼가 이질의 물질에 의해 오염되는 것을 방지할 수 있다. 또한, 포커스 링(15)을 구성하는 재료로서는 실리콘이나 질화 실리콘을 이용할 수 있다.

[0026] 도 2에 나타내는 바와 같이, 정전 척(11) 상에 반도체 웨이퍼(W)를 올려놓았을 때, 반도체 웨이퍼(W)의 주연부와 포커스 링(15)의 내주부와의 사이에는, 반도체 웨이퍼(W)의 반송 정밀도 등과의 관계로부터 예를 들면 0.5mm ~2mm 정도의 간격(C)이 형성되도록 되어 있다. 그리고, 이 간격(C)의 부분으로부터 플라즈마가 비집고 들어와, 이 부분의 정전 척(11)의 절연층(11a)이 특히 플라즈마에 의해 깎인다. 그리고, 흡착용 전극(11b)의 상부의 절연층(11a)의 두께가 얇아져, 절연 내성이 얻어지지 않게 되면, 정전 척(11)을 그 이상 사용할 수 없게 된다.

[0027] 이 때문에, 도 3에 나타내는 바와 같이, 흡착용 전극(11b)의, 반도체 웨이퍼(W)와 포커스 링(15)과의 경계 부분에 위치하는 부분(간격(C)의 하방에 위치하는 부분)에, 하방을 향하여 굴곡된 형상으로 한 굴곡부(11c)를 형성하는 것이 바람직하다. 이와 같이, 흡착용 전극(11b)에 굴곡부(11c)를 형성함으로써, 절연 내성이 얻어지지 않게 될 때까지의 사용 시간을 길게 할 수 있어, 정전 척(11)의 장수명화를 도모할 수 있다. 또한, 흡착용 전극(11b)의 상부의 절연층(11a)의 두께는, 예를 들면 수백 미크론 정도이며, 이 경우 굴곡부(11c)에 있어서 수십 미크론으로부터 백 미크론 정도 흡착용 전극(11b)을 하방으로 굽어시키는 것이 바람직하다.

[0028] 도 1에 나타내는 바와 같이, 서셉터(5)의 상방에는, 이 서셉터(5)와 평행하게 대향하여 상부 전극(21)이 설치되어 있다. 이 상부 전극(21)은, 절연재(22)를 개재하여, 처리 챔버(2)의 상부에 지지되어 있다. 상부 전극(21)은, 전극판(24)과, 이 전극판(24)을 지지하는 도전성 재료로 이루어지는 전극 지지체(25)에 의해 구성되어 있다. 전극판(24)은, 예를 들면, 도전체 또는 반도체로 구성되며, 다수의 토출공(23)을 갖는다. 이 전극판(24)은, 서셉터(5)와의 대향면을 형성한다.

[0029] 상부 전극(21)에 있어서의 전극 지지체(25)의 중앙에는 가스 도입구(26)가 형성되고, 이 가스 도입구(26)에는, 가스 공급관(27)이 접속되어 있다. 또한 이 가스 공급관(27)에는, 밸브(28), 그리고 매스 플로우 컨트롤러(29)를 개재하여, 처리 가스 공급원(30)이 접속되어 있다. 처리 가스 공급원(30)으로부터, 플라즈마 애칭 처리를 위한 처리 가스가 공급된다.

[0030] 처리 챔버(2)의 저부에는 배기관(31)이 접속되어 있고, 이 배기관(31)에는 배기 장치(35)가 접속되어 있다. 배기 장치(35)는 터보 분자 펌프 등의 진공 펌프를 구비하고 있고, 처리 챔버(2) 내를 소정의 감압 분위기, 예를 들면 1Pa 이하의 소정의 압력까지 진공 흡인 가능하도록 구성되어 있다. 또한, 처리 챔버(2)의 측벽에는 게이트 밸브(32)가 설치되어 있고, 이 게이트 밸브(32)를 연 상태로 반도체 웨이퍼(W)가 인접하는 로드락실(load-lock chamber; 도시하지 않음)과의 사이에서 반송되도록 되어 있다.

[0031] 상부 전극(21)에는, 제1 고주파 전원(40)이 접속되어 있고, 그 급전선에는 정합기(41)가 개삽(介挿)되어 있다. 또한, 상부 전극(21)에는 로우 패스 필터(LPF)(42)가 접속되어 있다. 이 제1 고주파 전원(40)은, 예를 들면, 50~150MHz의 범위의 주파수의 고주파 전력을 출력하도록 구성되어 있다. 이와 같이 주파수의 높은 고주파 전

력을 상부 전극(21)에 인가함으로써, 처리 챔버(2) 내에 바람직한 해리 상태로 그리고 고밀도의 플라즈마를 형성할 수 있다.

[0032] 하부 전극으로서의 서셉터(5)에는, 제2 고주파 전원(50)이 접속되어 있고, 그 급전선에는 정합기(51)가 개설되어 있다. 이 제2 고주파 전원(50)은, 제1 고주파 전원(40)보다 낮은 주파수의 고주파 전력을 출력하는 것으로, 이러한 낮은 주파수의 고주파 전력을 인가함으로써, 피처리 기관인 반도체 웨이퍼(W)에 대하여 대미지를 주는 일 없이 적절한 이온 작용을 줄 수 있다. 제2 고주파 전원(50)의 주파수로서는, 20MHz 이하의 정도의 것이 이용된다(본 실시 형태에서는 13.56MHz).

[0033] 상기 구성의 플라즈마 에칭 장치(1)는 제어부(60)에 의해 그 동작이 통괄적으로 제어된다. 이 제어부(60)에는, CPU를 구비하여 플라즈마 에칭 장치(1)의 각부를 제어하는 프로세스 컨트롤러(61)와, 유저 인터페이스부(62)와, 기억부(63)가 설치되어 있다.

[0034] 유저 인터페이스부(62)는, 공정 관리자가 플라즈마 에칭 장치(1)를 관리하기 위해 커맨드의 입력 조작을 행하는 키보드나, 플라즈마 에칭 장치(1)의 가동 상황을 가시화하여 표시하는 디스플레이 등으로 구성되어 있다.

[0035] 기억부(63)에는, 플라즈마 에칭 장치(1)에서 실행되는 각종 처리를 프로세스 컨트롤러(61)의 제어로 실현하기 위한 제어 프로그램(소프트웨어)이나 처리 조건 데이터 등이 기억된 레시피가 격납되어 있다. 그리고, 필요에 따라서, 유저 인터페이스부(62)로부터의 지시 등으로 임의의 레시피를 기억부(63)로부터 불러내 프로세스 컨트롤러(61)에 실행시킴으로써, 프로세스 컨트롤러(61)의 제어하에서, 플라즈마 에칭 장치(1)에서의 소망하는 처리가 행해진다. 또한, 제어 프로그램이나 처리 조건 데이터 등의 레시피는, 컴퓨터로 판독 가능한 컴퓨터 기억매체(예를 들면, 하드 디스크, CD, 플렉시블(flexible) 디스크, 반도체 메모리 등) 등에 격납된 상태의 것을 이용하거나, 혹은, 다른 장치로부터, 예를 들면 전용 회선을 통하여 수시 전송시켜 온라인에서 이용하거나 하는 것도 가능하다.

[0036] 도 1에 나타내는 플라즈마 에칭 장치(1)에 의해, 반도체 웨이퍼(W)의 플라즈마 에칭을 행하는 경우, 우선, 반도체 웨이퍼(W)는, 게이트 밸브(32)가 개방된 후, 도시하지 않는 로드락실로부터 처리 챔버(2) 내로 반입되어, 정전 척(11) 상에 올려놓여진다. 그리고, 직류 전원(13)으로부터 직류 전압이 인가됨으로써, 반도체 웨이퍼(W)가 정전 척(11) 상에 정전 흡착된다. 이어서, 게이트 밸브(32)가 닫히고, 배기 장치(35)에 의해, 처리 챔버(2) 내가 소정의 진공도까지 진공 흡인된다.

[0037] 그 후, 밸브(28)가 열려, 처리 가스 공급원(30)으로부터 소정의 처리 가스가, 매스 플로우 컨트롤러(29)에 의해 그 유량이 조정되면서, 처리 가스 공급관(27), 가스 도입구(26)를 통하여 상부 전극(21)의 중공부(中空部)로 도입되고, 또한 전극판(24)의 토출공(23)을 통하여, 도 1의 화살표로 나타내는 바와 같이, 반도체 웨이퍼(W)에 대하여 균일하게 토출된다.

[0038] 그리고, 처리 챔버(2) 내의 압력이 소정의 압력으로 유지된다. 그 후, 제1 고주파 전원(40)으로부터 소정의 주파수의 고주파 전력이 상부 전극(21)에 인가된다. 이에 따라, 상부 전극(21)과 하부 전극으로서의 서셉터(5)와의 사이에 고주파 전계가 발생하여, 처리 가스가 해리되어 플라즈마화된다.

[0039] 한편, 제2 고주파 전원(50)으로부터, 상기의 제1 고주파 전원(40)보다 낮은 주파수의 고주파 전력이 하부 전극인 서셉터(5)에 인가된다. 이에 따라, 플라즈마 중의 이온이 서셉터(5)측으로 인입되고, 이온 어시스트에 의해 에칭의 이방성이 높아진다.

[0040] 이 플라즈마 에칭시에, 본 실시 형태의 플라즈마 에칭 장치(1)에서는, 반도체 웨이퍼(W)가 주연부까지 정전 척(11)에 흡착되어, 반도체 웨이퍼(W)의 주연부의 온도가 상승하는 것을 억제할 수 있기 때문에, 종래에 비해 플라즈마 에칭 처리의 면내 균일성을 향상시킬 수 있어, 균일한 플라즈마 에칭 처리를 행할 수 있다.

[0041] 그리고, 소정의 플라즈마 에칭 처리가 종료되면, 고주파 전력의 공급 및 처리 가스의 공급이 정지되고, 상기한 순서와는 반대의 순서로, 반도체 웨이퍼(W)가 처리 챔버(2) 내로부터 반출된다.

[0042] 도 4의 그래프는, 직경 300mm(반경 150mm)의 반도체 웨이퍼에, 60초간 플라즈마를 작용시켜 에칭을 행했을 때의 반도체 웨이퍼 각부의 온도를 측정한 결과를 나타내고 있다. 도 4의 종축은 온도, 횡축은 웨이퍼 중심으로부터의 거리를 나타내고 있으며, 점선(마크 ◆)은 종축의 장치의 경우를, 실선(마크 △), 일점 쇄선(마크 ×), 2점 쇄선(마크 □)은 본 실시 형태의 경우를 나타내고 있다. 또한, 실선(마크 △)은, Al<sub>2</sub>O<sub>3</sub>의 용사 피막의 ESC와 두께 1.4mm의 실리콘 포커스 링을 이용한 경우, 일점 쇄선(마크 ×)은, Y<sub>2</sub>O<sub>3</sub>의 용사 피막의 ESC와 두께 1.4mm의 실

리콘 포커스 링을 이용한 경우, 이점 쇄선(마크 □)은,  $Y_2O_3$ 의 용사 피막의 ESC와 두께 2.0mm의 실리콘 포커스 링을 이용한 경우이다.

[0043] 점선(마크 ◆)의 종래의 장치의 경우란, 도 6에 나타내는 바와 같이, 재치대(서셉터)(105)가, 중앙부가 상방으로 돌출된 볼록 형상으로 형성되고, 절연층(111a)과, 도전층인 흡착용 전극(111b)으로 이루어지는 정전 척(111)의 지름이, 반도체 웨이퍼(W)의 지름보다 작은 지름이 되어, 포커스 링(115)이 재치대(서셉터)(105)의 주위에 형성된 단부(段部)에 설치된 구성의 경우이다.

[0044] 도 4에 나타나는 바와 같이, 종래의 장치의 경우, 반도체 웨이퍼(W)의 주연부의 온도가 크게 상승하고 있는데 대하여, 본 실시 형태에서는, 반도체 웨이퍼(W)의 주연부의 온도의 상승을 억제할 수 있는 것을 알 수 있다.

[0045] 도 5(a), (b)의 그래프는, 종래의 장치와, 본 실시 형태의 플라즈마 에칭 장치( $Al_2O_3$ 의 용사 피막의 ESC와 두께 1.4mm의 실리콘 포커스 링을 사용)에서 플라즈마 에칭을 행했을 때의, 반도체 웨이퍼의 각부에 있어서의 포토레지스트의 에칭 레이트를 측정한 결과를 나타내고 있다. 이들 그래프에 있어서, 종축은 에칭 레이트, 횡축은 웨이퍼 중심으로부터의 거리를 나타내고 있다. 또한, 점선은 X축을 따른 위치에 있어서의 에칭 레이트, 실선은 이것과 직교하는 Y축을 따른 위치에 있어서의 에칭 레이트를 나타내고 있다.

[0046] 도 5(a)에 나타내는 바와 같이, 종래의 장치의 경우, 반도체 웨이퍼(W)의 주연부에 있어서 포토레지스트의 에칭 레이트가 급격하게 상승하고 있다. 이에 대하여, 도 5(b)에 나타내는 바와 같이, 본 실시 형태의 경우, 반도체 웨이퍼(W)의 주연부에 있어서 포토레지스트의 에칭 레이트가 상승하는 것을 억제할 수 있었다. 이에 따라, 포토레지스트와, 예를 들면 에칭 대상의 실리콘 산화막 등과의 선택비가, 반도체 웨이퍼(W)의 주연부에 있어서 저하되어 버리는 것을 억제할 수 있다. 또한, 도 5(a)에 나타내는 종래의 장치의 경우, 면내의 평균 에칭 레이트는 57.4nm/min(면내의 균일성 ±10%)이고, 도 5(b)에 나타내는 실시 형태의 경우, 면내의 평균 에칭 레이트는 57.8nm/min(면내의 균일성 ±6.1%)로 종래의 장치의 경우에 비해 면내의 균일성을 향상시킬 수 있었다. 따라서, 반도체 웨이퍼(W)의 주연부의 온도 상승을 억제함으로써 포토레지스트의 선택비의 면내 균일성을 향상시킬 수 있다.

[0047] 또한, 본 발명은 상기의 실시 형태로 한정되는 것이 아니라, 각종의 변형이 가능하다. 예를 들면, 플라즈마 에칭 장치는, 도 1에 나타낸 평행 평판형의 상하부 고주파 인가형에 한하지 않고, 하부 전극에만 1 또는 2주파의 고주파 전력을 인가하는 타입의 플라즈마 에칭 장치 등에 적용할 수 있다. 또한, 플라즈마 에칭 장치에 한하지 않고, 예를 들면 성막 장치 등, 플라즈마를 사용하는 처리 장치라면, 본 발명을 적용할 수 있다.

### 부호의 설명

[0048] 1 : 플라즈마 에칭 장치

2 : 처리 챔버

5 : 서셉터

11 : 정전 척

11a : 절연층

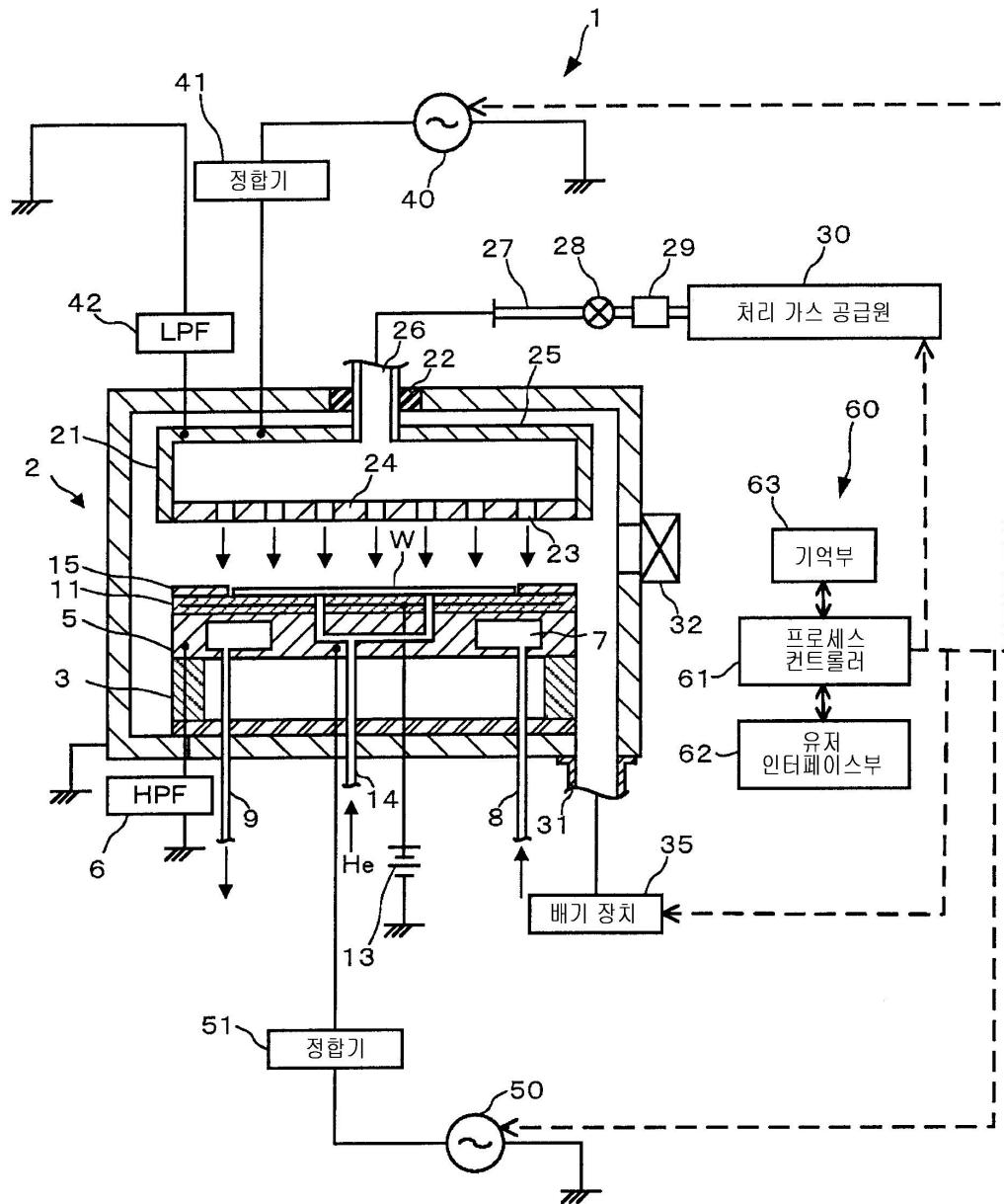
11b : 흡착용 전극

15 : 포커스 링

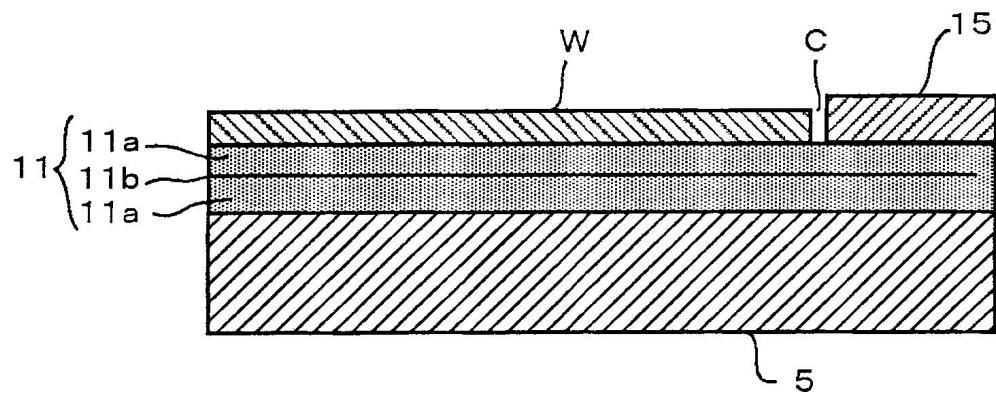
W : 반도체 웨이퍼

도면

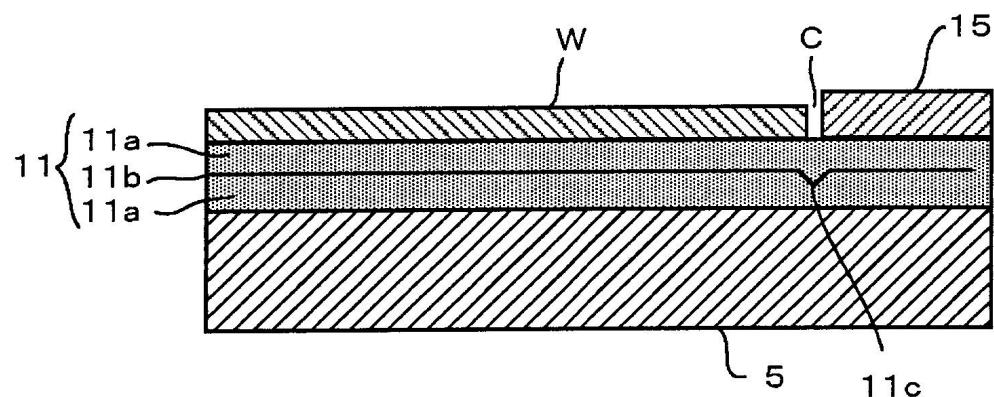
도면1



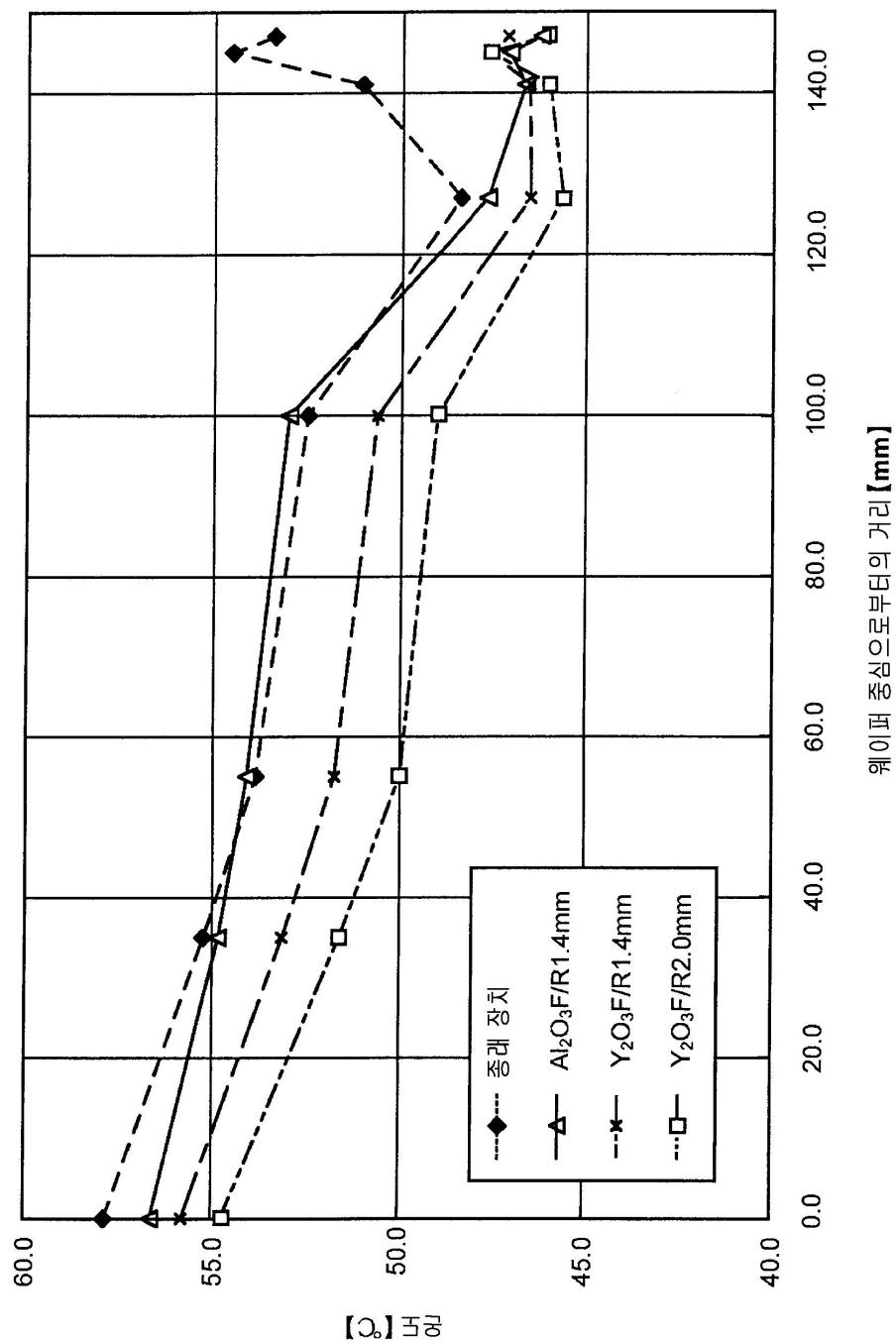
도면2



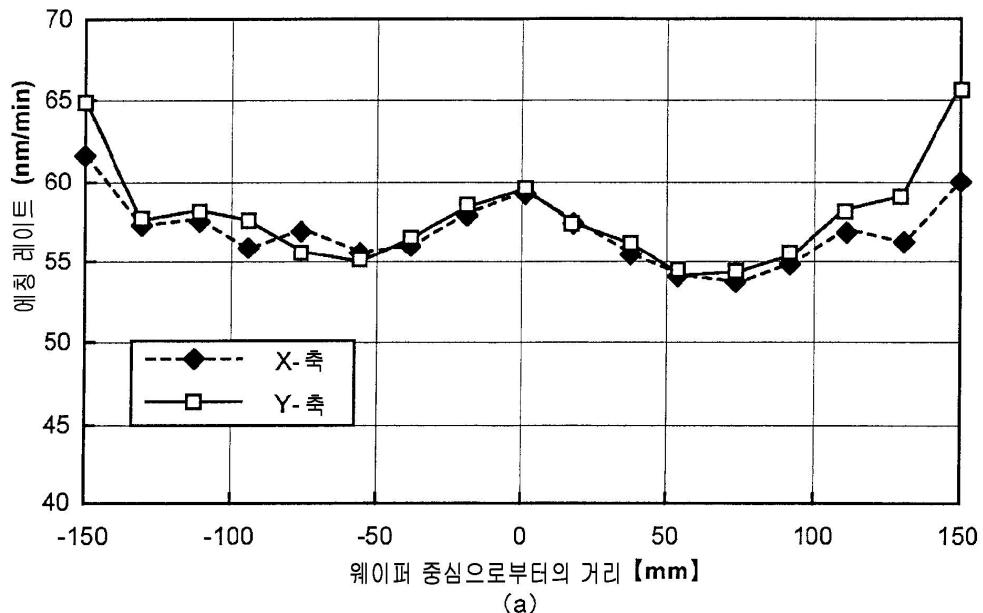
도면3



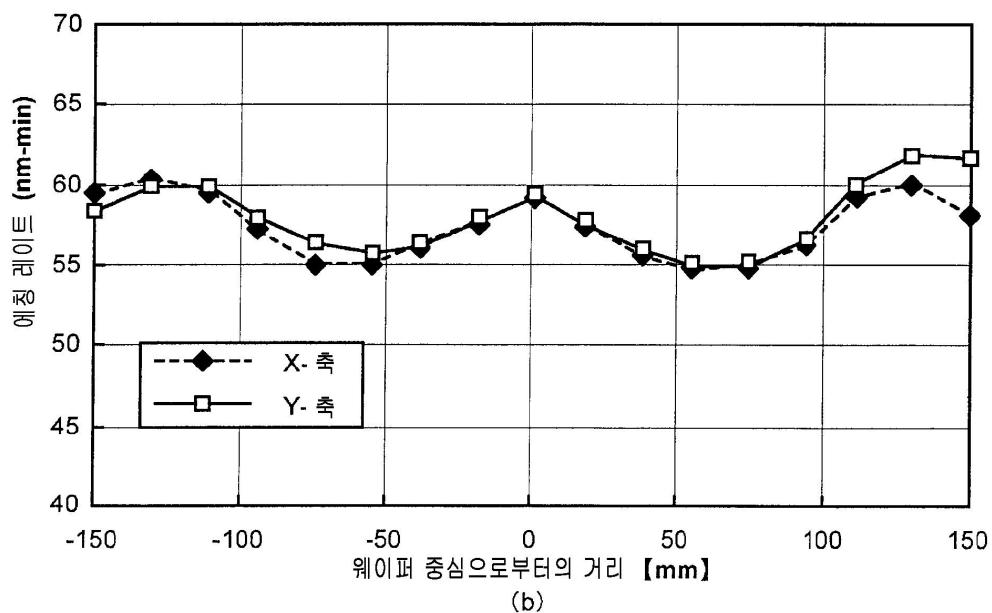
도면4



## 도면5



(a)



(b)

도면6

