



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월10일

(11) 등록번호 10-1602252

(24) 등록일자 2016년03월04일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
- (21) 출원번호 10-2011-7001356
- (22) 출원일자(국제) 2009년06월22일
심사청구일자 2014년06월19일
- (85) 번역문제출일자 2011년01월19일
- (65) 공개번호 10-2011-0023888
- (43) 공개일자 2011년03월08일
- (86) 국제출원번호 PCT/JP2009/061794
- (87) 국제공개번호 WO 2009/157573
국제공개일자 2009년12월30일
- (30) 우선권주장
JP-P-2008-169499 2008년06월27일 일본(JP)
JP-P-2008-228242 2008년09월05일 일본(JP)
- (56) 선행기술조사문헌
KR1019910017676 A*
KR1020070029998 A*
KR1020050009958 A*
KR1020020091695 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
이사 토시유키
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이
진보 야스히로
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이
(뒷면에 계속)
- (74) 대리인
이화익, 김홍두

전체 청구항 수 : 총 16 항

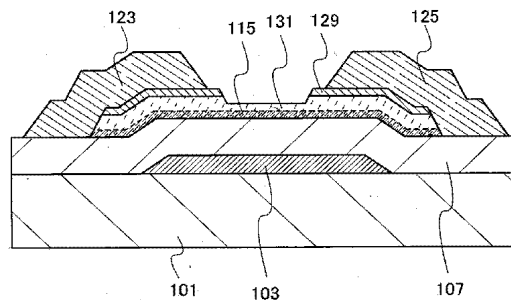
심사관 : 최혜미

(54) 발명의 명칭 박막 트랜지스터, 반도체장치 및 전자기기

(57) 요약

박막 트랜지스터는, 게이트 절연층과 소스 및 드레인 영역 사이와, 적어도 소스 및 드레인 영역측에, 질소 또는 NH기를 갖는 비정질 반도체층을 버퍼층으로서 갖는다. 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 온 전류를 증가시킬 수 있다. 더구나, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 오프 전류를 저감할 수 있다.

대표도



(72) 발명자

테즈카 사치아키

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이

다이리키 코지

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이

미야이리 히데카즈

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이

야마자키 순페이

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이

명세서

청구범위

청구항 1

절연 표면을 갖는 기판 위의 게이트 전극과,
상기 게이트 전극을 덮는 게이트 절연층과,
상기 게이트 절연층에 접하는 제1반도체층과,
상기 제1반도체층 위에 적층되는 제2반도체층과,
상기 제2반도체층의 일부에 접하는 소스 영역 및 드레인 영역을 포함하는 불순물 반도체층들을 포함하고,
상기 제2반도체층은, NH기 또는 NH₂기를 포함하는 비정질 반도체층을 포함하고,
상기 제2반도체층에서의 질소 농도는, 상기 불순물 반도체층들을 향해 점점 감소하는, 박막 트랜지스터.

청구항 2

제 1항에 있어서,
상기 NH기로 상기 제2반도체층에 포함되는 다른 반도체 원자가 가교되는 박막 트랜지스터.

청구항 3

제 1항에 있어서,
상기 NH₂기로 상기 제2반도체층에 포함되는 반도체 원자의 다른 땀글링 본드가 중단되는 박막 트랜지스터.

청구항 4

제 1항에 있어서,
상기 제1반도체층은 미결정 반도체층인 박막 트랜지스터.

청구항 5

제 1항에 있어서,
상기 제1반도체층은, 분산된 미결정 반도체층 또는 망상의 미결정 반도체층인 박막 트랜지스터.

청구항 6

제 1항에 있어서,
2차 이온 질량분석법에 의해 측정되는 상기 제2반도체층의 산소 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이하인 박막 트랜지스터.

청구항 7

절연 표면을 갖는 기판 위의 게이트 전극과,

상기 게이트 전극과 접하는 게이트 절연층과,
상기 게이트 절연층에 접하는 반도체층과,
소스 영역 및 드레인 영역을 포함하는 불순물 반도체층들과,
상기 반도체층과 상기 불순물 반도체층들 사이의 버퍼층을 포함하고,
상기 버퍼층은, NH기 또는 NH₂기를 포함하는 비정질 반도체층을 포함하고,
상기 버퍼층에서의 질소 농도는, 상기 불순물 반도체층들을 향해 점점 감소하는, 박막 트랜지스터.

청구항 8

제 7항에 있어서,
상기 NH기로 상기 버퍼층에 포함되는 다른 반도체 원자가 가교되는 박막 트랜지스터.

청구항 9

제 7항에 있어서,
상기 NH₂기로 상기 버퍼층에 포함되는 반도체 원자의 다른 덩글링 본드가 중단되는 박막 트랜지스터.

청구항 10

제 7항에 있어서,
상기 반도체층은 미결정 반도체층인 박막 트랜지스터.

청구항 11

제 7항에 있어서,
상기 반도체층은, 분산된 미결정 반도체층 또는 망상의 미결정 반도체층인 박막 트랜지스터.

청구항 12

제 7항에 있어서,
2차 이온 질량분석법에 의해 측정되는 상기 버퍼층의 산소 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이하인 박막 트랜지스터.

청구항 13

제 1항 또는 제 7항에 있어서,
상기 소스 영역 및 상기 드레인 영역을 포함하는 상기 불순물 반도체층들에 NH기가 포함되는 박막 트랜지스터.

청구항 14

절연 표면을 갖는 기판 위의 게이트 전극과,
상기 게이트 전극을 덮는 게이트 절연층과,

상기 게이트 절연층에 접하는 제1반도체층과,
 상기 제1반도체층 위에 적층되는 제2반도체층과,
 상기 제2반도체층의 일부에 접하는 소스 영역 및 드레인 영역을 포함하는 불순물 반도체층들을 포함하고,
 상기 제2반도체층이, NH기 또는 NH₂기를 포함하는 비정질 반도체층을 포함하고,
 상기 제2반도체층에서의 질소 농도는, 상기 불순물 반도체층들을 향해 점점 감소하는, 박막 트랜지스터를 포함하는, 반도체장치.

청구항 15

제 14항에 기재된 반도체장치를 포함하는 전자기기로서,
 상기 전자기기는 텔레비전 장치, 휴대전화기, 휴대형 컴퓨터 및 탁상 조명기구로 구성된 그룹으로부터 선택된 전자기기.

청구항 16

제 14항에 있어서,
 상기 제2반도체층은, 상기 불순물 반도체층들 사이에 오목부를 포함하는, 반도체장치.

청구항 17

삭제

발명의 설명

기술분야

[0001] 본 발명은, 박막 트랜지스터 및 박막 트랜지스터의 그 제조방법과, 상기 박막 트랜지스터를 사용한 반도체장치 및 표시장치에 관한 것이다.

배경 기술

[0002] 전계 효과 트랜지스터의 일종으로서, 절연 표면을 갖는 기판 위에 형성된 반도체층에 채널 영역이 형성되는 박막 트랜지스터가 알려져 있다. 박막 트랜지스터에 사용되는 반도체층으로서, 비정질 실리콘, 미결정 실리콘 또는 다결정 실리콘을 사용하는 기술이 개시되어 있다(특허문헌 1 내지 5 참조). 박막 트랜지스터의 대표적인 응용예는 액정 텔레비전 장치이며, 이 박막 트랜지스터가 표시 화면을 구성하는 각 화소에 대한 스위칭 트랜지스터로서 실용화되어 있다.

선행기술문헌

특허문헌

- [0003] (특허문헌 0001) 일본국 특개 2001-053283호 공보
- (특허문헌 0002) 일본국 특개평 5-129608호 공보
- (특허문헌 0003) 일본국 특개 2005-049832호 공보
- (특허문헌 0004) 일본국 특개평 7-131030호 공보

(특허문헌 0005) 일본국 특개 2005-191546호 공보

발명의 내용

해결하려는 과제

[0004] 비정질 실리콘층을 사용해서 채널이 형성되는 박막 트랜지스터는, 전계 효과 이동도 및 온 전류가 낮다고 하는 문제가 있다. 한편, 미결정 실리콘층으로 채널이 형성되는 박막 트랜지스터는, 비정질 실리콘층을 사용하여 채널이 형성되는 박막 트랜지스터보다 전계 효과 이동도가 향상되기는 하지만, 오프 전류가 높아, 충분한 스위칭 특성을 얻을 수 없다고 하는 문제가 있다.

[0005] 다결정 실리콘층이 채널 형성 영역으로 사용되는 박막 트랜지스터는, 상기 2종류의 박막 트랜지스터보다도 전계 효과 이동도가 훨씬 높고, 높은 온 전류를 얻을 수 있다고 하는 특성이 있다. 이 박막 트랜지스터는, 상기한 특성에 의해, 화소에 설치되는 스위칭용의 트랜지스터 뿐만 아니라, 고속동작이 요구되는 드라이버 회로도 사용될 수 있다.

[0006] 그러나, 다결정 실리콘층을 사용하여 형성된 박막 트랜지스터는, 비정질 실리콘층을 사용하여 형성된 박막 트랜지스터에 비해 반도체층에 대한 결정화 공정이 필요하게 되어, 제조 비용이 증대하는 문제를 갖는다. 예를 들면, 다결정 실리콘층의 제조한 공정에서 포함되는 레이저 어닐 기술은, 레이저빔의 조사 면적이 작기 때문에 대화면의 액정 패널을 효율적으로 생산할 수 없다고 하는 문제가 있다.

[0007] 표시 패널의 제조에 이용되고 있는 유리 기판은, 제3세대(550mm×650mm), 제3.5세대(600mm×720mm, 또는 620mm×750mm), 제4세대(680mm×880mm, 또는 730mm×920mm), 제5세대(1100mm×1300mm), 제6세대(1500mm×1850mm), 제7세대(1870mm×2200mm), 제8세대(2200mm×2400mm)로 해마다 대형화가 진행되고 있다. 금후에는, 제9세대(2400mm×2800mm, 2450mm×3050mm), 제10세대(2950mm×3400mm)로 유리 기판의 대면적화가 진행할 것으로 예측되고 있다. 유리 기판의 대형화는 미니멈 코스트 설계의 사상에 근거하고 있다.

[0008] 그러나, 제10세대(2950mm×3400mm) 유리 기판 등의 대면적의 마더 유리 기판 위에, 고속동작이 가능한 박막 트랜지스터를 생산성이 좋게 제조할 수 있는 기술은 여전히 확립되어 있지 않아, 그것이 산업계의 문제로 되고 있다.

[0009] 전술한 내용을 감안하여, 본 발명은, 박막 트랜지스터의 온 전류 및 오프 전류에 관한 상기 문제점을 해결하는 것을 과제의 한가지로 한다. 본 발명에 있어서의 다른 과제는, 고속동작이 가능한 박막 트랜지스터를 제공하는 것에 있다.

과제의 해결 수단

[0010] 본 발명에 있어서, 박막 트랜지스터는, 게이트 절연층과 소스 및 드레인 영역 사이와, 적어도 소스 및 드레인 영역측에, NH기 또는 NH₂기를 갖는 비정질 반도체층을 버퍼층으로서 갖는다. 해당 버퍼층은 소위 백 채널 층에 배치된다. 또한, 본 발명에서는, 박막 트랜지스터에 있어서, 게이트 절연층과 소스 및 드레인 영역 사이에, NH기 또는 NH₂기를 갖는 비정질 반도체층이 형성된다.

[0011] NH기 또는 NH₂기를 갖는 비정질 반도체층은, 비정질 반도체의 생성이 가능한 혼합비에서 반도체 소스 가스(예를 들면, 수소화 실리콘 가스, 불화 실리콘 가스, 염화 실리콘 가스, 수소화 게르마늄 가스, 불화 게르마늄 가스 또는 염화 게르마늄 가스)와 희석 가스가 혼합된 가수를 반응 가스로서 사용해서 형성된다. 해당 반응 가스는, 산소 농도를 저감시킨 초고진공 반응실 내에 도입되어, 소정의 압력을 유지해서 글로우 방전 플라즈마를 생성한다. 이에 따라, 반응실 내에 놓인 기판 위에 피막이 퇴적된다. 퇴적 초기 단계 또는 퇴적중에, 질소 원소 및 수소 원소 또는 NH기를 반응실 중에 포함시켜 피막의 퇴적을 개시하여, 피막 중의 맹글링 본드를 NH로 가교시킴으로써, 결합 준위를 저감한 비정질 반도체층이 형성된다. 또는, 퇴적 초기 단계 또는 퇴적중에, 질소 원소 및 수소 원소 또는 NH₂기를 반응실 중에 포함시켜 피막의 퇴적을 개시하여, 피막 중의 맹글링 본드를 NH기로 중단함으로써, 결합 준위를 저감한 비정질 반도체층이 형성된다.

[0012] 비정질 반도체층에 포함되는 질소의 농도는, 반도체 특성을 유지하고, 결합 준위가 저감하며, 캐리어

이동도가 상승하는 농도인 것이 바람직하다.

[0013] 반도체층에 질소, 대표적으로는 NH₃기를 포함시켜, 질소, 대표적으로는 NH₃기로 Si 원자의 땀글링 본드를 가교함으로써, 해당 결합이 결정립계에 있어서 캐리어의 경로로 되기 때문에, 캐리어의 이동이 용이해진다. 이에 따라, 박막 트랜지스터에 있어서, 채널 형성 영역과, 소스 및 드레인 영역 사이에 버퍼층으로서, NH₃기 또는 NH₂기를 갖는 비정질 반도체층을 설치함으로써, 소스 영역 또는 드레인 영역에 전압이 인가되었을 때의 버퍼층의 두께 방향에 있어서의 저항을 낮추는 것이 가능하다. 특히, 소스 및 드레인 영역의 바로 아래의 버퍼층으로서 NH₃기 또는 NH₂기를 갖는 비정질 반도체층을 설치함으로써, 온 전류를 높일 수 있다. 이 때문에, 비정질 반도체층을 게이트 절연층과 소스 및 드레인 영역 사이에 설치한 박막 트랜지스터와 비교하여, 박막 트랜지스터의 온 전류를 높일 수 있다.

[0014] 반도체층의 땀글링 본드는 결합 준위이다. 그렇지만, 반도체 원소의 땀글링 본드를 NH₃기로 가교함으로써, 결합 준위가 없어진다. 또한, 반도체 원소의 땀글링 본드를 NH₂기로 종단함으로써, 결합 준위가 없어진다. 비정질 반도체층은, 단거리 질서를 갖고, 결정 격자와 같이 구조에 일정한 반복 패턴이 없다. 이 때문에, 땀글링 본드가 많이 포함되어, 이 땀글링 본드가 캐리어가 포획되는 결합 준위로 된다. 그렇지만, 비정질 반도체층의 땀글링 본드를 NH₃기로 가교함으로써, 결합 준위를 없애는 것이 가능하다. 또한, 비정질 반도체층의 땀글링 본드를 NH₂기로 종단함으로써, 비정질 반도체층의 결합 준위를 저감할 수 있다. 결합 준위가 있으면, 해당 결합 준위에서, 열 여기에 의해 전자 및 정공이 생성 및 재결합하여, Shockley-Read-Hall 전류가 흐른다. 그렇지만, 결합 준위가 없어질 때, 해당 전류를 저감할 수 있다. 이에 따라, 오프 전류가 흐르는 영역에 버퍼층으로서 NH₃기 또는 NH₂기를 갖는 비정질 반도체층을 설치함으로써, 미결정 반도체를 게이트 절연층과 소스 및 드레인 영역 사이에 설치한 박막 트랜지스터와 비교하여 오프 전류를 저감할 수 있다.

[0015] 이에 따르면, 비정질 반도체층을 게이트 절연층과 소스 및 드레인 영역 사이에 설치한 박막 트랜지스터와 비교하여, 온 전류 및 전계 효과 이동도를 높이는 동시에, 미결정 반도체층을 게이트 절연층과 소스 및 드레인 영역 사이에 설치한 박막 트랜지스터와 비교하여, 오프 전류를 저감할 수 있다.

[0016] 이때, 실리콘 중에 있어서, 실리콘의 배위 수를 줄이고 땀글링 본드를 생성하는 불순물 원소, 예를 들면, 산소의 농도는, 저감시킨다. 즉, 2차 이온 질량분석법에 의해 측정되는 산소 농도를 $5 \times 10^{18} \text{ cm}^{-3}$ 이하로 하는 것이 바람직하다.

[0017] 이때, 여기에서는, 측정법을 언급하지 않은 농도는 2차 이온 질량분석법에 의해 측정된 농도이다.

[0018] 이때, 온 전류란, 트랜지스터가 온 상태일 때에, 소스 전극과 드레인 전극 사이에 흐르는 전류를 말한다. 예를 들면, n 채널 트랜지스터의 경우에는, 트랜지스터의 게이트 전압이 그것의 임계전압보다도 높을 때, 온 전류는 소스 전극과 드레인 전극 사이에 흐르는 전류를 말한다.

[0019] 또한, 오프 전류란, 트랜지스터가 오프 상태일 때에, 소스 전극과 드레인 전극 사이에 흐르는 전류를 말한다. 예를 들면, n 채널 트랜지스터의 경우에, 오프 전류는 트랜지스터의 게이트 전압이 트랜지스터의 임계전압보다도 낮을 때에 소스 전극과 드레인 전극 사이에 흐르는 전류이다.

발명의 효과

[0020] 본 발명에 따르면, 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 온 전류를 높일 수 있다. 더구나, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 오프 전류를 저감할 수 있다.

도면의 간단한 설명

[0021] 도 1a 및 도 1b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 일례를 설명하는 도면이다.

도 2a 내지 도 2c는 본 발명의 일 실시형태에 따른 박막 트랜지스터가 갖는 반도체층을 설명하는 도면이다.

도 3은 본 발명의 일 실시형태에 따른 박막 트랜지스터가 갖는 반도체층을 설명하는 도면이다.

- 도 4는 본 발명의 일 실시형태에 따른 박막 트랜지스터가 갖는 반도체층을 설명하는 도면이다.
- 도 5는 본 발명의 일 실시형태에 따른 박막 트랜지스터가 갖는 반도체층을 설명하는 도면이다.
- 도 6은 본 발명의 일 실시형태에 따른 박막 트랜지스터가 갖는 반도체층을 설명하는 도면이다.
- 도 7a 및 도 7b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 일례를 설명하는 도면이다.
- 도 8a 및 도 8b는 본 발명의 일 실시형태에 따른 박막 트랜지스터가 갖는 반도체층을 설명하는 도면이다.
- 도 9a 및 도 9b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 일례를 설명하는 도면이다.
- 도 10a 내지 도 10c은 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 11a 내지 도 11c는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 12a 및 도 12b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 13a 및 도 13b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 14는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법에 적용가능한 장치를 설명하는 도면이다.
- 도 15는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 타이밍차트의 일례를 설명하는 도면이다.
- 도 16은 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 타이밍차트의 일례를 설명하는 도면이다.
- 도 17은 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 타이밍차트의 일례를 설명하는 도면이다.
- 도 18은 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 타이밍차트의 일례를 설명하는 도면이다.
- 도 19는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 타이밍차트의 일례를 설명하는 도면이다.
- 도 20a 및 도 20b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 21a 내지 도 21c는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 22a 내지 도 22c는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 23a 및 도 23b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 제조방법의 일례를 설명하는 도면이다.
- 도 24a-1, 도 24a-2, 도 24b-1 및 도 24b-2는 본 발명에 적용가능한 다계조 마스크를 설명하는 도면이다.
- 도 25a 내지 도 25c는 본 발명의 일 실시형태의 박막 트랜지스터를 적용가능한 전자기기를 설명하는 도면이다.
- 도 26a 내지 도 26d는 본 발명의 일 실시형태의 박막 트랜지스터를 적용가능한 전자기기를 설명하는 도면이다.
- 도 27은 본 발명의 일 실시형태의 박막 트랜지스터를 적용가능한 전자기기를 설명하는 도면이다.
- 도 28a 내지 도 28c는 본 발명의 일 실시형태의 박막 트랜지스터를 적용가능한 전자기기를 설명하는 도면이다.
- 도 29a 및 도 29b는 본 발명의 일 실시형태에 따른 박막 트랜지스터의 구조를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022]

이하, 실시형태를 도면을 참조하여 설명한다. 단, 개시되는 발명은 이하의 설명에 한정되는 것은 아니다. 개시되는 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용에만 한정되어 해석되는 것은 아니다. 이때, 도면을 사용해서 본 발명의 구성을 설명하는데 있어서, 동일한 것을 가리키는 부호는 다른 도면 사이에서도 공통되어 사용한다. 또한, 동일한 부분에는 동일한 해치 패턴을 적용하고, 동일한 부분은 특별히 부호를 붙이지 않는 경우가 있다.

[0023]

(실시형태 1)

[0024]

본 실시형태에서는, 박막 트랜지스터의 형태의 일례에 대해, 도면을 참조해서 설명한다.

[0025]

도 1a 및 도 1b는, 본 실시형태에 관한 박막 트랜지스터의 단면도를 나타낸다. 도 1a에 나타낸 박막 트

랜지스터는, 기판(101) 위의 게이트 전극층(103)과, 게이트 전극층(103)을 덮는 게이트 절연층(107)과, 게이트 절연층(107) 위에 접해서 설치되고 채널 형성 영역으로서 기능하는 반도체층(115)과, 반도체층(115) 위의 버퍼층(131)과, 버퍼층(131)의 일부에 접하는 소스 및 드레인 영역(129)을 갖는다. 또한, 박막 트랜지스터는, 소스 및 드레인 영역(129) 위에 접하여 설치된 배선층 123 및 배선층 125를 갖는다. 배선층 123 및 배선층 125는 소스 전극 및 드레인 전극을 구성한다. 또한, 각 층은 원하는 형상으로 패턴형성되어 있다. 여기에서는, 버퍼층(131)을, NH기 또는 NH₂기를 갖는 비정질 반도체층(이하, NH기를 갖는 비정질 반도체층으로 표시한다)으로 형성한다.

[0026] 도 1b에 나타난 것과 같이, 반도체층(115)에 있어서, 게이트 전극층(103)과 중첩하고 게이트 절연층(107)측에 설치된 영역 171이 채널로서 기능한다. 또한, 버퍼층(131)에 있어서, 게이트 절연층(107)과 반대측에 설치되고 소스 및 드레인 영역(129)에 접하지 않는 영역 172이 백 채널로서 기능한다. 또한, 버퍼층(131)에 있어서, 드레인 영역에 접하는 측의 영역 173이 공핍층으로 된다. 또한, 버퍼층(131)과 소스 영역 또는 드레인 영역이 접하는 영역 174이 접합 영역이다.

[0027] 기판(101)으로서는, 유리 기판 및 세라믹 기판 이외에, 본 제조 공정의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 기판이 투광성을 필요로 하지 않는 경우에는, 스테인레스 합금 등의 금속의 기판의 표면에 절연층을 설치하여 얻어진 기판을 사용해도 된다. 유리 기판으로서는, 바륨 보로실리케이트 유리, 알루미늄보로실리케이트 유리 혹은 알루미늄오실리케이트 유리 등을 사용하여 형성된 무알칼리 유리 기판을 사용하면 된다.

[0028] 게이트 전극층(103)은, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들 금속을 주성분으로 포함하는 합금 재료를 사용하여, 단층으로 또는 적층으로 형성할 수 있다. 이와 달리, 인 등의 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체층이나 AgPdCu 합금을 사용해도 된다.

[0029] 예를 들면, 게이트 전극층(103)의 2층의 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층 구조, 구리층 위에 몰리브덴층을 적층한 2층 구조, 구리층 위에 질화 티타늄층 혹은 질화 탄탈층을 적층한 2층 구조, 또는 질화 티타늄층과 몰리브덴층을 적층한 2층 구조가 바람직하다. 3층 구조로서는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금의 층과, 질화 티타늄층 또는 티타늄층을 적층한 구조가 바람직하다. 전기적 저항이 낮은 층 위에 배리어층으로서 기능하는 금속층이 적층됨으로써, 게이트 전극층의 전기적 저항을 줄일 수 있고, 금속층으로부터 반도체층으로의 금속 원소의 확산을 방지할 수 있다.

[0030] 게이트 절연층(107)은, CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층 또는 질화산화 실리콘의 단층 또는 적층으로 형성할 수 있다. 또한, 게이트 절연층(107)을 산화질화 실리콘층에 의해 형성함으로써, 반도체층(115)으로서 미결정 반도체층을 형성한 경우, 박막 트랜지스터의 임계전압의 변동을 억제할 수 있다.

[0031] 이때, 본 명세서 중에 있어서, 산화질화 실리콘은, 질소보다도 산소의 함유량이 많은 것이며, 러더포드 후방산란법(RBS) 및 수소 전방산란법(HFS)을 사용해서 측정된 경우에, 산화질화 실리콘은 바람직하게는 조성 범위로서 산소 50 내지 70원자%, 질소 0.5 내지 15원자%, 실리콘 25 내지 35원자%, 수소 0.1 내지 10원자%를 포함한다. 또한, 질화산화 실리콘은 산소보다도 질소의 함유량이 많은 것이며, RBS 및 HFS를 사용해서 측정된 경우에, 질화산화 실리콘은 바람직하게는 조성 범위로서 산소 5 내지 30원자%, 질소 20 내지 55원자%, 실리콘 25 내지 35원자%, 수소 10 내지 30원자%를 포함한다. 단, 산화질화 실리콘 또는 질화산화 실리콘을 구성하는 원자의 합계를 100원자%로 정의했을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기한 범위 내에 포함되는 것으로 한다.

[0032] 반도체층(115)은, 미결정 반도체층, 비정질 반도체층, 또는 NH기를 갖는 비정질 반도체층을 사용해서 형성한다. 미결정 반도체층, 비정질 반도체층, 또는 NH기를 갖는 비정질 반도체층으로서는, 실리콘, 게르마늄, 또는 실리콘 게르마늄을 사용할 수 있다. 이때, 반도체층(115)에는 n형의 도전성을 부여하는 인 또는 p형의 도전성을 부여하는 붕소가 첨가되어도 된다. 또한, 반도체층(115)에는, 티타늄, 지르코늄, 하프늄, 마니듐, 니오브, 탄탈, 크롬, 몰리브덴, 텅스텐, 코발트, 니켈, 백금 등의 실리콘과 반응해서 실리사이드를 형성하는 금속 원소가 첨가되어 있어도 된다. 반도체층(115)에 n형의 도전성을 부여하는 인, p형의 도전성을 부여하는 붕소, 실리콘과 반응해서 실리사이드를 형성하는 금속 원소 등을 첨가함으로써, 반도체층의 캐리어 이동도를 상승시키는 것이 가능하다. 따라서, 해당 반도체층이 채널 형성 영역으로 기능하는 박막 트랜지스터의 전계 효과 이동도

를 높일 수 있다.

- [0033] 미결정 반도체층은, 비정질과 결정 구조(단결정 및 다결정을 포함한다)의 중간적인 구조의 반도체를 포함하는 층이다. 미결정 반도체는, 자유에너지적으로 안정한 제3 상태를 갖는 반도체이며, 단거리 질서를 갖고 격자 변형을 갖는 결정질의 반도체이며, 결정립 크기가 2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 더욱 바람직하게는, 20nm 이상 50nm 이하의 기동형 결정 또는 침상 결정(115a)이 기판 표면에 대하여 법선 방향으로 성장하고 있다. 따라서, 기동형 결정 또는 침상 결정(115a)의 계면에는 결정립계(115b)가 형성된다. 또한, 기동형 결정 또는 침상 결정(115a)의 사이에는, 비정질 구조(115c)가 존재하고 있다(도 2a 참조).
- [0034] 또한, 미결정 반도체층에 포함되는 산소 및 질소의 2차 이온 질량분석법에 의해 측정되는 농도는, $1 \times 10^{18} \text{ cm}^{-3}$ 미만인 것이 바람직하다.
- [0035] 이와 달리, 미결정 반도체층에 있어서, 게이트 절연층(107)과의 계면에 비정질층(115d)이 형성되고, 그 위에 기동형 또는 침상 결정(115a)이 형성되어도 된다(도 2b 참조).
- [0036] 또한, 도 2c에 나타난 것과 같이, 게이트 절연층(107)과 반도체층(115)의 계면에 비정질 구조를 갖지 않고 게이트 절연층(107)의 표면에 기동형 또는 침상 결정(115a)이 형성되어도 된다. 전술한 것과 같이 게이트 절연층(107)과 반도체층(115)의 계면에 비정질 구조가 존재하지 않을 때, 결정성이 높은 기동형 또는 침상 결정(115a) 내부에서 캐리어가 이동하므로, 박막 트랜지스터의 온 전류 및 전계 효과 이동도를 상승시킬 수 있다.
- [0037] 미결정 반도체의 대표예인 미결정 실리콘은, 그것의 라만 스펙트럼이 단결정 실리콘을 표시하는 520 cm^{-1} 보다도 저파수측으로 시프트하고 있다. 즉, 단결정 실리콘을 표시하는 520 cm^{-1} 과 아모퍼스 실리콘을 표시하는 480 cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 존재한다. 반도체는, 땀글링 본드를 중단하기 위해 수소 또는 할로젠을 적어도 1원자% 포함한다. 더구나, 헬륨, 아르곤, 크립톤, 또는 네온 등의 희가스 원소를 포함시켜 격자 변형을 한층 더 조장함으로써, 안정성이 증가하여 양호한 미결정 반도체층을 얻을 수 있다. 이러한 미결정 반도체층에 대해서는, 예를 들면, 미국 특허 4,409,134호에 개시되어 있다.
- [0038] 여기에서, 본 발명의 주요한 특징의 한 개인 버퍼층(131)의 구조에 관해 설명한다. 버퍼층(131)으로서, Si 원자의 땀글링 본드를 가교한 NH기를 갖는 비정질 반도체층을 사용한다. 이와 달리, Si 원자의 땀글링 본드를 NH_2 기로 중단한 비정질 반도체층을 사용한다. 비정질 반도체층은, 결정격자와 같이 구조에 일정한 반복 패턴이 없다. 이 때문에, 땀글링 본드가 많이 포함되어, 땀글링 본드의 영역이 결합 준위로 되고, 이 영역이 캐리어가 포획되는 부위로 됨으로써, 캐리어 이동도의 저하가 생긴다. 그렇지만, 본 발명의 버퍼층(131)에서는, 해당 땀글링 본드가 NH기로 가교되거나, 또는 Si 원자의 땀글링 본드가 NH_2 기로 중단되어, 땀글링 본드의 수가 저감되고 있다. 즉, 버퍼층(131)의 결합 준위가 저감되고 있다. 또한, 땀글링 본드를 NH기로 가교함으로써, 해당 결합부가 캐리어의 통로로 될 수 있으므로, 종래의 비정질 반도체층과 비교하여 캐리어 이동도가 상승한다. 그 결과, 박막 트랜지스터의 버퍼층으로서 본 발명의 버퍼층을 사용한 경우에는, 박막 트랜지스터의 온 전류 및 전계 효과 이동도를 상승시키는 동시에, 오프 전류를 저감할 수 있다.
- [0039] 이때, "비정질 반도체층에 있어서 Si 원자의 땀글링 본드를 NH기로 가교한다"는 것은, NH기의 다른 결합이 비정질 반도체층의 다른 반도체 원소와의 결합에 사용되는 것을 의미한다. 따라서, N 원자의 제1 결합수(bond)는 H 원자와 결합을 위해 사용되고, N 원자의 제2 결합수는 제1 반도체 원자와 결합을 위해 사용되고, N 원자의 제3 결합수는 제2 반도체 원자와 결합을 위해 사용된다. 또한, "비정질 반도체층의 Si 원자의 땀글링 본드를 NH_2 기로 중단한다"는 것은, NH_2 기가 비정질 반도체층의 Si 원자와 결합하는 것을 의미한다. 따라서, N 원자의 제1 결합수 및 제2 결합수가 다른 H 원자와 결합을 위해 사용되고, N 원자의 제3 결합수는 Si 원자와 결합을 위해 사용된다.
- [0040] 이때, 결정 핵의 생성을 억제하는 불순물 원소로서, 산소 및 질소를 들 수 있는제, 실리콘 중에 있어서 캐리어를 트랩하지 않는 불순물 원소(예를 들면, 질소)를 선택한다. 한편, 실리콘의 배위 수를 줄여 땀글링 본드를 생성하는 불순물 원소(예를 들면, 산소)의 농도는 저감시킨다. 따라서, 질소 농도를 저감시키지 않고 산소 농도를 저감시키는 것이 바람직하다. 구체적으로는, 2차 이온 질량분석법에 의해 측정되는 산소의 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이하인 것이 바람직하다.
- [0041] 또한, 질소의 농도는, 비정질 반도체층이 반도체성을 유지하여, 땀글링 본드가 저감하고, 캐리어 이동

도가 상승하는 농도인 것이 바람직하다. 질소의 농도가 지나치게 높으면, 반도체성이 저하하고, 절연성이 증가해 버려, 온 전류가 저하한다. 또한, 질소의 농도가 지나치게 낮으면, 종래의 비정질 반도체층과 유사하게, 캐리어 이동도가 상승하지 않는 동시에, 결함 준위가 증가한다.

[0042] 다음에, 상기와 같은 비정질 반도체층에 포함되는 복수의 땀글링 본드를 질소, 대표적으로는 NH기와 가교할 때, 캐리어가 흐르기 쉬워지는 모델에 대해 이하에서 설명한다.

[0043] 여기에서는, 도 3에 나타난 것과 같이, Si 원자의 땀글링 본드가 H 원자(191a)로 중단된 결합(192)을 갖는 실리콘층에 있어서, 한쌍의 땀글링 본드가 O 원자(193)로 가교된 모델(모델 1)과, 도 4에 나타난 것과 같이, Si 원자의 땀글링 본드가 H 원자(191a)로 중단된 결합(192)을 갖는 실리콘층에 있어서, 한쌍의 땀글링 본드가 NH기(194)로 가교된 모델(모델 2)의 각각의 아모퍼스 실리콘 층에 대해, n형 캐리어의 전도에 기여하는 준위(즉, 전도대에 있어서의 최저 준위)인 LUMO(lowest unoccupied molecular orbital)의 시뮬레이션을 행하였다. 시뮬레이션용의 소프트웨어로서는, 밀도 범함수 이론을 사용한 제1 원리 계산 소프트웨어를 사용하고 있다. 이때, 도 4에 있어서, NH기(194)는 질소 원자(195) 및 수소 원자(191b)를 나타낸다. 또한, 선의 교점은 실리콘 원자를 나타내고, 선은 실리콘 원자의 결합 또는 땀글링 본드를 나타내고 있다. 더구나, 산소 원자 및 NH기의 유효성을 평가하기 위해서, 산소 원자 또는 NH기로 가교된 땀글링 본드 이외의 땀글링 본드는 모두 수소 원자로 중단하였다.

[0044] 모델 1을 사용하여 얻어진 계산 결과에 대해 도 5에 나타내고, 모델 2을 사용하여 얻어진 계산 결과에 대해 도 6에 나타낸다.

[0045] 도 5는, Si 원자를 O 원자로 가교한 영역 및 이 영역의 주변에 있어서의 파동 함수의 형상을 나타내고 있다. 영역 196 및 영역 197은, 위상이 각각 양 및 음(또는 각각 음 및 양)이며 절댓값이 동일한 영역을 나타내고 있다. 도 6은, Si 원자를 NH기로 가교한 영역 및 이 영역의 주변에 있어서의 파동 함수의 형상을 나타내고 있다. 영역 198 및 영역 199은, 위상이 각각 양 및 음(또는 각각 음 및 양)이며, 절댓값이 동일한 영역을 나타내고 있다.

[0046] 도 5는, Si 원자의 땀글링 본드를 O 원자로 가교한 경우에, 파동 함수의 절댓값 및 위상이 같은 영역(예를 들면, 영역 196a 및 196b)이 분리되기 때문에, 캐리어가 흐르기 어려워진다는 것을 나타내고 있다. 즉, 아모퍼스 실리콘층이 산소를 포함하면, 캐리어의 이동을 방해하는 결합이 생겨, 아모퍼스 실리콘층의 캐리어 이동도가 저하한다.

[0047] 한편, 도 6은, Si 원자의 땀글링 본드를 NH기로 가교한 경우에, 다른 Si 원자들 사이에 있어서 파동 함수의 절댓값 및 위상이 같은 영역 198이, 인접하는 땀글링 본드의 양측에 연결되기 때문에, 캐리어가 흐르기 쉬워지고 있다는 것을 나타내고 있다. 즉, 아모퍼스 실리콘층이 NH기를 포함하고 있으면, 땀글링 본드에 있어서 캐리어의 이동을 용이하게 되는 결합이 생겨, 아모퍼스 실리콘층의 캐리어 이동도가 상승한다. 또한, 박막 트랜지스터의 이동도가 상승한다고 생각된다.

[0048] 이상에서 알 수 있는 것과 같이, 비정질 반도체층에 있어서, Si 원자의 땀글링 본드를 NH기로 가교시킴으로써, 캐리어가 이동가능한 결합이 형성된다. 또한, 비정질 반도체층의 캐리어 이동도를 높일 수 있다. 또한, 비정질 반도체층의 산소 농도를 저감함으로써, 결합에 있어서의 캐리어의 이동을 저해하는 결합을 저감할 수 있다.

[0049] 비정질 반도체층에 있어서, 산소 농도를 저감하고, 질소의 농도를 제어하고, NH기 또는 NH₂기를 더 포함시킴으로써, 비정질 반도체층의 결합 준위를 저감하는 것이 가능하고, 캐리어 이동도를 향상시킬 수 있는 동시에, Shockley-Read-Hall 전류를 저감할 수 있다. 따라서, 해당 비정질 반도체층을 버퍼층에 사용함으로써, 박막 트랜지스터의 오프 전류를 저감하는 것이 가능한 동시에, 온 전류를 상승시킬 수 있다.

[0050] 또한, 버퍼층에 NH기를 갖는 비정질 반도체층을 형성함으로써, 박막 트랜지스터의 드레인 내압을 완화하기 때문에, 박막 트랜지스터의 열화를 저감할 수 있다. 또한, 게이트 절연층에 접하는 반도체층을 미결정 반도체층을 사용하여 형성되는 경우, 버퍼층에 NH기를 갖는 비정질 반도체층을 사용하고, 미결정 반도체층 및 NH기를 갖는 비정질 반도체층을 연속적으로 형성함으로써, 미결정 반도체층에 있어서의 미결정 반도체와 비정질 구조의 계면의 산화 방지가 가능하여, 미결정 반도체층의 캐리어 이동도를 높일 수 있다.

[0051] 미결정 반도체층 및 버퍼층의 계면의 구조에 대해, 도 29a 및 도 29b를 참조하여 설명한다.

[0052] 도 29a에 나타난 것과 같이, 반도체층(115) 및 버퍼층(131)의 계면을 대략 평탄하게 할 수 있다. 반도체

체층(115) 위에 버퍼층을 퇴적할 때에, 이와 같은 형상을 갖는 계면에서의 질소 농도를 높게 설정해서 비정질 반도체층을 형성하면 된다. 그 결과, 반도체층(115)의 표면에, 버퍼층(131)으로서 NH기를 갖는 비정질 반도체층을 형성할 수 있다.

[0053] 또한, 도 29b에 나타난 것과 같이, 반도체층(115) 및 버퍼층(131)의 계면은 요철 형상을 가질 수 있다. 특히, 반도체층(115)이 미결정 반도체층인 경우, 결정립의 표면이 요철을 갖는다. 그렇지만, 반도체층(115)의 불록부는 둔각을 가져, 요철의 높이 차이가 작다.

[0054] 소스 및 드레인 영역(129)으로서는, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(이하, 불순물 반도체층으로 부른다)을 형성한다. n채널형의 박막 트랜지스터를 형성하는 경우에는, 일 도전형을 부여하는 불순물 원소로서 인을 사용하면 되고, 대표적으로는 인이 함유된 아모퍼스 실리콘 또는 미결정 실리콘을 사용해서 박막 트랜지스터를 형성한다. p채널형의 박막 트랜지스터를 형성하는 경우에는, 일 도전형을 부여하는 불순물 원소로서 붕소를 사용하면 되고, 대표적으로는 붕소가 함유된 아모퍼스 실리콘 또는 미결정 실리콘을 사용해서 박막 트랜지스터를 형성한다.

[0055] 일 도전형을 부여하는 불순물 원소의 농도, 여기에서는 인 또는 붕소의 농도를 1×10^{19} 내지 $1 \times 10^{21} \text{ cm}^{-3}$ 로 설정함으로써, 배선층(123, 125)과 오믹 콘택하는 것이 가능해져, 불순물 반도체층이 소스 및 드레인 영역으로서 기능한다.

[0056] 소스 및 드레인 영역(129)은 10nm 이상 100nm 이하, 바람직하게는 30nm 이상 50nm 이하의 두께를 갖도록 형성한다. 소스 및 드레인 영역(129)의 두께를 얇게 함으로써, 스루풋을 향상시킬 수 있다.

[0057] 배선층(123, 125)은, 알루미늄, 구리, 티타늄, 네오디뮴, 스칸듐, 몰리브덴, 크롬, 탄탈 혹은 텅스텐 등 중 어느 한 개를 사용하여 단층으로 또는 적층으로 형성할 수 있다. 힐록을 방지하기 위한 원소가 첨가된 알루미늄 합금(예를 들어, 게이트 전극층(103)에 사용할 수 있는 Al-Nd 합금)을 사용해도 된다. 이와 달리, 도너로서 기능하는 불순물 원소를 첨가한 결정성 실리콘을 사용해도 된다. 배선층(123, 125)은, 도너로서 기능하는 불순물 원소가 첨가된 결정성 실리콘과 접하는 측의 층을, 티타늄, 탄탈, 몰리브덴, 텅스텐 또는 이들 원소의 질화물에 의해 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조를 가져도 된다. 이와 달리, 알루미늄 또는 알루미늄 합금의 상면 및 하면을, 티타늄, 탄탈, 몰리브덴, 텅스텐 또는 이들 원소의 질화물로 덮어 적층 구조를 형성해도 된다. 예를 들면, 배선층(123, 125)은, 알루미늄층을 몰리브덴층으로 끼운 3층의 적층 구조를 갖는 것이 바람직하다.

[0058] 본 실시형태에 따르면, 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 온 전류를 높일 수 있다. 더구나, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 오프 전류를 저감할 수 있다.

[0059] (실시형태 2)

[0060] 본 실시형태에서는, 실시형태 1에 나타난 박막 트랜지스터에 있어서 반도체층(115)에 사용하는 것이 가능한 형태를 도 7a 및 도 7b와 도 8a 및 도 8b를 참조하여 설명한다. 도 7a은 박막 트랜지스터의 단면도이며, 도 7b은 게이트 절연층(107), 미결정 반도체(118) 및 버퍼층(131)이 접하는 영역의 확대도다.

[0061] 도 7a 및 도 7b에 나타난 것과 같이, 본 실시형태에 설명한 박막 트랜지스터에서는, 게이트 절연층(107) 위에, 분산된 미결정 반도체 입자 또는 망상의 미결정 반도체(118)가 형성된다.

[0062] 분산된 미결정 반도체 입자(118a)는, 실리콘, 또는 게르마늄보다 많은 실리콘을 포함하는 실리콘 게르마늄($\text{Si}_x\text{Ge}_{1-x}$, $0.5 < x < 1$) 등으로 형성할 수 있다. 위에서 볼 때, 분산된 미결정 반도체 입자는 도 8a에 나타난 것과 같이 원형 형상을 갖고, 도 7a 및 도 7b에 나타난 것과 같이 단면 형상이 반구형이다. 분산된 미결정 반도체 입자의 상면에서 본 직경을, 1 내지 30nm로 설정하고, 밀도를 $1 \times 10^{13} \text{ cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만으로 설정하면, 퇴적만으로 분산된 미결정 반도체 입자를 형성할 수 있다.

[0063] 분산된 미결정 반도체 입자의 직경은 상기 크기에 한정되지 않고, 더 커도 된다.

[0064] 또한, 망상의 미결정 반도체(118b)은, 도 8b에 나타난 것과 같이, 미결정 반도체가 부분적으로 연속되어 있는 형상을 갖고, 미결정 반도체가 연속적으로 형성되는 부분은 규칙적(예를 들면, 격자형, 지그재그)이나

불규칙적으로 배치되어도 된다. 도 8b에는, 불규칙하게 미결정 반도체가 연속되어 있는 상면 형상을 나타낸다.

[0065] 미결정 반도체가 부분적으로 연속되어 있는 이와 같은 망상의 미결정 반도체(118b)는, 게이트 절연층(107) 위에 비정질 반도체 또는 미결정 반도체를 형성한 후, 비정질 반도체 또는 미결정 반도체가 용융하는 정도의 에너지를 갖는 레이저빔을 조사하고, 반도체를 용융하고 응고시키는 방법으로 형성할 수 있다.

[0066] 게이트 절연층(107) 및 버퍼층(131) 사이에 분산된 미결정 반도체 입자 또는 망상의 미결정 반도체(118)를 형성함으로써, 버퍼층(131)과 게이트 절연층(107)의 밀착성을 높일 수 있다. 따라서, 박막 트랜지스터의 수율을 높일 수 있다. 또한, 버퍼층(131)이 NH기를 갖는 비정질 반도체층을 사용하여 형성되어 있기 때문에, 분산된 미결정 반도체 입자 또는 망상의 미결정 반도체(118)와 버퍼층의 계면에 있어서의 땀글링 본드를 NH기가 가교하여, 해당 계면에 있어서의 결합 준위를 저감하는 것이 가능하다. 이와 달리, 분산된 미결정 반도체 또는 망상의 미결정 반도체(118)와 버퍼층의 계면에 있어서의 땀글링 본드를 NH₂기가 중단하여, 해당 계면에 있어서의 결합 준위를 저감하는 것이 가능하다.

[0067] 본 실시예에 따르면, 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 온 전류를 높일 수 있다. 더구나, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 오프 전류를 저감할 수 있다. 또한, 게이트 절연층 위에 분산된 미결정 반도체 입자 또는 망상의 미결정 반도체를 형성함으로써, 게이트 절연층 및 버퍼층 사이의 밀착성이 향상되므로, 수율을 높일 수 있다.

[0068] (실시형태 3)

[0069] 본 실시형태에서는, 실시형태 1에서 설명한 것과 다른 박막 트랜지스터의 형태에 대해서, 도 9a 및 도 9b를 참조하여 설명한다.

[0070] 본 실시형태의 박막 트랜지스터를 나타낸 도 9b의 A-B선에 따른 단면도를 도 9a에 나타낸다. 도 9a에 나타낸 박막 트랜지스터는, 기판(101) 위의 게이트 전극층(103), 게이트 전극층(103)을 덮는 게이트 절연층(107), 게이트 절연층(107) 위에 접해서 설치되고 채널 형성 영역으로서 기능하는 반도체층(143), 반도체층(143) 위의 버퍼층(159)과, 버퍼층(159)의 일부에 접하는 소스 및 드레인 영역(157)을 갖는다. 또한, 박막 트랜지스터는, 소스 및 드레인 영역(157) 위에 접해서 설치된 배선층(153, 155)을 갖는다. 배선층(153, 155)은 소스 전극 및 드레인 전극을 구성한다. 또한, 각 층은 원하는 형상으로 패턴 형성되어 있다. 여기에서는, 버퍼층(159)을 NH기를 갖는 비정질 반도체층을 사용하여 형성한다.

[0071] 또한, 도 9b에 나타낸 것과 같이, 본 실시형태의 박막 트랜지스터의 상면에서는, 배선층(153, 155)의 외측 가장자리에 소스 및 드레인 영역(157)이 노출되어 있다. 이러한 구조는, 다계조 마스크를 사용한 포토리소그래피 공정에 의해 형성된다.

[0072] 반도체층(143), 버퍼층(159), 소스 및 드레인 영역(157), 및 배선층(153, 155)은, 각각 실시형태 1에 나타낸 반도체층(115), 버퍼층(131), 소스 및 드레인 영역(129) 및 배선층(123, 125)과 유사한 재료를 적절히 사용해서 형성할 수 있다.

[0073] 본 실시형태에서는, 소스 전극 및 드레인 전극의 한쪽은, U자형(역 C자형 또는 말굽형)의 형상을 갖도록 설치되고, 이것이 소스 전극 및 드레인 전극의 다른 쪽을 부분적으로 에워싸고 있다. 소스 전극과 드레인 전극의 거리는 거의 일정하게 유지되어 있다(도 9b를 참조).

[0074] 소스 전극 및 드레인 전극의 한쪽을 상기한 형상으로 함으로써, 상기 박막 트랜지스터의 채널 폭을 크게 할 수 있어, 박막 트랜지스터가 온일 때의 전류량이 증대한다. 또한, 전기적 특성의 격차를 저감할 수 있다. 더구나, 제조 공정에 있어서의 마스크 패턴의 오정렬에 의한 신뢰성의 저하를 억제할 수 있다. 단, 본 발명은 이것에 한정되지 않는다. 소스 전극 및 드레인 전극의 한쪽은 반드시 U자형일 필요는 없으며, 소스 전극 및 드레인 전극이 직선 형상으로 대향되어도 된다. 또한, 실시형태 1 및 실시형태 2에서 위에서 본 박막 트랜지스터의 상면 형태를, 본 실시형태와 동일하게 할 수 있다.

[0075] 본 실시형태에 따르면, 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 온 전류를 높일 수 있다. 더구나, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 박막 트랜지스터의 오프 전류를 저감할 수 있다.

- [0076] (실시형태 4)
- [0077] 본 실시형태에서는, 박막 트랜지스터 및 표시장치의 화소부의 제조방법에 대해서 이하에 나타낸다. 여기에서는, 표시장치로서 액정 표시장치를 사용한다. n 채널 박막 트랜지스터가 p 채널 박막 트랜지스터보다 캐리어의 이동도가 높다. 동일한 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성을 가지면 제조공정 수를 억 줄일 수 있어 바람직하다. 따라서, 본 실시형태에서는, n형의 박막 트랜지스터의 제조방법에 대해 설명한다.
- [0078] 우선, 기판(101) 위에 게이트 전극층(103) 및 용량배선(105)을 형성한다(도 10a 참조).
- [0079] 기판(101)으로서는, 실시형태 1에 나타낸 기판(101)을 적절히 사용할 수 있다.
- [0080] 게이트 전극층(103) 및 용량배선(105)은, 실시형태 1에 나타낸 게이트 전극층(103)에 사용된 재료를 적절히 사용해서 형성한다. 게이트 전극층(103) 및 용량배선(105)은, 기판(101) 위에, 스퍼터링법 또는 진공증착법에 의해 상기한 재료를 사용하여 도전층을 형성하고, 상기 도전층 위에 포토리소그래픽법 또는 잉크젯법 등에 의해 마스크를 형성하고, 상기 마스크를 사용해서 도전층을 에칭하는 방법으로 형성할 수 있다. 이와 달리, 게이트 전극층(103)은, 은, 금 또는 구리 등의 도전성 나노 페이스트를 잉크젯법에 의해 기판 위에 도출하고, 도전성 나노 페이스트를 소성함으로써 형성할 수도 있다. 이때, 상기한 금속 재료의 질화물층을, 기판(101)과, 게이트 전극층(103) 및 용량배선(105) 사이에 형성해도 된다. 여기에서는, 기판(101) 위에 도전층을 형성하고, 포토마스크를 사용해서 형성한 레지스트 마스크를 사용하여 에칭한다.
- [0081] 이때, 게이트 전극층(103) 및 용량배선(105)의 측면은 테이퍼 형상을 갖는 것이 바람직하다. 게이트 전극층(103) 위에는, 나중의 공정에서 반도체층 및 배선층을 형성하므로, 단차 부분에서의 배선 끊어짐의 방지를 위해서이다. 게이트 전극층(103) 및 용량배선(105)의 측면이 테이퍼 형상을 갖도록 하기 위해, 레지스트 마스크를 후퇴시키면서 에칭을 행하면 된다. 예를 들면, 산소 가스를 포함시킨 에칭 가스를 사용함으로써, 레지스트 마스크를 후퇴시키면서 에칭을 행하는 것이 가능하다.
- [0082] 게이트 전극층(103)을 형성하는 공정을 통해, 게이트 배선(주사선)을 동시에 형성할 수 있다. 이때, "주사선"은 화소를 선택하는 배선을 의미하는 한편, "용량배선"은 화소의 저장용량의 한쪽의 전극에 접속된 배선을 의미한다. 단, 이것에 한정되지 않고, 게이트 전극층(103)과, 게이트 배선 및 용량배선의 한쪽 또는 양쪽을 별도로 설치해도 된다.
- [0083] 다음에, 게이트 전극층(103)을 덮도록 게이트 절연층(107), 반도체층(109), 버퍼층(111) 및 불순물 반도체층(113)을 형성한다.
- [0084] 게이트 절연층(107)은, 실시형태 1에 나타낸 게이트 절연층(107)의 재료 중 한 개를 적절히 사용해서 형성할 수 있다. 더구나, 게이트 절연층(107)은, CVD법 또는 스퍼터링법 등을 사용해서 형성할 수 있다. 게이트 절연층(107)은, 1MHz 내지 20MHz, 대표적으로는 13.56MHz의 고주파수, 또는 20MHz보다 크고 120MHz 정도까지의 고주파수, 대표적으로는 27.12MHz 또는 60MHz의 고주파수를 사용한 플라즈마 CVD법에 의해 형성할 수 있다. 또한, 게이트 절연층(107)은, 고주파수(1GHz 이상)를 갖는 마이크로파 플라즈마 CVD 장치를 사용해서 형성해도 된다. 마이크로파 플라즈마 CVD 장치를 사용해서 게이트 절연층(107)을 형성하면, 게이트 전극과, 드레인 전극 또는 소스 전극 사이의 내압을 향상시킬 수 있으므로, 신뢰성이 높은 박막 트랜지스터를 얻을 수 있다.
- [0085] 여기에서는, 게이트 절연층(107)의 일례로서, SiH₄의 유량을 30sccm, N₂O의 유량을 1200sccm으로 하여, 소스 가스를 처리실 내에 도입해서 안정시키고, 처리실 내의 압력을 40Pa, 기판의 온도를 280℃로 하여 50W의 플라즈마 방전을 행하는 방법으로, 약 110nm 두께를 갖는 산화질화 실리콘층을 형성한다. 그후, 질화 실리콘층의 형성과 마찬가지로, SiH₄의 도입만을 정지하고, 그 수초 후에, 플라즈마 방전을 정지시킨다.
- [0086] 반도체층(109)은, 2nm 이상 60nm 이하, 바람직하게는 10nm 이상 30nm 이하의 두께를 갖도록 형성하는 것이 바람직하다.
- [0087] 플라즈마 CVD 장치의 반응실 내에 있어서 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와 수소를 혼합하여, 글로우 방전 플라즈마에 의해, 반도체층(109)으로서 미결정 반도체층을 형성한다. 퇴적성 기체를 유량이 퇴적성 기체의 10 내지 2000배, 바람직하게는 50 내지 200배인 수소로 희석해서 얻어진 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 혼합물을 사용하여, 미결정 반도체층을 형성한다.

- [0088] 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 대표예로서는, SiH₄, Si₂H₆, GeH₄, Ge₂H₆ 등을 들 수 있다.
- [0089] 여기에서는, 반도체층(109)의 일례로서, SiH₄의 유량을 10sccm, H₂의 유량을 1500sccm으로 하여 소스 가스를 처리실 내에 도입해서 안정시키고, 처리실 내의 압력을 280Pa, 기판의 온도를 280℃로 하여 50W의 플라즈마 방전을 행하는 방법으로, 약 50nm의 두께를 갖는 미결정 실리콘층을 형성할 수 있다. 그후, 상기한 산화질화 실리콘층 등의 형성과 마찬가지로, SiH₄의 도입만을 정지하고, 그 수초 후에, 플라즈마의 방전을 정지시킨다.
- [0090] 다음에, 버퍼층(111)의 형성 방법에 대해 설명한다.
- [0091] 버퍼층(111)은, NH기를 갖는 비정질 반도체층을 사용하여 형성한다. 바람직하게는, 비정질 반도체층의 탭글링 본드가 NH기로 가교되어 있다. 예를 들면, 산소 농도를 낮게 하고 질소 농도를 산소 농도보다도 높게 하는 방향으로 NH기로 탭글링 본드를 가교하여, 버퍼층(111)을 형성할 수 있다. 여기에서, 질소 농도는 산소 농도보다도 1자리 이상 높은 것이 바람직하다. 더욱 구체적으로는, 2차 이온 질량분석법에 의해 측정되는 산소의 농도를 $5 \times 10^{18} \text{ cm}^{-3}$ 이하이다. 또한, 질소의 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 이상 $1 \times 10^{21} \text{ cm}^{-3}$ 이하, 바람직하게는 $2 \times 10^{20} \text{ cm}^{-3}$ 이상 $1 \times 10^{21} \text{ cm}^{-3}$ 이하이다.
- [0092] 본 실시형태에서는, 게이트 절연층(107)은, 질화 실리콘층 위에 산화질화 실리콘층을 형성한 적층 구조를 갖고, 반도체층(109)으로서, 미결정 실리콘층을 형성하고, 미결정 반도체층을 암모니아에 노출시킴으로써, 반도체층(109) 표면에 질소, 바람직하게는 NH기를 공급하여, 버퍼층의 질소 농도를 제어한다.
- [0093] 여기에서, 게이트 절연층(107), 반도체층(109), 버퍼층(111) 및 불순물 반도체층(113)의 형성의 일례에 대해 상세하게 설명한다. 이들 층은 CVD법 등을 사용해서 형성한다. 또한, 게이트 절연층(107)은, 질화 실리콘층 위에 산화질화 실리콘층을 설치한 적층 구조를 갖는다. 이러한 구조를 채용함으로써, 질화 실리콘층에 의해, 기판 중에 포함되는 전기적 특성에 악영향을 미치는 원소(기판이 유리인 경우에는 나트륨 등의 원소)가 반도체층(109) 등에 침입하는 것을 방지할 수 있다. 도 14은, 이들 층을 형성하는데 사용하는 CVD 장치의 모식도를 나타낸다.
- [0094] 도 14에 나타낸 플라즈마 CVD 장치(261)는 가스 공급 수단(250) 및 배기수단(251)에 접속되어 있다.
- [0095] 도 14에 나타낸 플라즈마 CVD 장치(261)는, 처리실(241), 스테이지(242), 가스 공급부(243), 샤워 플레이트(244), 배기구(245), 상부전극(246), 하부전극(247), 교류전원(248)과, 온도제어부(249)를 구비한다.
- [0096] 처리실(241)은 강성이 있는 소재로 형성되고, 내부를 진공배기할 수 있다. 처리실(241)에는, 상부전극(246)과 하부전극(247)이 구비되어 있다. 이때, 도 14에서는, 용량결합형(평행 평판형)의 구성을 나타내고 있지만, 2 이상의 다른 고주파 전력을 인가해서 처리실(241)의 내부에 플라즈마를 생성할 수 있는 것이면, 유도 결합형 등의 다른 구성을 사용할 수 있다.
- [0097] 도 14에 나타낸 플라즈마 CVD 장치를 사용하여 처리를 행할 때, 소정의 가스를 가스 공급부(243)로부터 공급한다. 공급된 가스는 샤워 플레이트(244)을 통해 처리실(241)에 도입된다. 상부전극(246)과 하부전극(247)에 접속된 교류전원(248)에 의해 고주파전력이 인가되어 처리실(241) 내부의 가스가 여기되어, 플라즈마가 생성된다. 또한, 진공펌프에 접속된 배기구(245)를 통해, 처리실(241) 내부의 가스가 배기된다. 또한, 온도제어부(249)는, 피처리물을 가열하면서 플라즈마처리를 수행하도록 할 수 있다.
- [0098] 가스 공급 수단(250)은, 반응 가스가 충전되는 실린더(252), 압력 조정 밸브(253), 스톱 밸브(254), 매스 플로우 콘트롤러(255) 등으로 구성되어 있다. 처리실(241)은, 상부전극(246)과 기판(101) 사이에, 관형으로 가공되고 복수의 세공이 설치된 샤워 플레이트를 갖는다. 상부전극(246)에 공급되는 반응 가스는, 중공 구조를 갖는 상부 전극(246) 내부의 세공으로부터 처리실(241) 내부에 공급된다.
- [0099] 처리실(241)에 접속되는 배기수단(251)은, 진공배기의 기능과, 반응 가스를 흘릴 때 처리실(241) 내부의 압력을 소정의 레벨로 유지하도록 제어하는 기능을 갖고 있다. 배기수단(251)은, 그것의 구성으로서, 버터플라이 밸브(256), 콘덕턴스 밸브(257), 터보 분자펌프(258), 드라이 펌프(259) 등을 포함한다. 버터플라이 밸브(256)과 콘덕턴스 밸브(257)을 병렬로 배치하는 경우에는, 버터플라이 밸브(256)을 닫고 콘덕턴스 밸브(257)을 동작시킴으로써, 반응 가스의 배기속도를 제어해서 처리실(241)의 압력을 소정의 범위로 유지할 수 있다. 또한, 콘덕턴스가 큰 버터플라이 밸브(256)를 개방함으로써, 고진공배기를 행할 수 있다.

- [0100] 처리실(241)에 대해 10^{-5} Pa보다도 낮은 압력까지 초고진공 배기를 행하는 경우에는, 크라이오펌프(cryopump)(260)를 병용하는 것이 바람직하다. 이와 달리, 도달 진공도로서 초고진공까지 배기하는 경우에는, 처리실(241)의 내벽을 경면가공하고, 내벽으로부터의 가스 방출을 저감하기 위해 처리실(141)에 베이킹용의 히터를 설치해도 된다.
- [0101] 이때, 도 14에 나타난 것과 같이, 처리실(241)의 전체를 덮어 층이 형성(피착)되도록 프리코트 처리를 행하면, 처리실(챔버) 내벽에 부착된 불순물 원소, 또는 처리실(챔버) 내벽을 구성하는 불순물 원소가 소자에 혼입하는 것을 방지할 수 있다. 본 실시형태에서는, 프리코트 처리로서, 실리콘을 주성분으로 하는 층을 형성하면 된다. 예를 들면, 비정질 실리콘 층 등을 형성하면 된다. 단, 이 층에는 산소가 포함되지 않는 것이 바람직하다.
- [0102] 게이트 절연층(107)의 형성 단계로부터 불순물 반도체층의 형성단계까지의 일련의 단계를 도 15을 참조해서 설명한다. 이때, 게이트 절연층(107)은 질화 실리콘층 위에 산화질화 실리콘층을 적층하는 방법으로 형성한다.
- [0103] 우선, 게이트 전극층(103)이 형성된 기판을 CVD 장치의 처리실(241) 내에서 가열하고, 질화 실리콘층을 형성하기 위해, 질화 실리콘층의 퇴적에 사용하는 소스 가스를 처리실(241) 내부에 도입한다(도 15의 예비처리(201)). 여기에서는, 일례로서, SiH_4 의 유량을 40sccm, H_2 의 유량을 500sccm, N_2 의 유량을 550sccm, NH_3 의 유량을 140sccm으로 하여, 소스 가스를 도입해서 안정시키고, 처리실 내의 압력을 100Pa, 기판의 온도를 280°C 로 하여 370W의 플라즈마 방전을 행하는 방법으로, 약 110nm 두께를 갖는 질화 실리콘층을 형성한다. 그후, SiH_4 의 공급만을 정지하고, 수초 후에 플라즈마의 방전을 정지시킨다(도 15의 SiN 의 형성(203)). 처리실 내에 SiH_4 이 존재하는 상태에서 플라즈마의 방전을 정지시키면, 실리콘을 주성분으로 포함하는 입상물 또는 분말이 형성되어, 수율을 저하시키는 원인이 되기 때문이다.
- [0104] 다음에, 질화 실리콘층의 퇴적에 사용한 소스 가스를 배기하고, 산화질화 실리콘층의 퇴적에 사용되는 소스 가스를 처리실(241) 내부에 도입한다(도 15의 가스 치환(205)). 여기에서는, 일례로서, SiH_4 의 유량을 30sccm, N_2O 의 유량을 1200sccm으로 하여, 소스 가스를 도입해서 안정시키고, 처리실 내의 압력을 40Pa, 기판의 온도를 280°C 로 하여 50W의 플라즈마 방전을 행하는 방법으로, 약 110nm의 두께를 갖는 산화질화 실리콘층을 형성한다. 그후, 질화 실리콘층과 마찬가지로, SiH_4 의 도입만을 정지하고, 그 수초 후에 플라즈마의 방전을 정지시킨다(도 15의 SiON 의 형성(207)).
- [0105] 상기한 공정을 통해, 게이트 절연층(107)을 형성할 수 있다. 게이트 절연층(107)의 형성후, 기판(101)을 처리실(241)로부터 반출한다(도 15의 언로딩(225)).
- [0106] 기판(101)을 처리실(241)로부터 반출한 후, 예를 들면, 처리실(241)에 NF_3 가스를 도입하여, 처리실(241) 내부를 클리닝한다(도 15의 클리닝 처리(227)). 그후, 처리실(241)에 비정질 실리콘층을 형성하는 처리를 행한다(도 15의 프리코트 처리(229)). 나중에 설명하는 버퍼층(111)의 형성과 마찬가지로 비정질 실리콘층을 형성하지만, 파선 234로 나타난 것과 같이 수소를 처리실(241) 내부에 도입해도 되고, 또는, 처리실(241) 내부로 도입하지 않아도 된다. 이 처리에 의해, 처리실(241)의 내벽에 비정질 실리콘층이 형성된다. 그후, 기판(101)을 처리실(241) 내부에 반입한다(도 15의 로딩(231)).
- [0107] 다음에, 반도체층(109)의 퇴적에 사용하는 소스 가스를 처리실(241) 내부에 도입한다(도 15의 가스 치환(209)). 다음에, 게이트 절연층(107)의 전체면 위에 반도체층(109)을 형성한다. 반도체층 109은 나중의 공정에서 패턴형성되어 반도체층 115로 된다. 우선, 반도체층(109)의 퇴적에 사용하는 소스 가스를 처리실 내에 도입한다. 여기에서는, 일례로서, SiH_4 의 유량을 10sccm, H_2 의 유량을 1500sccm으로 하여 소스 가스를 처리실 내에 도입해서 안정시키고, 처리실 내의 압력을 280Pa, 기판의 온도를 280°C 로 하여, 50W의 플라즈마 방전을 행하는 방법으로, 약 50nm의 두께를 갖는 미결정 실리콘층을 형성할 수 있다. 그후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH_4 의 도입만을 정지하고, 그 수초 후에, 플라즈마의 방전을 정지시킨다(도 15의 반도체층 형성(211)).
- [0108] 다음에, 반도체층(109)의 표면에 질소를 공급한다. 여기에서는, 반도체층(109)의 표면을 암모니아 가스에 노출시킴으로써, 질소를 공급한다(여기에서는, 이와 같은 처리를 "플러싱처리"라고 한다)(도 15의 플러싱처

리(213)). 또한, 암모니아 가스에는, 파선 236a로 나타낸 것과 같이 수소를 포함시켜도 된다. 암모니아 가스 대신에, 파선 236b로 나타낸 것과 같이 질소 가스를 사용하거나, 파선 236a로 나타낸 것과 같이 수소 가스를 사용해도 된다. 이와 달리, 암모니아 가스 및 질소 가스를 사용해도 된다. 여기에서는, 일례로서, 처리실(241) 내부의 압력 대략 20Pa 내지 30Pa, 기판 온도는 280℃, 처리 시간 60초의 조건에서 처리를 행하면 된다. 또한 이와 달리, 플라싱처리의 후에, 처리실 내를 감압 또는 가압해서 압력을 제어하여, 처리실(241) 내부의 질소의 양을 제어해도 된다. 이때, 본 단계의 처리에서는, 기판(101)을 암모니아 가스에 노출시키는 것뿐이지만, 플라즈마처리를 행해도 된다. 그후, 이들 가스를 배기하고, 버퍼층(111)의 퇴적에 사용하는 가스를 도입한다(도 15의 가스 치환(215)).

[0109] 다음에, 반도체층(109)의 전체면 위에 버퍼층(111)을 형성한다. 버퍼층 111은 나중의 공정에서 패턴 형성되어 버퍼층 131으로 된다. 여기에서, 버퍼층은, NH기를 갖는 비정질 반도체층을 사용해서 형성한다. 여기에서는, 일례로서, SiH₄의 유량을 280sccm, H₂의 유량을 300sccm으로 하여 소스 가스를 도입해서 안정시키고, 처리실 내의 압력을 280Pa, 기판의 온도를 280℃로 하고, RF 전원 주파수 13.56MHz, RF 전원의 전력 60W의 출력으로 플라즈마 방전을 행하는 방법으로, 약 50nm의 두께를 갖는 비정질 반도체층(105a), 여기에서는 아모퍼스 실리콘층을 형성할 수 있다. 이 단계에서, 플라싱처리에 의해 반응실 내에 도입된 암모니아 가스가 플라즈마 방전에 의해 분해되어, NH기 또는 NH₂기가 생성된다. 또한, 비정질 반도체층이 퇴적될 때, 비정질 반도체층에 포함되는 다른 뎅글링 본드를 가교할 수 있다. 또는, 비정질 반도체층에 포함되는 뎅글링 본드를 중단할 수 있다. 이때, 반응실에 질소를 함유하는 가스로서 질소 가스를 도입한 경우에는, 플라즈마 방전에 의해, 비정질 반도체층의 소스 가스인 수소 gas와 질소 gas가 반응하여 NH기 또는 NH₂기를 생성한다. 또한, 해당 NH기로 비정질 반도체층의 다른 뎅글링 본드가 가교된다. 또한, 비정질 반도체층에 포함되는 뎅글링 본드를 NH기로 중단할 수 있다. 그후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH₄의 도입만을 정지하고, 그 수초 후에, 플라즈마의 방전을 정지시킨다(도 15의 버퍼층 형성(217)). 그후, 이들 가스를 배기하고, 불순물 반도체층(113)의 퇴적에 사용하는 가스를 도입한다(도 15의 가스 치환(219)).

[0110] 본 실시형태에 있어서의 버퍼층을 형성하는 반응실에는 질소를 함유하는 가스가 공급되어 있다. 질소를 함유하는 가스는, 플라즈마 방전에 의해, NH기 또는 NH₂기가 형성된다. 또한, 상기한 것과 같이, NH기로 아모퍼스 실리콘층에 포함되는 뎅글링 본드가 가교된다. 더구나, 아모퍼스 실리콘층에 포함되는 뎅글링 본드를 NH기로 중단할 수 있다. 따라서, 질소를 함유하는 가스를 공급한 반응실에 있어서, 반도체층(109) 위에 버퍼층(111)을 형성함으로써, 뎅글링 본드를 가교한 NH기를 갖는 비정질 반도체층을 형성할 수 있다. 또는, 뎅글링 본드를 중단한 NH기를 갖는 비정질 반도체층을 형성할 수 있다.

[0111] 이러한 방법에 의해 형성한 버퍼층(111)에 있어서, 2차 이온 질량분석법에 의해 측정되는 질소 농도는, 반도체층(109)과 버퍼층(111)의 계면에서 피크 농도를 갖고, 반도체층(109)의 퇴적 방향으로 서서히 줄어든다.

[0112] 이때, 도 15의 파선 235a로 나타낸 것과 같이, 버퍼층 형성(217)에 있어서, 암모니아 가스를 반응실 내에 흘려보내도 된다. 암모니아 가스 대신에, 파선 235b로 나타낸 것과 같이, 질소 가스를 흘려보내도 된다. 더구나, 암모니아 가스 및 질소 가스를 흘려보내도 된다. 그 결과, 버퍼층(111)의 질소 농도가 높아져, 아모퍼스 실리콘층에 포함되는 뎅글링 본드가 가교 또는 중단되어, 결합 준위가 저감된다.

[0113] 이러한 방법에 의해 형성한 버퍼층(111)에 있어서, 2차 이온 질량분석법에 의해 측정되는 질소 농도는, 반도체층(109)과 버퍼층(111)의 계면에서 피크 농도를 갖고, 반도체층(109)의 퇴적 방향으로 일정한 농도가 된다.

[0114] 다음에, 버퍼층(111)의 전체면 위에 불순물 반도체층(113)을 형성한다. 불순물 반도체층(113)은 나중의 공정에서 패턴형성되어서 소스 및 드레인 영역(129)으로 된다. 우선, 불순물 반도체층(113)의 퇴적에 사용하는 소스 가스를 처리실(241) 내부에 도입한다. 여기에서는, 일례로서, SiH₄의 유량을 100sccm, PH₃을 H₂에 의해 0.5vol%까지 희석한 혼합 가스의 유량을 170sccm으로 하여 소스 가스를 도입해서 안정시키고, 처리실(241) 내부의 압력을 280Pa, 기판의 온도를 280℃로 하여 60W의 플라즈마 방전을 행하는 방법으로, 약 50nm의 두께를 갖는 반도체층을 형성할 수 있다. 그후, 상기한 질화 실리콘층 등의 형성과 마찬가지로, SiH₄의 도입만을 정지하고, 그 수초 후에, 플라즈마의 방전을 정지시킨다(도 15의 불순물 반도체층 형성(221)). 그후, 이들 가스를 배기한다(도 15의 배기(223)).

[0115] 이상에서 설명한 것과 같이, 불순물 반도체층(113)까지의 구성요소들을 형성하는 단계를 행할 수 있다

(도 10a을 참조).

- [0116] 다음에, 제2 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여, 반도체층 109, 버퍼층 111, 및 불순물 반도체층 113을 에칭하여, 반도체층 115, 버퍼층 117 및 불순물 반도체층 119을 형성한다(도 10b을 참조). 그후, 레지스트 마스크를 제거한다.
- [0117] 다음에, 반도체층 115, 버퍼층 117 및 불순물 반도체층 119을 덮도록 도전층(121)을 형성한다(도 10c을 참조).
- [0118] 도전층(121)은, 실시형태 1에 나타난 도전층(121)의 재료 및 적층 구조를 적절히 사용하여 형성할 수 있다. 도전층(121)은, CVD법, 스퍼터링법 또는 진공증착법을 사용해서 형성한다. 이와 달리, 도전층(121)은, 은, 금 또는 구리 등의 도전성 나노 페이스트를 사용해서 스크린인쇄법 또는 잉크젯법 등에 의해 토출하고, 도전성 나노 페이스트를 소성함으로써 형성해도 된다. 그후, 도전층(121) 위에 레지스트 마스크를 형성한다.
- [0119] 다음에, 제3 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용해서, 도전층(121)을 에칭해서 배선층(123, 125)을 형성한다(도 11a 참조). 배선층(123, 125)은 소스 전극 및 드레인 전극을 구성한다. 도전층(121)은 웨트에칭을 사용하여 에칭하는 것이 바람직하다. 웨트에칭에 의해, 도전층이 등방적으로 에칭된다. 그 결과, 도전층의 양단은 레지스트 마스크의 양단보다도 내측으로 후퇴하여, 배선층(123, 125)이 형성된다. 따라서, 배선층(123, 125)의 측면과, 에칭된 소스 및 드레인 영역(129)의 측면은 정렬되지 않아, 배선층(123, 125)의 측면의 외측에, 소스 및 드레인 영역의 측면이 배치된다. 배선층(123, 125)은, 소스 전극 및 드레인 전극 뿐만 아니라 신호선으로서도 기능한다. 단, 이것에 한정되지 않고, 신호선은 배선층(123, 125)과 별도로 설치해도 된다.
- [0120] 다음에, 제3 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용해서, 불순물 반도체층 119와 버퍼층 117의 일부를 에칭한다(도 11b 참조). 본 단계까지의 공정을 통해 반도체층 115, 버퍼층 131, 및 소스 및 드레인 영역(129)이 형성된다. 그후, 레지스트 마스크를 제거한다. 도 13a가 도 11b의 평면도이다.
- [0121] 다음에, 드라이에칭을 행하는 것이 바람직하다. 드라이에칭의 조건은, 노출되어 있는 버퍼층(131)의 영역이 대미지를 입지 않고, 버퍼층(131)에 대한 에칭 레이트가 낮도록 설정된다. 즉, 노출되어 있는 버퍼층(131) 표면에 거의 대미지를 주지 않고, 노출되어 있는 버퍼층(131)의 양약의 막두께가 거의 감소하지 않는 조건을 적용한다. 에칭 가스로서는, 염소계 가스를 사용하고, 대표적으로는 Cl₂ 가스를 사용한다. 또한, 에칭 방법에 관해서는 특별히 한정은 없고, 유도 결합형 플라즈마(ICP) 방식, 용량 결합형 플라즈마(CCP) 방식, 전자 사이클로트론 공명 플라즈마(ECR) 방식, 또는 반응성 이온 에칭(RIE) 방식 등을 사용할 수 있다.
- [0122] 여기에서, 사용할 수 있는 드라이 에칭 조건의 일례로서, Cl₂ 가스의 유량을 100sccm, 챔버 내의 압력을 0.67Pa, 하부 전극 온도를 -10℃로 하고, 상부전극의 코일에 2000W의 RF(13.56MHz) 전력을 투입해서 플라즈마를 생성하고, 기관(101)측에는 전력을 투입하지 않고 0W(즉, 무바이어스의 0W)로 하여, 30초간의 에칭을 행한다. 챔버 내벽의 온도는 약 80℃로 하는 것이 바람직하다.
- [0123] 다음에, 버퍼층(131)의 표면을 물 플라즈마, 암모니아 플라즈마, 질소 플라즈마 등으로 조사해도 된다.
- [0124] 물 플라즈마처리, 반응 공간에 수증기(H₂O 증기)로 대표되는 물을 주성분으로 포함하는 가스를 도입하여, 플라즈마를 생성하도록 행할 수 있다.
- [0125] 상기한 것과 같이, 한 쌍의 소스 및 드레인 영역(129)을 형성한 후, 버퍼층(131)에 대미지를 주지 않는 조건에서 드라이에칭을 더 행함으로써, 노출된 버퍼층(131)의 영역 위에 존재하는 잔류물 등의 불순물 원소를 제거할 수 있다. 또한, 드라이에칭 후에, 물 플라즈마처리를 행함으로써, 레지스트 마스크의 잔류물을 제거할 수 있다. 물 플라즈마처리를 행함으로써, 소스 영역과 드레인 영역 사이의 절연을 확실한 것으로 할 수 있어, 완성되는 박막 트랜지스터에 있어서, 오프 전류를 저감할 수 있고, 온 전류를 향상시킬 수 있으며, 전기적 특성의 격차를 저감할 수 있다.
- [0126] 이때, 플라즈마처리 등의 단계는 상기한 순서에 한정되지 않는다. 레지스트 마스크(132)를 제거하기 전에, 무바이어스에서의 에칭이나, 플라즈마처리를 행해도 된다.
- [0127] 이상의 단계에 의해, 본 실시형태에 따른 박막 트랜지스터를 제조할 수 있다. 본 실시형태에 따른 박막 트랜지스터는, 실시형태 1에서 설명한 박막 트랜지스터와 마찬가지로, 액정 표시장치로 대표되는 표시장치의 화소에 있어서의 스위칭 트랜지스터에 적용할 수 있다. 따라서, 이 박막 트랜지스터를 덮도록 절연층(133)을 형성

한다.

- [0128] 다음에, 배선층(212)을 사용하여 형성된 소스 전극 및 드레인 전극에 이르도록 절연층(133)에 개구부(134, 136)을 형성한다. 개구부(134, 136)은, 제4 포토리소그래피 공정에 의해 형성할 수 있다. 이때, 절연층(133)이 감광성 수지로 형성되는 경우에는, 제4 포토리소그래피 공정에 의해 절연층(133)을 형성할 수 있다. 그 후, 해당 개구부(134, 136)을 통해 접속되도록, 절연층(133) 위에 화소 전극층(135)을 설치한다. 이와 같이 하여, 도 12a에 나타낸 표시장치의 화소에 있어서의 스위칭 트랜지스터를 제조할 수 있다.
- [0129] 이때, 절연층(133)은, 게이트 절연층(107)과 마찬가지로 형성할 수 있다. 더구나, 대기중에 부유하는 유기물, 금속 또는 수증기 등의 불순물 원소의 침입을 방지할 수 있도록, 절연층(133)으로서 치밀한 질화 실리콘층을 사용하는 것이 바람직하다.
- [0130] 이때, 화소 전극층(135)은, 투광성을 갖는 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용해서 형성할 수 있다. 화소 전극층(135)은, 시이트 저항이 10000Ω/□ 이하이며, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1Ω·cm 이하인 것이 바람직하다.
- [0131] 도전성 고분자로서는, 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 및/또는 그 유도체, 폴리피롤 및/또는 그 유도체, 폴리티오펜 및/또는 그 유도체, 또는 이들 물질의 2종 이상의 공중합체 등을 들 수 있다.
- [0132] 화소 전극층(135)은, 예를 들면, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 나타낸다), 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등을 사용해서 형성할 수 있다.
- [0133] 화소 전극층(135)은, 배선층(123, 125) 등과 마찬가지로, 포토리소그래픽법을 사용해서 에칭을 행하여, 패턴 형성하면 된다.
- [0134] 이때, 도시하고 있지 않지만, 절연층(133)과 화소 전극층(135) 사이에, 스핀코팅법 등에 의해 형성한 유기수지를 사용하여 형성된 절연층을 형성해도 된다. 해당 유기수지를 사용하여 형성된 절연층을 감광성 수지를 사용해서 형성함으로써, 공정 수를 삭감할 수 있다.
- [0135] 그 후, VA(Vertical Alignment) 방식의 액정 표시장치에 있어서, 시야각 확대를 위해, 화소를 복수 부분으로 분할하고, 분할된 화소의 각 부분의 액정의 배향을 다르게 하는 멀티 도메인 수직 정렬 방식(소위 MVA 방식)를 사용하는 경우, 화소 전극층(135) 위에 소정의 형상을 갖는 돌기물(137)을 형성하는 것이 바람직하다. 돌기물(137)은, 절연층을 사용하여 형성한다. 도 13b는 도 12b의 평면도이다.
- [0136] 여기에서는, 감광성 아크릴을 포함하는 조성물층을 도포해서 두께 0.9 내지 1.0μm를 갖는 조성물층을 형성한 후, 90℃에서 120초 가열해서 조성물층을 건조시킨다. 다음에, 포토마스크를 사용해서 조성물층을 노광한 후, 소정의 형상을 갖도록 현상한다. 다음에, 230℃에서 1시간 가열하여, 아크릴 수지층을 형성한다.
- [0137] 화소 전극층 위에 돌기물(137)이 형성되면, 화소 전극의 전압이 오프 상태일 경우에는, 액정 분자들이 배향막 표면에 대해 수직으로 배향하지만, 돌기부 근방의 액정 분자들은 기판면에 대해 약간 경사진 배향으로 된다. 화소 전극층의 전압이 가해지면, 우선 경사 배향된 돌기부 부분의 액정 분자들이 경사진다. 또한, 돌기부 근방 이외의 액정 분자들도 돌기부 근방의 액정 분자들에 의해 영향을 받아, 순차 같은 방향으로 배열한다. 그 결과, 화소 전체에서 안정된 배향이 얻어진다. 즉, 돌기부를 기점으로 하여 표시부 전체에서의 액정 분자들의 배향이 제어된다.
- [0138] 화소 전극층 위에 돌기물을 설치하는 것 대신에, 화소 전극에 슬릿을 설치해도 된다. 이 경우, 전압을 화소 전극층에 인가하면, 슬릿 근방에는 전계의 왜곡이 생겨, 돌기물을 화소 전극층 위에 설치한 경우와 유사하게 전계분포 및 액정 분자의 배향의 제어가 가능하다.
- [0139] 이상의 단계들을 통해, 액정 표시장치에 사용하는 것이 가능하고, 또한, 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 온 전류가 높고, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 오프 전류가 낮은 박막 트랜지스터를 갖는 소자 기판을 제조할 수 있다.

- [0140] (실시형태 5)
- [0141] 본 실시형태에서는, 실시형태 4에 적용가능한 버퍼층의 형성 공정에 대해 설명한다.
- [0142] 본 실시형태에서는, 버퍼층(111)의 퇴적전에 처리실 내를 클리닝하고, 그후 질화 실리콘층에 의해 챔버 내벽을 덮음으로써, 버퍼층(111)에 질소를 포함시켜, 산소 농도를 낮게 억제하여, 질소 농도를 산소 농도보다도 높게 한다. 게이트 절연층(107)의 형성단계로부터 반도체층(109)의 형성단계까지의 일련의 단계는 실시형태 4와 유사하게 행할 수 있기 때문에, 여기에서는, 반도체층(109)의 형성단계로부터 불순물 반도체층(113)의 형성단계까지의 일련의 단계를 도 16을 참조해서 이하에 설명한다.
- [0143] 게이트 절연층(107)의 전체면 위에 반도체층(109)을 형성한다. 반도체층 109은 나중의 공정에서 패턴형성되어 반도체층 115가 된다. 우선, 반도체층(109)의 퇴적에 사용하는 소스 가스를 처리실 내에 도입한다. 여기에서는, 일례로서, 실시형태 4와 유사한 방법에 의해, 반도체층(109)으로서 약 50nm의 두께를 갖는 미결정 반도체층을 형성한다. 그후, 플라즈마의 방전을 정지시킨다(도 16의 반도체층 형성 211). 그후, 기관(101)을 처리실(241)로부터 반출한다(도 16의 언로딩(225)).
- [0144] 기관(101)을 처리실(241)로부터 반출한 후, 예를 들어, 처리실(241)에 NF_3 가스를 도입하여, 처리실(241) 내부를 클리닝한다(도 16의 클리닝 처리(227)). 그후, 처리실(241)에서 질화 실리콘층을 형성하는 처리를 행한다(도 16의 프리코트 처리(233)). 실시형태 4의 게이트 절연층으로서 형성한 질화 실리콘층과 같은 조건에서 질화 실리콘층을 형성한다. 이 처리에 의해, 처리실(241)의 내벽에 질화 실리콘층이 형성된다. 그후, 기관(101)을 처리실(241) 내부에 반입한다(도 16의 로딩(231)).
- [0145] 다음에, 버퍼층(111)의 퇴적에 사용하는 소스 가스를 처리실(241) 내부에 도입한다(도 16의 가스 치환(215)). 다음에, 반도체층(109)의 전체면 위에 버퍼층(111)을 형성한다. 버퍼층 111은 나중의 공정에서 패턴형성되어 버퍼층 131로 된다. 여기에서, 버퍼층으로서는, 실시형태 4와 같은 방법에 의해, 약 80nm의 두께를 갖는 NH기를 갖는 아모퍼스 실리콘층을 형성할 수 있다. 그후, 플라즈마의 방전을 정지시킨다(도 16의 버퍼층 형성(217)). 그후, 이들 가스를 배기하고, 불순물 반도체층(113)의 퇴적에 사용하는 가스를 도입한다(도 16의 가스 치환(219)). 실시형태 4과 유사한 방법으로, 불순물 반도체층(113)을 형성한다(도 16의 불순물 반도체층의 형성(221)).
- [0146] 본 실시형태에 있어서 처리실(241)의 표면에는 질화 실리콘층을 형성한다. 버퍼층(111)의 형성 공정에 있어서 처리실(241) 내부에 형성된 질화 실리콘층이 플라즈마에 노출되면, 질소가 바람직하게는 NH기 또는 NH_2 기로 해리하여, 버퍼층(111)의 퇴적 초기에, 질소, 바람직하게는 NH기 또는 NH_2 기를 버퍼층(111)에 혼입시킬 수 있다. 더구나, 비정질 반도체층이 퇴적될 때, 비정질 반도체층의 다른 덩글링 본드를 가교할 수 있다. 또한, 비정질 반도체층이 퇴적될 때, 비정질 반도체층의 덩글링 본드를 중단할 수 있다.
- [0147] 이러한 방법에 의해 형성한 버퍼층(111)에 있어서, 2차 이온 질량분석법에 의해 측정되는 질소 농도는, 반도체층(109)과 버퍼층(11)의 계면에서 피크 농도를 갖고, 반도체층(109)이 퇴적하는 방향으로 질소 농도가 서서히 줄어든다.
- [0148] 상기 설명한 것과 같이, 적어도 반도체층을 형성하기 직전에, 처리실의 내벽을 질화 실리콘층에 의해 덮음으로써, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다도 높게 하는 것이 가능해서, NH기를 갖는 비정질 반도체층을 형성할 수 있다.
- [0149] 또한, 처리실의 내벽을 질화 실리콘층으로 덮음으로써, 처리실의 내벽을 구성하는 원소 등이 반도체층에 혼입하는 것도 막을 수 있다.
- [0150] 이때, 도 16의 파선 237a로 나타낸 것과 같이, 버퍼층 형성(217)에 있어서, 암모니아 가스를 반응실 내에 흘려보내도 된다. 암모니아 가스 대신에, 파선 237b로 나타낸 것과 같이, 질소 가스를 사용해도 된다. 더구나, 암모니아 가스 및 질소 가스를 사용해도 된다. 그 결과, 버퍼층(111)의 질소 농도가 높아져, 버퍼층(111)에 포함되는 덩글링 본드가 가교되어, 결함 준위가 저감한다.
- [0151] 이러한 방법에 의해 형성한 버퍼층(111)에 있어서, 2차 이온 질량분석법에 의해 측정되는 질소 농도는 반도체층(109)과 버퍼층(11)의 계면에서 피크 농도를 갖고, 반도체층(109)의 퇴적 방향으로 일정한 농도가 된다.
- [0152] 이때, 상기한 설명에서는, 반도체층(109)을 형성한 처리실과 동일한 처리실에서 버퍼층(111)을 형성했

기 때문에, 반도체층(109)의 형성후에, 클리닝 처리와 프리코트 처리를 행하지만, 본 실시형태는, 실시형태 4과 조합해서 실시해도 된다. 즉, 반도체층(109)을 퇴적하고, 처리실(241)에 질화 실리콘층을 형성한 후, 플러싱처리(213)를 행해도 된다.

[0153] 이상의 공정을 통해, 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 온 전류가 높고, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 오프 전류의 낮은 박막 트랜지스터를 제조할 수 있다.

[0154] (실시형태 6)

[0155] 본 실시형태에서는, 실시형태 4에 적용가능한 버퍼층의 형성 공정에 대해 설명한다.

[0156] 본 실시형태에서는, 버퍼층(111)을 형성하기 위한 퇴적 가스에 질소를 혼입시킴으로써, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다도 높게 한다. 게이트 절연층(107)의 형성단계로부터 반도체층(109)의 형성단계까지의 일련의 단계는 실시형태 4와 유사하기 때문에, 여기에서는, 반도체층(109) 형성단계로부터 불순물 반도체층(113)의 형성단계까지의 일련의 단계에 대해, 도 17을 참조해서 이하에서 설명한다.

[0157] 게이트 절연층(107)의 전체면 위에 반도체층(109)을 형성한다. 반도체층 109은 나중의 공정에서 패턴형성되어 반도체층 115가 된다. 우선, 반도체층(109)의 퇴적에 사용하는 소스 가스를 처리실 내에 도입한다. 여기에서는, 일례로서, 실시형태 4와 유사한 방법에 의해, 반도체층(109)으로서 약 50nm의 두께를 갖는 미결정 실리콘층을 형성한다. 그후, 플라즈마의 방전을 정지시킨다(도 17의 반도체층 형성(211)). 그후, 이들 가스를 배기하고, 버퍼층(111)의 퇴적에 사용하는 가스를 도입한다(도 17의 가스 치환(215)).

[0158] 다음에, 반도체층(109) 위에 버퍼층(111)을 형성한다. 버퍼층 111은 나중의 공정에서 패턴형성되어 버퍼층 131로 된다. 여기에서는, 일례로서, SiH₄의 유량을 280sccm, H₂의 유량을 300sccm, NH₃의 유량을 20sccm로 하여 소스 가스를 도입해서 안정시키고, 처리실 내의 압력을 170Pa로 하고, 기관의 온도를 280℃로 하고, RF 전원 주파수 13.56MHz, RF 전원의 전력 60W의 출력에 의해 플라즈마 방전을 행하는 방법으로, 약 50nm의 두께를 갖는 아모퍼스 실리콘층을 형성할 수 있다(도 17의 버퍼층 형성(217)). 그후, 이들 가스를 배기하고, 불순물 반도체층(113)의 퇴적에 사용하는 가스를 도입한다(도 17의 가스 치환(219)). 실시형태 4과 마찬가지로, 불순물 반도체층(113)을 형성한다(도 17의 불순물 반도체층 형성(221)).

[0159] 이때, 암모니아 가스 대신에, 파선 238로 나타낸 것과 같이, 질소 가스를 사용해도 된다.

[0160] 본 실시형태에 있어서의 버퍼층(111)을 형성하기 위한 소스 가스에는 질소를 함유하는 가스가 포함되어 있다. 질소를 함유하는 가스는 플라즈마 방전에 의해, NH기 또는 NH₂기가 형성된다. 또한, 상기한 것과 같이, NH기로 아모퍼스 실리콘층에 포함되는 땀글링 본드를 가교한다. 따라서, 땀글링 본드를 가교한 NH기를 갖는 비정질 반도체층을 형성할 수 있다. 또한, NH₂기로 아모퍼스 실리콘층에 포함되는 땀글링 본드를 중단한다. 따라서, 땀글링 본드를 중단한 NH기를 갖는 비정질 반도체층을 형성할 수 있다.

[0161] 이러한 방법에 의해 형성한 버퍼층(111)에 있어서, 2차 이온 질량분석법에 의해 측정되는 질소 농도는 일정하다.

[0162] 상기 설명한 것과 같이, 버퍼층의 퇴적시에 사용된 가스에 질소를 포함시킴으로써, 산소 농도를 낮게 억제하고, 질소 농도를 산소 농도보다도 높게 하는 것이 가능해서, 실시형태 4에 적용가능한 버퍼층을 형성할 수 있다.

[0163] (실시형태 7)

[0164] 실시형태 4 내지 실시형태 6에 있어서 질소 농도의 분포가 다른 NH기를 갖는 비정질 반도체층의 제조방법에 대해, 도 18 및 도 19를 참조해서 설명한다.

[0165] 본 실시형태에서는, 실시형태 4에 있어서, 반도체층 형성(211) 후, 플러싱처리(213)에 의해 질소를 함유하는 가스를 반응실 내에 도입하는 동시에, 버퍼층(111)을 형성하고 있는 동안, 실선 239c로 나타낸 것과 같이 질소를 함유하는 가스를 다시 반응실 내에 도입하는 방법으로, 버퍼층(111) 내부에 질소, 더구나 NH기를 도

입한다(도 18 참조). 질소를 함유하는 가스로서, 여기에서는, 암모니아 가스를 사용한다. 이때, 암모니아 가스 대신에, 파선 239d로 나타낸 것과 같이, 질소 가스를 사용해도 된다. 더구나, 암모니아 가스 및 질소 가스를 사용해도 된다. 그 결과, 버퍼층(111)의 퇴적 초기 및 버퍼층(111)의 퇴적 도중에, 질소 농도가 높아져, 버퍼층(111)의 결함 준위를 저감할 수 있다.

[0166] 이와 달리, 실시형태 5에 있어서, 반도체층을 형성한 후, 프리코트 처리(233)에 의해 반응실에 질화 실리콘층을 형성하는 동시에, 버퍼층(111)을 형성하고 있는 동안, 실선 239c로 나타낸 것과 같이 질소를 함유하는 가스를 다시 반응실 내에 도입하는 방법으로, 버퍼층(111)에, 질소, 더구나 NH기를 첨가한다(도 19 참조). 질소를 함유하는 가스로서, 여기에서는, 암모니아 가스를 사용한다. 이때, 암모니아 가스 대신에, 파선 239d로 나타낸 것과 같이, 질소 가스를 사용해도 된다. 더구나, 암모니아 가스 및 질소 가스를 사용해도 된다. 그 결과, 버퍼층(111)의 퇴적 초기 및 버퍼층(111)의 퇴적 도중에 있어서, 질소 농도가 높아져, 버퍼층(111)의 결함 준위를 저감할 수 있다.

[0167] 전술한 것과 같이, 버퍼층의 상층, 즉 소스 및 드레인 영역층에 있어서의 질소 농도를 제어함으로써, 버퍼층의 결함 준위의 비율을 저감하는 것이 가능해서, 박막 트랜지스터의 오프 전류를 저감할 수 있다.

[0168] (실시형태 8)

[0169] 본 실시형태에서는, 실시형태 3에 나타낸 박막 트랜지스터의 제조방법에 대해 설명한다. 본 실시형태에서도, n 채널 박막 트랜지스터의 제조방법에 대해 설명한다.

[0170] 실시형태 4와 마찬가지로, 제1 포토리소그래피 공정을 통해, 기판(101) 위에 게이트 전극층(103) 및 용량배선(105)을 형성한다.

[0171] 다음에, 게이트 전극층(103)을 덮도록, 게이트 절연층(107), 반도체층(109), 버퍼층(111), 불순물 반도체층(113) 및 도전층(121)을 형성한다. 그후, 도전층(121) 위에 제2 포토리소그래피 공정에 의해 레지스트 마스크(141)를 형성한다(도 20a 참조).

[0172] 게이트 절연층(107), 반도체층(109), 버퍼층(111) 및 불순물 반도체층(113)의 형성 방법으로서, 실시형태 4 내지 실시형태 7의 어느 한 개의 방법을 적용하면 된다.

[0173] 레지스트 마스크(141)는 두께가 다른 2개의 영역을 갖고, 다계조 마스크를 사용해서 형성할 수 있다. 다계조 마스크를 사용함으로써, 사용하는 포토마스크의 매수와 제조 공정수가 감소하므로, 바람직하다. 본 실시형태에 있어서, 반도체층의 패턴을 형성하는 단계와, 반도체층을 소스 영역과 드레인 영역으로 분리하는 단계에 있어서, 다계조 마스크를 사용해서 형성한 레지스트 마스크를 사용할 수 있다.

[0174] 다계조 마스크란, 다단계의 광량으로 노광을 행하는 것이 가능한 마스크이며, 대표적으로는, 노광 영역, 반노광 영역 및 미노광 영역을 제공하기 위해 3단계의 광량으로 노광을 행한다. 다계조 마스크를 사용함으로써, 한번의 노광 및 현상 공정에 의해, 복수(대표적으로는 2종류)의 두께를 갖는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토마스크의 매수를 삭감할 수 있다.

[0175] 도 24a-1 및 도 24b-1은, 대표적인 다계조 마스크의 단면도를 나타낸다. 도 24a-1은 그레이톤 마스크(180)을 나타내고, 도 24b-1은 하프톤 마스크(185)을 나타낸다.

[0176] 도 24a1에 나타낸 그레이톤 마스크(180)는, 투광성을 갖는 기판(181) 위에 차광층을 사용하여 형성된 차광부(182), 및 차광층의 패턴이 설치된 회절격자부(183)를 갖는다.

[0177] 회절격자부(183)은, 노광에 사용하는 빛의 해상도 한계 이하의 간격으로 설치된 슬릿, 도트 또는 메쉬 등을 가짐으로써, 빛의 투과율을 제어할 수 있다. 이때, 회절격자부(183)에 설치되는 슬릿, 도트 또는 메쉬는 주기적으로 또는 비주기적으로 설치되어도 된다.

[0178] 투광성을 갖는 기판(181)으로서, 석영 기판 등을 사용할 수 있다. 차광부(182) 및 회절격자부(183)를 구성하는 차광층은, 금속을 사용해서 형성하면 되고, 바람직하게는 크롬 또는 산화 크롬 등을 사용한다.

[0179] 그레이톤 마스크(180)에 노광하기 위한 빛을 조사한 경우, 도 24a-2에 나타낸 것과 같이, 차광부(182)에 중첩하는 영역에 있어서의 투광율은 0%이고, 차광부(182) 및 회절격자부(183)이 설치되지 않은 영역에 있어서의 투광율은 100%이다. 또한, 회절격자부(183)에 있어서의 투광율은 기본적으로 10 내지 70%의 범위이며, 회

절 격자의 슬릿, 도트 또는 메쉬의 간격 등에 의해 조정가능하다.

- [0180] 도 24b-1에 나타난 하프톤 마스크(185)은, 투광성을 갖는 기관(186) 위에 반투광층에 의해 형성된 반투광부(187), 및 차광층을 사용하여 형성된 차광부(188)를 갖는다.
- [0181] 반투광부(187)은, MoSiN, MoSi, MoSiO, MoSiON, CrSi 등의 층을 사용해서 형성할 수 있다. 차광부(188)은, 그레이톤 마스크의 차광층과 유사한 금속을 사용하여 형성하면 되고, 바람직하게는 크롬 또는 산화 크롬 등을 사용한다.
- [0182] 하프톤 마스크(185)에 노광하기 위한 빛을 조사한 경우, 도 24b-2에 나타난 것과 같이, 차광부(188)에 중첩하는 영역에 있어서의 투광율은 0%이고, 차광부(188) 및 반투광부(187)가 설치되지 않은 영역에 있어서의 투광율은 100%이다. 또한, 반투광부(187)에 있어서의 투광율은 대략 10 내지 70%의 범위이며, 형성하는 재료의 종류 또는 두께 등에 의해 조정가능하다.
- [0183] 다계조 마스크를 사용해서 노광해서 현상을 행함으로써, 두께가 다른 영역을 갖는 레지스트 마스크를 형성할 수 있다.
- [0184] 다음에, 레지스트 마스크(141)를 사용하여, 반도체층(109), 버퍼층(111), 불순물 반도체층(113) 및 도전층(121)을 에칭한다. 이 단계를 통해, 반도체층 109, 버퍼층 111, 불순물 반도체층 113 및 도전층 121을 소자마다 분리하여, 반도체층 143, 버퍼층 145, 불순물 반도체층 147 및 도전층 149을 형성한다(도 20b 참조).
- [0185] 다음에, 레지스트 마스크 141를 후퇴시켜 레지스트 마스크 151을 형성한다. 레지스트 마스크를 후퇴시키기 위해, 산소 플라즈마를 사용한 에칭을 행하면 된다. 여기에서는, 게이트 전극 위에서 레지스트 마스크(141)가 분리하도록 레지스트 마스크 141에 대해 에칭을 행한다. 그 결과, 레지스트 마스크 151이 분리된다(도 21a 참조).
- [0186] 다음에, 레지스트 마스크 151을 사용해서 도전층 149을 에칭하여, 배선층(153, 155)을 형성한다(도 21b 참조). 배선층(153, 155)은, 소스 전극 및 드레인 전극을 구성한다. 도전층 149은, 실시형태 4에 나타난 도전층 121의 에칭과 유사하게 에칭하는 것이 바람직하다.
- [0187] 다음에, 레지스트 마스크 151이 형성된 상태에서, 불순물 반도체층 147 및 버퍼층 145의 일부를 에칭하여, 버퍼층 159 및 소스 및 드레인 영역(157)을 형성한다(도 21c 참조). 이후, 레지스트 마스크 151을 제거한다. 도 23c는 도 21c의 평면도이다.
- [0188] 다음에, 실시형태 1과 마찬가지로 드라이에칭을 행하면 된다. 더구나, 버퍼층 159의 표면에 물 플라즈마, 암모니아 플라즈마, 질소 플라즈마 등을 조사해도 된다.
- [0189] 이상의 공정을 통해, 본 실시형태에 따른 박막 트랜지스터를 제조할 수 있다. 본 실시형태에 따른 박막 트랜지스터는, 실시형태 4에서 설명한 박막 트랜지스터와 마찬가지로, 액정 표시장치로 대표되는 표시장치의 화소에 있어서의 스위칭 트랜지스터에 적용할 수 있다. 따라서, 이 박막 트랜지스터를 덮도록, 절연층(133)을 형성한다(도 22a 참조).
- [0190] 다음에, 배선층(153, 155)을 사용하여 형성된 소스 전극 및 드레인 전극에 이르도록, 절연층(133)에 개구부(134, 160)을 형성한다. 이 개구부(134, 160)은 제3 포토리소그래피 공정을 거쳐 형성할 수 있다. 그후, 해당 개구부(134, 160)을 통해 접속되도록, 절연층(133) 위에 제4 포토리소그래피 공정에 의해 화소 전극층(135)을 설치한다. 이렇게 하여, 도 22b에 나타난 표시장치의 화소에 있어서의 스위칭 트랜지스터를 제조할 수 있다.
- [0191] 이때, 도시하고 있지 않지만, 절연층(133)과 화소 전극층(135) 사이에, 스펀코팅법 등에 의해 유기수지를 사용하여 형성된 절연층을 형성해도 된다.
- [0192] 이후, 실시형태 4과 마찬가지로, VA(Vertical Alignment) 방식의 액정 표시장치에 있어서, 시야각 확대를 위해, 화소를 복수 부분으로 분할하고, 분할된 부분의 화소의 액정의 배향을 다르게 하는 멀티 도메인 수직정렬 방식(소위 MVA 방식)을 사용하는 경우, 화소 전극층(135) 위에 돌기물(137)을 형성하는 것이 바람직하다(도 22c 참조). 도 23b는 도 22c의 평면도이다.
- [0193] 이상의 단계들을 통해, 적은 마스크수로, 액정 표시장치에 사용하는 것이 가능하고, 비정질 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 온 전류가 높고, 미결정 반도체를 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여, 오프 전류가 낮은 박막 트랜지스터를 갖는 소자기판을 제조할 수 있다.

- [0194] (실시형태 9)
- [0195] 본 실시형태에서는, 콘택 저항을 낮추는 것이 가능한 박막 트랜지스터의 구조에 대해서 나타낸다. 구체적으로는, 실시형태 1 내지 실시형태 8에 나타난 소스 및 드레인 영역을, 일 도전형을 부여하는 불순물 원소와, NH기 또는 NH₂기를 갖는 반도체층(이하, NH기를 갖는 불순물 반도체층으로 나타낸다)을 사용하여 형성한다.
- [0196] NH기를 갖는 불순물 반도체층은, 실시형태 4 내지 실시형태 7에 있어서, 불순물 반도체층과 버퍼층 형성단계를 조합함으로써 형성된다. 구체적으로는, 실시형태 4에 나타난 버퍼층 형성(217) 단계와 불순물 반도체층 형성(221) 단계를 조합하는 경우, 도 15에 있어서, 버퍼층 형성(217) 및 가스 치환(219) 사이에 플러싱처리(213)을 행하여, 버퍼층 표면의 질소 농도를 높여, 불순물 반도체층의 질소 농도를 높이면 된다.
- [0197] 이와 달리, 실시형태 5에 나타난 NH기를 갖는 비정질 반도체층의 형성 단계와 불순물 반도체층의 형성 단계를 조합하는 경우, 도 16에 있어서, 버퍼층 형성(217) 및 가스 치환(219) 사이에, 언로딩(225)로부터 로딩(231)까지의 단계를 행하여, 반응실에 질화 실리콘층을 형성함으로써, 반응실 내의 질소 농도를 높이고, 불순물 반도체층의 질소 농도를 높이면 된다.
- [0198] 또한 이와 달리, 실시형태 6에 나타난 NH기를 갖는 비정질 반도체층의 형성 단계와 불순물 반도체층의 형성 단계를 조합하는 경우, 도 17에 있어서 불순물 반도체층 형성(221) 공정에 있어서, 암모니아 가스 또는 질소 가스를 도입함으로써, 불순물 반도체층의 질소 농도를 높이면 된다.
- [0199] 소스 및 드레인 영역에 일 도전형을 부여하는 불순물 원소 이외에, NH기 또는 NH₂기를 함유시킴으로써, 소스 및 드레인 영역의 결합 준위를 저감하는 것이 가능하다. 따라서, 소스 및 드레인 영역의 이동도를 향상시키는 것이 가능해서, 콘택 저항을 낮추는 것이 가능하다.
- [0200] (실시형태 10)
- [0201] 실시형태 1 내지 실시형태 3에 나타난 박막 트랜지스터는, 발광 표시장치나 발광 장치에 사용할 수 있다. 발광 표시장치나 발광 장치에 사용되는 발광소자로서는, 대표적으로는, 일렉트로루미네센스를 이용하는 발광소자를 들 수 있다. 일렉트로루미네센스를 이용하는 발광소자는, 발광 재료가 유기 화합물인지 무기 화합물인지에 의해 대별된다. 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자로 부르고 있다.
- [0202] 또한, 실시형태 4 및 실시형태 8에 나타난 것과 같이 소자기관 위에 발광소자를 형성함으로써, 발광 표시장치나 발광 장치를 제조할 수 있다.
- [0203] 본 실시형태의 발광 표시장치 및 발광 장치에서는 온 전류가 높고 오프 전류가 낮은 박막 트랜지스터를 화소 트랜지스터로서 사용하고 있기 때문에, 화질이 양호(예를 들면, 고콘트라스트)하며 소비 전력이 낮은 발광 표시장치 및 발광 장치를 제조할 수 있다.
- [0204] (실시형태 11)
- [0205] 다음에, 본 발명을 적용가능한 표시장치에 포함된 표시 패널의 구성의 일례에 대해 이하에서 설명한다.
- [0206] 도 25a는, 신호선 구동회로(303)만을 별도 형성하고, 기관(301) 위에 형성된 화소부(302)과 접속하고 있는 표시 패널의 형태를 나타낸다. 화소부(302), 보호 회로(306) 및 주사선 구동회로(304)가 형성된 소자기관은, 실시형태 1 내지 실시형태 10 중 어느 하나에서 설명한 박막 트랜지스터를 사용해서 형성한다. 신호선 구동회로(303)은, 단결정 반도체를 채널 형성 영역에 사용한 트랜지스터, 다결정 반도체를 채널 형성 영역에 사용한 박막 트랜지스터, 또는 SOI(Silicon On Insulator)를 채널 형성 영역에 사용한 트랜지스터에 의해 구성하면 된다. SOI를 채널 형성 영역에 사용한 트랜지스터는, 유리 기관 위에 설치된 단결정 반도체층을 채널 형성 영역에 사용하는 트랜지스터를 포함한다. 화소부(302)과, 신호선 구동회로(303)과, 주사선 구동회로(304)에 각각에, 전원의 전위, 각종 신호 등이 FPC(305)을 통해 공급된다. 신호선 구동회로(303)과 FPC(305) 사이, 및/또는 신호선 구동회로(303)과 화소부(302) 사이에, 실시형태 1 내지 실시형태 10 중 어느 하나에서 설명한 박막 트랜지스터를 사용하여 형성된 보호 회로(306)를 설치해도 된다. 보호 회로(306)은, 그 밖의 구조를 갖는 박막 트랜지스터, 다이오드, 저항소자 및 용량소자 등으로부터 선택된 1개 또는 복수의 소자로 구성해도 된다.

- [0207] 이때, 신호선 구동회로 및 주사선 구동회로를, 화소부의 화소 트랜지스터가 형성된 기관과 동일한 기관 위에 형성해도 된다.
- [0208] 또한, 구동회로를 별도 형성하는 경우에는, 구동회로가 형성된 기관을 반드시 화소부가 형성된 기관 위에 부착시킬 필요는 없고, 예를 들면, FPC에 부착시키도록 하여도 된다. 도 25b는, 신호선 구동회로(313) 만을 별도 형성하고, 기관(311) 위에 형성된 화소부(312), 보호 회로(316) 및 주사선 구동회로(314)가 형성된 소자기관과 FPC(315)가 접속하고 있는 표시 패널의 형태를 나타낸다. 화소부(312), 보호 회로(316) 및 주사선 구동회로(314)는, 상기 실시형태 1에 나타난 박막 트랜지스터를 사용해서 형성한다. 신호선 구동회로(313)은, FPC(315) 및 보호 회로(316)를 통해 화소부(312)에 접속되어 있다. 화소부(312)과, 신호선 구동회로(313)과 주사선 구동회로(314) 각각에, 전원의 전위 및 각종의 신호 등이 FPC(315)를 통해 공급된다. FPC(315)과 화소부(312) 사이에, 보호 회로(316)를 설치해도 된다.
- [0209] 또한, 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을, 상기한 실시형태에서 설명한 박막 트랜지스터 중 한개를 사용해서 화소부가 형성된 기관과 동일한 기관 위에 형성하고, 나머지를 별도 형성해서 화소부와 전기적으로 접속하도록 해도 된다. 도 25c는, 신호선 구동회로가 갖는 아날로그 스위치(323a)를 화소부(322) 및 주사선 구동회로(324)가 형성된 기관(321)과 동일한 기관 위에 형성하고, 신호선 구동회로가 갖는 시프트 레지스터(323b)을 별도 다른 기관에 형성해서 기관(321)에 부착하는 표시 패널의 형태를 나타낸다. 화소부(322), 보호 회로(326) 및 주사선 구동회로(324)는, 상기 실시형태에서 설명한 박막 트랜지스터 중 한개를 사용해서 각각 형성한다. 신호선 구동회로가 갖는 시프트 레지스터(323b)은, 아날로그 스위치(323a) 및 보호 회로(326)를 통해 화소부(322)와 접속되어 있다. 화소부(322)과, 신호선 구동회로 및 주사선 구동회로(324) 각각에, 전원의 전위, 각종 신호 등이 FPC(325)를 통해 공급된다. FPC(325)과 아날로그 스위치(323a) 사이에는 보호 회로(326)를 설치해도 된다.
- [0210] 도 25a 내지 도 25c에 각각 나타난 것과 같이, 본 실시형태의 표시장치에서는, 구동회로의 일부 또는 전부를, 화소부가 형성된 기관과 같은 기관 위에, 상기 실시형태에서 설명한 박막 트랜지스터를 사용해서 형성할 수 있다.
- [0211] 이때, 별도 형성한 기관의 접속 방법은 특별히 한정되는 것은 아니고, 공지의 COG 방식, 와이어본딩 방식 또는 TAB 방식 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하면, 도 25a 내지 도 25c에 나타난 위치에 한정되지 않는다. 컨트롤러, CPU 또는 메모리 등을 별도 형성하여, 접속하도록 해도 된다.
- [0212] 이때, 본 실시형태에서 사용하는 신호선 구동회로는 시프트 레지스터와 아날로그 스위치를 갖는다. 시프트 레지스터와 아날로그 스위치 이외에, 버퍼, 레벨 시프터, 또는 소스 폴로워 등 다른 회로를 갖고 있어도 된다. 시프트 레지스터와 아날로그 스위치는 반드시 설치할 필요는 없고, 예를 들면, 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 별도의 회로를 사용해도 되고, 아날로그 스위치 대신에 래치 등을 사용해도 된다.
- [0213] (실시형태 12)
- [0214] 상기 실시형태 중 어느 한 개에서 설명한 박막 트랜지스터를 사용하여 형성된 소자기관, 및 이 소자기관을 사용하는 표시장치 등은, 액티브 매트릭스형의 표시 패널에 적용할 수 있다. 즉, 본 발명은, 표시부에 소자 기관과 표시장치를 포함하는 모든 전자기기에 적용할 수 있다.
- [0215] 이와 같은 전자기기의 예로는, 비디오 카메라 또는 디지털 카메라 등의 카메라, 드마운트 디스플레이(고글형 디스플레이), 카 네비게이션, 프로젝터, 카 스테레오, 퍼스널컴퓨터, 휴대 정보단말(모바일 컴퓨터, 휴대전화 또는 전자서적 등) 등을 들 수 있다. 이들 장치의 일례를 도 26a 내지 도 26d에 나타낸다.
- [0216] 도 26a는 텔레비전 장치를 나타낸 것이다. 상기 실시형태를 적용한 표시 패널을 하우징에 짜넣어, 텔레비전 장치를 완성시킬 수 있다. 표시 패널에 의해 주 화면(333)이 형성되고, 기타 부속 설비로서 스피커부(339), 조작 스위치 등이 구비되어 있다.
- [0217] 도 26a에 나타난 것과 같이, 하우징(331)에 표시 소자를 이용한 표시용 패널(332)이 짜넣어진다. 수신기(335)에 의한 일반의 텔레비전 방송의 수신 이외에, 모뎀(334)을 통해 유선 또는 무선 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 또는 양방향(송신자와 수신자 사이, 또는 수신자간끼리)의 정보통신을 행할 수도 있다. 텔레비전 장치의 조작은, 하우징에 짜넣어진 스위치 또는 ??도 설치된 리모트 트롤 조작기

(336)에 의해 행하는 것이 가능하다. 이 리모트 콘트롤 조작기에도 출력하는 정보를 표시하는 표시부(337)가 설치되어 있어도 된다. 또한, 표시부 337에, 실시형태 1 내지 실시형태 10 중 어느 하나에서 설명한 박막 트랜지스터가 설치되어 있어도 된다. 또한, 텔레비전 장치는, 주 화면(333) 이외에, 제2 표시 패널로 형성된 서브 화면(338)을 포함하여, 채널이나 음량 등을 표시하여도 된다. 이 구성에 있어서, 주 화면(333) 및 서브 화면(338)의 한쪽 또는 양쪽에 실시형태 1 내지 실시형태 10 중 어느 하나에서 설명한 박막 트랜지스터를 적용할 수 있다.

[0218] 도 27은 텔레비전 장치의 주요한 구성을 설명하는 블록도이다. 표시 패널에는 화소부(371)가 형성되어 있다. 신호선 구동회로(372)과 주사선 구동회로(373)은 표시 패널에 COG 방식에 의해 실장되어 있어도 된다.

[0219] 그 밖의 외부회로의 구성으로서, 영상신호의 입력측에서는, 튜너(374)에 의해 수신한 신호 중에서 영상신호를 증폭하는 영상신호 증폭회로(375)과, 영상신호 증폭회로(375)에서 출력되는 신호를 적, 녹, 청 각 색에 대응한 색 신호로 변환하는 영상신호 처리회로(376)과, 그 영상신호를 드라이버 IC의 입력 사양으로 변환하기 위한 콘트롤 회로(377) 등이 설치된다. 콘트롤 회로(377)는, 주사선측과 신호선측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선측에 신호 분할 회로(378)를 설치하여, 입력 디지털 신호를 m개로 분할해서 공급하는 구성을 채용하여도 된다.

[0220] 튜너(374)에서 수신한 신호 중에서, 음성신호는 음성신호 증폭회로(379)에 보내지고, 그것의 출력은 음성신호 처리회로(380)를 거쳐 스피커(383)에 공급된다. 제어회로(381)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(382)로부터 받고, 튜너(374)는 음성신호 처리회로(380)에 신호를 송출한다.

[0221] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널컴퓨터의 모니터, 또는 철도역이나 공항 등에 있어서의 정보 표시판과 가두에 있어서의 광고 표시판 등 대면적을 갖는 표시매체에 적용할 수 있다.

[0222] 이상에서 설명한 것과 같이, 주 화면(333) 및 서브 화면(338)의 한쪽 또는 양쪽에 실시형태 1 내지 실시형태 10의 어느 하나에서 설명한 박막 트랜지스터를 적용함으로써, 화질이 높고 소비 전력이 낮은 텔레비전 장치를 제조할 수 있다.

[0223] 도 26b는 휴대전화기(341)의 일례를 나타내고 있다. 휴대전화기(341)은, 표시부(342), 조작부(343) 등을 포함한다. 표시부(342)에 실시형태 1 내지 실시형태 10의 어느 하나에서 설명한 박막 트랜지스터를 적용함으로써, 화질을 향상시키고, 소비 전력을 저감시킬 수 있다.

[0224] 도 26c에 나타난 휴대형의 컴퓨터는, 본체(351), 표시부(352) 등을 포함하고 있다. 표시부(352)에, 실시형태 1 등에서 설명한 박막 트랜지스터를 적용함으로써, 화질을 향상시키고, 소비 전력을 저감시킬 수 있다.

[0225] 도 26d는 탁상 조명기구이며, 조명부(361), 갓(362), 가변 암(363), 지주(364), 베이스(365), 전원(366)을 포함한다. 상기 실시형태에서 설명한 발광 장치를 조명부(361)에 사용함으로써 탁상 조명기구가 제조된다. 조명부(361)에 실시형태 1 내지 실시형태 10의 어느 하나에서 설명한 박막 트랜지스터를 적용함으로써, 화질을 향상시키고, 소비 전력을 저감시킬 수 있다.

[0226] 도 28a 내지 도 28c는 휴대전화기의 구성의 일례를 나타내고 있고, 예를 들면, 표시부에, 실시형태 1 내지 실시형태 10 중 어느 하나에서 설명한 박막 트랜지스터를 갖는 소자기관 및 이 소자기관을 갖는 표시장치가 적용된다. 도 28a가 정면도, 도 28b가 배면도, 도 28c가 전개도다. 도 28a 내지 도 28c에 나타난 휴대전화기는, 하우징 394 및 하우징 385의 2개의 하우징을 포함한다. 도 28a 내지 도 28c에 나타난 휴대전화기는, 스마트폰으로도 불리며, 휴대전화와 휴대 정보단말의 양쪽의 기능을 구비하고 있고, 컴퓨터를 내장하여, 음성통화 이외에도 다양한 데이터 처리가 가능하다.

[0227] 휴대전화기는 2개의 하우징 394 및 하우징 385을 포함한다. 하우징 394는, 표시부(386), 스피커(387), 마이크로폰(388), 조작 키(389), 포인팅 디바이스(390), 표면 카메라용 렌즈(391), 외부 접속 단자용 잭(392), 이어폰 단자(393) 등을 구비하는 한편, 하우징 385은, 키보드(395), 외부 메모리 슬롯(396), 이면 카메라(397), 라이트(398) 등을 구비한다. 또한, 안테나는 하우징(394)에 내장되어 있다.

[0228] 상기한 구성 이외에, 비접촉 IC 칩 또는 소형 기록장치 등을 내장하고 있어도 된다.

[0229] 도 28a에서는 하우징 394과 하우징 385이 중첩되어 있고, 도 28a의 상태에서부터 슬라이드하여, 도 28c와 같이 휴대전화기가 전개한다. 표시부(386)에는, 실시형태 1 내지 실시형태 10 중 어느 하나에서 설명한 표시장치를 짜넣는 것이 가능하며, 사용 형태에 따라 표시 방향을 적절히 변화할 수 있다. 이때, 표시부(386)과 동일면에 표면 카메라용 렌즈(391)를 구비하고 있기 때문에, 휴대전화기를 영상 전화기로 사용가능하다. 표시부

(386)를 화인더로 사용하여 이면 카메라(396) 및 라이트(398)에 의해 정지 화상 및 동화상의 촬영이 가능하다.

[0230] 스피커(387) 및 마이크로폰(388)은 음성통화에 한정되지 않고, 영상 전화, 녹음 및 재생 등의 용도에 사용할 수 있다. 조작 키(389)를 사용하여, 전화의 발착신, 전자우편 등의 간단한 정보 입력, 화면의 스크롤 및 커서 이동 등의 조작이 가능하다.

[0231] 또한, 서류의 작성, 휴대 정보단말로서의 사용 등, 취급할 정보가 많은 경우에는, 키보드(395)를 사용하면 편리하다. 중첩된 하우징 394과 하우징 385(도 28a)은 슬라이드가 가능하여, 휴대전화기를 도 28c과 같이 전개함으로써, 휴대전화기를 휴대 정보단말로서 사용할 수 있다. 또한, 키보드(395) 및 포인팅 디바이스(390)를 사용함으로써, 원활한 조작이 가능하다. 외부 접속 단자용 잭(392)에는 AC 어댑터 및 USB 케이블 등의 각종 케이블이 접속가능해서, 이것을 거쳐 충전 및 퍼스널컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯에 기록 매체를 삽입함으로써, 대량의 데이터의 보존 및 이동이 가능하다.

[0232] 하우징 385의 이면(도 28b)에는, 이면 카메라(396) 및 라이트(398)를 구비하고 있어, 표시부(386)를 화인더로 사용하여 정지 화상 및 동화상의 촬영이 가능하다.

[0233] 또한, 휴대전화기는, 상기 구성 이외에, 적외선 통신기능, USB 포트, 원세그(one segment) 텔레비전 방송 수신 기능, 비접촉 IC칩, 이어폰 잭 등을 구비하고 있어도 된다.

[0234] 실시형태 1 내지 실시형태 10의 어느 하나에서 설명한 박막 트랜지스터를 화소에 적용함으로써, 화질을 향상시키고, 소비 전력을 저감시킬 수 있다.

[0235] 본 발명은, 2008년 6월 27일자 및 2008년 9월 5일자 일본 특허청에 각각 출원된 일본 특허출원 2008-169499 및 일본 특허출원 20008-228242에 근거한 것으로, 참조를 위해 본 출원의 전체 내용을 여기에 인용한다.

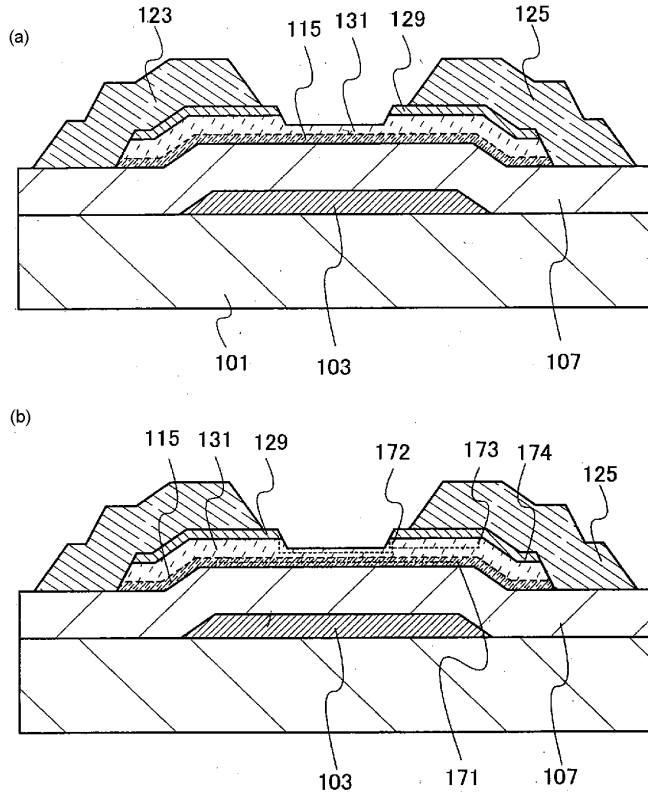
[0236] [부호의 설명]

[0237] 101: 기관, 103: 게이트 전극층, 105: 용량배선, 107: 게이트 절연층, 109: 반도체층, 111: 버퍼층, 113: 불순물 반도체층, 115: 반도체층, 117: 버퍼층, 118: 미결정 반도체, 119: 불순물 반도체층, 121: 도전층, 123: 배선층, 125: 배선층, 129: 소스 영역 및 드레인 영역, 131: 버퍼층, 132: 레저스트 마스크, 1333: 절연층, 134: 개구부, 135: 화소 전극층, 136: 개구부, 137: 돌기물, 141: 레저스트 마스크, 143: 반도체층, 145: 버퍼층, 147: 불순물 반도체층, 149: 도전층, 151: 레저스트 마스크, 153: 배선층, 155: 배선층, 157: 소스 영역 및 드레인 영역, 159: 버퍼층, 160: 개구부, 260: 크라이오펌프, 171: 영역, 172: 영역, 173: 영역, 174: 영역, 180: 그레이콘 마스크, 181: 기관, 182: 차광부, 183: 회절격자부, 185: 하프톤 마스크, 186: 기관, 187: 반투광부, 188: 차광부, 192: 결합, 193: O 원자, 194: NH기, 195: 질소 원자, 196: 영역, 197: 영역, 198: 영역, 199: 영역, 201: 예비처리, 203: SiN의 형성, 205: 가스 치환, 207: SiON의 형성, 209: 가스 치환, 211: 반도체층 형성, 212: 배선층, 213: 플러싱처리, 215: 가스 치환, 217: 버퍼층의 형성, 219: 가스 치환, 221: 불순물 반도체층 형성, 223: 배기, 225: 언로딩, 227: 클리닝 처리, 229: 프리코트 처리, 231: 로딩, 233: 프리코트 처리, 234: 파선, 241: 처리실, 242: 스테이지, 243: 가스 공급부, 244: 샤워 플레이트, 245: 배기구, 246: 상부전극, 247: 하부전극, 248: 교류전원, 249: 온도제어부, 250: 가스 공급 수단, 251: 배기수단, 252: 실린더, 253: 압력 조정 밸브, 254: 스톱 밸브, 255: 매스 플로우 콘트롤러, 256: 버터플라이 밸브, 257: 콘덕턴스 밸브, 258: 터보 분자펌프, 259: 드라이 펌프, 261: 플라즈마 CVD 장치, 301: 기관, 302: 화소부, 303: 신호선 구동회로, 304: 주사선 구동회로, 305: FPC, 306: 보호 회로, 211: 기관, 312: 화소부, 313: 신호선 구동회로, 314: 주사선 구동회로, 315: FPC, 316: 보호회로, 321: 기관, 322: 화소부, 324: 주사선 구동회로, 325: FPC, 326: 보호회로, 331: 하우징, 332: 표시용 패널, 333: 주 화면, 334: 모델, 335: 수신기, 336: 리모트 트롤 조작기, 337: 표시부, 338: 서브 화면, 339: 스피커부, 341: 휴대전화기, 342: 표시부, 343: 조작부, 351: 본체, 352: 표시부, 361: 조명부, 362: 362, 363: 가변 압, 364: 지주, 365: 베이스, 366: 전원, 371: 화소부, 372: 신호선 구동회로, 373: 주사선 구동회로, 374: 튜너, 375: 영상신호 증폭회로, 376: 영상신호 처리회로, 377: 콘트롤 회로, 378: 신호선 분할 회로, 379: 음성신호 증폭회로, 380: 음성신호 처리회로, 381: 제어회로, 382: 입력부, 383: 스피커, 385: 하우징, 386: 표시부, 387: 스피커, 388: 마이크로폰, 389: 조작 키, 390: 포인팅 디바이스, 391: 표면 카메라용 렌즈, 392: 외부 접속 단자용 잭, 393: 이어폰 단자, 394: 하우징, 395: 키보드, 396: 외부 메모리 슬롯, 397: 이면 카메라, 398: 라이트, 105a: 비정질 반도체층, 115a: 침상 결정, 115b: 결정립계, 115c: 비정질 구조, 115d: 비정질층, 118a: 미결정 반도체, 118b: 미결정 반도체, 191a: H 원자, 191b: 수소 원자, 196a: 영역, 196b: 영역, 235a: 파선, 235b: 파선, 236a: 파선, 236b: 파선, 237a:

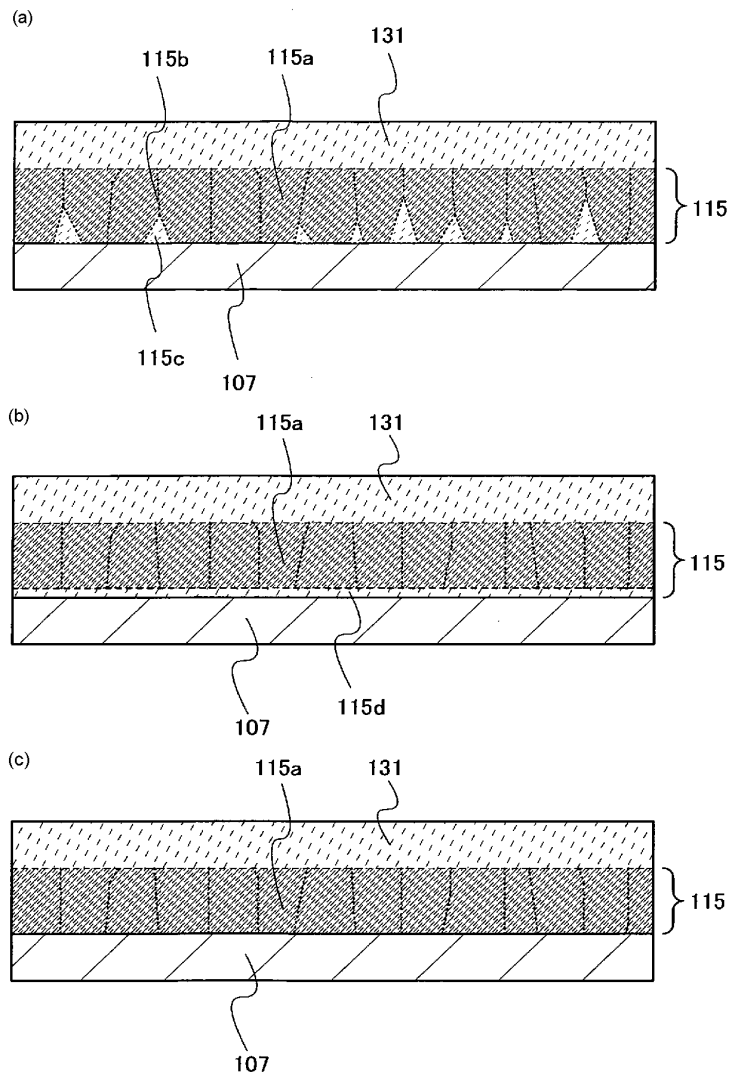
파선, 237b: 파선, 239c: 실선, 239d: 파선, 323a: 아날로그 스위치, 323b: 시프트 레지스터

도면

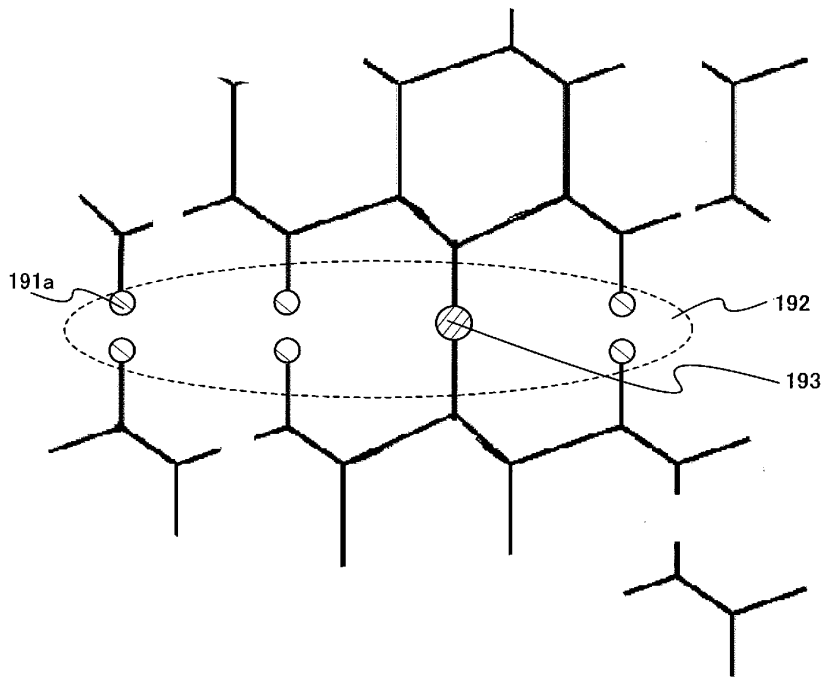
도면1



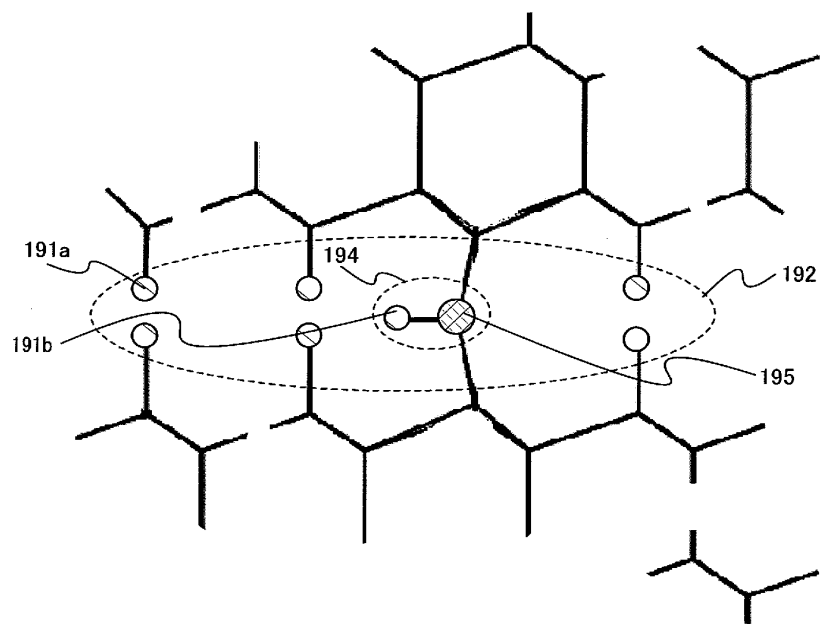
도면2



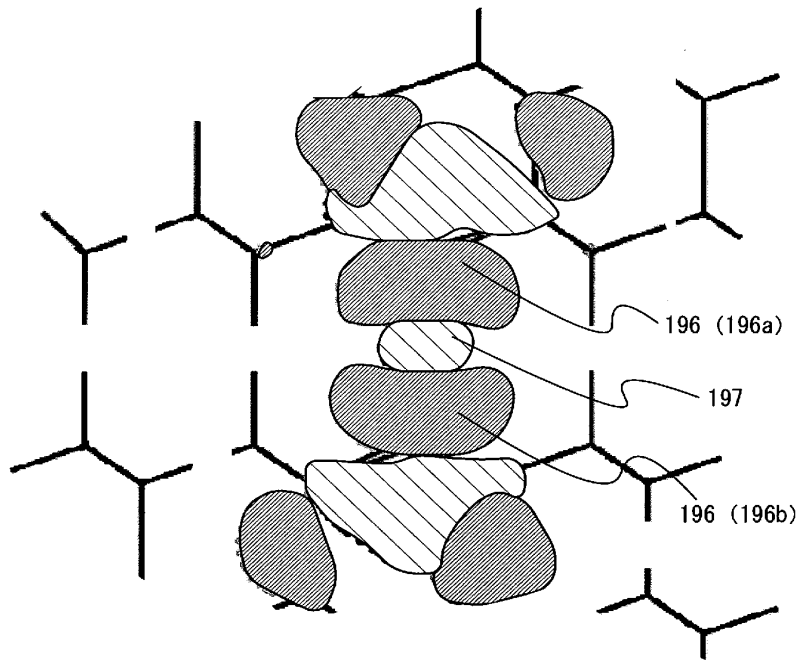
도면3



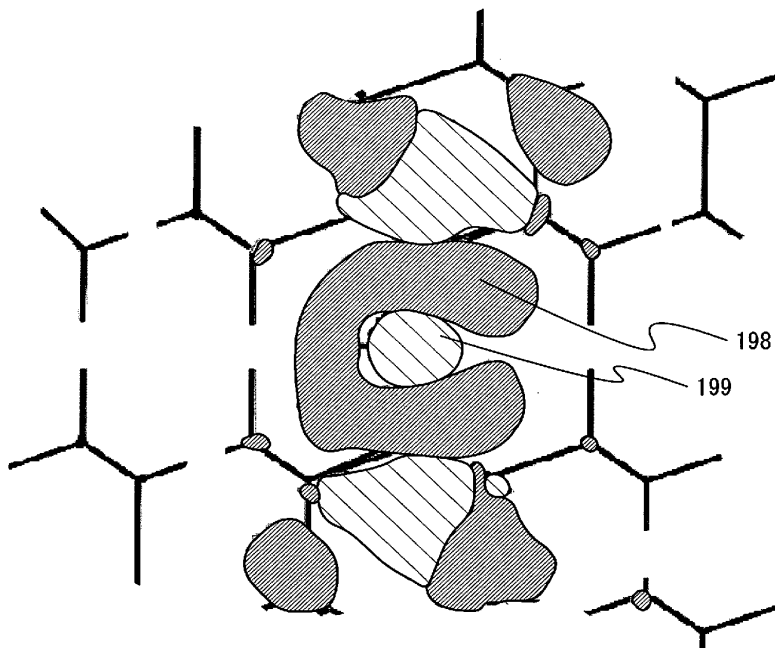
도면4



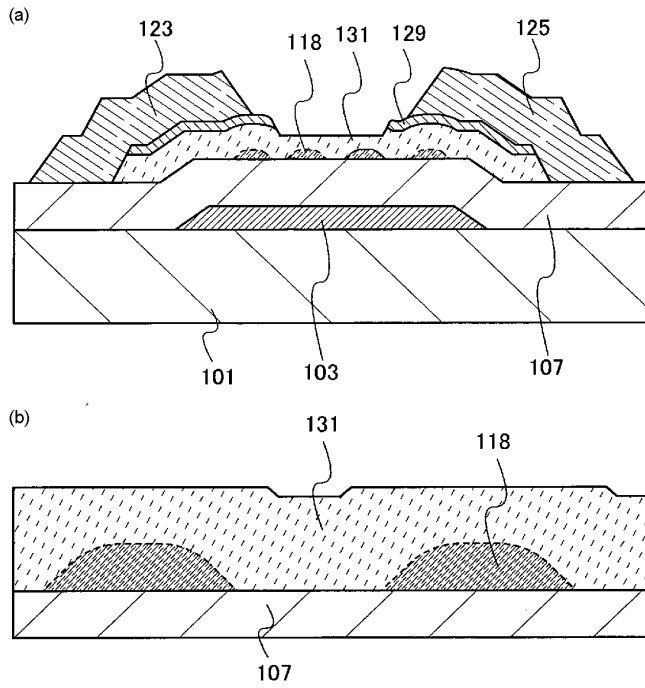
도면5



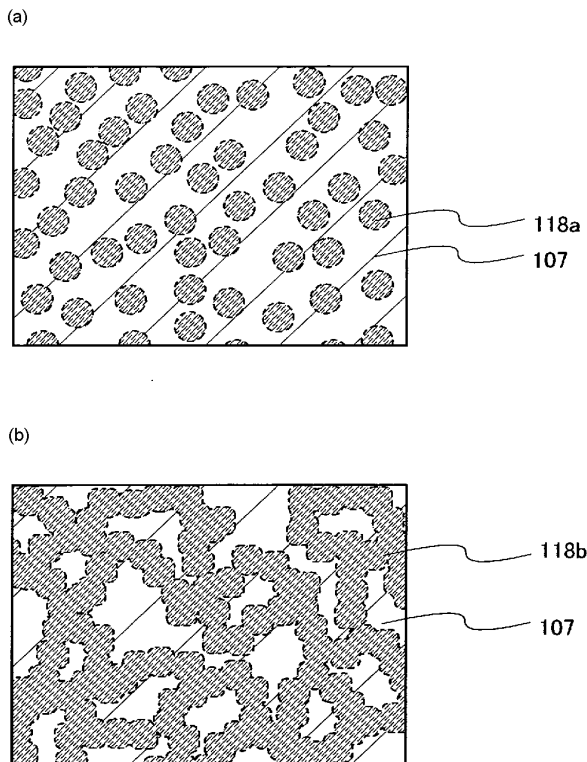
도면6



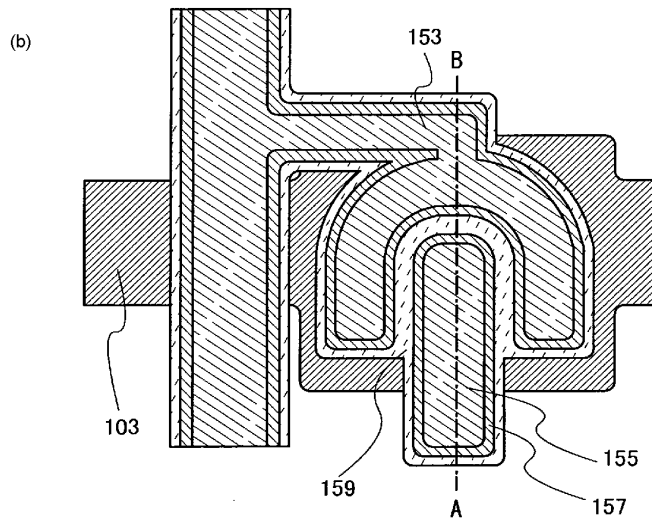
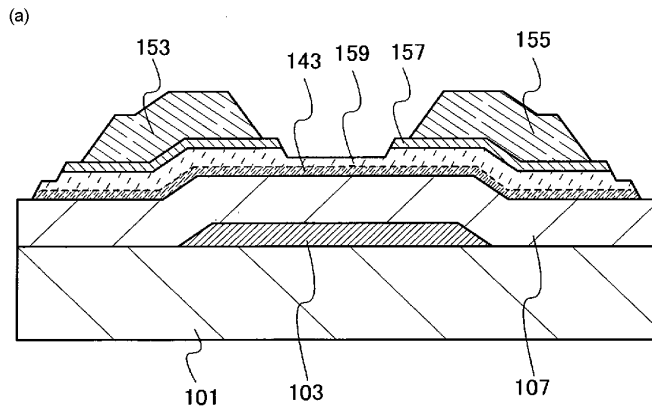
도면7



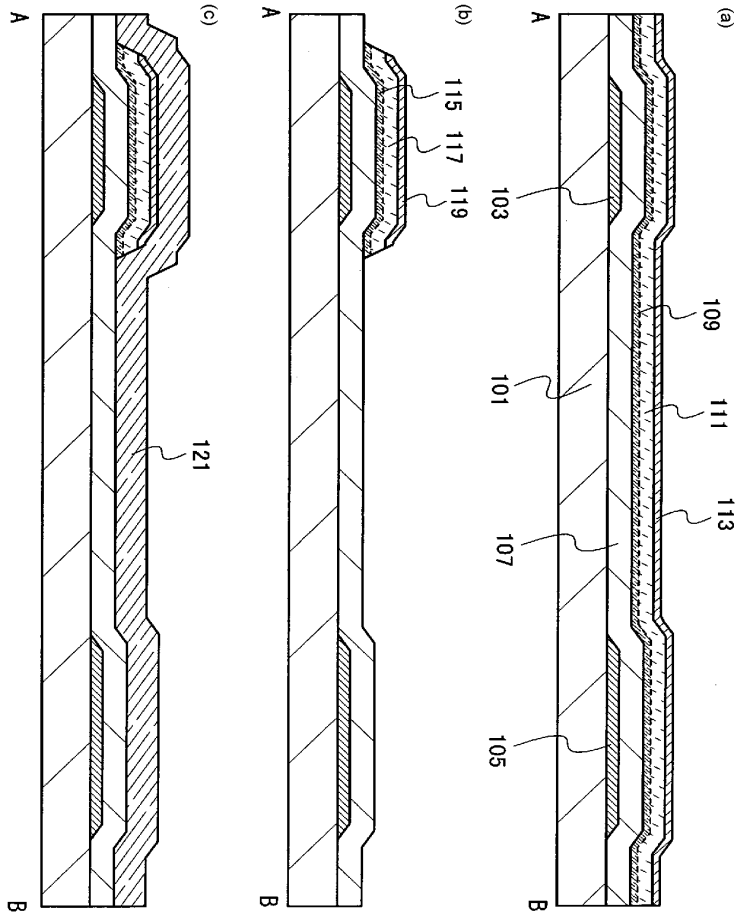
도면8



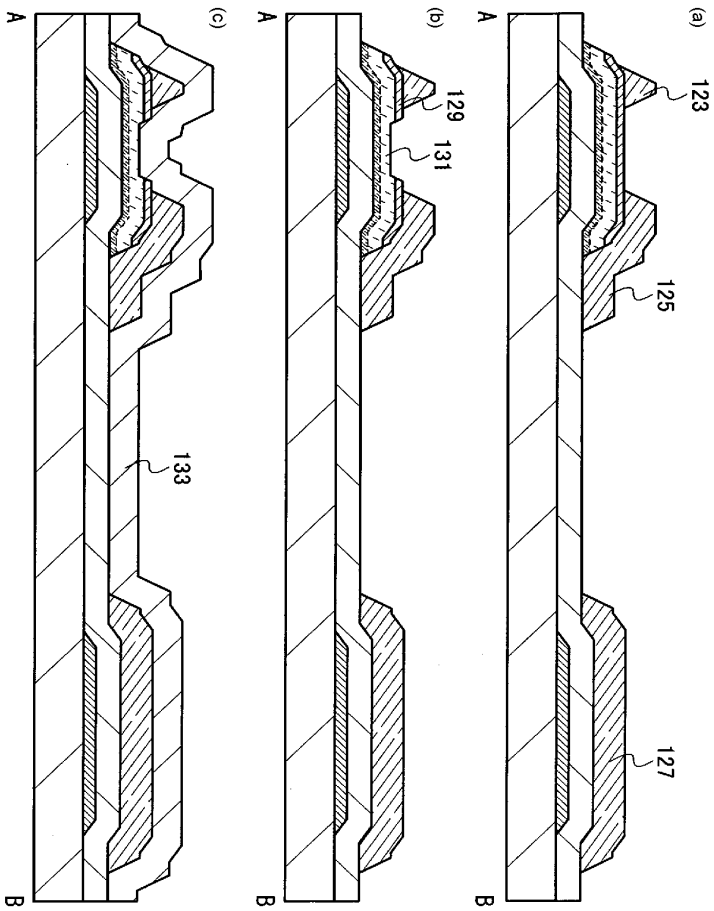
도면9



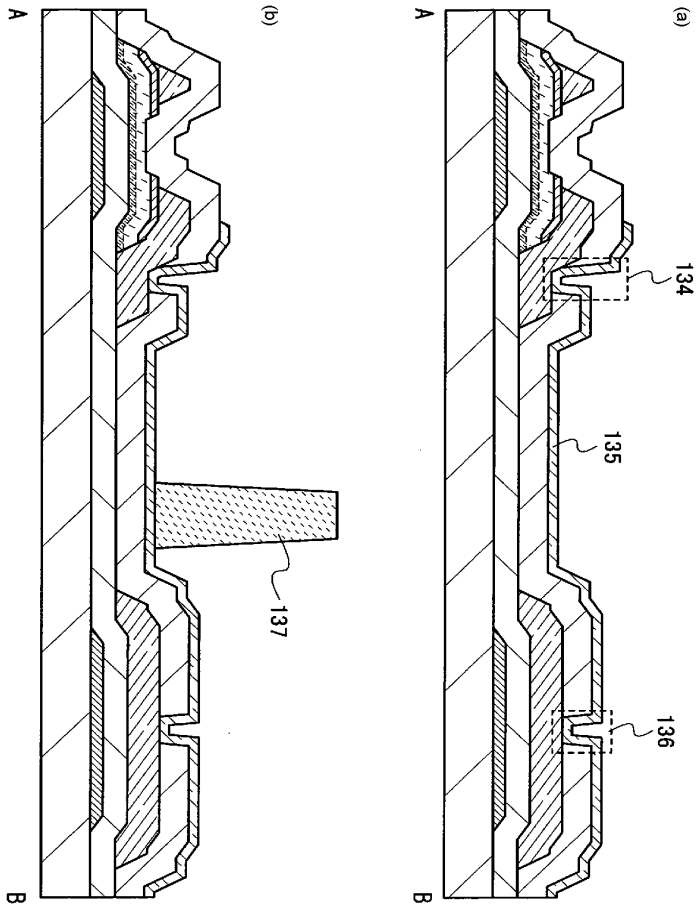
도면10



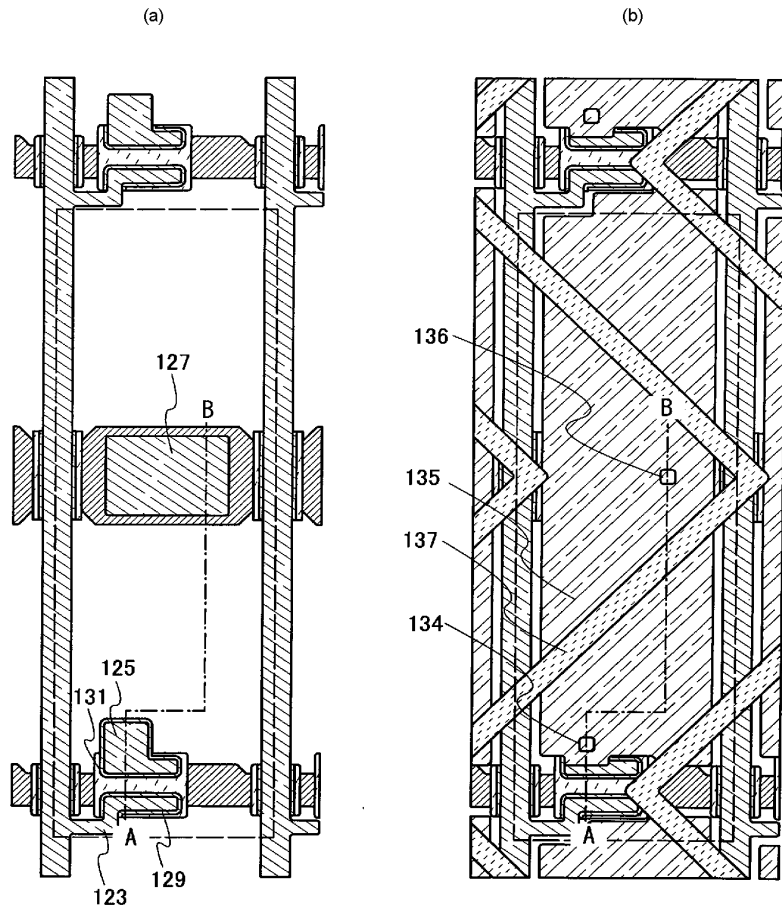
도면11



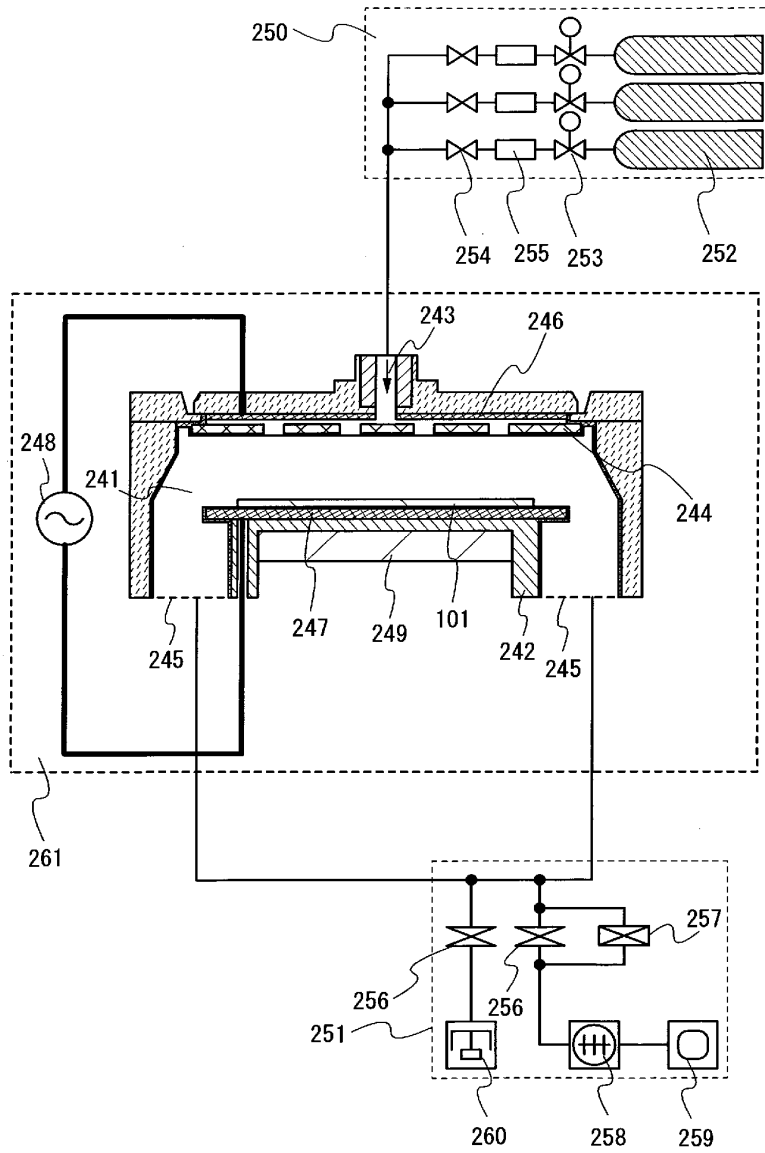
도면12



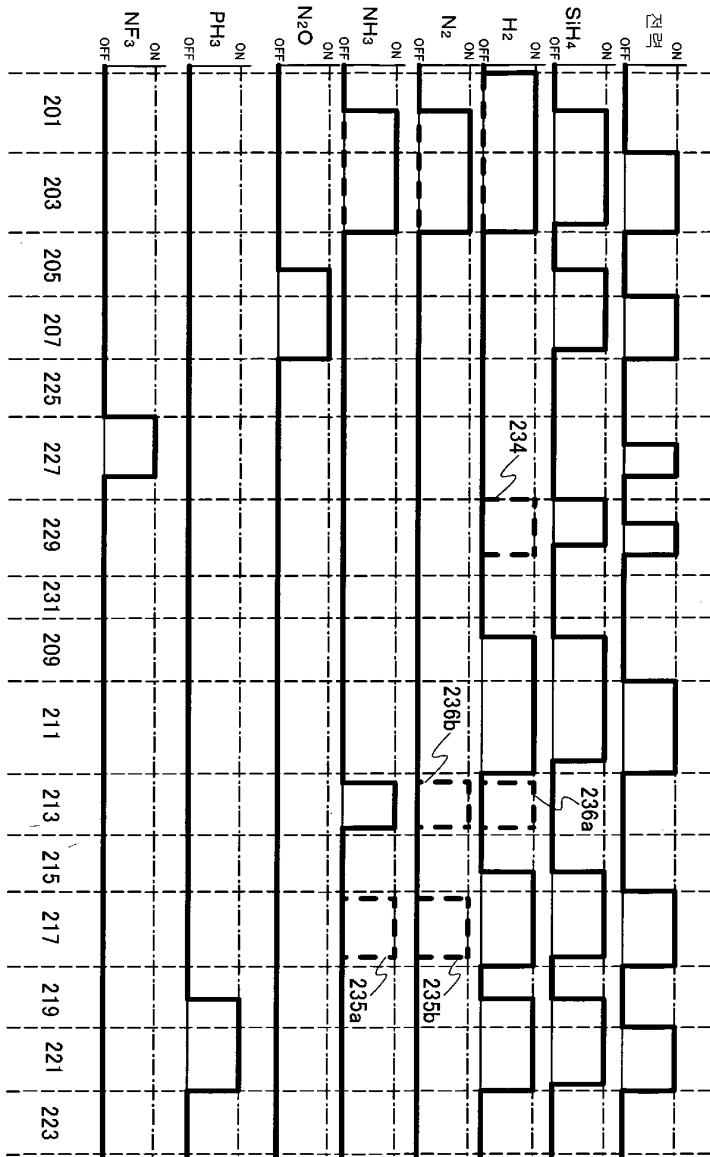
도면13



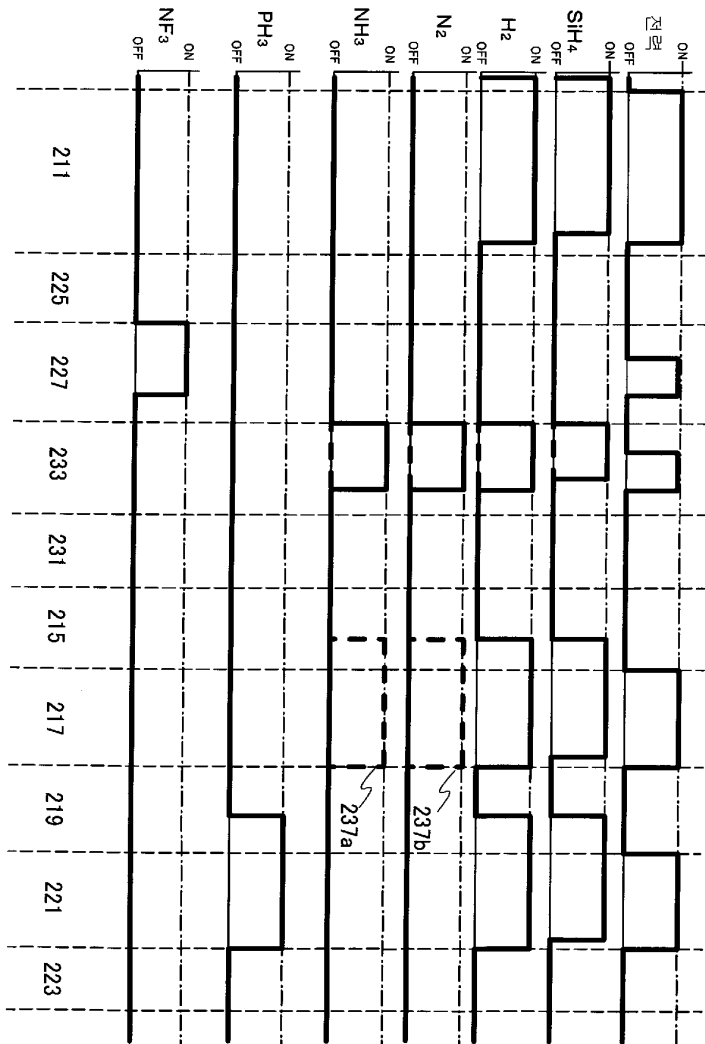
도면14



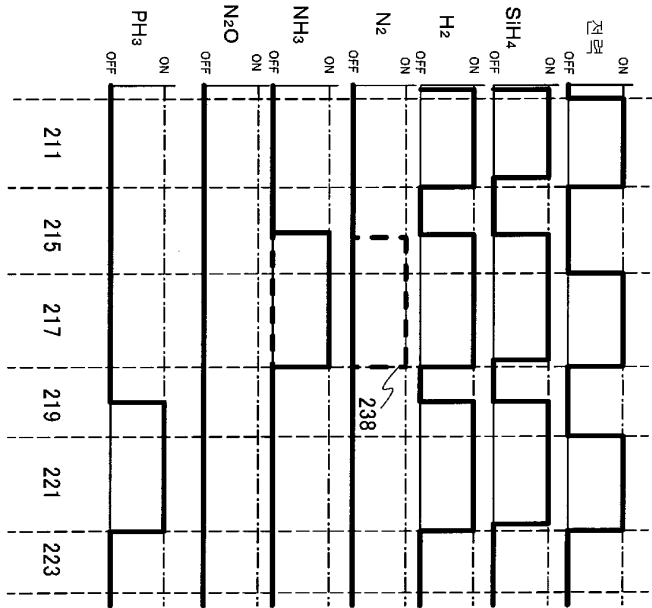
도면15



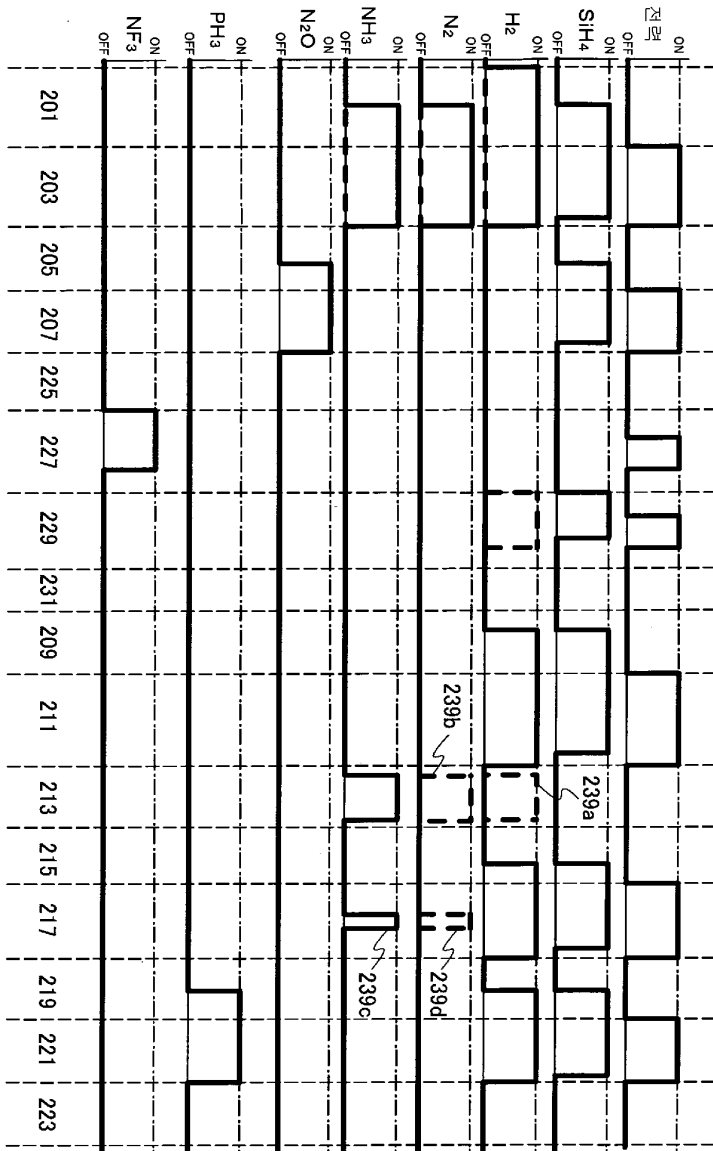
도면16



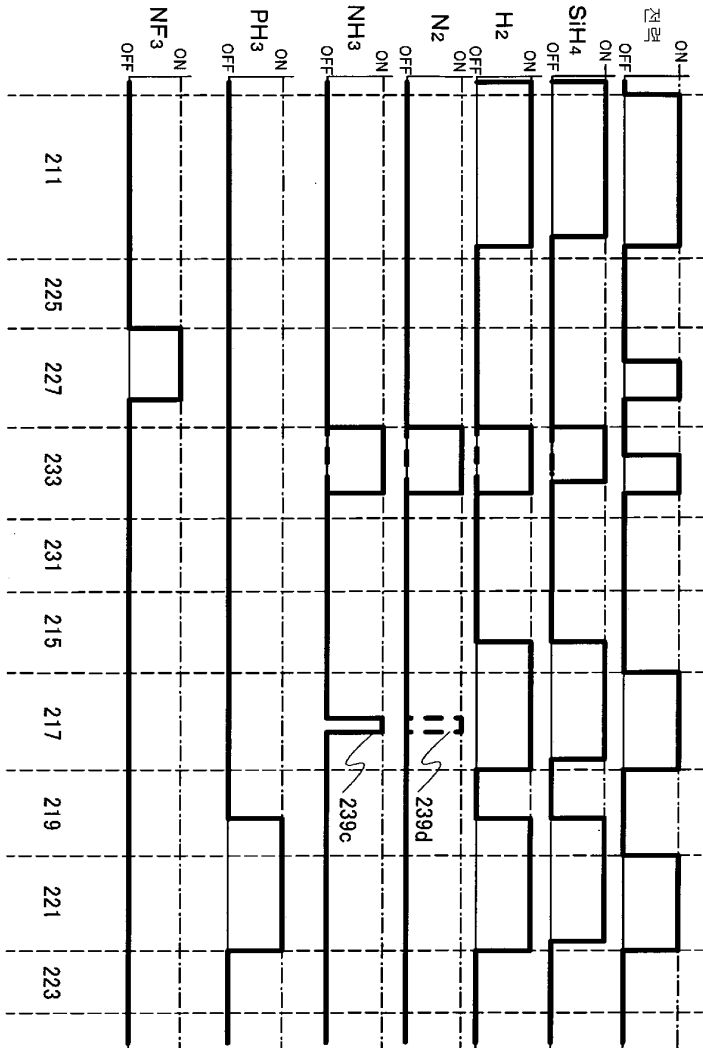
도면17



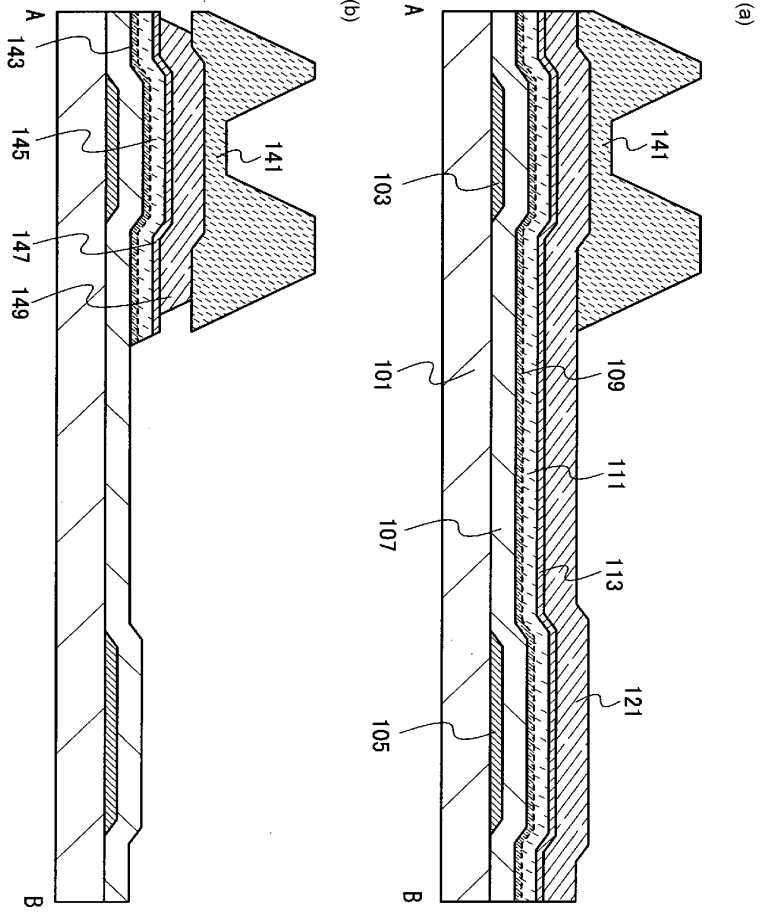
도면18



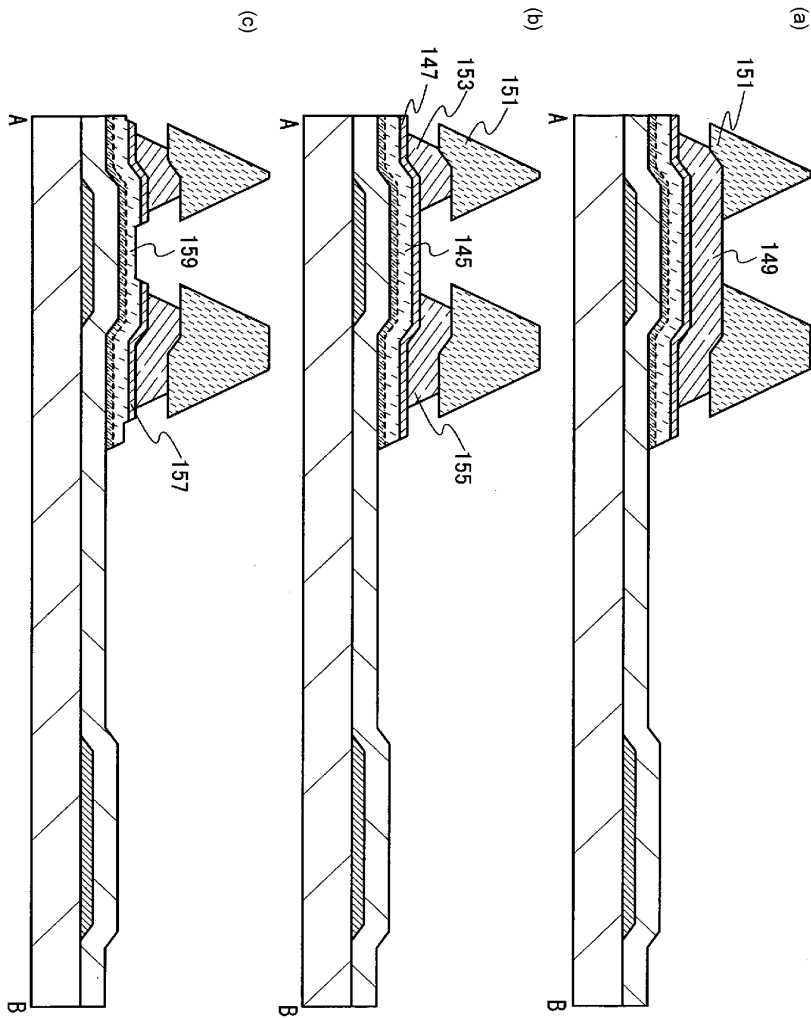
도면19



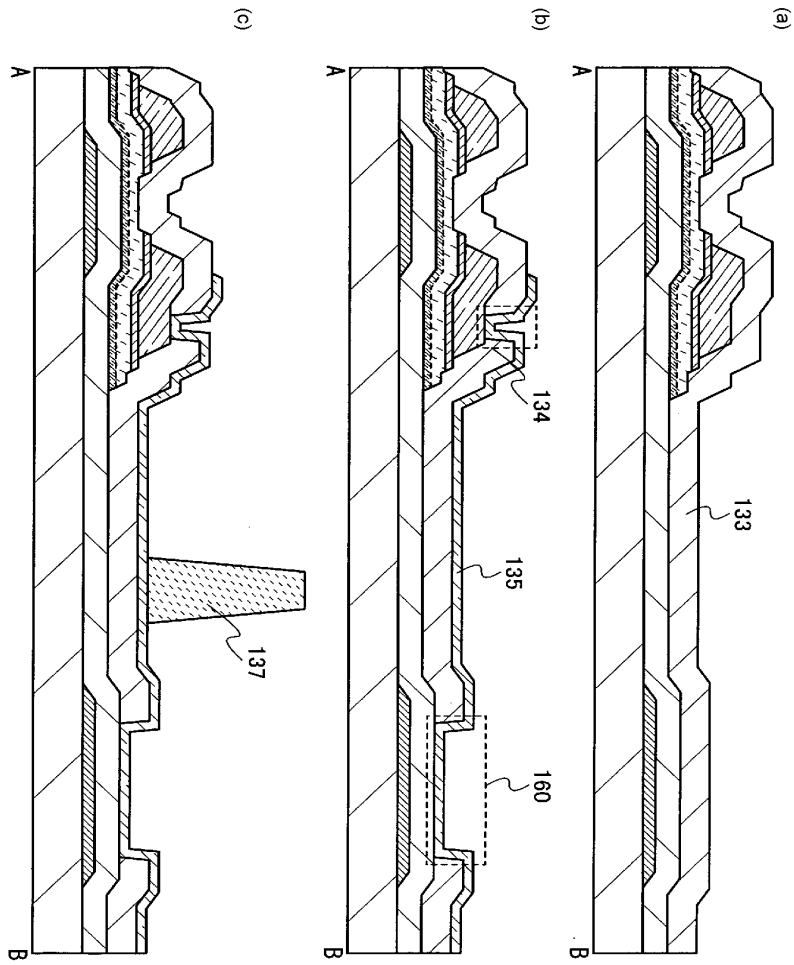
도면20



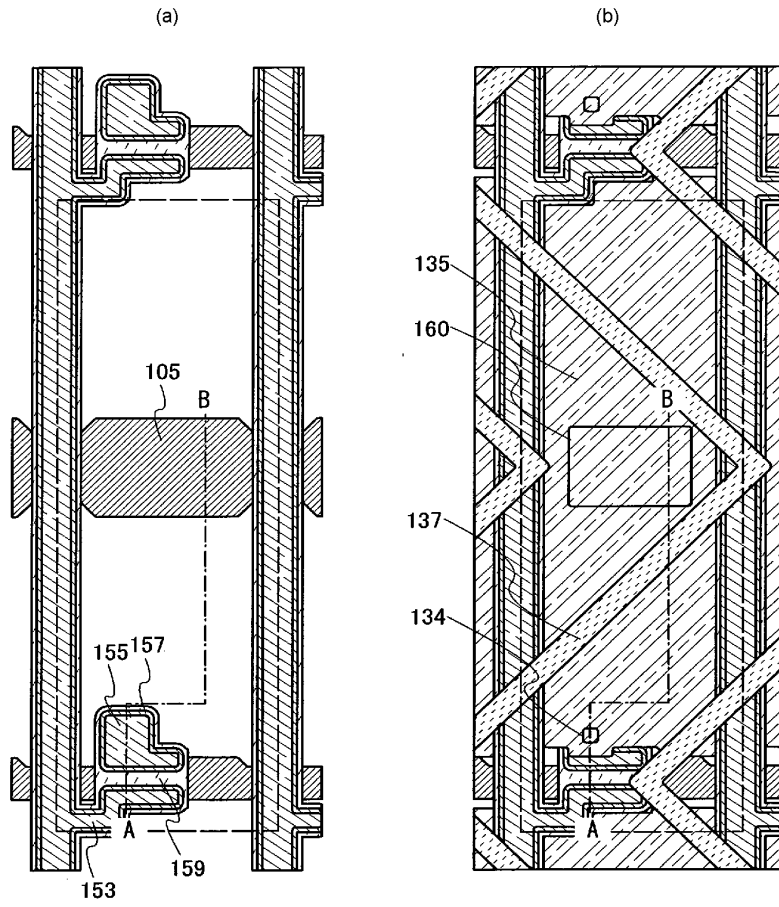
도면21



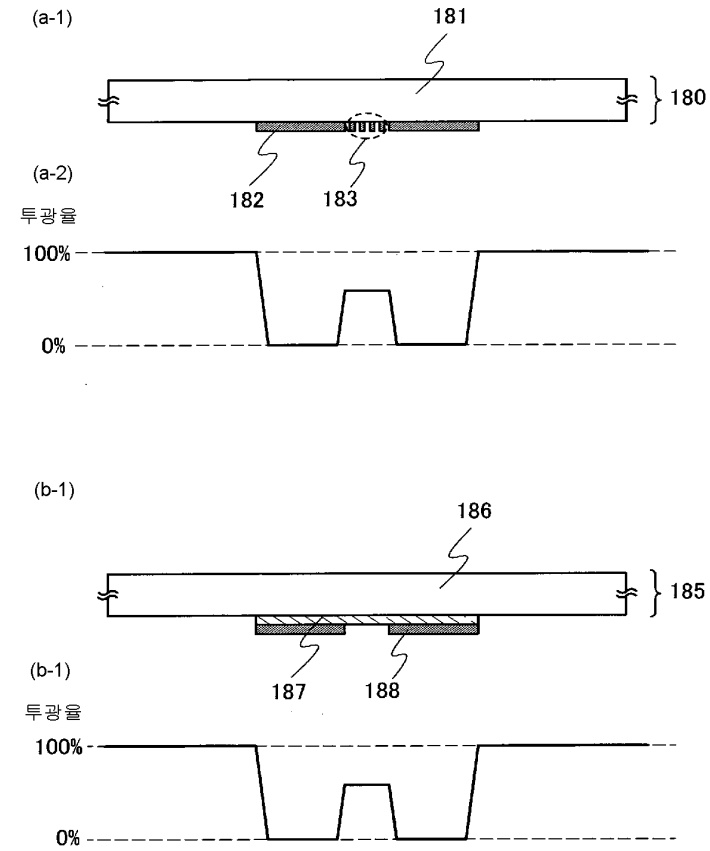
도면22



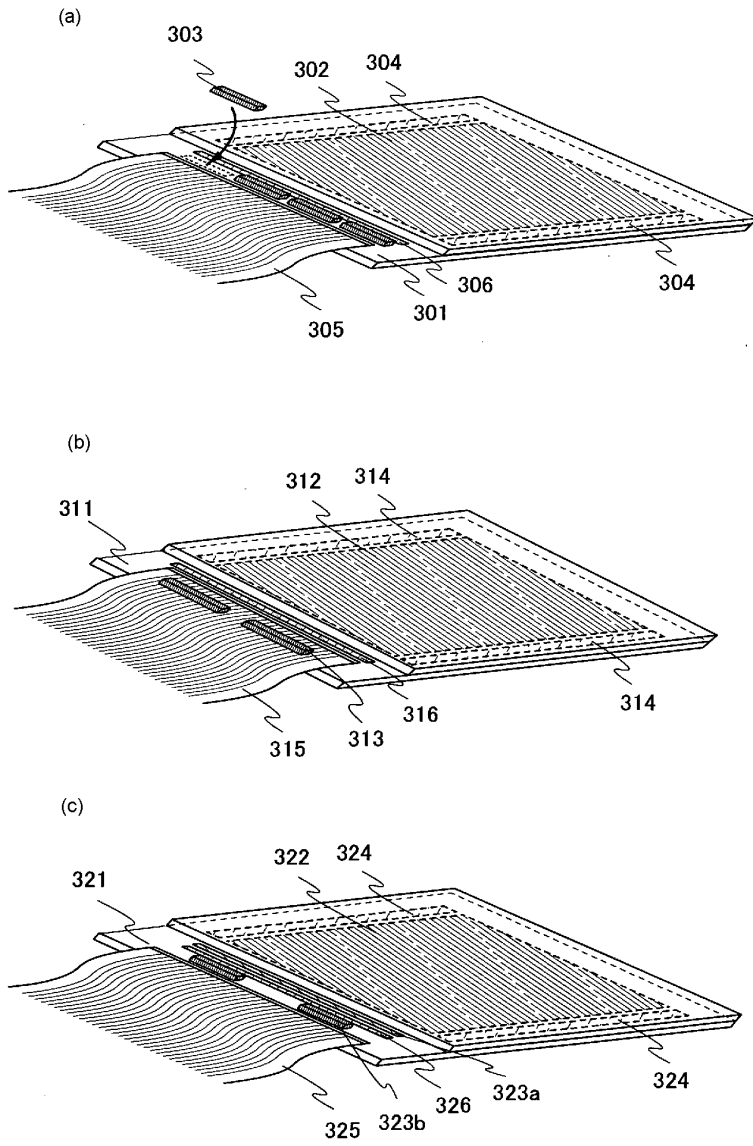
도면23



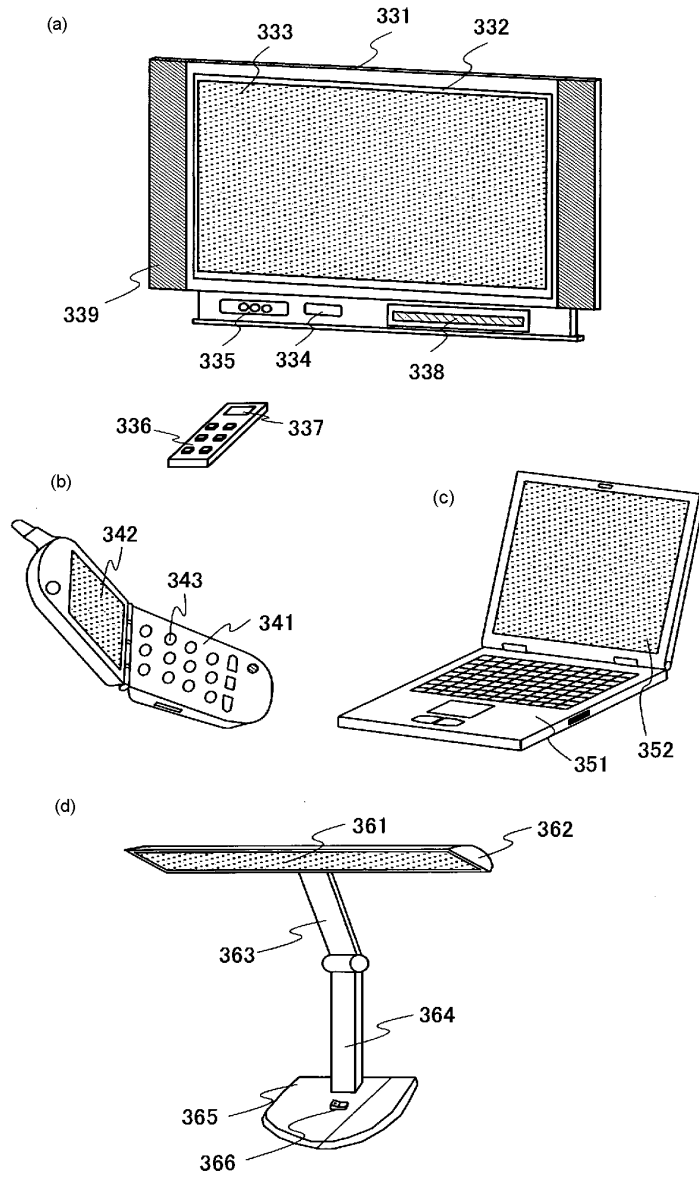
도면24



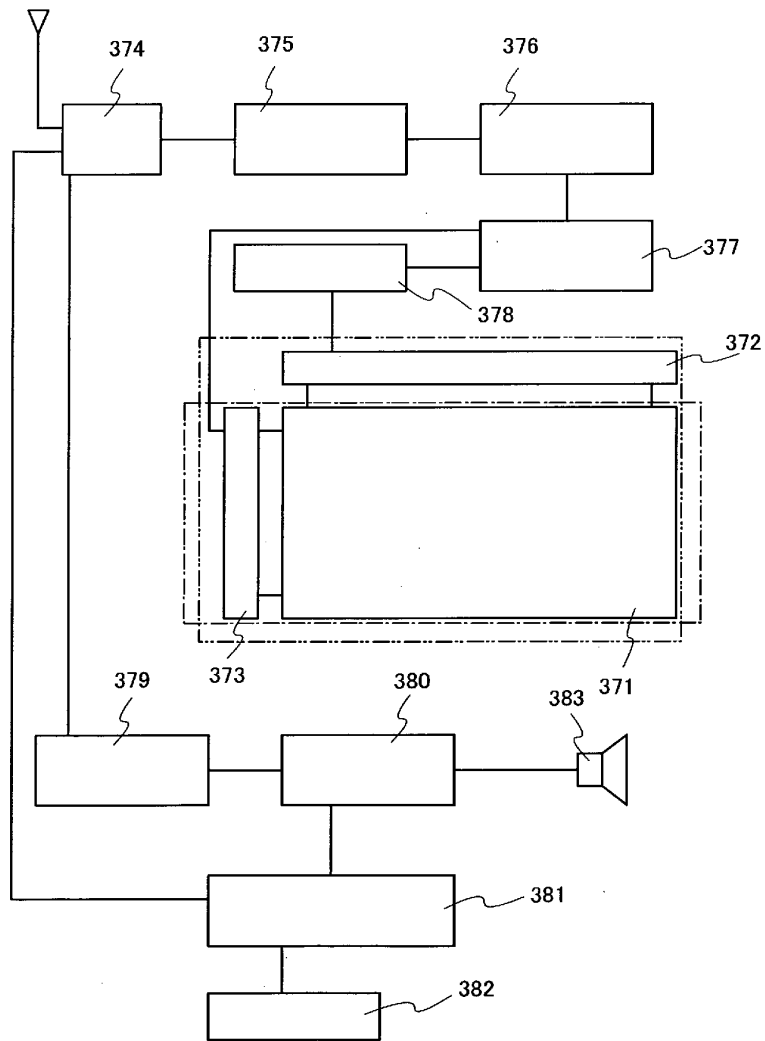
도면25



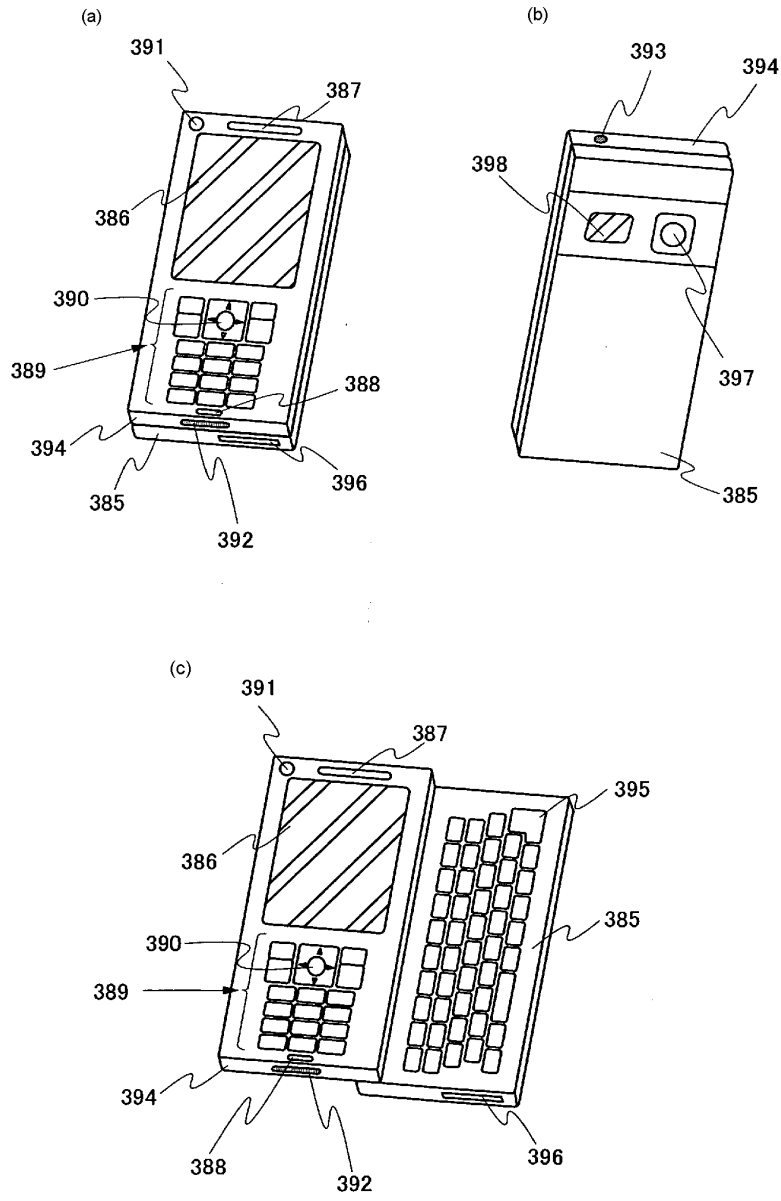
도면26



도면27



도면28



도면29

