[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 16/02

[12] 发明专利说明书

[21] ZL 专利号 99105999.9

[45] 授权公告日 2004 年 1 月 28 日

[11] 授权公告号 CN 1136580C

[22] 申请日 1999.4.27 [21] 申请号 99105999.9

[30] 优先权

[32] 1998. 4.27 [33] JP [31] 116595/1998

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 上久保雅规

审查员 穆丽娟

[74] 专利代理机构 中原信达知识产权代理有限责任公司

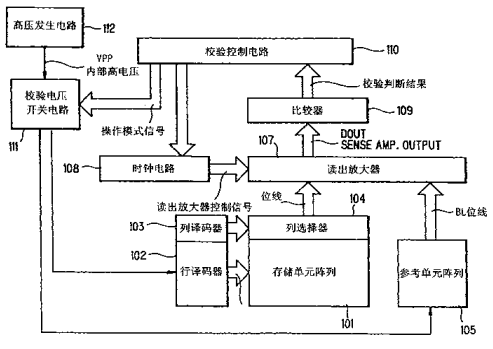
代理人 穆德骏 余 朦

权利要求书 4 页 说明书 12 页 附图 9 页

[54] 发明名称 非易失性半导体存储器件

[57] 摘要

电可擦可编程非易失性半导体存储器件，其数据是由读出放大器比较存储单元的输出和参考单元的输出而读出的。 在该器件中，参考单元是嵌入的，因此它具有给定的阈电压值，并允许存储单元的栅极电压和参考单元的栅极电压独立设置。



ISSN1008-4274

1. 一种电可擦可编程非易失性半导体存储器件，其特征在于：

数据是由读出放大器比较存储单元的输出和参考单元的输出而读出的；

在时钟电路控制下，所述读出放大器将其输出通过比较器提供给校验控制电路；

所述校验控制电路控制所述时钟电路和校验电压开关，所述校验电压开关将校验电压提供给行译码器和所述参考单元；

所述行译码器将校验电压施加于选定的存储单元栅极，所述参考单元将所述校验电压施加于参考单元栅极；

所述参考单元是嵌入的，使它具有给定的阈电压值，和

允许所述存储单元的栅极电压和所述参考单元的栅极电压独立设置。

2. 如权利要求 1 所述的电可擦可编程非易失性半导体存储器件，其中：

所述参考单元的所述阈电压被确定为用于擦除同一芯片中存储单元的阈电压的上限值。

3. 如权利要求 1 所述的电可擦可编程非易失性半导体存储器件，其中：

在校验中，所述读出放大器对存储单元侧和参考单元侧具有相同的灵敏度。

4. 如权利要求 1 所述的电可擦可编程非易失性半导体存储器件，其中：

在擦除校验中，所述存储单元的栅极电压被设置为等于所述参考单元的栅极电压。

5. 如权利要求 1 所述的电可擦可编程非易失性半导体存储器件，其中：

在程序校验中，所述存储单元的栅极电压被设置为相对高于所述参考单元的栅极电压。

6. 如权利要求 1 所述的电可擦可编程非易失性半导体存储器件，其中：

所述器件是闪速 EEPROM，和

在擦除校验中，所述参考单元的栅极电压被设置为相对高于所述存储单元的栅极电压。

7. 如权利要求 5 所述的电可擦可编程非易失性半导体存储器件，其中：

所述存储单元和参考单元的栅极电压之差是通过改变擦除校验和过擦除校验中的所述参考单元的栅极电压同时保持存储单元的栅极电压恒定给出的。

8. 如权利要求 6 所述的电可擦可编程非易失性半导体存储器件，其中：

所述存储单元和参考单元的栅极电压之差是通过改变擦除校验和过擦除校验中的所述参考单元的栅极电压同时保持存储单元的栅极电压恒定给出的。

9. 如权利要求 5 所述的电可擦可编程非易失性半导体存储器件，其中：

所述存储单元和参考单元的栅极电压之差是通过改变擦除校验和过擦除校验中的所述存储单元的栅极电压同时保持参考单元的栅极电压恒定给出的。

10. 如权利要求 6 所述的电可擦可编程非易失性半导体存储器

件，其中：

所述存储单元和参考单元的栅极电压之差是通过改变擦除校验和过擦除校验中的所述存储单元的栅极电压同时保持参考单元的栅极电压恒定给出的。

11. 如权利要求 5 所述的电可擦可编程非易失性半导体存储器件，其中：

所述栅极电压间的相对差被确定为编程时存储单元的阈电压的下限值和擦除时存储单元的阈电压的上限值。

12. 如权利要求 6 所述的电可擦可编程非易失性半导体存储器件，其中：

所述栅极电压间的相对差被确定为擦除阈值分布的宽度。

13. 如权利要求 2 所述的电可擦可编程非易失性半导体存储器件，其中：

所述存储单元和所述参考单元的栅极电压是通过使用电阻分配相同的电源电压确定的。

14. 如权利要求 4 所述的电可擦可编程非易失性半导体存储器件，其中：

所述存储单元和所述参考单元的栅极电压是通过使用电阻分配相同的电源电压确定的。

15. 如权利要求 5 所述的电可擦可编程非易失性半导体存储器件，其中：

所述存储单元和所述参考单元的栅极电压是通过使用电阻分配相同的电源电压确定的。

16. 如权利要求 6 所述的电可擦可编程非易失性半导体存储器件，

其中：

所述存储单元和所述参考单元的栅极电压是通过使用电阻分配相同的电源电压确定的。

非易失性半导体存储器件

技术领域

本发明涉及一种非易失性半导体存储器件，更具体地说，涉及一种电可擦可编程非易失性半导体存储器件，如闪速 EEPROM。

背景技术

近年来，存储的内容用紫外线来擦除的 UVPROM 和存储的内容可用一特殊仪器电重写的 EEPROM(电可擦可编程 ROM)已广为使用。EEPROM 很容易得到且由于它的用户可对它进行电编程而使用很方便，而传统的 ROM，如掩模 ROM 使用结构编程技术，其内容是在制造时作为掩模嵌入的。然而，它的编程和擦除的可靠性一般低于 ROM。换句话说，确保在通过向浮栅充电编程后没有输出存在的程序校验和确保通过从浮栅放电擦除后有一定输出存在的擦除校验变得很重要。

这种非易失性半导体存储器件的一个传统的例子示于图 1。该非易失性半导体存储器件是在日本专利申请公开 No.5-36288(1993)中公开的 EEPROM。存储单元晶体管 TC00 等的读输出通过 Y-栅极晶体管部分 B2 引到负载晶体管部分 B4，哑晶体管 TRD0 等的读输出通过部件 B3 引到哑负载晶体管部分 B5。

负载晶体管部分 B4，哑负载晶体管部分 B5 和差动放大器 B6 组成一读出放大器。当断电信号线 PD 在操作中变为“L”时，差动放大器 B6 输出放大的来自负载晶体管部分 B4 的输入 IN1 和来自哑负载晶体管部分 B5 的输入 IN2 之间的差。在哑负载晶体管部分 B5 中，两个哑负载晶体管 TL1 和 TL2 并联连接于电源电压 Vcc 和哑晶体管 TRD0 等的输出之间。因此，哑负载晶体管 TL1 和 TL2 的等效电阻值是在负载晶体管部分 B4 侧的负载晶体管 TL0 的等效电阻值的一半。这里，由于存储

单元晶体管 TC00 和哑晶体管 TRD0 的栅极被连接在同一字线 X0 上，它们具有相同的电流驱动功率。而且，由于在栅极电压控制电路 B7 中，读出条信号线#R 为“L”，同样提供给参考晶体管 TR。因此，输入 IN2 输出一中间电压，位于当 IN1 是读出“1”和当 IN1 是读出“0”之间，这意味着向差动放大器 B6 提供了适当的参考电压。同时，“0”意味着编程，而“1”意味着擦除。

接着，在程序校验中，由于读出条信号线#R 变成“H”，参考晶体管栅极线 XR 提供有由晶体管 TG0 和下拉侧 TG1 等的比率确定的一低电压。因此，由于具有比存储单元晶体管 TCD0 低的栅极电压，参考晶体管 TR 具有低电流驱动功率。因此输入 IN2 变成一接近于读出“0”时的电压值，而不是上述的当 IN1 为读出“1”和 IN1 为读出“0”时之间的中间电压。这样，判断编程为“0”的数据的标准变得严格起来，从而保证能引导充分编程。

然而，在上述传统的非易失性半导体存储器件中，参考晶体管 TR 的阈电压并不是在制造过程中精确地嵌入的，在程序校验中，参考晶体管栅极线 XR 的电压是由许多象晶体管 TR0，TG1 等元件确定的。即使在校验中，哑负载晶体管 TL1 和 TL2 保持并联连接，它的电阻是负载晶体管 TL0 的一半。而且，在校验中，参考电流的值也很小。因此，如图 2(引自日本专利申请公开 No.5-36288(1993))所示，它操作于一个区域，其中参考晶体管 TR 的电流对电压曲线的斜率平缓，又与工作点有较大的偏离。因此，问题在于程序校验中的判断条件就比读出时的粗糙，且缺乏精度。

这个问题对于擦除是由紫外线支持下进行的一般的 EEPROM 来说可能并不重要。然而，随着最近个人计算机和手机的普及，对于已急速地用于便携运用领域中的闪速 EEPROM 来说，问题就很严重。即，闪速 EEPROM 的擦除是仅通过电方法而没有紫外线支持下进行的，因此需要使用适合需要的器件结构。这样擦除的偏差增加，且在擦除中出现

不均匀，而这在紫外线擦除中是不会看到的。因此有必要精确地进行程序校验。而且，在擦除校验外，也需要进行过擦除校验。

发明内容

因此，本发明的目的是提供一种非易失性半导体存储器件,在校验EEPROM中可精确设置参考电平。

本发明的另一目的是提供一种易失性半导体存储器件，可精确进行闪速EEPROM所需的严格的校验。

本发明的另一目的是提供一种非易失性半导体存储器件，它能使用简单的器件组成实现上述目的。

根据本发明，提供了一种电可擦可编程非易失性半导体存储器件，其中：

数据是通过由读出放大器比较存储单元的输出和参考单元的输出而读出的；

在时钟电路控制下，读出放大器将其输出通过比较器提供给校验控制电路；

校验控制电路控制时钟电路和校验电压开关，校验电压开关将校验电压提供给行译码器和参考单元；

行译码器将校验电压施加于选定的存储单元栅极，参考单元将校验电压施加于参考单元栅极；

参考单元是嵌入的，因此，它具有给定的阈电压值，和

存储单元的栅极电压和参考单元的栅极电压允许独立设置。

在本发明中，参考单元的阈电压是在参考单元制造过程中嵌入的，因此具有较精确的值。该值被设置为用于擦除同一芯片中存储单元的阈电压的上限值。而且参考单元仅有一个，它的栅极电压可独立于存储单元的栅极电压而设置。读出放大器的灵敏度在校验中是对称的。因

此，用简单的器件组成，可精确地进行校验，有助于增强闪速 EEPROM 的可靠性。

附图说明

结合附图更详细描述本发明，其中：

图 1 是示出了传统的非易失性半导体存储器件的电路图；

图 2 是曲线图，示出了图 1 中的器件在读和校验中的参考晶体管的电流-栅极电压曲线；

图 3 是示出了本发明构思的示意图；

图 4 是图解，示出了闪速 EEPROM 的阈电压分布；

图 5 是示出了 EEPROM 的程序校验的流程图；

图 6 是示出了闪速 EEPROM 的擦除校验和过擦除校验的流程图；

图 7 是曲线图，示出了本发明中读和校验中参考晶体管的电流-栅极电压曲线；

图 8 是示出了本发明的一优选实施例的非易失性半导体存储器件的电路图；

图 9 是示出了图 8 中的器件的主要部分的实例的电路图，以及

图 10 是示出了图 8 中的器件非易失性半导体存储器件另一实例的电路图。

具体实施方式

下面描述本发明的优选实施例。

本发明的优选实施例的非易失性半导体存储器件的特征在于参考单元是嵌入的，因此它具有给定的阈电压值，且允许存储单元的栅极电压和参考单元的栅极电压独立设置。

下面参考附图解释本发明的优选实施例。

首先，简单介绍 EEPROM 中的程序校验和擦除校验，以及闪速

EEPROM 中的过擦除校验。众所周知，在 EEPROM 中，编程是通过向浮栅充电实施的，擦除是通过电方法从浮栅放电实施的。然而，从制造的原因看，编程中的存储单元(OFF 单元)和擦除中的存储单元(ON 单元)的阈电压呈现出如图 4 所示的通常分布的分散。图 4 中的横轴代表存储单元的数目。出现这种分散的原因主要在于施加到控制栅的电压或应用时间的分散，或是栅极氧化膜的薄膜厚度或栅极大小的分散引起注入浮栅或从浮栅提取的电子数量分散。

因此，为获得高可靠性的 EEPROM，有必要实施程序校验，来验证编程中存储单元的阈电压高于下限值(程序校验电平)，实施擦除校验，来验证擦除后的存储单元的阈电压低于上限值(擦除校验电平)。对于近几年来快速普及的闪速 EEPROM，程序校验和擦除校验需要比一般 EEPROM 更为精确地进行，如前所述。而且，对于闪速 EEPROM，过擦除校验也是必要的。过擦除意味着过度擦除，会引起由于从浮栅过度放电，即使当存储单元属于耗尽型，既，即使当栅极电压是 0V 时，还有漏电流流过，从而即使当存储单元实际上没被选中时，还把它当作被选中来判定。因此，过擦除校验需要验证擦除后存储单元的阈电压高于下限值(过擦除校验电平)。

图 5 是程序校验的流程图，图 6 是擦除校验和过擦除校验的流程图。在图 6 中，在擦除前，所有的存储单元需要被暂时编程。这是因为在存储“0”的存储单元和存储“1”的存储单元之间注入到浮栅的电子数量是不同的，因此当这些单元擦除时一个单元成为过擦除。之后，进行擦除，接着进行校验。当在过擦除校验中检测到过擦除时，通过向浮栅充一些电荷实施重编程，以恢复它。

如上所述，应予理解，在闪速 EEPROM 中，需要三种校验电平。在每次校验中，存储单元的栅极电压和参考单元的栅极电压之间在大小上的相互关系很重要。现在，假定用于存储单元的程序校验，擦除校验和过擦除校验的栅极电压分别是 V_{MW}，V_{ME} 和 V_{MR}，用于参考单元的程

序校验，擦除校验和过擦除校验的栅极电压分别是 V_{RW}，V_{RE} 和 V_{RR}。如果简单给定 $V_{MW}=V_{ME}=V_{MR}$，考虑先前描述的每个校验方法，可认为要建立 V_{RW}〈V_{RE}〈V_{RR}。既，当参考存储单元的栅极电压时，存储单元的栅极电压和参考单元的栅极电压之间的相对差按程序校验，擦除校验和过擦除校验的顺序增加。当参考参考单元的栅极电压时，顺序刚好相反。

在任何情况下，都需要具有与存储单元的栅极电压不同的相对差的三个参考单元。然而，由于花费时间较长，在制造过程中很难精确地嵌入阈值。因此，在本发明中，仅提供一种实际参考单元，其余两个想象地提供于实际参考单元之上。这样，存储单元和参考单元的栅极电压就能独立设置了。而且，要赋予实际参考单元的阈电压以更为精确的擦除校验电平。

而且，在本发明中，从上述原因看，读出放大器在校验中构造为对称的，其中，哑负载晶体管 TL1 和 TL2 不象图 1 所示的那样同时操作(运行)。因此，不会发生参考单元晶体管的电流对栅极电压的曲线斜率比图 2 所示的存储单元晶体管的曲线斜率平缓的现象。图 7 示出了存储单元晶体管的电流对栅极电压曲线(虚线)和擦除校验中参考单元晶体管的电流对栅极电压曲线(右侧的实线)，和程序校验中参考单元晶体管的电流对栅极电压曲线(左侧的实线)。在图 7 中，所有的斜率都是相同的，因此，可以理解在存储单元侧和参考单元侧读出放大器的灵敏度是相同的。

在上述条件下，在擦除校验中，允许存储单元的栅极电压等于参考单元的栅极电压。这是因为，由于阈电压被精确地嵌入为擦除校验电平，可从具有图 4 所示的正常分布的 ON 存储单元确实获得输出，而且因为读出放大器的灵敏度是相同的。

图 8 是一方块图，示出了根据本发明的优选实施例中的非易失性

半导体存储器件。该器件由一存储器阵列 101 组成，包括：一组闪速存储单元；从存储单元阵列 101 选择特定存储单元的行译码器 102；列译码器 103；列选择器 104；包括一个参考单元的参考单元阵列 105；比较存储单元输出和参考单元输出的读出放大器 107；控制读出放大器 107 的时钟电路 108；对读出放大器 107 的输出 DOUT 进行校验判断并输出校验判断结果的比较器 109；根据操作模式信号切换校验电压并将它提供到行译码器 102 和参考单元 105 的校验电压开关电路 111；将一内部高电压 Vpp 馈给校验电压开关电路 111 的高压发生电路 112；以及控制校验电压开关电路 111 和时钟电路 108 的校验控制电路 110。同时，图 8 示出了对存储单元阵列 101 进行校验所必需的电路，仅用于正常操作的电路未显示。

当进行存储单元阵列 101 的校验时，校验控制电路 110 根据校验程序输出，例如，校验信号，程序模式信号，擦除模式信号，过擦除模式信号等。同时，自不待言象图 5 和 6 所示的那样，编程是在程序校验前实施的，擦除是在擦除校验和过擦除校验之前实施的。校验电压开关电路 111 响应于这些信号，从高压发生电路 112 的内部高压 Vpp 对每次校验产生一必要的校验信号，并将它提供给行译码器 102 和参考单元阵列 105。行译码器 102 将校验电压施加于选定的存储单元栅极，参考单元阵列 105 将校验电压施加于参考单元栅极。

尽管没有在图 8 中示出，存储单元的选择是通过切换地址信号到行译码器 102，列译码器 103 和列选择器 104 而对存储单元阵列 101 中的所有存储单元进行的。另一方面，对所有存储单元来说仅有一个参考单元。

读出放大器 107 响应于从时钟电路 108 来的读出放大器控制信号比较存储单元的输出和参考单元的输出，读出放大器输出 DOUT 送到比较器 109 中的校验判断。在程序校验中，当存储单元阵列 101 中一特定存储单元(对应于事先编程指派的地址)的电流小于参考单元的电流时，

确定校验判断结果为好。而在擦除校验中，当每个存储单元的电流都大于参考单元的电流时，确定校验判断结果为好。在过擦除校验中，当每个存储单元的电流都小于参考单元的电流时，确定校验判断结果为好。同时，当判断为失败时，执行重编程，重复过擦除校验直至达到高于过擦除电平。

这些校验判断结果被输入到校验控制电路 110，由校验控制电路 110 存储校验其判断结果，这个结果可在 CRT 上显示并可输出到打印机。

图 9 示出了图 8 中主要部分的一个特定例子的详细组成。存储单元阵列 101 是由一(m+1)行x(n+1)列的存储单元 441 矩阵组成，它们是闪速存储单元。为选择字线 WLo 至 WLm 之一，提供了从行译码器 102 来的栅极电压。标号 442 和 443 指的是从校验电压开关电路 111 向字线 WLo 至 WLm 提供校验电压的晶体管，它们是行译码器 102 的最后一级。通过列选择器 104 选择位线 BLo 至 BLn 之一。最后，由半选字线和位线全选择的存储单元 441 的输出被输入到读出放大器 107。

另一方面，参考单元阵列 105 是由以下组成的：一个参考单元 445，其阈电压是被精确嵌入的；m 个存储单元 446，其漏极连接到与参考单元相同的线上，栅极接地；晶体管 447 和 448，从校验电压开关电路 111 向参考单元 445 的栅极提供校验电压。同时，设置 m 个存储单元 446，使得位线 BLo 至 BLn 和参考单元 445 的参考线具有相同的浮动电容，以提高读操作。

读出放大器 107 将存储单元 441 的输出电流转换为差动放大器 401 左侧的电压的存储器电压发生电路 431 和将参考单元 445 的输出电流转换为电压差动放大器 401 右侧的参考电压发生电路 106 组成。差动放大器 401 将存储器电压发生电路 431 的电流电压转换器输出 VDi 和参考电压发生电路 106 的电流电压转换器输出 VREF 之间的电压差放大，将它

作为读出放大器的输出 DOUT 输出。

这里，在正常操作中，从参考电压发生电路 106 来的校验信号 VERIFY 为不允许(低电平)，使 PMOS 晶体管 417 导通，从而使两个 NMOS 晶体管 412 变为并联连接。在校验中，校验信号为允许，使 PMOS 晶体管 417 关闭，从而使存储器电压发生电路 431 的组成等同于参考电压发生电路 106，读出放大器 107 变成对称的。

结果，在正常操作中的读出放大器 107 的参考电压 VREF 变成校验中的一半。这样，通过将存储单元 441 和参考单元 445 的栅极电压设置为相等，在正常操作中，读出放大器 107 的参考电平设置为读“1”时存储单元的输出和读“0”时存储单元的输出之间的中间值。另一方面，在校验中，判断存储单元阈值是高于还是低于给定电平。由于阈电压很难测量，可比较当向栅极施加特定电压时的电流。例如，在程序校验中，如果流过存储单元的电流(图 7 中的虚线)小于(图 7 中的虚线“0”，ΔIb)参考电流(图 7 中右侧实线)，可确定它大于给定阈值(ΔVb)。如果电流大于(图 7 中的虚线“1”，ΔIa)参考电流，可确定它小于给定阈值(ΔVa)。当一电压读出型读出放大器用于该实施例时，通过将存储器电压发生电路 431 和参考电压发生电路 106 设置为具有相同电流-电压转换率，可给出与上面通过电流进行比较相同的判断。

再有，图 7 中左侧实线是为参考单元所设置的擦除校验的参考特征曲线。当向参考单元 445 的栅极施加电压 VW_{REF} 时，电流 IREF 流过。而且，当将电压 VW 施加于存储单元 441 的栅极时，如果存储单元为程序校验电平，电流 IREF 流过。这里，将电压 VW 设置为：VW－VWref＝(程序校验电平)-(擦除校验电平)。通过这样设置，即使没有提供程序校验的参考单元，也可用擦除校验电平的参考单元来判断程序校验电平。

同时，响应于时钟电路 108 的读出放大器允许信号 SAE，读出放

大器 107 启动，具有标号 420 和 421 的部分是向存储单元阵列 101 和参考单元阵列 105 提供低恒定电压的电路。

校验电压开关电路 111 由以下组成：四个电阻 461 至 464，用于将来自高压发生电路 112 的内部高电压 Vpp 分成 V1，V2 和 V3；三个与非门 471，472 和 474；反相器 473；和 4 个 PMOS 晶体管 451 至 454。当校验信号 VERIFY 为允许时，通过反相器 473 和 PMOS 晶体管 453 将电压 V2 提供给参考单元阵列 105。

当程序校验信号 PG 为允许时，电压 V3 被提供给存储单元阵列 101，当擦除模式信号 ER 为允许时，电压 V2 被提供给其上，而当过擦除模式信号 DP 为允许时，电压 V1 被提供给其上。既，在每个校验模式中，向参考单元阵列 105 施加相同的电压 V2，根据模式不同，向存储单元阵列 101 施加三种电压 V1，V2 和 V3。在擦除校验中，向存储单元阵列 101 和参考单元阵列 105 施加相同电压 V2。

这里，假定参考单元 445 的阈电压为 V_{TM}，图 4 中 OFF 和 ON 单元的阈电压分别是 V_F 和 V_N，在程序校验，擦除校验和过擦除校验中，可建立下列各表达式：

$f(V_1-V_F)〈F(V_2-V_{TM})$

$f(V_2-V_N)〉F(V_2-V_{TM})$

$f(V_3-V_N)〈F(V_2-V_{TM})$

其中，给出 f(X)为：$Ip=f(Vc-V_{TM})$

现在，假定 V_{TM}=3[V]，阈电压 V_F(程序校验电平)的最小值是 6[V]，阈电压 V_N(擦除校验电平)的最大值和最小值分别是 3[V]和 1[V]，计算如下：

$V_{1-6}=V_{2-3}$ $\therefore V_1=V_{2+3}$

$V_{2-3}=V_{2-3}$

$V_{3-1}=V_{2-3}$ $\therefore V_2=V_{3+2}$

因此，例如，当 V_2=5[V] 时，可得 V_1=8[V]和 V_3=3[V]。

在该例中，在擦除校验中，存储单元 441 的栅极电压 V_1 是 4[V]，等于参考单元 455 的栅极电压。这是因为根据当高于阈电压 V_{TM}=3[V]的栅极电压 1[V]施加于参考单元 445 时，可证实 ON 单元的阈电压 V_N 是否低于擦除校验电平(=V_{TM})。

在程序校验中，参考单元 445 的栅极电压 V_3 是 1[V]，而存储单元 441 的栅极电压 V_2 是 4[V]。其差，3[V]等于程序校验电平 6[V]和擦除校验电平 3[V]之差。这是因为，即使对于进行了最严格编程和阈电压 VF 最小的 OFF 单元，当它移为 ON 单元时，还是能够保证 3[V]的余量。

而且，在擦除校验中，存储单元 441 的栅极电压 V_2 为 4[V]，而参考单元 445 的栅极电压 V_1 是 6[V]。差值等于擦除校验电平 3[V]和过擦除校验电平 1[V]之间的差 2[V]。这是因为，这样可以确认参考单元 445 的输出电流高于所有从阈电压为擦除电平(等于参考单元 445 阈电压)3[V]的单元到阈电压为过擦除电平(被擦除阈值分布降低了)1[V]的单元的存储单元 441 的输出电流。

尽管在图 9 中的实例中，参考单元 445 的栅极电压在所有校验模式中都是恒定的，本发明并不局限于该例。当得到存储单元 441 栅极电压和参考单元 445 的栅极电压之间的上述相互关系后，电压 V_1，V_2 和 V_3 可设有各种值。

尽管为避免附图的复杂而未显示，图中还包括用于切换的装置，使正常操作中向存储单元 441 和参考单元 445 提供相同的栅极电压。

图 10 示出了另一实例。在擦除校验中，存储单元 441 和参考单元 445 的栅极电压都设置为 V_3=4[V]。在程序校验中，存储单元 441 的栅

极电压设置为 V_1=7[V]，参考单元 445 的栅极电压设置为 V_1=4[V]。再有，在过擦除校验中，存储单元 441 的栅极电压设置为 V_3=4[V]，参考单元 445 的栅极电压设置为 V_2=6[V]。

在该例中，象图 9 中的例子一样，在擦除校验中，存储单元 441 的栅极电压等于参考单元 445 的栅极电压。在程序校验中，存储单元 441 的栅极电压设置得高于参考单元 445 的栅极电压，差值为程序校验电平和擦除校验电平之差。在过擦除校验中，参考单元 445 的栅极电压高于存储单元 441 的栅极电压，高出擦除阈值分布的宽度。

图 3 示出了第二实例的概要，参考图 3 和示出 OFF 单元和 ON 单元的阈电压分布的图 4，更易理解栅极电压值的意义。

尽管在该实施例中，仅显示了正电压的电路组成，本发明可应用于具有正、负电源的非易失性半导体存储器件。

尽管为完整和清晰地说明，已根据特定实施例描述了本发明，所附权利要求书并不局限于此，而应理解，实施本领域技术人员可作出的所有改进和替代的结构都将完全落入本文所述的基本指教的范围。

图1 现有技术

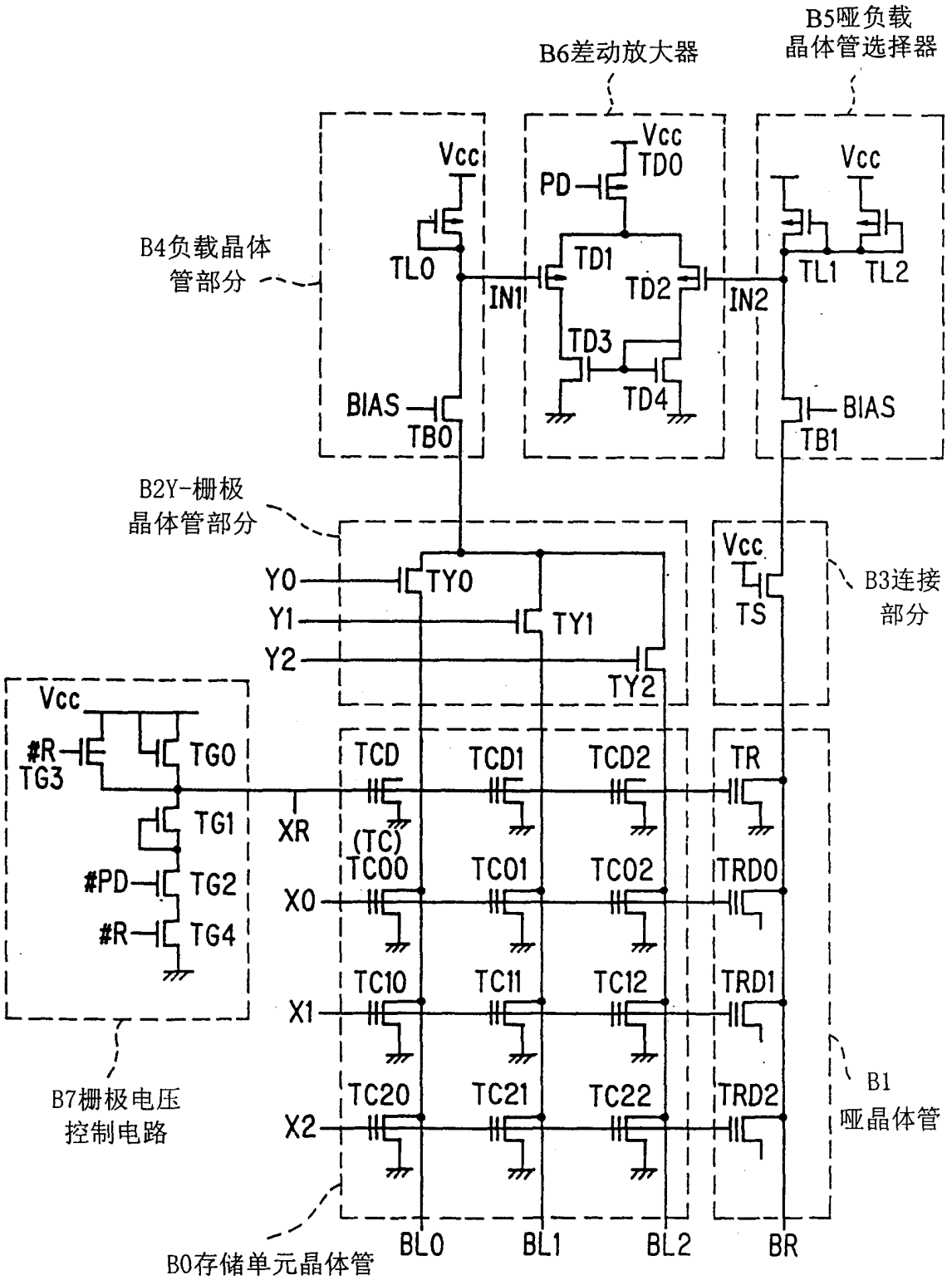

B5哑负载
晶体管选择器
B6差动放大器
Vcc
TD0
PD
Vcc
Vcc
B4负载晶体
管部分
TL0
TD1
TD2
TL1
TL2
IN1
IN2
TD3
TD4
BIAS
TB0
BIAS
TB1
B2Y-栅极
晶体管部分
Vcc
TS
B3连接
部分
Y0
TY0
Y1
TY1
Y2
TY2
Vcc
#R
TG3
TG0
TCD
TCD1
TCD2
TR
TG1
XR
(TC)
TC00
TC01
TC02
TRD0
#PD
TG2
X0
#R
TG4
TC10
TC11
TC12
TRD1
X1
B1
哑晶体管
TC20
TC21
TC22
TRD2
X2
B7栅极电压
控制电路
BL0
BL1
BL2
BR
B0存储单元晶体管

图2 现有技术

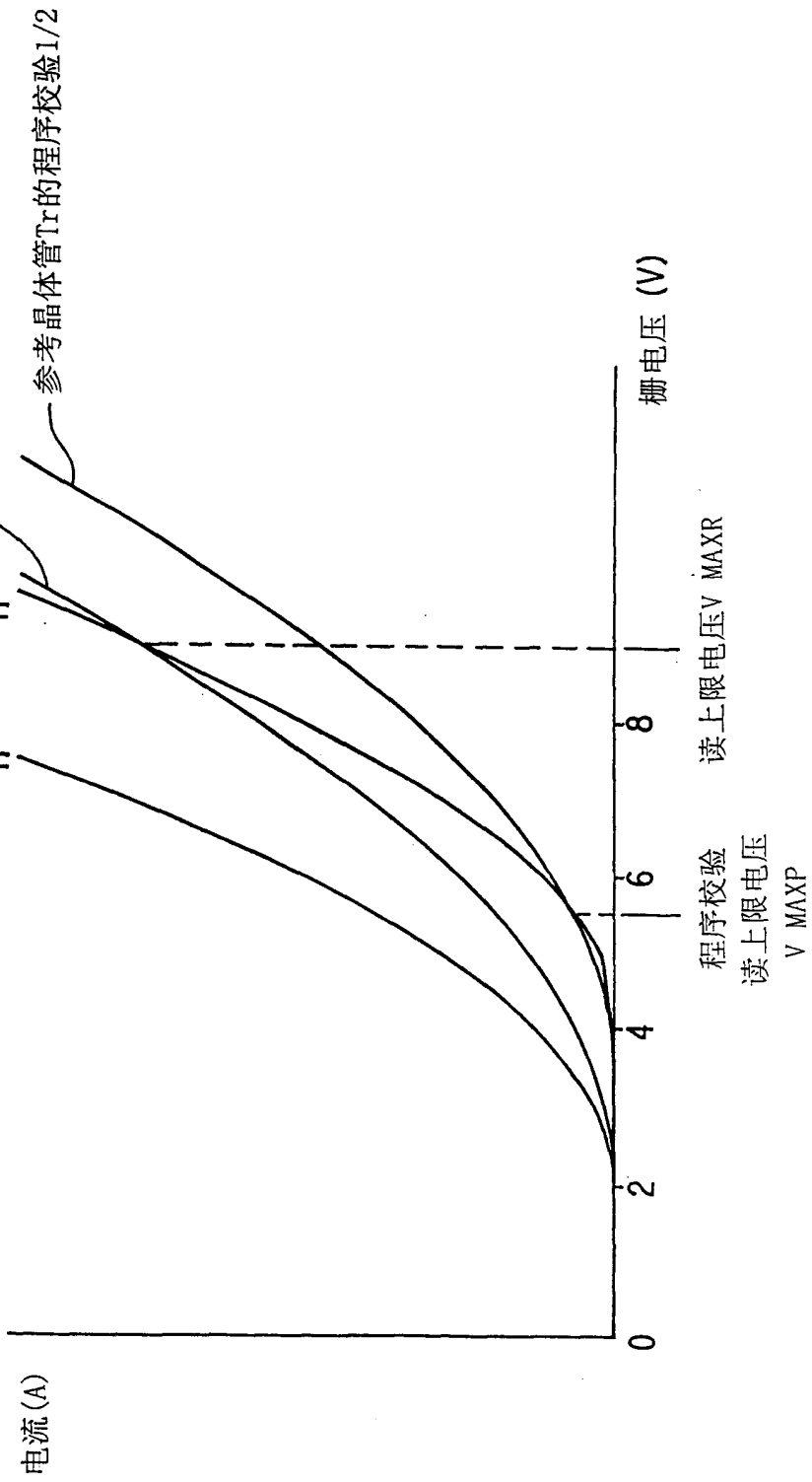

电流(A)
数据 "1" Tr
数据 "0" Tr
参考晶体管Tr的读出1/2
参考晶体管Tr的程序校验1/2
0
2
4
6
8
栅电压 (V)
程序校验
读上限电压
V MAXP
读上限电压V MAXR

图3

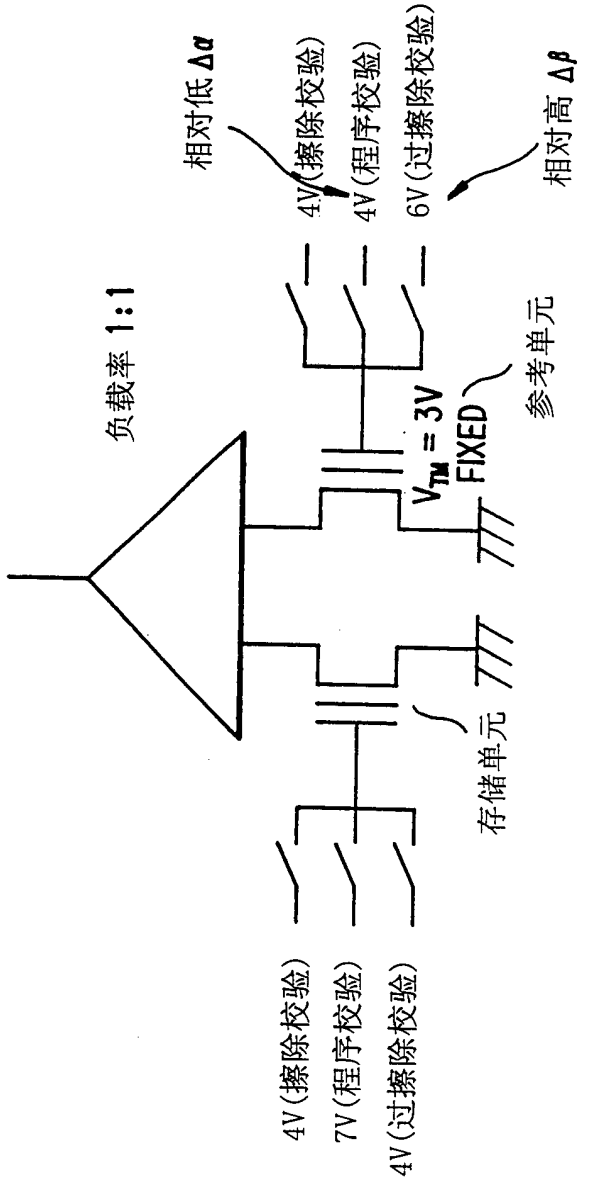

相对低 Δα
负载率 1:1
4V(擦除校验)
4V(程序校验)
6V(过擦除校验)
相对高 Δβ
V_{TM} = 3V
FIXED
参考单元
存储单元
4V(擦除校验)
7V(程序校验)
4V(过擦除校验)

图4

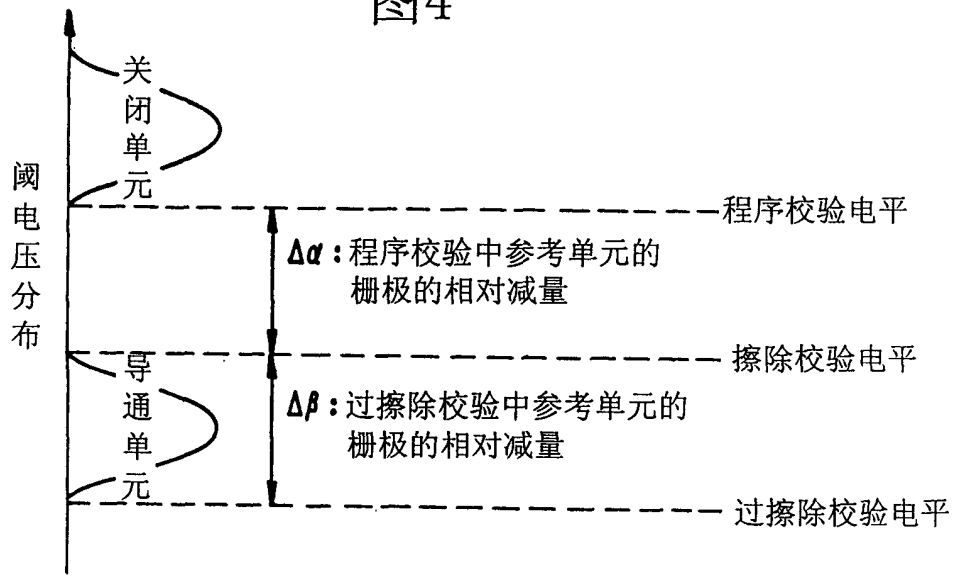

关闭单元
阈电压分布
程序校验电平
Δα：程序校验中参考单元的栅极的相对减量
擦除校验电平
导通单元
Δβ：过擦除校验中参考单元的栅极的相对减量
过擦除校验电平

图5

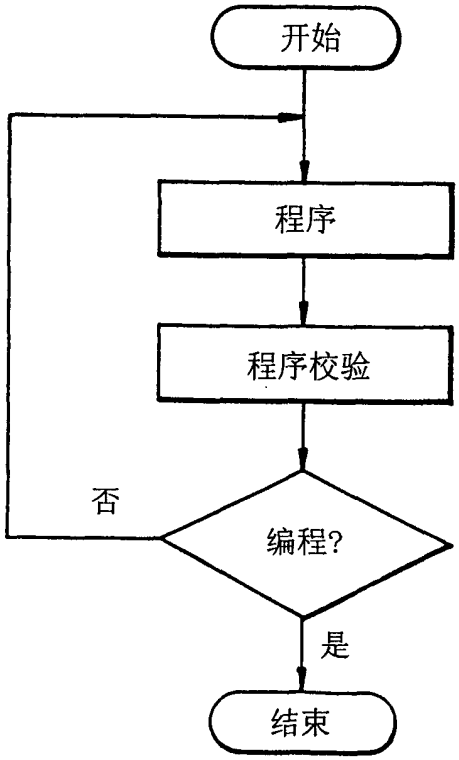

开始
程序
程序校验
否
编程?
是
结束

图6

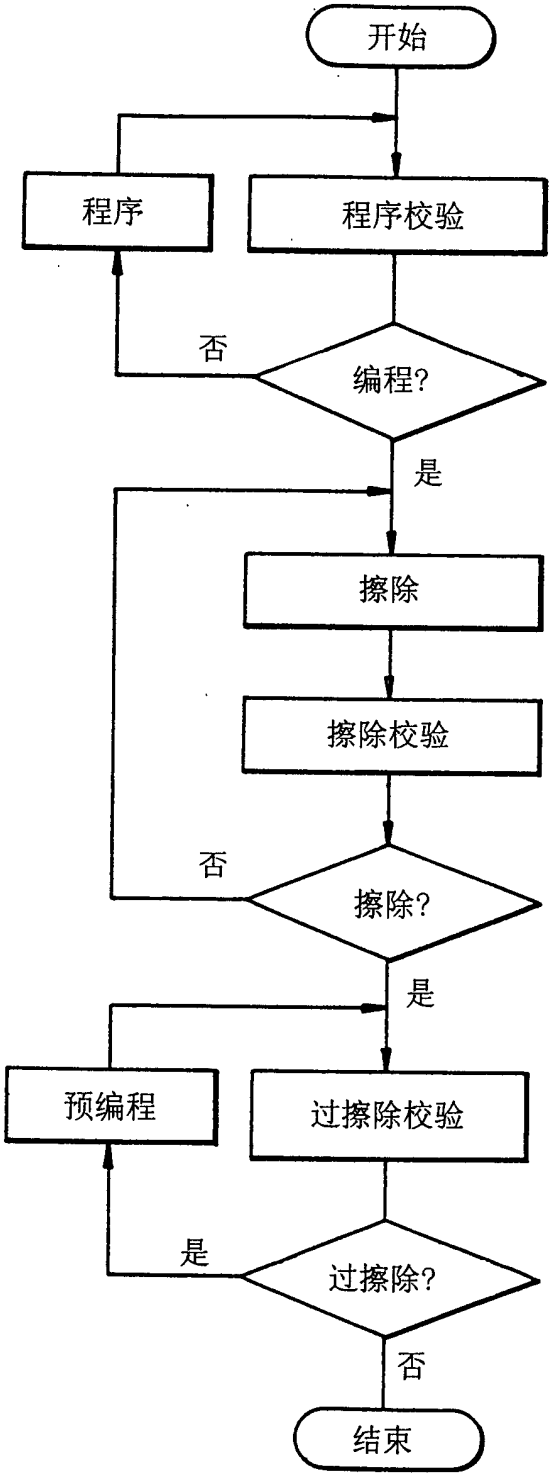


图7

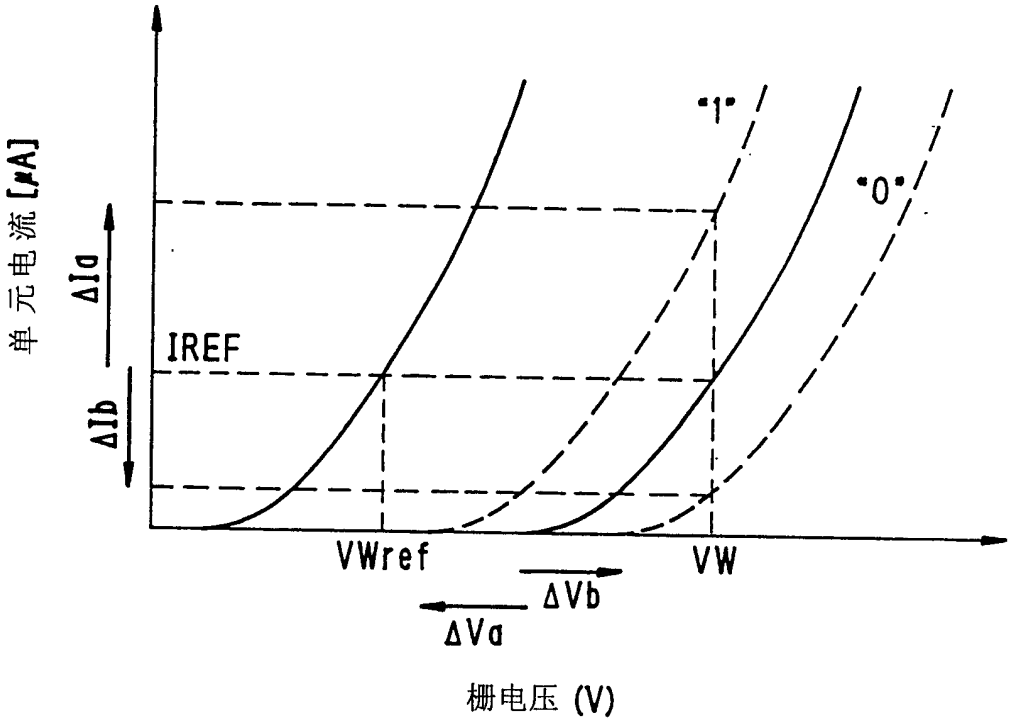
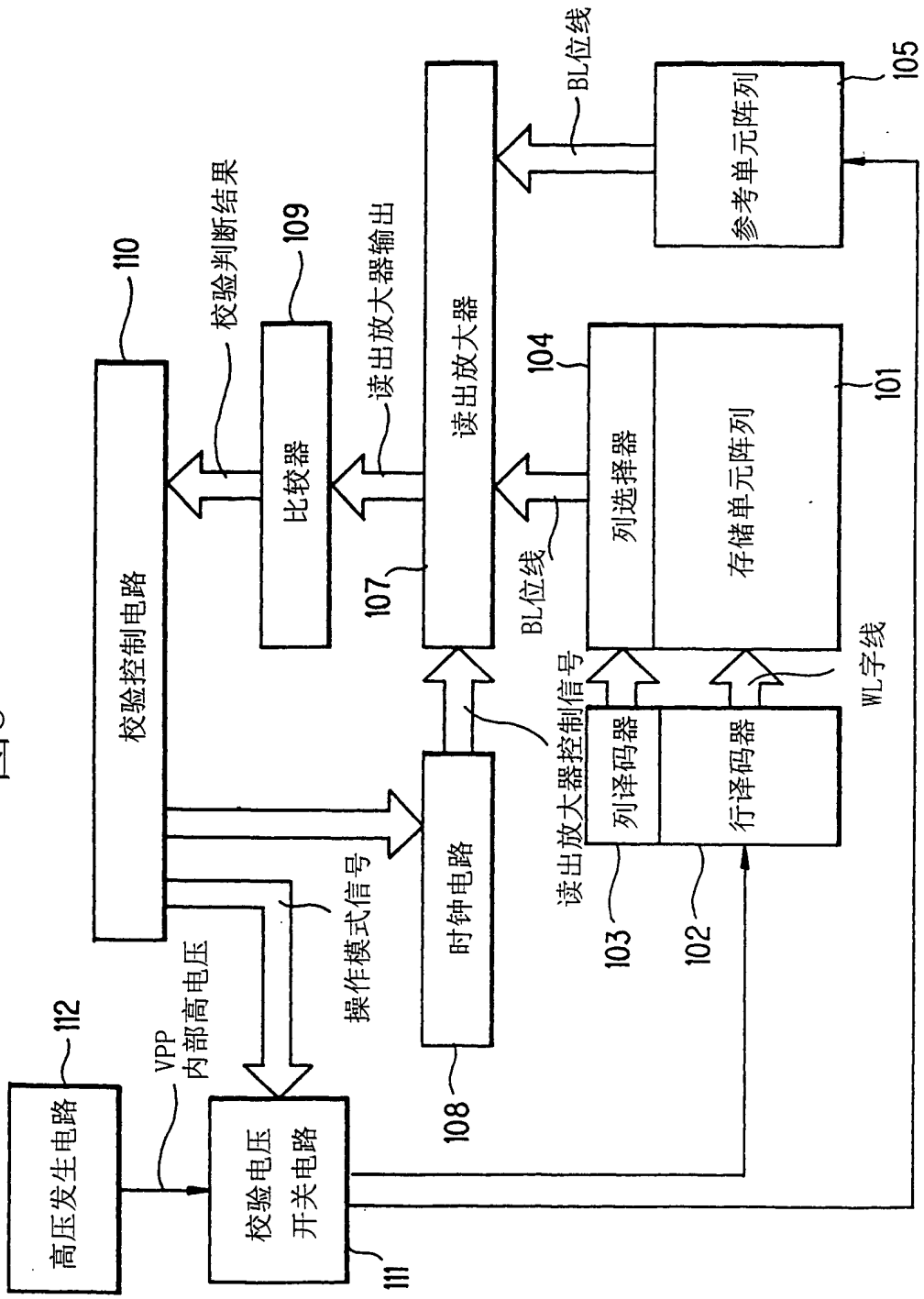


图8


高压发生电路
112
VPP
内部高电压
校验电压
开关电路
111
操作模式信号
校验控制电路
110
校验判断结果
比较器
109
读出放大器输出
读出放大器
107
BL位线
参考单元阵列
105
BL位线
列选择器
104
存储单元阵列
101
WL字线
读出放大器控制信号
列译码器
103
行译码器
102
时钟电路
108

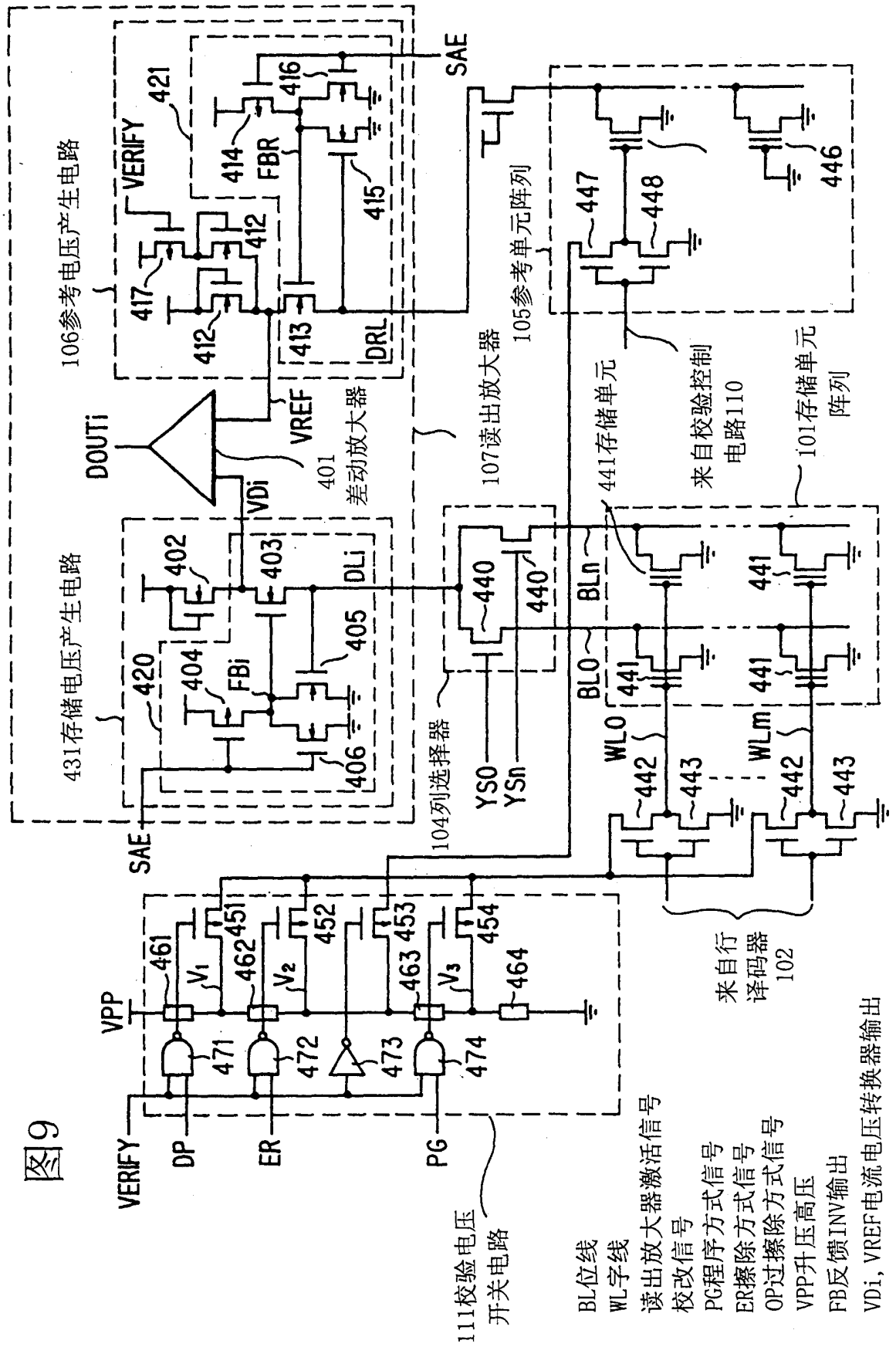
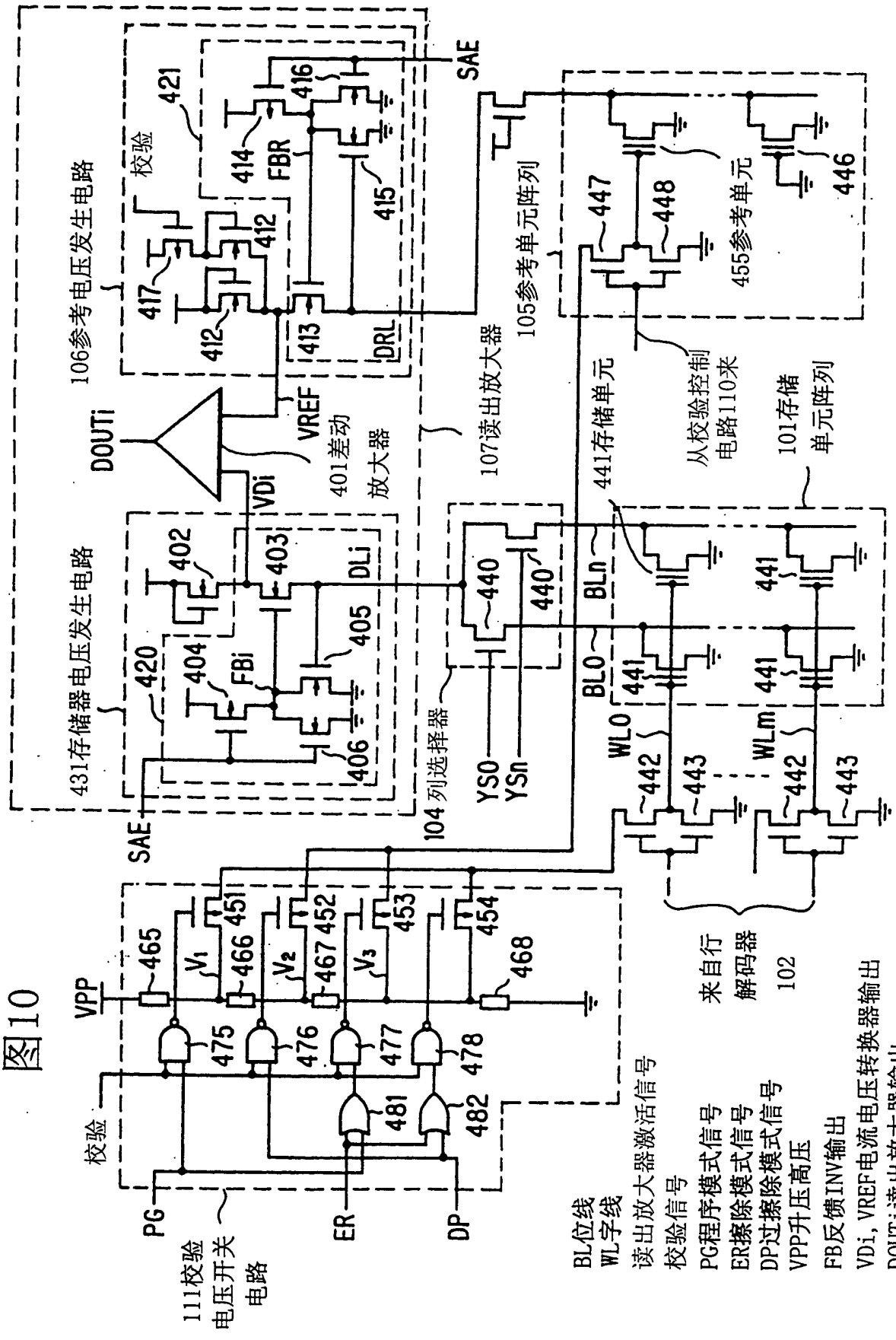

106参考电压产生电路
431存储电压产生电路
401
差动放大器
107读出放大器
105参考单元阵列
441存储单元
来自校验控制
电路110
101存储单元
阵列
104列选择器
来自行
译码器
102
111校验电压
开关电路
VERIFY
DP
ER
PG
VPP
SAE
DOUTi
VDi
VREF
DRL
FBR
FBi
DLi
YS0
YSn
BL0
BLn
WL0
WLm
BL位线
WL字线
读出放大器激活信号
校改信号
PG程序方式信号
ER擦除方式信号
OP过擦除方式信号
VPP升压高压
FB反馈INV输出
VDi，VREF电流电压转换器输出
DOUTi读出放大器输出

图9

图10


106参考电压发生电路
校验
421
414
FBR
416
SAE
417
412
412
413
415
DRL
DOUTi
VREF
VDi
401差动
放大器
107读出放大器
105参考单元阵列
447
448
446
455参考单元
441存储单元
从校验控制
电路110来
101存储
单元阵列
431存储器电压发生电路
402
403
DLi
DLi
420
404
FBi
405
406
104 列选择器
440
440
BLn
BL0
441
441
441
441
YS0
YSn
WL0
WLm
442
442
443
443
SAE
VPP
465
451
V1
466
452
V2
467
453
V3
454
468
475
476
477
478
481
482
校验
PG
ER
DP
111校验
电压开关
电路
BL位线
WL字线
读出放大器激活信号
校验信号
PG程序模式信号
ER擦除模式信号
DP过擦除模式信号
VPP升压高压
FB反馈INV输出
VDi，VREF电流电压转换器输出
DOUTi读出放大器输出
来自行
解码器
102