

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月15日(15.09.2022)



(10) 国際公開番号

WO 2022/190702 A1

(51) 国際特許分類:
H03K 19/0185 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/003479

(72) 発明者: 宮崎 大輔 (MIYAZAKI Daisuke);
〒2430014 神奈川県厚木市旭町4丁目14
-1 ソニーセミコンダクタソリューショ
ンズ株式会社内 Kanagawa (JP).

(22) 国際出願日: 2022年1月31日(31.01.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-036491 2021年3月8日(08.03.2021) JP

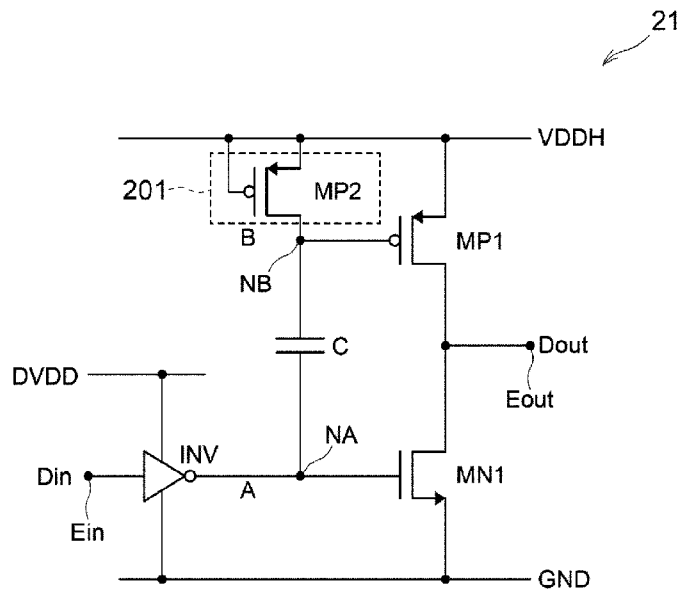
(74) 代理人: 中村 行孝, 外 (NAKAMURA Yukitaka
et al.); 〒1000005 東京都千代田区丸の内1
丁目6番6号 日本生命丸の内ビル 協和
特許法律事務所 Tokyo (JP).

(71) 出願人: ソニーセミコンダクタソリューシ
ョンズ株式会社 (SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: LEVEL SHIFT CIRCUIT AND ELECTRONIC DEVICE

(54) 発明の名称: レベルシフト回路及び電子機器



(57) Abstract: [Problem] To reduce power consumption. [Solution] This level shift circuit is provided with two transistors of different conductivity types, connected in a cascode connection between two reference voltages having different voltage levels, a signal input unit that supplies, via a capacitor, an input signal having a high or a low voltage level to at least one of two control terminals of each of the two transistors, and an impedance unit that biases the voltage level of the control terminal to which the input signal is supplied via the capacitor to a predetermined voltage level.

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: [課題] 消費電力を削減する。[解決手段] レベルシフト回路は、異なる電圧レベルを有する2つの基準電圧の間でカスコード接続され、導電型の異なる2つのトランジスタと、前記2つのトランジスタがそれぞれ有する2つの制御端子の少なくとも一方に、ハイレベル又はローレベルの電圧レベルを有する入力信号を、キャパシタを介して供給する信号入力部と、前記キャパシタを介して前記入力信号が供給される前記制御端子の電圧レベルを、所定の電圧レベルにバイアスするインピーダンス部と、を備える。

明 細 書

発明の名称： レベルシフト回路及び電子機器

技術分野

[0001] 本開示による実施形態は、レベルシフト回路及び電子機器に関する。

背景技術

[0002] レベルシフト回路は、入力信号の電圧レベルを変換した信号を出力する。
レベルシフト回路の構成の一例として、クロスカップル構成を用いることが知られている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開平4－97616号公報

特許文献2：特開2004－242084号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、クロスカップル構成では、入力信号の電圧レベルが変化するタイミングにおいて貫通電流が流れるため、消費電力が増加するという問題がある。

[0005] そこで、本開示では、消費電力を削減することができるレベルシフト回路及び電子機器を提供するものである。

課題を解決するための手段

[0006] 上記の課題を解決するために、本開示によれば、
異なる電圧レベルを有する2つの基準電圧の間でカスコード接続され、導電型の異なる2つのトランジスタと、
前記2つのトランジスタがそれぞれ有する2つの制御端子の少なくとも一方に、ハイレベル又はローレベルの電圧レベルを有する入力信号を、キャパシタを介して供給する信号入力部と、
前記キャパシタを介して前記入力信号が供給される前記制御端子の電圧レ

ベルを、所定の電圧レベルにバイアスするインピーダンス部と、を備える、
レベルシフト回路が提供される。

[0007] 前記インピーダンス部は、前記キャパシタを介して前記入力信号が供給される前記制御端子を有する前記トランジスタの前記基準電圧の電圧レベルに基づいてバイアスしてもよい。

[0008] 前記インピーダンス部は、前記キャパシタを介して前記入力信号が供給される前記制御端子と、前記キャパシタを介して前記入力信号が供給される前記制御端子を有する前記トランジスタの前記基準電圧と、の間に接続されてもよい。

[0009] 前記インピーダンス部は、所定値以上のインピーダンスを有してもよい。

[0010] 前記2つのトランジスタは、

第1基準電圧側の第1トランジスタと、

前記第1基準電圧とは異なる電圧レベルを有する第2基準電圧側の第2トランジスタと、を含み、

前記信号入力部は、前記キャパシタを介して前記第1トランジスタの第1制御端子に前記入力信号を供給するとともに、前記キャパシタを介することなく前記第2トランジスタの第2制御端子に前記入力信号を供給し、

前記インピーダンス部は、前記第1制御端子の電圧レベルを、所定の電圧レベルにバイアスしてもよい。

[0011] 前記入力信号のハイレベル及びローレベルのいずれか一方は、前記第1基準電圧及び前記第2基準電圧のいずれか一方の電圧レベルと同じであってもよい。

[0012] 前記2つのトランジスタは、

第1基準電圧側の第1トランジスタと、

前記第1基準電圧とは異なる電圧レベルを有する第2基準電圧側の第2トランジスタと、を含み、

前記信号入力部は、第1キャパシタを介して前記第1トランジスタの第1制御端子に前記入力信号を供給するとともに、前記第1キャパシタとは異なる

る第2キャパシタを介して前記第2トランジスタの第2制御端子に前記入力信号を供給し、

前記インピーダンス部は、

前記第1制御端子の電圧レベルを、所定の電圧レベルにバイアスする第1インピーダンス部と、

前記第2制御端子の電圧レベルを、所定の電圧レベルにバイアスする第2インピーダンス部と、を含んでもよい。

[0013] 前記入力信号のハイレベル及びローレベルのそれぞれは、前記第1基準電圧及び前記第2基準電圧の電圧レベルとは異なってもよい。

[0014] 前記第1基準電圧及び前記第2基準電圧は、それぞれ正電圧及び負電圧であり、又は、それぞれ負電圧及び正電圧であってもよい。

[0015] カスコード接続される前記2つのトランジスタの間に接続され、前記入力信号の電圧レベルを変換した出力信号を出力する信号出力部と、

前記信号出力部がハイインピーダンスであることを検出するハイインピーダンス検出部と、

前記信号出力部がハイインピーダンスである場合、前記出力信号の電圧レベルを前記2つの基準電圧のいずれか一方の電圧レベルに固定する論理固定部と、をさらに備えてもよい。

[0016] カスコード接続される前記2つのトランジスタの間に接続され、前記入力信号の電圧レベルを変換した出力信号を出力する信号出力部と、

前記入力信号、及び、前記2つの制御端子の少なくとも1つの電圧レベルを検出するレベル検出部と、

前記入力信号、及び、前記2つの制御端子の少なくとも1つの電圧レベルのハイレベル又はローレベルが所定の期間以上継続する場合、前記出力信号の電圧レベルを前記2つの基準電圧のいずれか一方の電圧レベルに固定する論理固定部と、をさらに備えてもよい。

[0017] 前記インピーダンス部は、制御端子が前記2つの基準電圧のいずれか一方と接続されるトランジスタであってもよい。

- [0018] 前記インピーダンス部は、ダイオードであり、
前記ダイオードのアノードは、前記2つの基準電圧のうち低電圧側と電氣的に接続され、
前記ダイオードのカソードは、前記2つの基準電圧のうち高電圧側と電氣的に接続されてもよい。
- [0019] 前記インピーダンス部は、抵抗素子であり、
前記抵抗素子は、前記レベルシフト回路の動作周波数、及び、前記キャパシタの静電容量に応じた抵抗値を有してもよい。
- [0020] 前記抵抗素子は、前記抵抗素子及び前記キャパシタのハイパスフィルタのカットオフ周波数が前記レベルシフト回路の動作周波数よりも低くなる抵抗値を有してもよい。
- [0021] ハイレベルとローレベルとを反転させた前記入力信号を、前記2つの制御端子のそれぞれに供給する論理反転部をさらに備えてもよい。
- [0022] 前記入力信号の電圧レベルは、時間に応じて、交互にハイレベル又はローレベルになってもよい。
- [0023] 本開示によれば、デジタル信号をアナログ信号に変換するDAC (Digital to Analog Converter) と、
入力される前記デジタル信号の電圧レベルの範囲を、前記アナログ信号の電圧レベルの範囲に変換して前記DACに出力するレベルシフト回路と、を備え、
前記レベルシフト回路は、
異なる電圧レベルを有する2つの基準電圧の間でカスコード接続され、導電型の異なる2つのトランジスタと、
前記2つのトランジスタがそれぞれ有する2つの制御端子の少なくとも一方に、ハイレベル又はローレベルの電圧レベルを有する入力信号を、キャパシタを介して供給する信号入力部と、
前記キャパシタを介して前記入力信号が供給される前記制御端子の電圧レベルを、所定の電圧レベルにバイアスするインピーダンス部と、を備える、

電子機器が提供される。

図面の簡単な説明

[0024] [図1]第1実施形態における電子機器の構成の一例を示すブロック図である。

[図2]第1実施形態における第1レベルシフト回路の構成の一例を示す回路図である。

[図3]第1実施形態における第1レベルシフト回路の動作の一例を示すタイミングチャートである。

[図4]第1実施形態における第2レベルシフト回路の構成の一例を示す回路図である。

[図5]第1実施形態における第2レベルシフト回路の動作の一例を示すタイミングチャートである。

[図6]比較例における第1レベルシフト回路の構成の一例を示す回路図である。

[図7]比較例における第1レベルシフト回路の動作の一例を示すタイミングチャートである。

[図8]第2実施形態における第1レベルシフト回路の構成の一例を示す回路図である。

[図9]第2実施形態における第2レベルシフト回路の構成の一例を示す回路図である。

[図10]第3実施形態における第1レベルシフト回路の構成の一例を示す回路図である。

[図11]第4実施形態におけるレベルシフト回路の構成の一例を示す回路図である。

[図12]第5実施形態におけるレベルシフト回路の構成の一例を示す回路図である。

[図13]第6実施形態における第1レベルシフト回路の構成の一例を示す回路図である。

[図14]第7実施形態における第1レベルシフト回路の構成の一例を示す回路

図である。

発明を実施するための形態

[0025] 以下、図面を参照して、レベルシフト回路及び電子機器の実施形態について説明する。以下では、レベルシフト回路及び電子機器の主要な構成部分を中心に説明するが、レベルシフト回路及び電子機器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0026] (第1実施形態)

図1は、第1実施形態における電子機器1の構成の一例を示すブロック図である。

[0027] 電子機器1は、例えば、マルチビットオーディオDAC (Digital to Analog Convertor) である。電子機器1は、信号処理部10と、レベルシフト回路20と、DAC30と、を備える。また、電子機器1には、増幅器40と、スピーカ50と、が接続されている。

[0028] 信号処理部10は、入力された音声データをデジタル処理する。信号処理部10は、音声信号 (オーディオ信号) をマルチビット (例えば、192 bit) のデジタル信号に変換する。

[0029] レベルシフト回路20は、入力されるデジタル信号の電圧レベルの範囲を、デジタル電源ドメインからアナログ電源ドメインに変換する。電源ドメインは、分割して管理される、電圧レベルの範囲が異なる複数の領域である。レベルシフト回路20は、第1レベルシフト回路21と、第2レベルシフト回路22と、を含む。

[0030] 第1レベルシフト回路21は、基準電圧DVDDから基準電圧VDDHに、高電圧側のデジタル信号の電圧レベルを変換する。基準電圧VDDHの電圧レベルは、正電圧であり、基準電圧DVDDの電圧レベルよりも高い。なお、第1レベルシフト回路21の詳細については、図2及び図3を参照して、後で説明する。

[0031] 第2レベルシフト回路22は、グラウンド (基準電圧) GNDから基準電圧

VDDMに、低電圧側のデジタル信号の電圧レベルを変換する。基準電圧VDDMの電圧レベルは、負電圧であり、グラウンドGNDの電圧レベルよりも低い。第2レベルシフト回路22は、変換する電圧レベルの範囲が第1レベルシフト回路21とは異なるが、第1レベルシフト回路21とほぼ同様の動作で電圧レベルを変換する。なお、第2レベルシフト回路22の詳細については、図4及び図5を参照して、後で説明する。

[0032] DAC30は、レベルシフトされたデジタル信号をアナログ信号に変換する。

[0033] 増幅器40は、アナログ信号を増幅してスピーカ50を駆動する。

[0034] スピーカ50は、増幅されたアナログ信号を受けて音声を再生する。

[0035] 次に、第1レベルシフト回路21の詳細について説明する。

[0036] 図2は、第1実施形態における第1レベルシフト回路21の構成の一例を示す回路図である。第1レベルシフト回路21は、基準電圧VDDからグラウンドGNDまでの電圧レベルの入力信号Dinを、基準電圧VDDHからグラウンドGNDまでの電圧レベルの出力信号Doutに変換する。第1レベルシフト回路21は、入力信号Dinのハイの電圧レベルを基準電圧VDDから基準電圧VDDHにレベルシフトする。入力信号Dinおよび出力信号Doutのローの電圧レベルは、グラウンドGNDで共通している。

[0037] 第1レベルシフト回路21は、トランジスタMN1、MP1と、キャパシタCと、信号入力部Einと、信号出力部Eoutと、論理反転素子INVと、インピーダンス部201と、を備える。

[0038] 2つのトランジスタMN1、MP1は、基準電圧VDDHとグラウンドGNDとの間で、カスコード接続されている。また、2つのトランジスタMN1、MP1は、互いに導電型が異なる。

[0039] トランジスタMN1は、グラウンドGND側に配置される。トランジスタMN1は、例えば、N型MOS (Metal Oxide Semiconductor) トランジスタである。

[0040] トランジスタMP1は、基準電圧VDDH側に配置される。トランジスタ

MP 1 は、例えば、P 型 MOS トランジスタである。

[0041] キャパシタ C は、トランジスタ MN 1 のゲートと、トランジスタ MP 1 のゲートと、の間に接続される。

[0042] 信号入力部 E i n は、ハイ又はローの電圧レベルを有する入力信号 D i n が入力される。信号入力部 E i n は、2 つのトランジスタ MN 1、MP 1 がそれぞれ有する 2 つのゲートの少なくとも一方に、キャパシタ C を介して入力信号 D i n を供給する。入力信号 D i n の電圧レベルは、PWM (Pulse Width Modulation) 変調されたオーディオ信号である場合、変調時間毎に、交互にハイ又はローになる。

[0043] 信号出力部 E o u t は、カスコード接続される 2 つのトランジスタ MN 1、MP 1 の間に接続され、出力信号 D o u t を出力する。

[0044] 論理反転素子 I N V は、入力された入力信号 D i n の論理を反転させて出力する。論理反転素子 I N V は、電圧レベルのハイとローとを反転させた入力信号 D i n を、トランジスタ MN 1、MP 1 が有する 2 つのゲートのそれぞれに供給する。論理反転素子 I N V は、信号入力部 E i n と、キャパシタ C 及びトランジスタ MN 1 のゲートと、の間に接続される。論理反転素子 I N V (信号入力部 E i n) は、キャパシタ C を間に介して、トランジスタ MP 1 のゲートと接続される。論理反転素子 I N V (信号入力部 E i n) は、キャパシタ C を間に介することなく、トランジスタ MN 1 のゲートと接続される。

[0045] インピーダンス部 2 0 1 は、インピーダンス素子である。より詳細には、インピーダンス部 2 0 1 は、所定値以上のインピーダンスを有する高インピーダンス素子である。インピーダンス部 2 0 1 は、トランジスタ MP 1 のゲート及びキャパシタ C と、基準電圧 V D D H と、の間に接続される。インピーダンス部 2 0 1 は、基準電圧 V D D H に基づいてトランジスタ MP 1 のゲートの電圧レベルをバイアスする。より詳細には、インピーダンス部 2 0 1 は、トランジスタ MP 1 のゲートの電圧レベルを、所定の電圧レベルにバイアス (クランプ) する。インピーダンス部 2 0 1 は、例えば、ゲートとソー

スとが接続されたオフトランジスタ（ダイオード接続されたトランジスタ）である。インピーダンス部201は、ゲートが基準電圧 V_{DDH} と接続されたトランジスタMP2である。トランジスタMP2は、例えば、P型MOSトランジスタである。

[0046] 次に、第1レベルシフト回路21の動作について説明する。

[0047] 図3は、第1実施形態における第1レベルシフト回路21の動作の一例を示すタイミングチャートである。

[0048] まず、初期状態の時刻 t_1 において、入力信号 D_{in} の電圧レベルは、ローであり、グラウンド GND である。ノードNAの電圧レベル（図3のA）は、入力信号 D_{in} の電圧レベルが論理反転素子INVにより反転されたハイであり、基準電圧 V_{DD} である。ノードNBの電圧レベル（図3のB）は、ノードNAの電圧レベルと同様にハイである。ノードNBの電圧レベルは、基準電圧 V_{DDH} よりもトランジスタMP2の閾値電圧 V_{th} だけ高い電圧レベル V_{p2} である。これは、後で説明するように、トランジスタMP2によってノードNBの電圧レベルがクランプされているためである。

[0049] ノードNAの電圧レベルは、グラウンド GND よりもトランジスタMN1の閾値電圧 V_{th} だけ高い電圧レベル V_{n1} よりも高い。従って、トランジスタMN1はオン状態である。また、ノードNBの電圧レベルは、基準電圧 V_{DDH} よりもトランジスタMP1の閾値電圧 V_{th} だけ低い電圧レベル V_{p1} よりも高い。従って、トランジスタMP1はオフ状態である。これにより、出力信号 D_{out} の電圧レベルは、ローであり、グラウンド GND である。

[0050] 次に、時刻 t_2 において、入力信号 D_{in} の電圧レベルは、ローからハイになり、基準電圧 V_{DD} になる。ノードNAの電圧レベルは、入力信号 D_{in} の電圧レベルが論理反転素子INVにより反転されたローになり、グラウンド GND になる。ノードNBの電圧レベルは、容量結合により、ノードNAの電圧レベルの低下に伴って低下する。従って、ノードNBの電圧レベルはローになる。

[0051] ノードNAの電圧レベルが電圧レベル V_{n1} よりも低くなると、トランジ

スタMN1はオフ状態になる。ノードNBの電圧レベルが電圧レベル V_{p1} よりも低くなると、トランジスタMP1はオン状態になる。これにより、出力信号Doutの電圧レベルは、ローからハイになり、基準電圧 V_{DDH} になる。

[0052] ここで、インピーダンス部201は、キャパシタCを介して入力信号Dinが供給されるゲートを有するトランジスタMP1の基準電圧 V_{DDH} の電圧レベルに基づいて、ゲートの電圧レベルをバイアスする。すなわち、入力信号Dinの電圧レベルがローである場合、ノードNBのハイの電圧レベル（トランジスタMP1のゲート電圧）は、トランジスタMP2により電圧レベル V_{p2} に制約（クランプ）される。これにより、ノードNBの電圧レベルは、ローになることで電圧レベル V_{p1} よりも低くなる。すなわち、トランジスタMP1をオン状態にすることができる。この結果、時刻 t_2 において出力信号Doutの電圧レベルをハイにすることができる。

[0053] 次に、時刻 t_3 において、入力信号Dinの電圧レベルは、ハイからローになり、グラウンドGNDになる。ノードNAの電圧レベルは、入力信号Dinの電圧レベルが論理反転素子INVにより反転されたハイになり、基準電圧 V_{DD} になる。ノードNBの電圧レベルは、容量結合により、ノードNAの電圧レベルの上昇に伴って上昇する。従って、ノードNBの電圧レベルはハイになり、上記のように電圧レベル V_{p2} にクランプされる。従って、時刻 t_1 と同様に、出力信号Doutの電圧レベルは、ローになり、グラウンドGNDになる。

[0054] 次に、第2レベルシフト回路22の詳細について説明する。

[0055] 図4は、第1実施形態における第2レベルシフト回路22の構成の一例を示す回路図である。第2レベルシフト回路22は、基準電圧 V_{DDH} からグラウンドGNDまでの電圧レベルの入力信号Dinを、基準電圧 V_{DDH} から基準電圧 V_{DDM} までの電圧レベルの出力信号Doutに変換する。第1レベルシフト回路21は、入力信号Dinのローの電圧レベルをグラウンドGNDから基準電圧 V_{DDM} にレベルシフトする。入力信号Dinおよび出力信

号Doutのハイの電圧レベルは、基準電圧VDDHで共通している。

[0056] 論理反転素子INVは、信号入力部Einと、キャパシタC及びトランジスタMP1のゲートと、の間に接続される。論理反転素子INV（信号入力部Ein）は、キャパシタCを間に介して、トランジスタMN1のゲートと接続される。論理反転素子INV（信号入力部Ein）は、キャパシタCを間に介することなく、トランジスタMP1のゲートと接続される。

[0057] インピーダンス部201は、トランジスタMN1のゲート及びキャパシタCと、基準電圧VDDMと、の間に接続される。インピーダンス部201は、基準電圧VDDMに基づいて、トランジスタMN1のゲートの電圧レベルをバイアスする。より詳細には、インピーダンス部201は、トランジスタMN1のゲートの電圧レベルを、所定の電圧レベルにバイアス（クランプ）する。インピーダンス部201は、例えば、ゲートとソースとが接続されたオフトランジスタである。インピーダンス部201は、ゲートが基準電圧VDDMと接続されたトランジスタMN2である。トランジスタMN2は、例えば、N型MOSトランジスタである。

[0058] 図5は、第1実施形態における第2レベルシフト回路22の動作の一例を示すタイミングチャートである。

[0059] なお、第2レベルシフト回路22の動作は、図3を参照して説明した第1レベルシフト回路21の動作とほぼ同じである。ノードNBのローの電圧レベル（図5のB）は、基準電圧VDDMよりもトランジスタMN2の閾値電圧Vthだけ低い電圧レベルにクランプされる。これにより、ノードNBの電圧レベルがハイになることで、トランジスタMN1をオン状態にすることができる。

[0060] 以上のように、第1実施形態におけるレベルシフト回路によれば、キャパシタCを介してトランジスタMP1又はトランジスタMN1が駆動する。また、インピーダンス部201は、キャパシタCを介して駆動するトランジスタMP1又はトランジスタMP2のゲート電圧をバイアスする。これにより、貫通電流をほぼ流すことなく、電圧レベルを変換することができる。この

結果、消費電力を抑制することができる。

[0061] (比較例)

図6は、比較例における第1レベルシフト回路21の構成の一例を示す回路図である。比較例における第1レベルシフト回路21は、クロスカップル構成を有する。

[0062] 図6に示す例では、第1レベルシフト回路21は、クロスカップル構成の2つのP型MOSトランジスタ(トランジスタMPa、MPb)と、2つのN型MOSトランジスタ(トランジスタMNa、MNb)と、を備える。

[0063] トランジスタMNaのゲートには、2つの論理反転素子INV1、INV2を通過した入力信号Dinが入力される。トランジスタMNbのゲートには、1つの論理反転素子INV1を通過した入力信号Dinが入力される。

[0064] 図7は、比較例における第1レベルシフト回路21の動作の一例を示すタイミングチャートである。

[0065] まず、初期状態の時刻t11において、入力信号Dinの電圧レベルはローである。トランジスタMNaのゲートの電圧レベル(図7のA)はローであり、トランジスタMNbのゲートの電圧レベル(図7のB)の電圧レベルはハイである。従って、トランジスタMNb、MPaはオン状態であり、トランジスタMNa、MPbはオフ状態である。出力信号Doutの電圧レベルは、ローである。

[0066] 次に、時刻t12において、入力信号Dinの電圧レベルがローからハイになる。トランジスタMNaのゲートの電圧レベル(図7のA)はローからハイになり、トランジスタMNbのゲートの電圧レベル(図7のB)の電圧レベルはハイからローになる。これにより、オン状態のトランジスタMPa、MNaを通過する電流Iaが流れる。その後、トランジスタMPaがオフ状態になり、トランジスタMPbがオン状態になる。これにより、出力信号Doutの電圧レベルは、ローからハイになる。

[0067] なお、時刻t13において、入力信号Dinの電圧レベルがハイからローになる場合も、トランジスタMPb、MNbを通過する電流Ibが流れる。

[0068] このように、クロスカップル構成では、入力信号D i nの電圧レベルのハイ又はロー（論理）が変化するタイミングにおいて、貫通電流が流れる。この貫通電流により、レベルシフト回路の消費電力が増大してしまう。

[0069] これに対して、第1実施形態では、クロスカップル構成を用いずに、トランジスタMP 1又はトランジスタMN 1のゲート電圧を容量結合で駆動する。これにより、貫通電流をほぼ流れないようにすることができる。この結果、消費電力を抑制することができる。また、第1実施形態では、図2又は図4に示すようにトランジスタ数は3個であり、図6に示すクロスカップル構成と比較してトランジスタ数を減らすことができる。

[0070] 貫通電流を低減する方法として、例えば、特許文献1のように、クロスカップル部に電流源を用いて貫通電流を電流源で制限する方法が提案されている。しかし、この方法では、貫通電流成分を完全にゼロにすることは不可能であり、かつ、電流制限を行うことによって動作周波数が遅くなってしまう。

[0071] これに対して、第1実施形態では、キャパシタCにより貫通電流をほぼゼロにすることができる。また、電流制限を行わないため、より高速でレベルシフト回路を動作させることができる。

[0072] また、貫通電流の抑制による低消費電力化は、レベルシフト信号の数（レベルシフト回路の数）が多くなるほど、影響が大きくなる。例えば、図1に示すようなオーディオ用途のマルチビットオーディオDACでは、192 bitに対応する192個のレベルシフト回路が用いられる。

[0073] なお、トランジスタMN 1、MP 1、MN 2、MP 2は、MOSトランジスタであるが、これに限られず、バイポーラトランジスタであってもよい。

[0074] また、インピーダンス部201は、トランジスタに限られず、他のインピーダンス素子であってもよい。

[0075] （第2実施形態）

図8は、第2実施形態における第1レベルシフト回路21の構成の一例を示す回路図である。第2実施形態は、第1実施形態と比較して、インピーダ

ンス部201の構成が異なっている。

[0076] インピーダンス部201は、例えば、逆向きのダイオードである。インピーダンス部201は、ダイオードD1である。ダイオードD1のアノードは、低電圧側（グラウンドGND側）と電氣的に接続され、ダイオードD1のカソードは、高電圧側（基準電圧VDDH側）と電氣的に接続される。ダイオードD1は、第1実施形態で説明した図2のトランジスタMP2とほぼ同様に機能する。すなわち、ダイオードD1は、基準電圧VDDHに基づいて、トランジスタMP1のゲートの電圧レベルをクランプする。

[0077] 図9は、第2実施形態における第2レベルシフト回路22の構成の一例を示す回路図である。

[0078] インピーダンス部201は、ダイオードD2である。ダイオードD2のアノードは、低電圧側に配置され、基準電圧VDDMと電氣的に接続される。ダイオードD2のカソードは、高電圧側に配置され、基準電圧VDDHと電氣的に接続される。ダイオードD2は、第1実施形態で説明した図4のトランジスタMN2とほぼ同様に機能する。すなわち、ダイオードD2は、基準電圧VDDMに基づいて、トランジスタMN1のゲートの電圧レベルをクランプする。

[0079] （第3実施形態）

図10は、第3実施形態における第1レベルシフト回路21の構成の一例を示す回路図である。第3実施形態は、第1実施形態と比較して、インピーダンス部201の構成が異なっている。

[0080] インピーダンス部201は、例えば、抵抗素子Rである。抵抗素子Rは、キャパシタCとともにハイパスフィルタとして機能する。この場合、ハイパスフィルタのカットオフ周波数の下限が、動作周波数よりも十分低いことが好ましい。ハイパスフィルタのカットオフ周波数の下限は、例えば、動作周波数の10分の1であることが好ましい。すなわち、抵抗素子Rの抵抗値は、例えば、所望のハイパスフィルタのカットオフ周波数が得られるように、レベルシフト回路の動作周波数及びキャパシタCの静電容量に応じて設定さ

れる。より詳細には、抵抗素子Rは、抵抗素子R及びキャパシタCのハイパスフィルタのカットオフ周波数がレベルシフト回路の動作周波数よりも低くなる抵抗値を有することが好ましい。

[0081] ハイパスフィルタでは、通常、電圧の変化がキャパシタにより電流に変換され、この電流が抵抗素子に流れることで電圧に変換される。図10において、トランジスタMP1のゲートの電圧レベルは、基準電圧VDDHの電圧レベルと、抵抗素子Rの電圧と、によってバイアスされる。すなわち、インピーダンス部201である抵抗素子Rは、トランジスタMP1のゲートの電圧レベルをバイアスすることができる。抵抗素子Rの抵抗値は、例えば、抵抗素子Rの所望の電圧が得られるように、レベルシフト回路の動作周波数及びキャパシタCの静電容量に応じて設定される。

[0082] なお、第2レベルシフト回路22のインピーダンス部201も、抵抗素子Rであってもよい。

[0083] (第4実施形態)

図11は、第4実施形態におけるレベルシフト回路20の構成の一例を示す回路図である。第4実施形態は、第1実施形態と比較して、第1レベルシフト回路21の電圧レベルの変換、及び、第2レベルシフト回路22の電圧レベルの変換を同時に行う。

[0084] レベルシフト回路20は、基準電圧DVDDからグラウンドGNDまでの電圧レベルの入力信号Dinを、基準電圧VDDHから基準電圧VDDMまでの電圧レベルの出力信号Doutに変換する。第1レベルシフト回路21は、入力信号Dinのハイの電圧レベルを基準電圧DVDDから基準電圧VDDHにレベルシフトするとともに、入力信号Dinのローの電圧レベルをグラウンドGNDから基準電圧VDDMにレベルシフトする。入力信号Dinのハイ又はローのそれぞれの電圧レベルは、基準電圧VDDH、VDDMの電圧レベルとは異なっている。

[0085] 第1実施形態の図2及び図4では、入力信号Dinの電圧レベルのハイ又はローのうち一方が出力信号Doutの電圧レベルの高電圧側又は低電圧側

のうち一方と共通している。これに対して、第4実施形態では、出力信号D o u t の2つの電圧レベルのそれぞれは、入力信号D i n の2つの電圧レベルとは異なっている。

[0086] レベルシフト回路20は、キャパシタC1、C2と、インピーダンス部2011、2012と、を備える。

[0087] キャパシタC1、C2は、トランジスタMP1のゲートと、トランジスタMN1のゲート、の間に直列に接続されている。キャパシタC1、C2は、2つのトランジスタMP1、MN1のそれぞれに対応して配置される。

[0088] キャパシタC1は、信号入力部E i nと、トランジスタMP1及びインピーダンス部2011と、の間に接続される。従って、論理反転素子INV（信号入力部E i n）は、キャパシタC1を間に介して、トランジスタMP1のゲートと接続される。キャパシタC1は、第1実施形態の図2を参照して説明したキャパシタCに対応する。

[0089] キャパシタC2は、信号入力部E i nと、トランジスタMN1およびインピーダンス部2012と、の間に配置される。従って、論理反転素子INV（信号入力部E i n）は、キャパシタC2を間に介して、トランジスタMN1のゲートと接続される。キャパシタC2は、第1実施形態の図4を参照して説明したキャパシタCに対応する。

[0090] インピーダンス部2011、2012は、2つのトランジスタMP1、MN1のそれぞれのゲートの電圧レベルをバイアスする。

[0091] インピーダンス部2011は、キャパシタC1及びトランジスタMP1と、基準電圧VDDHと、の間に接続される。インピーダンス部2011は、トランジスタMP1のゲートを所定の電圧レベルにバイアスする。インピーダンス部2011は、第1実施形態の図2を参照して説明したインピーダンス部201に対応する。

[0092] インピーダンス部2012は、キャパシタC2及びトランジスタMN1と、基準電圧VDDMと、の間に接続される。インピーダンス部2012は、トランジスタMN1のゲートを所定の電圧レベルにバイアスする。インピー

ダンス部 2012 は、第 1 実施形態の図 4 を参照して説明したインピーダンス部 201 に対応する。

[0093] このように、トランジスタ MP1 側及びトランジスタ MN1 側の両方に、キャパシタ C1、C2 およびインピーダンス部 2011、2012 が設けられていてもよい。これにより、高電圧側、及び、低電圧側の両方の電圧レベルをレベルシフトすることができる。また、オーディオ信号は、グラウンド GND を間に挟むように、正電圧と負電圧との間で電圧レベルが変化する場合が多い。従って、オーディオ信号のレベルシフト回路では、正電圧（基準電圧 V_{DDH} ）と負電圧（基準電圧 V_{DDM} ）との間の範囲でレベルシフトが行われる。

[0094] （第 5 実施形態）

図 12 は、第 5 実施形態におけるレベルシフト回路 20 の構成の一例を示す回路図である。第 5 実施形態は、第 4 実施形態と比較して、インピーダンス部 2011、2012 の構成が異なっている。

[0095] インピーダンス部 2011、2012 は、それぞれダイオード D1、D2 である。従って、第 5 実施形態は、第 2 実施形態と第 4 実施形態との組み合わせである。

[0096] （第 6 実施形態）

図 13 は、第 6 実施形態における第 1 レベルシフト回路 21 の構成の一例を示す回路図である。

[0097] 第 1 レベルシフト回路 21 は、HiZ（ハイインピーダンス）検出回路 202 と、論理固定回路 203 と、をさらに備える。

[0098] ハイインピーダンス検出部としての HiZ 検出回路 202 は、信号出力部 Eout がハイインピーダンスであることを検出する。

[0099] 論理固定部としての論理固定回路 203 は、信号出力部 Eout の論理を固定する。すなわち、論理固定回路 203 は、信号出力部 Eout がハイインピーダンスである場合、出力信号 Dout の電圧レベルを、2 つの基準電圧のいずれか一方の電圧レベルに固定する。

[0100] もし、入力信号 D_{in} の電圧レベルがハイで固定（放置）される場合、ノード NB の電圧レベルは、ローに固定される。この場合、基準電圧 V_{DDH} からトランジスタ $MP2$ を通過してノード NB にリーク電流が流れ、ノード NB の電圧レベルが上昇してしまう可能性がある。図3において、ノード NB の電圧レベルが電圧レベル V_{p1} を超えると、トランジスタ $MP1$ がオフ状態になる。従って、トランジスタ $MP1$ 、 $MN1$ の両方がオフ状態になり、信号出力部 E_{out} がハイインピーダンス（フローティング状態）になる。信号出力部 E_{out} がハイインピーダンスになると、第1レベルシフト回路21の出力先の回路で貫通電流が流れてしまう可能性がある。

[0101] そこで、 H_iZ 検出回路202は、信号出力部 E_{out} がハイインピーダンスであることを検知し、論理固定回路203は、出力の論理を基準電圧 V_{DDH} の電圧レベルに固定する。これにより、出力がハイインピーダンスになることを抑制することができ、出力先の回路で貫通電流が流れることを抑制することができる。

[0102] なお、第1実施形態の図4に示す第2レベルシフト回路22にも、 H_iZ 検出回路202及び論理固定回路203が設けられてもよい。もし、入力信号 D_{in} の電圧レベルがローで固定（放置）される場合、ノード NB の電圧レベルは、ハイに固定される。この場合、ノード NB からトランジスタ $MN2$ を通過して基準電圧 V_{DDM} にリーク電流が流れ、ノード NB の電圧レベルが低下してしまう可能性がある。この場合、トランジスタ $MN1$ がオン状態からオフ状態になってしまうため、信号出力部 E_{out} がハイインピーダンスになってしまう。そこで、論理固定回路203は、出力の論理を基準電圧 V_{DDM} の電圧レベルに固定する。これにより、第2レベルシフト回路22においても、出力がハイインピーダンスになることを抑制することができ、出力先の回路で貫通電流が流れることを抑制することができる。

[0103] （第7実施形態）

図14は、第7実施形態における第1レベルシフト回路21の構成の一例を示す回路図である。第7実施形態は、 H_iZ 検出回路202がノード NA

の信号を取得する点で、第6実施形態とは異なっている。

[0104] レベル検出部としてのH i Z検出回路202は、トランジスタMN1のゲート（ノードNA）の電圧レベルを検出する。

[0105] 論理固定回路203は、トランジスタMN1のゲートの電圧レベルが所定の期間以上ローである場合、出力信号D o u tの電圧レベルを、2つの基準電圧のいずれか一方の電圧レベルに固定する。

[0106] 第6実施形態において説明したように、入力信号D i nがハイで固定され、トランジスタMN1、MP1のゲートの電圧レベルがローで固定されることにより、信号出力部E o u tがハイインピーダンスになる。従って、トランジスタMN1のゲートの電圧レベルが、論理固定回路203の論理固定の判断に用いられてもよい。

[0107] なお、論理固定の判断は、トランジスタMN1のゲートの電圧レベルに限られない。H i Z検出回路202は、例えば、入力信号D i n、又は、トランジスタMP1のゲート（ノードNB）の電圧レベルを検出してもよい。論理固定回路203は、例えば、入力信号D i n、又は、トランジスタMP1のゲートの電圧レベルに基づいて、信号出力部E o u tの論理を固定してもよい。

[0108] なお、本技術は以下のような構成を取ることができる。

（1）異なる電圧レベルを有する2つの基準電圧の間でカスコード接続され、導電型の異なる2つのトランジスタと、

前記2つのトランジスタがそれぞれ有する2つの制御端子の少なくとも一方に、ハイレベル又はローレベルの電圧レベルを有する入力信号を、キャパシタを介して供給する信号入力部と、

前記キャパシタを介して前記入力信号が供給される前記制御端子の電圧レベルを、所定の電圧レベルにバイアスするインピーダンス部と、を備える、レベルシフト回路。

（2）前記インピーダンス部は、前記キャパシタを介して前記入力信号が供給される前記制御端子を有する前記トランジスタの前記基準電圧の電圧レ

ベルに基づいてバイアスする、（１）に記載のレベルシフト回路。

（３）前記インピーダンス部は、前記キャパシタを介して前記入力信号が供給される前記制御端子と、前記キャパシタを介して前記入力信号が供給される前記制御端子を有する前記トランジスタの前記基準電圧と、の間に接続される、（１）又は（２）に記載のレベルシフト回路。

（４）前記インピーダンス部は、所定値以上のインピーダンスを有する、（１）乃至（３）のいずれか一項に記載のレベルシフト回路。

（５）前記２つのトランジスタは、

第１基準電圧側の第１トランジスタと、

前記第１基準電圧とは異なる電圧レベルを有する第２基準電圧側の第２トランジスタと、を含み、

前記信号入力部は、前記キャパシタを介して前記第１トランジスタの第１制御端子に前記入力信号を供給するとともに、前記キャパシタを介することなく前記第２トランジスタの第２制御端子に前記入力信号を供給し、

前記インピーダンス部は、前記第１制御端子の電圧レベルを、所定の電圧レベルにバイアスする、（１）乃至（４）のいずれか一項に記載のレベルシフト回路。

（６）前記入力信号のハイレベル及びローレベルのいずれか一方は、前記第１基準電圧及び前記第２基準電圧のいずれか一方の電圧レベルと同じである、（５）に記載のレベルシフト回路。

（７）前記２つのトランジスタは、

第１基準電圧側の第１トランジスタと、

前記第１基準電圧とは異なる電圧レベルを有する第２基準電圧側の第２トランジスタと、を含み、

前記信号入力部は、第１キャパシタを介して前記第１トランジスタの第１制御端子に前記入力信号を供給するとともに、前記第１キャパシタとは異なる第２キャパシタを介して前記第２トランジスタの第２制御端子に前記入力信号を供給し、

前記インピーダンス部は、

前記第1制御端子の電圧レベルを、所定の電圧レベルにバイアスする第1インピーダンス部と、

前記第2制御端子の電圧レベルを、所定の電圧レベルにバイアスする第2インピーダンス部と、を含む、(1)乃至(4)のいずれか一項に記載のレベルシフト回路。

(8) 前記入力信号のハイレベル及びローレベルのそれぞれは、前記第1基準電圧及び前記第2基準電圧の電圧レベルとは異なる、(7)に記載のレベルシフト回路。

(9) 前記第1基準電圧及び前記第2基準電圧は、それぞれ正電圧及び負電圧であり、又は、それぞれ負電圧及び正電圧である、(7)又は(8)に記載のレベルシフト回路。

(10) カスコード接続される前記2つのトランジスタの間に接続され、前記入力信号の電圧レベルを変換した出力信号を出力する信号出力部と、

前記信号出力部がハイインピーダンスであることを検出するハイインピーダンス検出部と、

前記信号出力部がハイインピーダンスである場合、前記出力信号の電圧レベルを前記2つの基準電圧のいずれか一方の電圧レベルに固定する論理固定部と、をさらに備える、(1)乃至(9)のいずれか一項に記載のレベルシフト回路。

(11) カスコード接続される前記2つのトランジスタの間に接続され、前記入力信号の電圧レベルを変換した出力信号を出力する信号出力部と、

前記入力信号、及び、前記2つの制御端子の少なくとも1つの電圧レベルを検出するレベル検出部と、

前記入力信号、及び、前記2つの制御端子の少なくとも1つの電圧レベルのハイレベル又はローレベルが所定の期間以上継続する場合、前記出力信号の電圧レベルを前記2つの基準電圧のいずれか一方の電圧レベルに固定する論理固定部と、をさらに備える、(1)乃至(9)のいずれか一項に記載の

レベルシフト回路。

(12) 前記インピーダンス部は、制御端子が前記2つの基準電圧のいずれか一方と接続されるトランジスタである、(1)乃至(11)のいずれか一項に記載のレベルシフト回路。

(13) 前記インピーダンス部は、ダイオードであり、

前記ダイオードのアノードは、前記2つの基準電圧のうち低電圧側と電氣的に接続され、

前記ダイオードのカソードは、前記2つの基準電圧のうち高電圧側と電氣的に接続される、(1)乃至(11)のいずれか一項に記載のレベルシフト回路。

(14) 前記インピーダンス部は、抵抗素子であり、

前記抵抗素子は、前記レベルシフト回路の動作周波数、及び、前記キャパシタの静電容量に応じた抵抗値を有する、(1)乃至(11)のいずれか一項に記載のレベルシフト回路。

(15) 前記抵抗素子は、前記抵抗素子及び前記キャパシタのハイパスフィルタのカットオフ周波数が前記レベルシフト回路の動作周波数よりも低くなる抵抗値を有する、(14)に記載のレベルシフト回路。

(16) ハイレベルとローレベルとを反転させた前記入力信号を、前記2つの制御端子のそれぞれに供給する論理反転部をさらに備える、(1)乃至(15)のいずれか一項に記載のレベルシフト回路。

(17) 前記入力信号の電圧レベルは、時間に応じて、交互にハイレベル又はローレベルになる、(1)乃至(16)のいずれか一項に記載のレベルシフト回路。

(18) デジタル信号をアナログ信号に変換するDAC (Digital to Analog Converter) と、

入力される前記デジタル信号の電圧レベルの範囲を、前記アナログ信号の電圧レベルの範囲に変換して前記DACに出力するレベルシフト回路と、を備え、

前記レベルシフト回路は、

異なる電圧レベルを有する2つの基準電圧の間でカスコード接続され、導電型の異なる2つのトランジスタと、

前記2つのトランジスタがそれぞれ有する2つの制御端子の少なくとも一方に、ハイレベル又はローレベルの電圧レベルを有する入力信号を、キャパシタを介して供給する信号入力部と、

前記キャパシタを介して前記入力信号が供給される前記制御端子の電圧レベルを、所定の電圧レベルにバイアスするインピーダンス部と、を備える、電子機器。

[0109] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0110] 1 電子機器、20 レベルシフト回路、21 第1レベルシフト回路、22 第2レベルシフト回路、201 インピーダンス部、2011 インピーダンス部、2012 インピーダンス部、202 HiZ検出回路、203 論理固定回路、C キャパシタ、C1 キャパシタ、C2 キャパシタ、D1 ダイオード、D2 ダイオード、Din 入力信号、Dout 出力信号、Ein 信号入力部、Eout 信号出力部、INV 論理反転素子、MN1 トランジスタ、MN2 トランジスタ、MP1 トランジスタ、MP2 トランジスタ、R 抵抗素子、GND グランド、DVDD 基準電圧、VDDH 基準電圧、VDDM 基準電圧

請求の範囲

- [請求項1] 異なる電圧レベルを有する2つの基準電圧の間でカスコード接続され、導電型の異なる2つのトランジスタと、
- 前記2つのトランジスタがそれぞれ有する2つの制御端子の少なくとも一方に、ハイレベル又はローレベルの電圧レベルを有する入力信号を、キャパシタを介して供給する信号入力部と、
- 前記キャパシタを介して前記入力信号が供給される前記制御端子の電圧レベルを、所定の電圧レベルにバイアスするインピーダンス部と、を備える、レベルシフト回路。
- [請求項2] 前記インピーダンス部は、前記キャパシタを介して前記入力信号が供給される前記制御端子を有する前記トランジスタの前記基準電圧の電圧レベルに基づいてバイアスする、請求項1に記載のレベルシフト回路。
- [請求項3] 前記インピーダンス部は、前記キャパシタを介して前記入力信号が供給される前記制御端子と、前記キャパシタを介して前記入力信号が供給される前記制御端子を有する前記トランジスタの前記基準電圧と、の間に接続される、請求項1に記載のレベルシフト回路。
- [請求項4] 前記インピーダンス部は、所定値以上のインピーダンスを有する、請求項1に記載のレベルシフト回路。
- [請求項5] 前記2つのトランジスタは、
- 第1基準電圧側の第1トランジスタと、
- 前記第1基準電圧とは異なる電圧レベルを有する第2基準電圧側の第2トランジスタと、を含み、
- 前記信号入力部は、前記キャパシタを介して前記第1トランジスタの第1制御端子に前記入力信号を供給するとともに、前記キャパシタを介することなく前記第2トランジスタの第2制御端子に前記入力信号を供給し、
- 前記インピーダンス部は、前記第1制御端子の電圧レベルを、所定

の電圧レベルにバイアスする、請求項 1 に記載のレベルシフト回路。

[請求項6] 前記入力信号のハイレベル及びローレベルのいずれか一方は、前記第 1 基準電圧及び前記第 2 基準電圧のいずれか一方の電圧レベルと同じである、請求項 5 に記載のレベルシフト回路。

[請求項7] 前記 2 つのトランジスタは、
第 1 基準電圧側の第 1 トランジスタと、
前記第 1 基準電圧とは異なる電圧レベルを有する第 2 基準電圧側の第 2 トランジスタと、を含み、

前記信号入力部は、第 1 キャパシタを介して前記第 1 トランジスタの第 1 制御端子に前記入力信号を供給するとともに、前記第 1 キャパシタとは異なる第 2 キャパシタを介して前記第 2 トランジスタの第 2 制御端子に前記入力信号を供給し、

前記インピーダンス部は、
前記第 1 制御端子の電圧レベルを、所定の電圧レベルにバイアスする第 1 インピーダンス部と、

前記第 2 制御端子の電圧レベルを、所定の電圧レベルにバイアスする第 2 インピーダンス部と、を含む、請求項 1 に記載のレベルシフト回路。

[請求項8] 前記入力信号のハイレベル及びローレベルのそれぞれは、前記第 1 基準電圧及び前記第 2 基準電圧の電圧レベルとは異なる、請求項 7 に記載のレベルシフト回路。

[請求項9] 前記第 1 基準電圧及び前記第 2 基準電圧は、それぞれ正電圧及び負電圧であり、又は、それぞれ負電圧及び正電圧である、請求項 7 に記載のレベルシフト回路。

[請求項10] カスコード接続される前記 2 つのトランジスタの間に接続され、前記入力信号の電圧レベルを変換した出力信号を出力する信号出力部と、

前記信号出力部がハイインピーダンスであることを検出するハイイ

ンピーダンス検出部と、

前記信号出力部がハイインピーダンスである場合、前記出力信号の電圧レベルを前記2つの基準電圧のいずれか一方の電圧レベルに固定する論理固定部と、をさらに備える、請求項1に記載のレベルシフト回路。

[請求項11] カスコード接続される前記2つのトランジスタの間に接続され、前記入力信号の電圧レベルを変換した出力信号を出力する信号出力部と、

前記入力信号、及び、前記2つの制御端子の少なくとも1つの電圧レベルを検出するレベル検出部と、

前記入力信号、及び、前記2つの制御端子の少なくとも1つの電圧レベルのハイレベル又はローレベルが所定の期間以上継続する場合、前記出力信号の電圧レベルを前記2つの基準電圧のいずれか一方の電圧レベルに固定する論理固定部と、をさらに備える、請求項1に記載のレベルシフト回路。

[請求項12] 前記インピーダンス部は、制御端子が前記2つの基準電圧のいずれか一方と接続されるトランジスタである、請求項1に記載のレベルシフト回路。

[請求項13] 前記インピーダンス部は、ダイオードであり、
前記ダイオードのアノードは、前記2つの基準電圧のうち低電圧側と電氣的に接続され、

前記ダイオードのカソードは、前記2つの基準電圧のうち高電圧側と電氣的に接続される、請求項1に記載のレベルシフト回路。

[請求項14] 前記インピーダンス部は、抵抗素子であり、
前記抵抗素子は、前記レベルシフト回路の動作周波数、及び、前記キャパシタの静電容量に応じた抵抗値を有する、請求項1に記載のレベルシフト回路。

[請求項15] 前記抵抗素子は、前記抵抗素子及び前記キャパシタのハイパスフィ

ルタのカットオフ周波数が前記レベルシフト回路の動作周波数よりも低くなる抵抗値を有する、請求項 14 に記載のレベルシフト回路。

[請求項16] ハイレベルとローレベルとを反転させた前記入力信号を、前記 2 つの制御端子のそれぞれに供給する論理反転部をさらに備える、請求項 1 に記載のレベルシフト回路。

[請求項17] 前記入力信号の電圧レベルは、時間に応じて、交互にハイレベル又はローレベルになる、請求項 1 に記載のレベルシフト回路。

[請求項18] デジタル信号をアナログ信号に変換する D A C (Digital to Analog Convertor) と、

 入力される前記デジタル信号の電圧レベルの範囲を、前記アナログ信号の電圧レベルの範囲に変換して前記 D A C に出力するレベルシフト回路と、を備え、

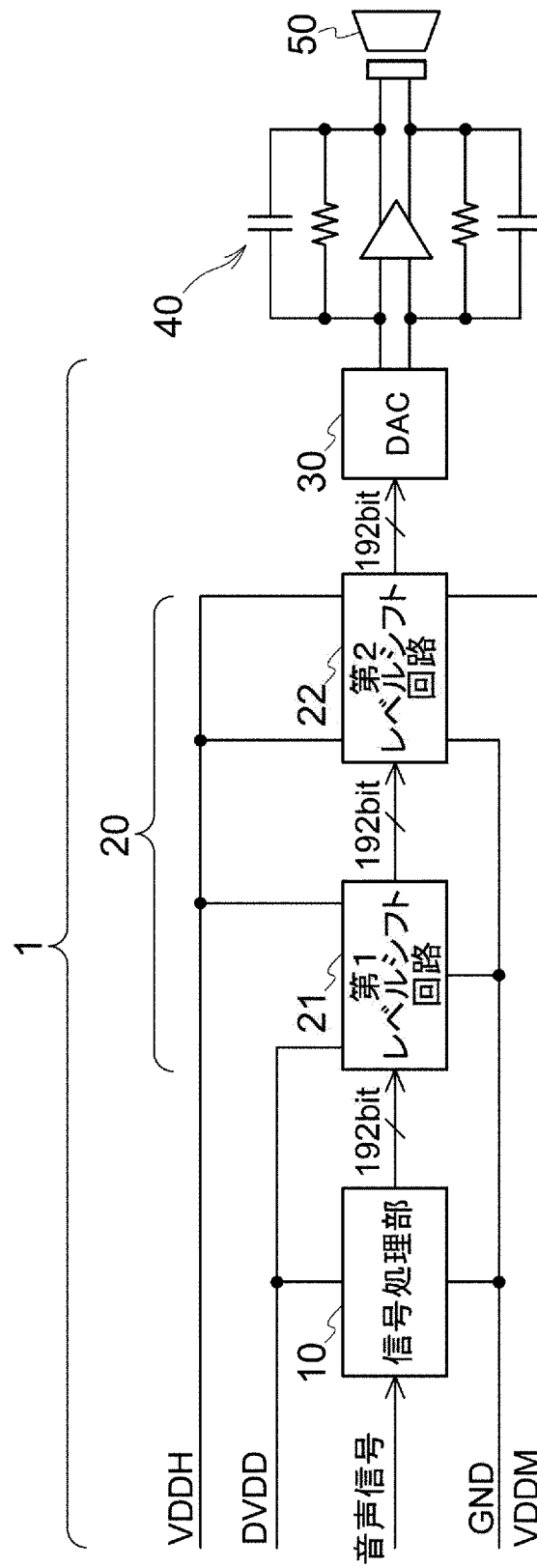
 前記レベルシフト回路は、

 異なる電圧レベルを有する 2 つの基準電圧の間でカスコード接続され、導電型の異なる 2 つのトランジスタと、

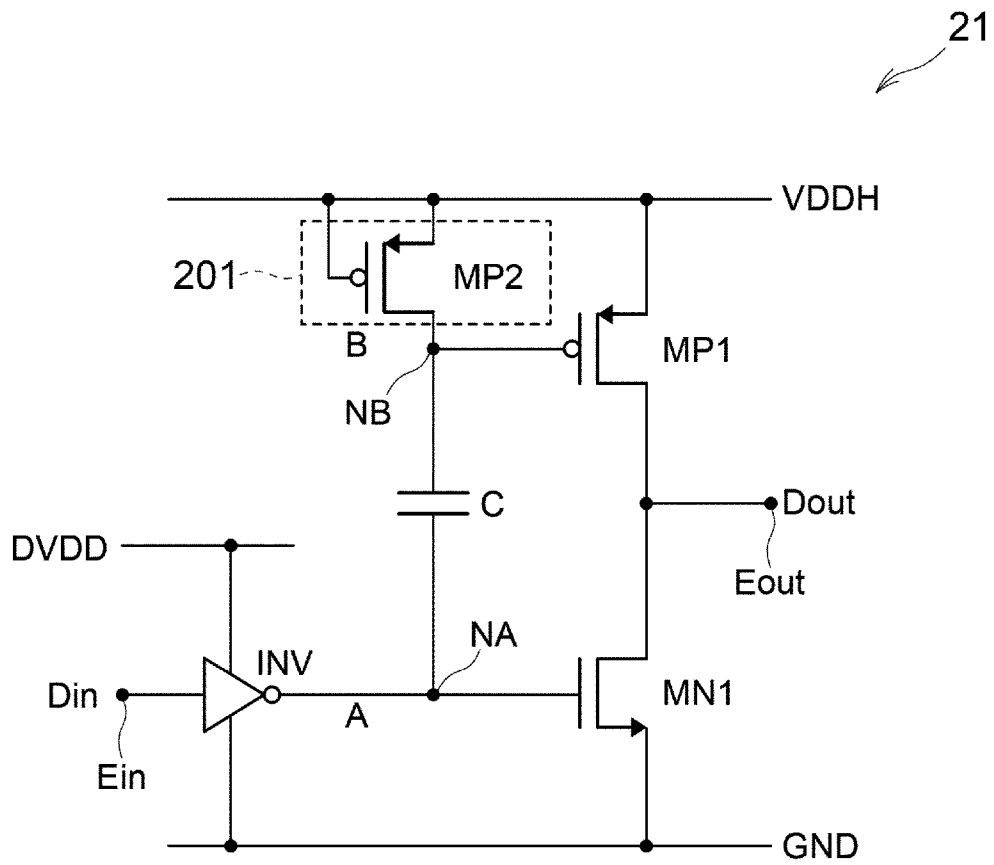
 前記 2 つのトランジスタがそれぞれ有する 2 つの制御端子の少なくとも一方に、ハイレベル又はローレベルの電圧レベルを有する入力信号を、キャパシタを介して供給する信号入力部と、

 前記キャパシタを介して前記入力信号が供給される前記制御端子の電圧レベルを、所定の電圧レベルにバイアスするインピーダンス部と、を備える、電子機器。

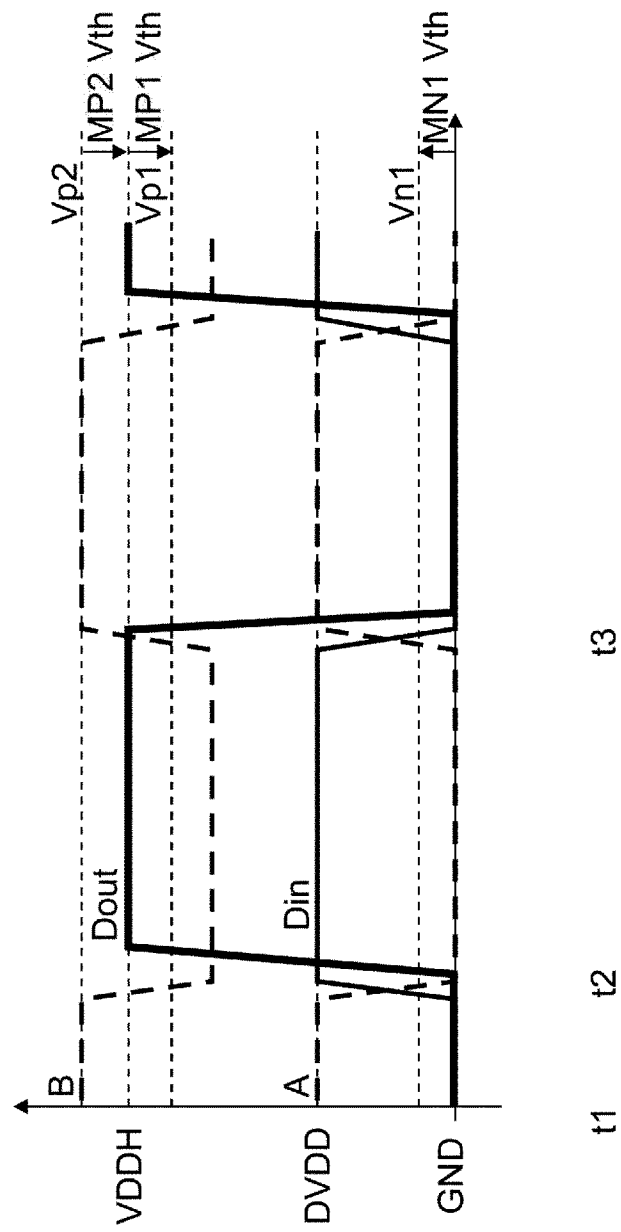
[図1]



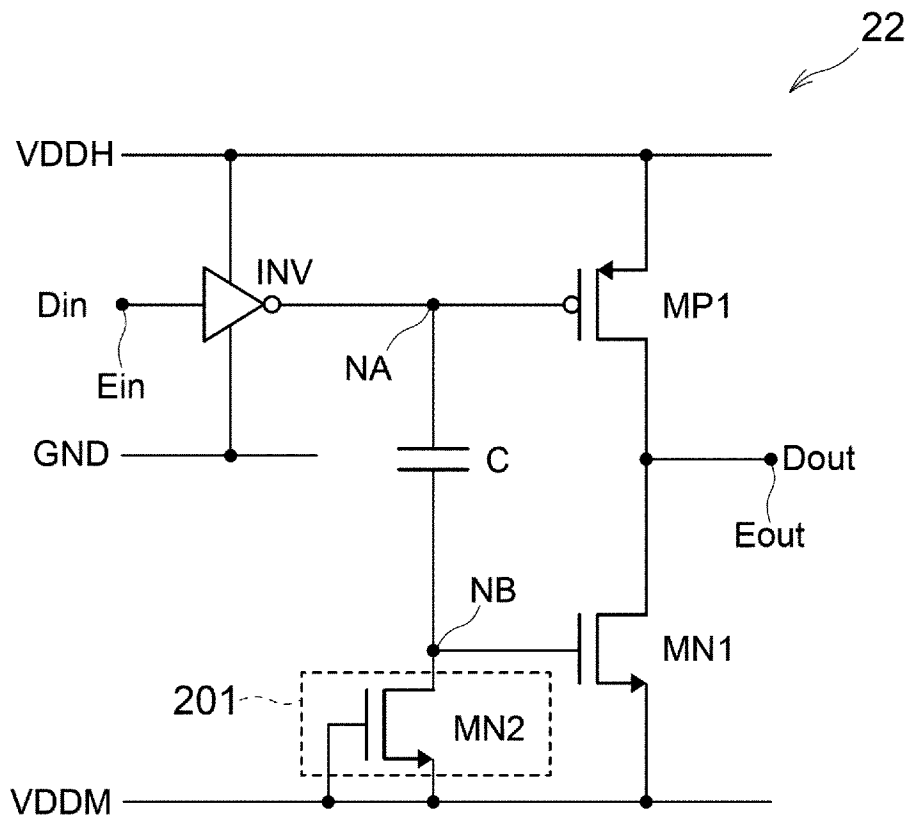
[図2]



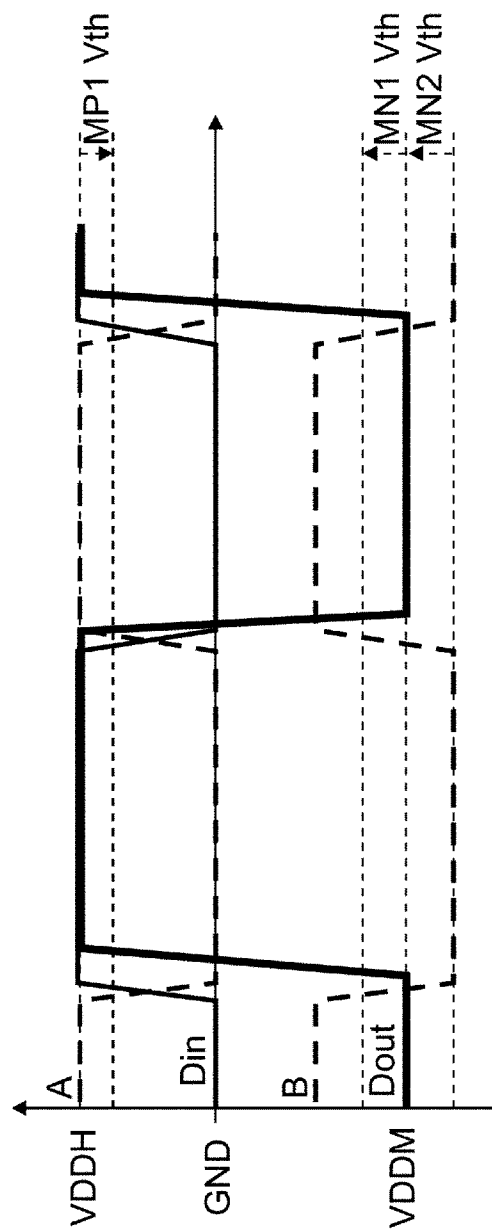
[図3]



[図4]

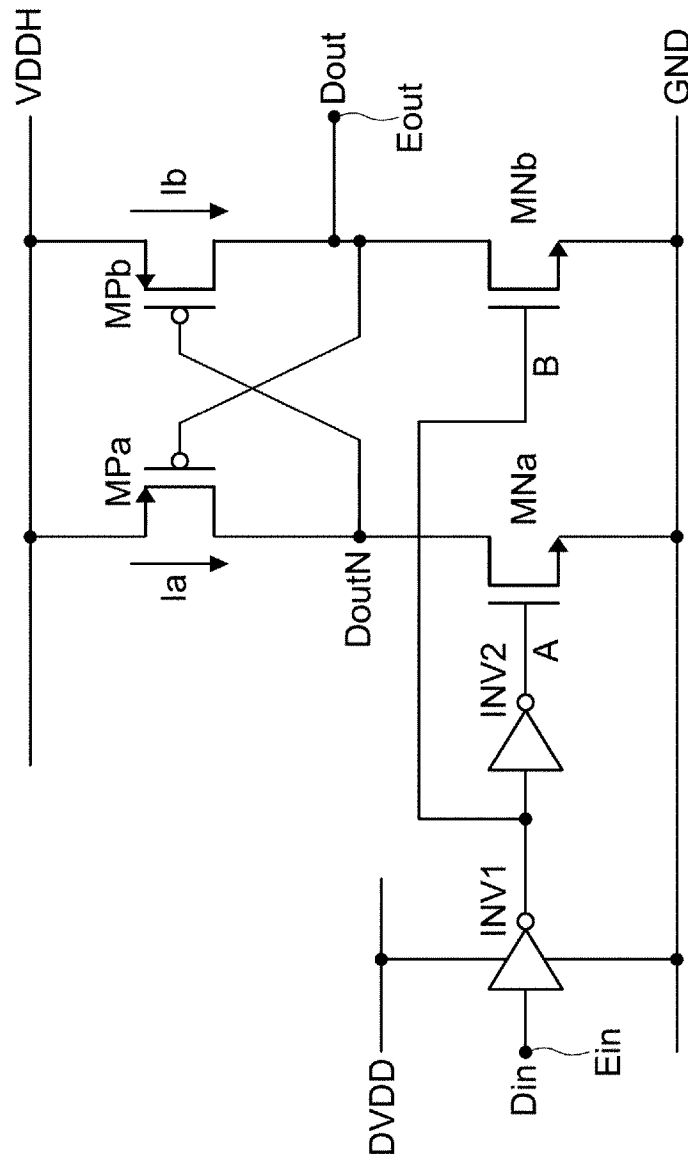


[図5]

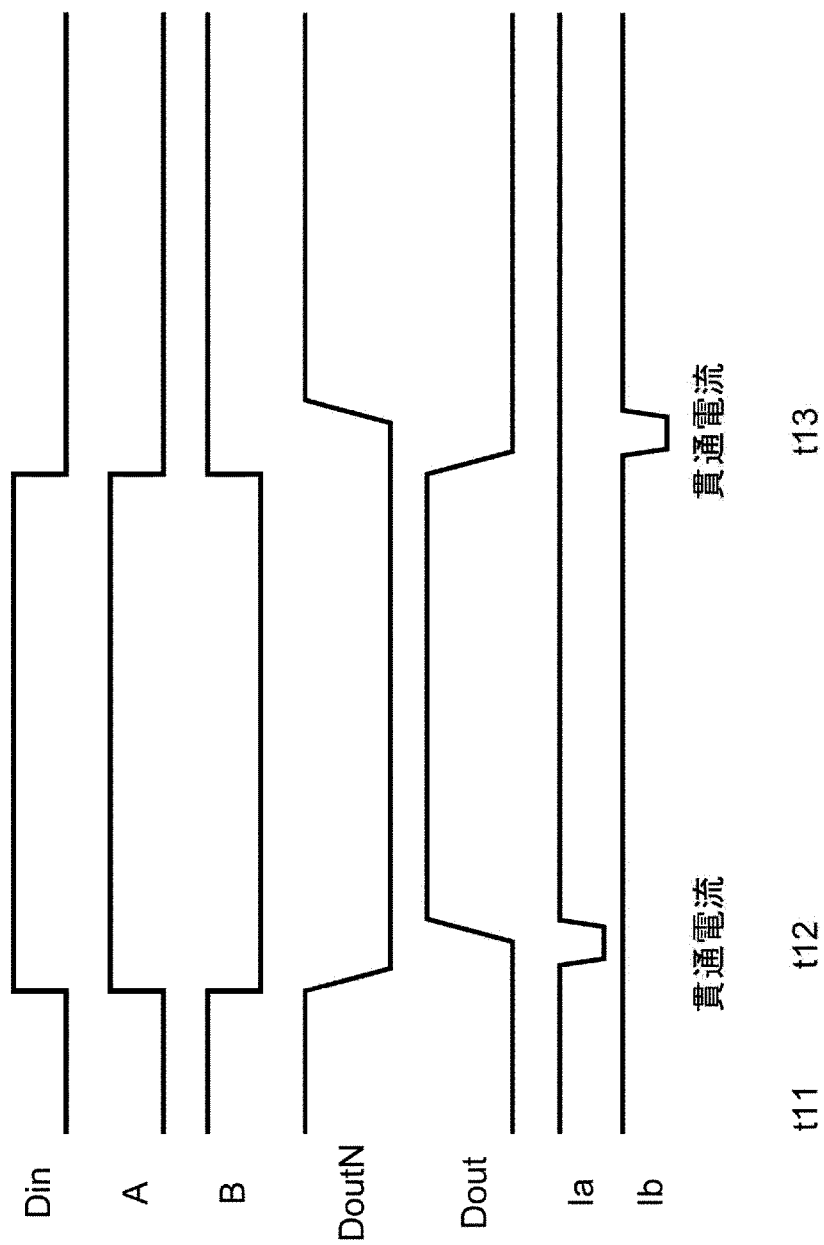


[図6]

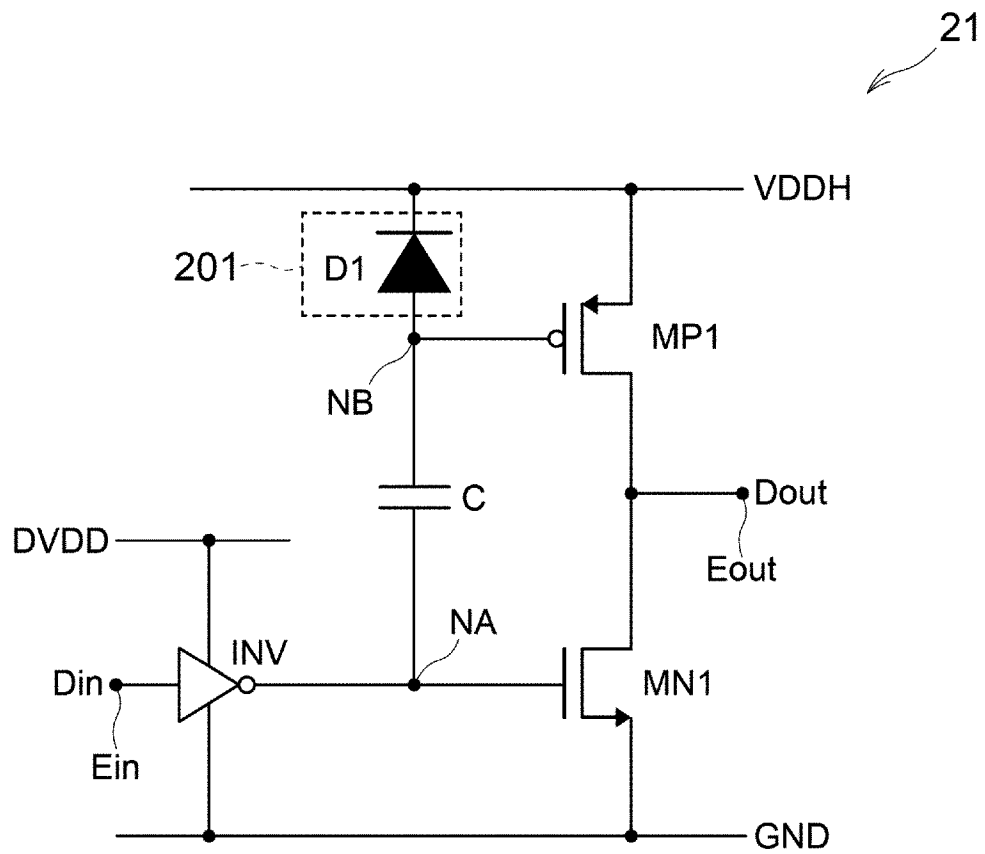
21



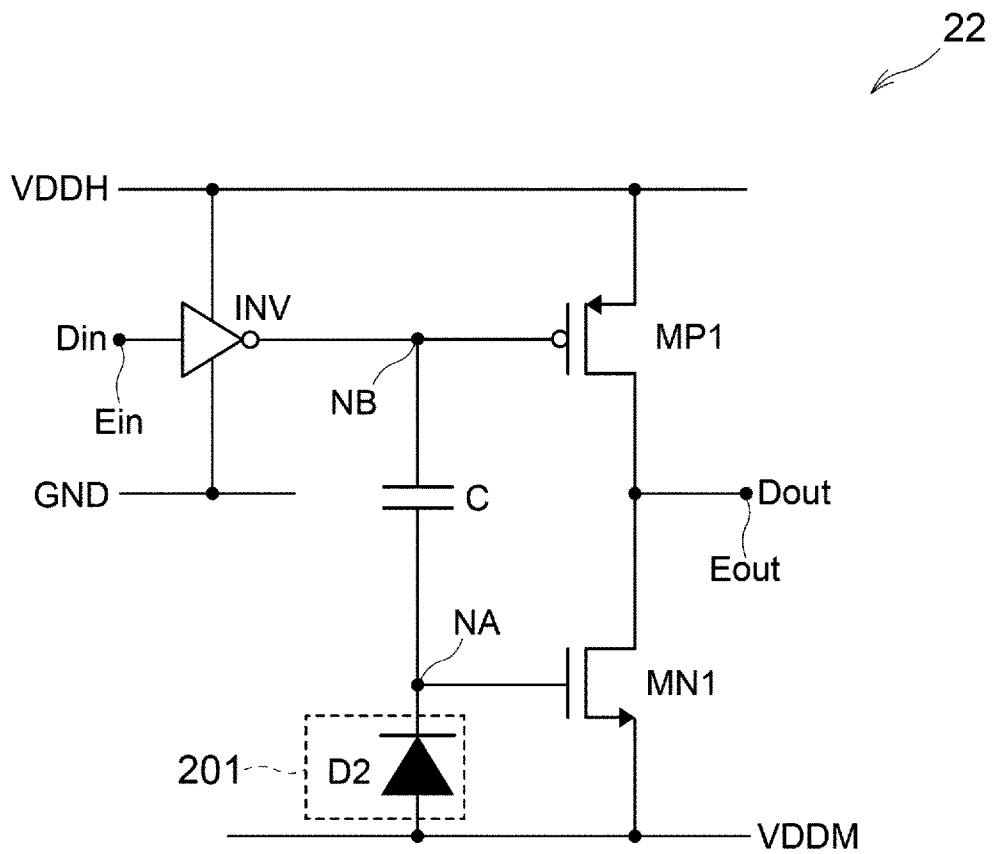
[図7]



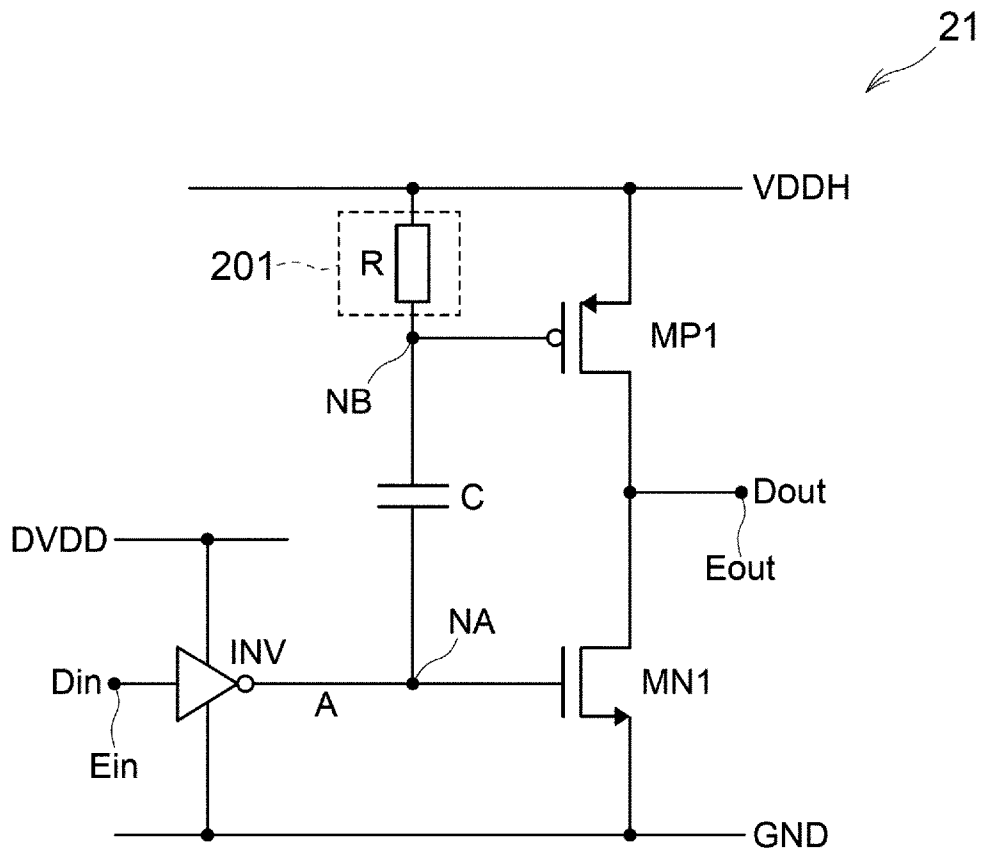
[図8]



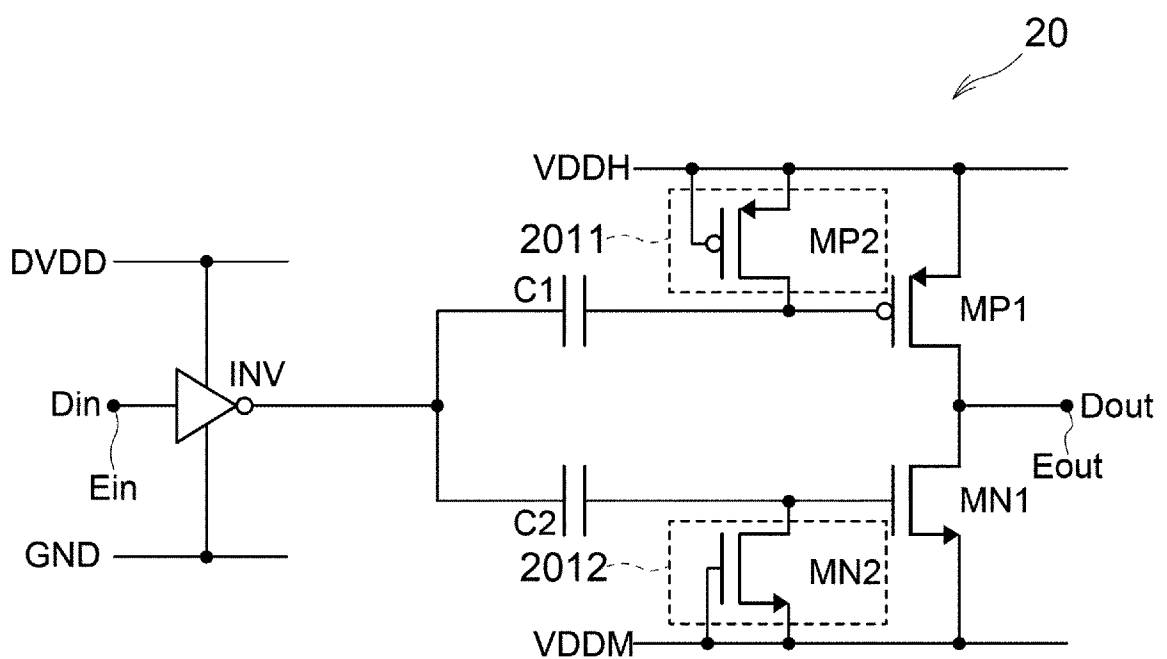
[図9]



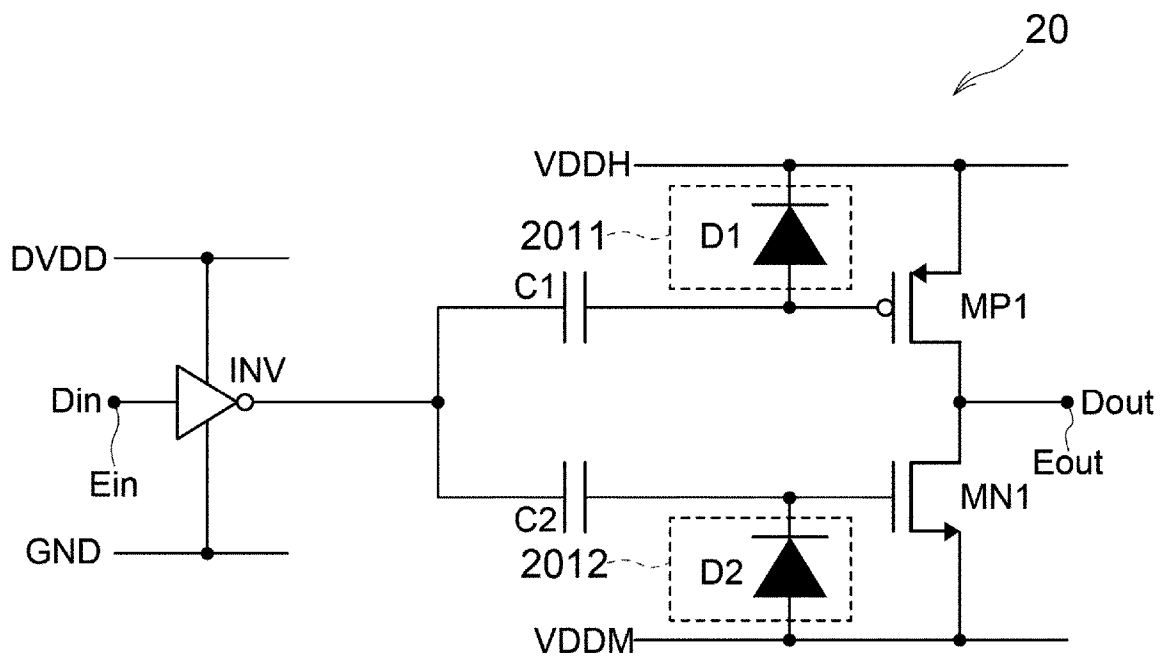
[図10]



[図11]

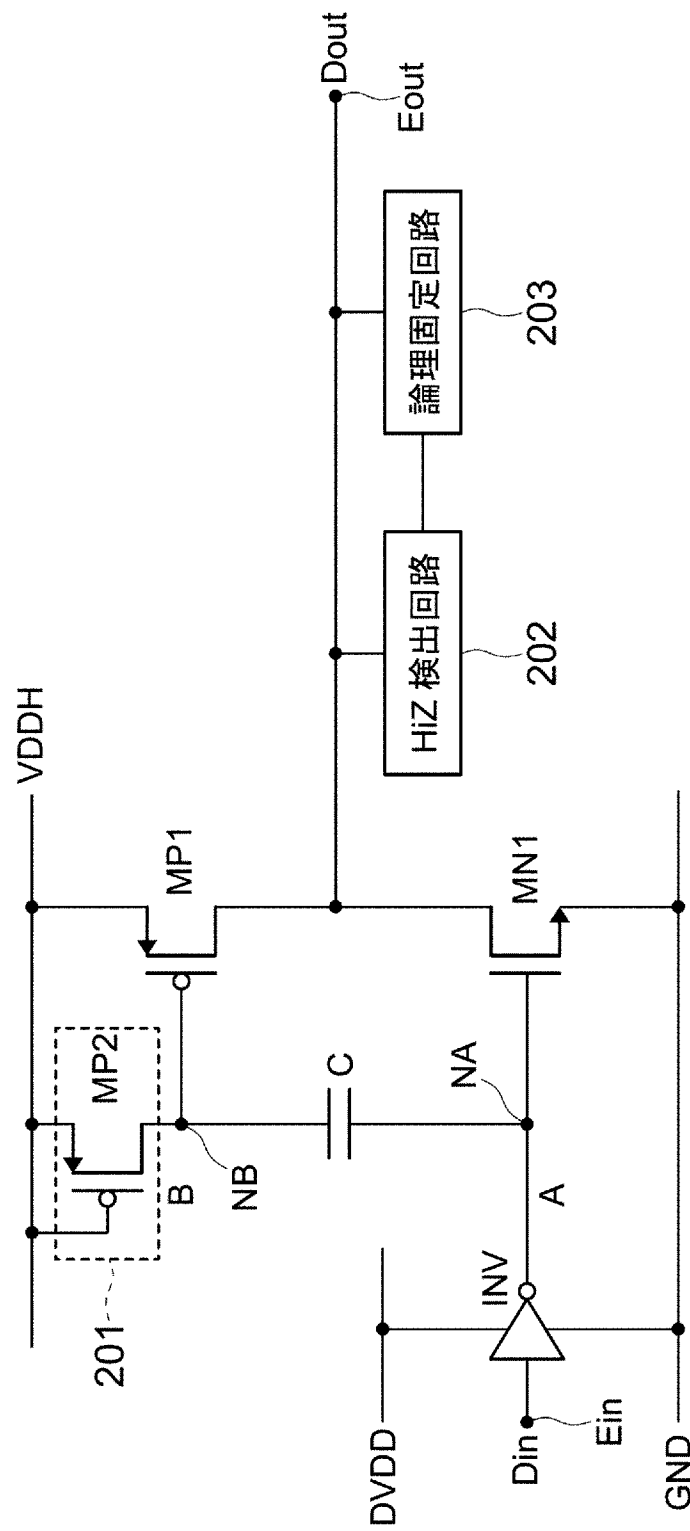


[図12]

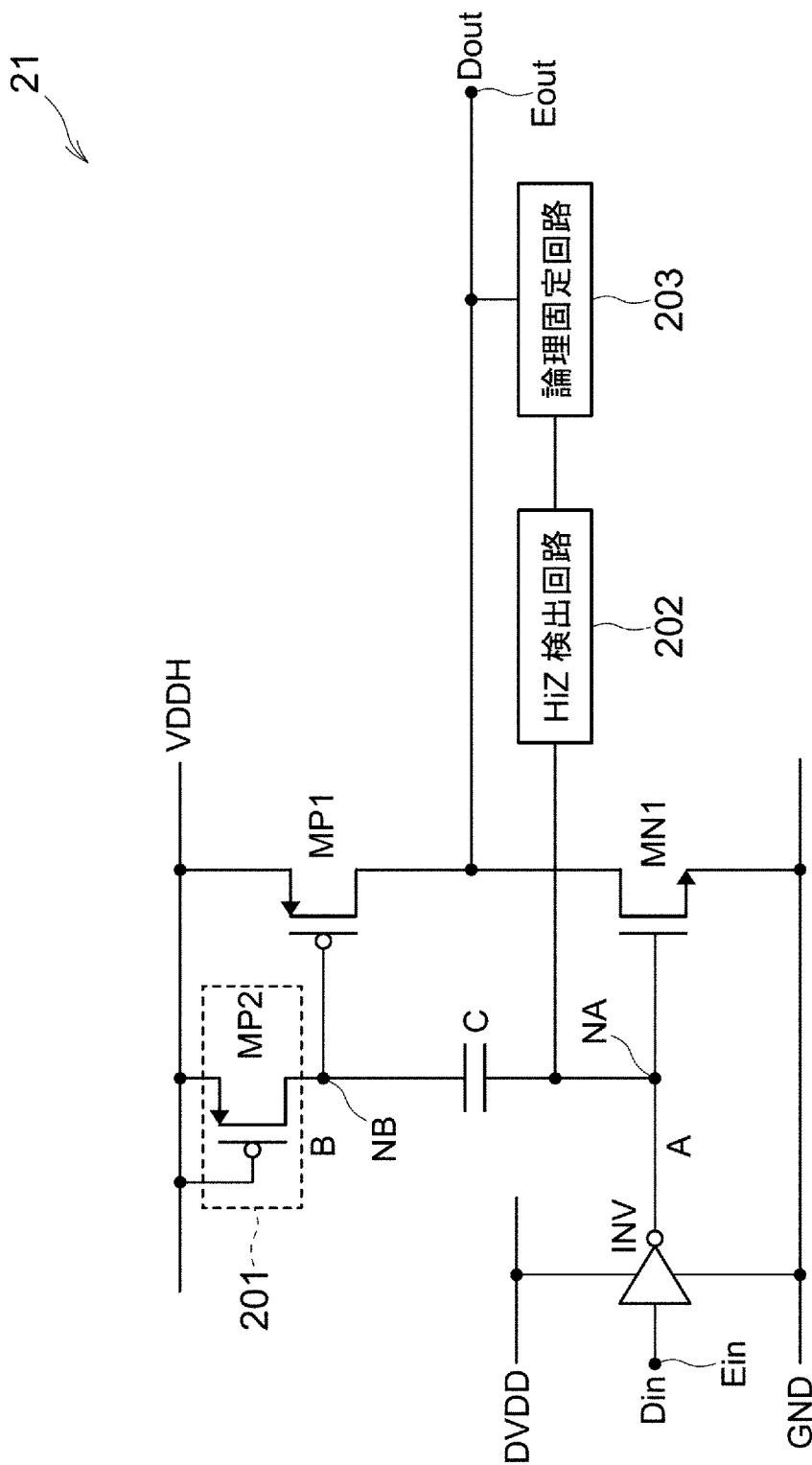


[図13]

21



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/003479

A. CLASSIFICATION OF SUBJECT MATTER**H03K 19/0185**(2006.01)i

FI: H03K19/0185 210

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 55-491 A (CITIZEN WATCH CO., LTD.) 05 January 1980 (1980-01-05) page 1, lower right column, line 3 to page 3, upper left column, line 13, fig. 2-4	1-7, 13, 17
Y		8-9, 12, 14-16, 18
A		10-11
Y	JP 2003-110420 A (SEIKO EPSON CORP.) 11 April 2003 (2003-04-11) paragraphs [0029]-[0035], fig. 1	8-9, 12
A		10-11
Y	JP 9-172367 A (SEIKO EPSON CORP.) 30 June 1997 (1997-06-30) paragraphs [0027]-[0031], fig. 5	9, 14-16
A		10-11
Y	JP 2009-188734 A (NEC ELECTRONICS CORP.) 20 August 2009 (2009-08-20) paragraphs [0001]-[0023], [0153]-[0154], fig. 10	18
A		10-11

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/003479

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 64-44619 A (SEIKO EPSON CORP.) 17 February 1989 (1989-02-17) entire text, all drawings	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/003479

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	55-491	A	05 January 1980	(Family: none)	
JP	2003-110420	A	11 April 2003	US 2003/0001616 A1 paragraphs [0049]-[0055], fig. 1 KR 10-2003-0001341 A	
JP	9-172367	A	30 June 1997	(Family: none)	
JP	2009-188734	A	20 August 2009	US 2009/0195291 A1 paragraphs [0002]-[0032], [0239]-[0240], fig. 10 CN 101504867 A	
JP	64-44619	A	17 February 1989	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 19/0185(2006.01)i FI: H03K19/0185 210		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03K19/0185		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 55-491 A（シチズン時計株式会社）05.01.1980（1980-01-05） 第1頁右下欄第3行-第3頁左上欄第13行，第2図-第4図	1-7, 13, 17 8-9, 12, 14-16, 18 10-11
Y A	JP 2003-110420 A（セイコーエプソン株式会社）11.04.2003（2003-04-11） 段落[0029]-[0035]，図1	8-9, 12 10-11
Y A	JP 9-172367 A（セイコーエプソン株式会社）30.06.1997（1997-06-30） 段落[0027]-[0031]，図5	9, 14-16 10-11
Y A	JP 2009-188734 A（NECエレクトロニクス株式会社）20.08.2009（2009-08-20） 段落[0001]-[0023]，[0153]-[0154]，図10	18 10-11
A	JP 64-44619 A（セイコーエプソン株式会社）17.02.1989（1989-02-17） 全文，全図	1-18
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 11.04.2022		国際調査報告の発送日 26.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/003479

引用文献			公表日	パテントファミリー文献	公表日
JP	55-491	A	05.01.1980	(ファミリーなし)	
JP	2003-110420	A	11.04.2003	US 2003/0001616 A1 段落[0049]-[0055], 図1 KR 10-2003-0001341 A	
JP	9-172367	A	30.06.1997	(ファミリーなし)	
JP	2009-188734	A	20.08.2009	US 2009/0195291 A1 段落[0002]-[0032], [0239]-[0240], 図10 CN 101504867 A	
JP	64-44619	A	17.02.1989	(ファミリーなし)	