

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-135455

(P2009-135455A)

(43) 公開日 平成21年6月18日(2009.6.18)

(51) Int.Cl.	F 1		テーマコード (参考)
HO 1 L 21/02 (2006.01)	HO 1 L 27/12	B	3 K 1 O 7
HO 1 L 27/12 (2006.01)	HO 1 L 21/20		5 F O 4 8
HO 1 L 21/20 (2006.01)	HO 1 L 29/78	6 2 7 D	5 F 1 1 O
HO 1 L 21/336 (2006.01)	HO 1 L 27/08	3 3 1 E	5 F 1 5 2
HO 1 L 29/786 (2006.01)	HO 5 B 33/14	A	

審査請求 未請求 請求項の数 29 O L (全 46 頁) 最終頁に続く

(21) 出願番号	特願2008-273420 (P2008-273420)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成20年10月23日 (2008.10.23)	(72) 発明者	田中 幸一郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2007-280115 (P2007-280115)	(72) 発明者	岡本 悟 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成19年10月29日 (2007.10.29)	F ターム (参考)	3K1O7 AA01 BB01 CC42 CC45 EE04 HH05 5F048 AA07 AB10 AC04 BA16 BB09 BB11 BB12 BB13 BC06 BF02 BF07 BF16 BG01 BG03 BG07 DA25 DA27 DA30
(33) 優先権主張国	日本国 (JP)		最終頁に続く

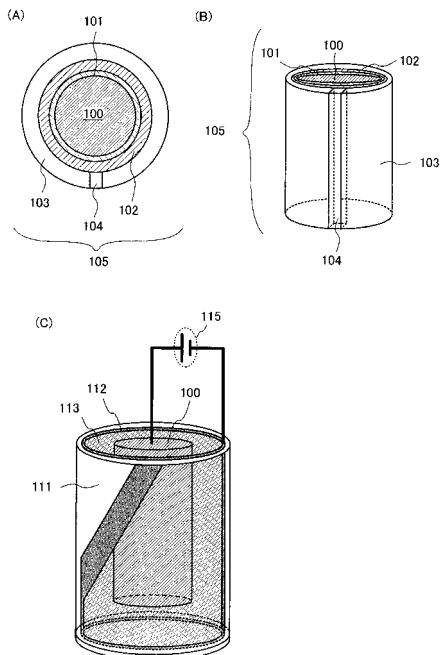
(54) 【発明の名称】 単結晶半導体層の形成方法、結晶性半導体層の形成方法、多結晶半導体層の形成方法、及び、半導体装置の作製方法

## (57) 【要約】

【課題】 大型の絶縁基板上に、大面積を有する単結晶半導体層を形成することを課題とする。

【解決手段】 単結晶半導体インゴットの側面に第1の多孔層及び第2の多孔層を形成し、第2の多孔層上的一部分に、溝と単結晶半導体層を形成し、大型絶縁基板上に、単結晶半導体インゴットを貼り合わせ、第1の多孔層と第2の多孔層の界面に、ウォータージェットを当て、単結晶半導体層を大型絶縁基板に貼り合わせる単結晶半導体層の形成方法、あるいは、結晶性半導体インゴットに水素イオンを照射し、結晶性半導体インゴット中に水素イオン照射領域を形成し、結晶性半導体インゴットを加熱しながら大型絶縁基板上で回転させ、水素イオン照射領域から結晶性半導体層を分離し、大型絶縁基板上に貼り合わせる結晶性半導体層の形成方法に関する。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

単結晶半導体インゴットの側面に陽極化成を行い、第1の多孔層を形成し、前記陽極化成の条件を変えることにより、前記第1の多孔層上に第2の多孔層を形成し、

前記第2の多孔層上の一剖に、溝を形成し、前記第2の多孔層上の前記溝以外の領域に、エピタキシャル成長した単結晶半導体層を形成し、

大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第3の絶縁膜を形成し、

前記大型絶縁基板上の前記第3の絶縁膜上に、前記単結晶半導体インゴット上の前記溝を貼り合わせ、

前記第1の多孔層と前記第2の多孔層の界面に、ウォータージェットを当て、前記単結晶半導体インゴットを回転させながら、前記単結晶半導体層及び前記第2の多孔層を、前記単結晶半導体インゴットから分離し、前記単結晶半導体層を前記第3の絶縁膜に貼り合わせ、

前記大型絶縁基板上に、前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、前記単結晶半導体層、前記第2の多孔層が形成され、

前記第2の多孔層が除去されることを特徴とする単結晶半導体層の形成方法。

**【請求項 2】**

単結晶半導体インゴットの側面に陽極化成を行い、第1の多孔層を形成し、前記陽極化成の条件を変えることにより、前記第1の多孔層上に第2の多孔層を形成し、

前記第2の多孔層上の一剖に、溝を形成し、前記第2の多孔層上の前記溝以外の領域に、エピタキシャル成長した単結晶半導体層を形成し、

大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、珪素膜を熱酸化することにより得られた酸化珪素膜を用いて第3の絶縁膜を形成し、

前記大型絶縁基板上の前記第3の絶縁膜上に、前記単結晶半導体インゴット上の前記溝を貼り合わせ、

前記第1の多孔層と前記第2の多孔層の界面に、ウォータージェットを当て、前記単結晶半導体インゴットを回転させながら、前記単結晶半導体層及び前記第2の多孔層を、前記単結晶半導体インゴットから分離し、前記単結晶半導体層を前記第3の絶縁膜に貼り合わせ、

前記大型絶縁基板上に、前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、前記単結晶半導体層、前記第2の多孔層が形成され、

前記第2の多孔層が除去されることを特徴とする単結晶半導体層の形成方法。

**【請求項 3】**

請求項1または請求項2において、

前記第1の絶縁膜は、酸素を含む窒化珪素膜を用いて形成され、

前記第2の絶縁膜は、窒素を含む酸化珪素膜を用いて形成されることを特徴とする単結晶半導体層の形成方法。

**【請求項 4】**

請求項1乃至請求項3のいずれか1項において、

前記単結晶半導体インゴットは、単結晶シリコンインゴットであり、

前記単結晶半導体層は、単結晶シリコン層であることを特徴とする単結晶半導体層の形成方法。

**【請求項 5】**

結晶性半導体インゴットの側面から、前記結晶性半導体インゴットの中心軸に垂直な方向に水素イオンを照射し、前記結晶性半導体インゴット中に円状に水素イオン照射領域を形成し、

前記結晶性半導体インゴットを円周に沿った方向に回転させ、前記結晶性半導体インゴ

10

20

30

40

50

ットの中心軸に垂直な方向に移動させ、前記水素イオン照射領域から結晶性半導体層が分離され、大型絶縁基板上に貼り合わせられていくことを特徴とする結晶性半導体層の形成方法。

**【請求項 6】**

請求項 5において、  
前記結晶性半導体インゴットを、加熱しながら、円周に沿った方向に回転させることを特徴とする結晶性半導体層の形成方法。

**【請求項 7】**

円柱状の結晶性半導体インゴットを回転させながら、前記結晶性半導体インゴットに水素イオンを照射して、円状に水素イオン照射領域を形成し、

前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域と、大型絶縁基板を接触させ、かつ、前記大型絶縁基板が前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域を包み込むように貼り合わせ、

前記大型絶縁基板及び前記結晶性半導体インゴットを加熱しながら、前記水素イオン照射領域から、前記水素イオン照射領域の外側の領域である結晶性半導体層を分離し、前記結晶性半導体層を前記大型絶縁基板への貼り合わせることを特徴とする結晶性半導体層の形成方法。

**【請求項 8】**

請求項 5乃至請求項 7のいずれか 1 項において、  
前記大型絶縁基板上に、第 1 の絶縁膜、第 2 の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第 3 の絶縁膜が形成されていることを特徴とする結晶性半導体層の形成方法。 20

**【請求項 9】**

請求項 5乃至請求項 7のいずれか 1 項において、  
前記大型絶縁基板上に、第 1 の絶縁膜、第 2 の絶縁膜、珪素膜を酸化することにより得られた酸化珪素膜を用いて第 3 の絶縁膜が形成されていることを特徴とする結晶性半導体層の形成方法。

**【請求項 10】**

請求項 8または請求項 9において、  
前記第 1 の絶縁膜は、酸素を含む窒化珪素膜を用いて形成され、  
前記第 2 の絶縁膜は、窒素を含む酸化珪素膜を用いて形成されることを特徴とする結晶性半導体層の形成方法。 30

**【請求項 11】**

請求項 5乃至請求項 10のいずれか 1 項において、  
前記結晶性半導体インゴットは、結晶性シリコンインゴットであり、  
前記結晶性半導体層は、結晶性シリコン層であることを特徴とする結晶性半導体層の形成方法。

**【請求項 12】**

請求項 5乃至請求項 11のいずれか 1 項において、  
前記結晶性半導体インゴットは、単結晶半導体インゴットまたは多結晶半導体インゴットであり、  
前記結晶性半導体層は、単結晶半導体層または多結晶半導体層であることを特徴とする結晶性半導体層の形成方法。 40

**【請求項 13】**

角形多結晶半導体インゴットに、水素イオンを照射して、前記角形多結晶半導体インゴット中に水素イオン照射領域を形成し、

大型絶縁基板上に、第 1 の絶縁膜、第 2 の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜と、前記角形多結晶半導体インゴットの多結晶半導体層となる領域を向かい合わせ、加熱して、前記水素イオン照射領域から前記多結晶半導体層を分離し、前 50

記大型絶縁基板上に前記多結晶半導体層を貼り合わせることを特徴とする多結晶半導体層の形成方法。

**【請求項 1 4】**

角形多結晶半導体インゴットに、水素イオンを照射して、前記角形多結晶半導体インゴット中に水素イオン照射領域を形成し、

大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、珪素膜を熱酸化することにより得られた酸化珪素膜を用いて第3の絶縁膜を形成し、

前記第3の絶縁膜と、前記角形多結晶半導体インゴットの多結晶半導体層となる領域を向かい合わせ、加熱して、前記水素イオン照射領域から前記多結晶半導体層を分離し、前記大型絶縁基板上に前記多結晶半導体層を貼り合わせることを特徴とする多結晶半導体層の形成方法。  
10

**【請求項 1 5】**

請求項13または請求項14において、

前記第1の絶縁膜は、酸素を含む窒化珪素膜を用いて形成され、

前記第2の絶縁膜は、窒素を含む酸化珪素膜を用いて形成されることを特徴とする多結晶半導体層の形成方法。

**【請求項 1 6】**

請求項13乃至請求項15のいずれか1項において、

前記角形多結晶半導体インゴットは、角形多結晶シリコンインゴットであり、

前記多結晶半導体層は、多結晶シリコン層であることを特徴とする多結晶半導体層の形成方法。  
20

**【請求項 1 7】**

単結晶半導体インゴットの側面に陽極化成を行い、第1の多孔層を形成し、

前記陽極化成の条件を変えることにより、前記第1の多孔層上に第2の多孔層を形成し、

前記第2の多孔層上の一剖に、溝を形成し、前記第2の多孔層上の前記溝以外の領域に、エピタキシャル成長した単結晶半導体層を形成し、

大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第3の絶縁膜を形成し、

前記大型絶縁基板上の前記第3の絶縁膜上に、前記単結晶半導体インゴット上の前記溝を貼り合わせ。  
30

前記第1の多孔層と前記第2の多孔層の界面に、ウォータージェットを当て、前記単結晶半導体インゴットを回転させながら、前記単結晶半導体層及び前記第2の多孔層を、前記単結晶半導体インゴットから分離し、前記単結晶半導体層を前記第3の絶縁膜に貼り合わせ、

前記大型絶縁基板上に、前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、前記単結晶半導体層、前記第2の多孔層が形成され、

前記第2の多孔層が除去され、

前記単結晶半導体層を、エッチングして島状半導体領域を形成し、

前記島状半導体領域上に、ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、ゲート電極を形成し、  
40

前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法。

**【請求項 1 8】**

単結晶半導体インゴットの側面に陽極化成を行い、第1の多孔層を形成し、

前記陽極化成の条件を変えることにより、前記第1の多孔層上に第2の多孔層を形成し、

前記第2の多孔層上の一剖に、溝を形成し、前記第2の多孔層上の前記溝以外の領域に、エピタキシャル成長した単結晶半導体層を形成し、  
50

大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、珪素膜を熱酸化することにより得られた酸化珪素膜を用いて第3の絶縁膜を形成し、

前記大型絶縁基板上の前記第3の絶縁膜上に、前記単結晶半導体インゴット上の前記溝を貼り合わせ、

前記第1の多孔層と前記第2の多孔層の界面に、ウォータージェットを当て、前記単結晶半導体インゴットを回転させながら、前記単結晶半導体層及び前記第2の多孔層を、前記単結晶半導体インゴットから分離し、前記単結晶半導体層を前記第3の絶縁膜に貼り合わせ、

前記大型絶縁基板上に、前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、前記単結晶半導体層、前記第2の多孔層が形成され、

前記第2の多孔層が除去され、

前記単結晶半導体層を、エッチングして島状半導体領域を形成し、

前記島状半導体領域上に、ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、ゲート電極を形成し、

前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法。

#### 【請求項19】

請求項17または請求項18において、

前記単結晶半導体インゴットは、単結晶シリコンインゴットであり、

前記単結晶半導体層は、単結晶シリコン層であることを特徴とする半導体装置の作製方法。

#### 【請求項20】

結晶性半導体インゴットの側面から、前記結晶性半導体インゴットの中心軸に垂直な方向に水素イオンを照射し、前記結晶性半導体インゴット中に円状に水素イオン照射領域を形成し、

前記結晶性半導体インゴットを円周に沿った方向に回転させ、前記結晶性半導体インゴットの中心軸に垂直な方向に移動させ、前記水素イオン照射領域から結晶性半導体層が分離され、大型絶縁基板上に貼り合わせられ、

前記結晶性半導体層を、エッチングして島状半導体領域を形成し、

前記島状半導体領域上に、ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、ゲート電極を形成し、

前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法。

#### 【請求項21】

請求項20において、

前記結晶性半導体インゴットを、加熱しながら、円周に沿った方向に回転させることを特徴とする半導体装置の作製方法。

#### 【請求項22】

円柱状の結晶性半導体インゴットを回転させながら、前記結晶性半導体インゴットに水素イオンを照射して、円状に水素イオン照射領域を形成し、

前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域と、大型絶縁基板を接触させ、かつ、前記大型絶縁基板が前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域を包み込むように貼り合わせ、

前記大型絶縁基板及び前記結晶性半導体インゴットを加熱しながら、前記水素イオン照射領域から、前記水素イオン照射領域の外側の領域である結晶性半導体層を分離し、前記結晶性半導体層を前記大型絶縁基板への貼り合わせ、

前記結晶性半導体層を、エッチングして島状半導体領域を形成し、

前記島状半導体領域上に、ゲート絶縁膜を形成し、

10

20

30

40

50

前記ゲート絶縁膜上に、ゲート電極を形成し、

前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 2 0 乃至請求項 2 2 のいずれか 1 項において、

前記大型絶縁基板上に、第 1 の絶縁膜、第 2 の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第 3 の絶縁膜が形成されていることを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 2 0 乃至請求項 2 3 のいずれか 1 項において、

前記結晶性半導体インゴットは、結晶性シリコンインゴットであり、

前記結晶性半導体層は、結晶性シリコン層であることを特徴とする半導体装置の作製方法。

【請求項 2 5】

請求項 2 0 乃至請求項 2 4 のいずれか 1 項において、

前記結晶性半導体インゴットは、単結晶半導体インゴットまたは多結晶半導体インゴットであり、

前記結晶性半導体層は、単結晶半導体層または多結晶半導体層であることを特徴とする半導体装置の作製方法。

【請求項 2 6】

角形多結晶半導体インゴットに、水素イオンを照射して、前記角形多結晶半導体インゴット中に水素イオン照射領域を形成し、

大型絶縁基板上に、第 1 の絶縁膜、第 2 の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜と、前記角形多結晶半導体インゴットの多結晶半導体層となる領域を向かい合わせ、加熱して、前記水素イオン照射領域から前記多結晶半導体層を分離し、前記大型絶縁基板上に前記多結晶半導体層を貼り合わせ、

前記多結晶半導体層を、エッチングして島状半導体領域を形成し、

前記島状半導体領域上に、ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、ゲート電極を形成し、

前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 2 7】

角形多結晶半導体インゴットに、水素イオンを照射して、前記角形多結晶半導体インゴット中に水素イオン照射領域を形成し、

大型絶縁基板上に、第 1 の絶縁膜、第 2 の絶縁膜、珪素膜を熱酸化することにより得られた酸化珪素膜を用いて第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜と、前記角形多結晶半導体インゴットの多結晶半導体層となる領域を向かい合わせ、加熱して、前記水素イオン照射領域から前記多結晶半導体層を分離し、前記大型絶縁基板上に前記多結晶半導体層を貼り合わせ、

前記多結晶半導体層を、エッチングして島状半導体領域を形成し、

前記島状半導体領域上に、ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、ゲート電極を形成し、

前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 2 8】

請求項 2 6 または請求項 2 7 において、

10

20

30

40

50

前記角形多結晶半導体インゴットは、角形多結晶シリコンインゴットであり、  
前記多結晶半導体層は、多結晶シリコン層であることを特徴とする半導体装置の作製方法。

【請求項 29】

請求項 17 乃至 請求項 28 のいずれか 1 項において、

前記第 1 の絶縁膜は、酸素を含む窒化珪素膜を用いて形成され、

前記第 2 の絶縁膜は、窒素を含む酸化珪素膜を用いて形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

結晶性半導体基板から半導体層を薄片化して異種基板に接合する SOI (Silicon On Insulator (シリコン・オン・インシュレータ)) 構造、特に貼り合わせ SOI 技術に関する。ガラス等の絶縁表面を有する基板に単結晶もしくは多結晶の半導体層を接合させた SOI 基板の製造方法に関する。また、このような SOI 構造を有する基板を用いる半導体装置及びその作製方法に関する。

【背景技術】

【0002】

単結晶半導体のインゴットを薄く切断して作製されるシリコンウェハに代わり、絶縁層の上に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ (Silicon On Insulator) と呼ばれる半導体基板 (SOI 基板) が開発されており、マイクロプロセッサなどを製造する際の基板として普及しつつある。これは、SOI 基板を使った集積回路はトランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させ、低消費電力化を図るものとして注目されているからである。

【0003】

一方、ガラスなどの絶縁基板に SOI 層を形成しようとする試みもなされている。ガラス基板上に SOI 層を形成した SOI 基板の一例として、水素イオン注入分離法を用いて、コーティング膜を有するガラス基板上に薄い単結晶シリコン層を形成したものが知られている（特許文献 1 参照）。この場合にも、単結晶シリコン片に水素イオンを注入することによって表面から所定の深さに微小気泡層を形成し、ガラス基板と単結晶シリコン片を張り合わせ後に、微小気泡層を劈開面としてシリコン片を分離することで、ガラス基板上に薄いシリコン層 (SOI 層) を形成している。

【0004】

絶縁基板上に SOI 層を形成する場合も、シリコンウェハから単結晶シリコン層を分離しているので、単結晶シリコン層の面積は、シリコンウェハに依存してしまう。

【0005】

例えば、大型のディスプレイを、ガラス基板上に単結晶シリコン層を貼り合わせて作製する場合、多く使用されているのは 300 mm のシリコンウェハであり、シリコンウェハの大きさはガラス基板の大きさよりも小さい。そのため、1 枚のシリコンウェハではガラス基板全面を覆うことができない。

【0006】

従って、ガラス基板上に複数のシリコンウェハを貼り合わせなくてはならないが、複数のシリコンウェハをガラス基板上に隙間無く敷き詰めることは困難である。

【0007】

隣り合うシリコンウェハの隙間部分にはシリコンが存在しないので、回路設計上の制約ができてしまい、デザインルールの自由度が大きく落ちることになる。

【特許文献 1】特開平 11 - 163363 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

10

20

30

40

50

本発明では、大型の絶縁基板上に、大面積を有する単結晶半導体層を形成することを課題とする。

【課題を解決するための手段】

【0009】

円柱状単結晶半導体インゴットを、上面の円と同心円状、あるいは、円周に沿って分離層を設け、中心軸に対して垂直な方向に分離してゆくと、大面積を有する単結晶半導体層を得られる。すなわち、円柱状単結晶半導体インゴットから桂剥きのように単結晶半導体層を分離する。

【0010】

あるいは、単結晶半導体インゴットの代わりに、多結晶半導体インゴットを用い、多結晶半導体インゴットから多結晶半導体層を分離する。

【発明の効果】

【0011】

本発明により、大型単結晶半導体層を形成することが可能である。本発明により得られた大型単結晶半導体層を用いることにより、ばらつきの小さい単結晶半導体層を活性層に用いた大型半導体装置を作製することが可能である。

【0012】

本発明の大型単結晶半導体層では、結晶性不良領域が存在しないので、結晶性不良領域を回避して回路設計をしなくてはならないという制約がなくなる。従って、半導体装置のデザインルールの制限が極めて少なくなる。

【0013】

また本発明により大型単結晶半導体層を形成することができるので、単結晶半導体層からより多くの活性層を形成することができ、半導体装置の量産が可能となる。

【0014】

本発明は、単結晶半導体インゴットの側面に陽極化成を行い、第1の多孔層を形成し、前記陽極化成の条件を変えることにより、第2の多孔層を形成し、前記第2の多孔層上的一部分に、溝を形成し、前記第2の多孔層上の前記溝以外の領域に、エピタキシャル成長した単結晶半導体層を形成し、大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第3の絶縁膜を形成し、前記大型絶縁基板上の前記第3の絶縁膜上に、前記単結晶半導体インゴット上の前記溝を貼り合わせ、前記第1の多孔層と前記第2の多孔層の界面に、ウォータージェットを当て、前記単結晶半導体インゴットを回転させながら、前記単結晶半導体層及び前記第2の多孔層を、前記単結晶半導体インゴットから分離し、前記単結晶半導体層を前記第3の絶縁膜に貼り合わせ、前記大型絶縁基板上に、前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、前記単結晶半導体層、前記第2の多孔層が形成され、前記第2の多孔層が除去されることを特徴とする単結晶半導体層の形成方法に関するものである。

【0015】

また本発明は、結晶性半導体インゴットの側面から、前記結晶性半導体インゴットの中心軸に垂直な方向に水素イオンを照射し、前記結晶性半導体インゴット中に円状に水素イオン照射領域を形成し、前記結晶性半導体インゴットを円周に沿った方向に回転させ、前記結晶性半導体インゴットの中心軸に垂直な方向に移動させ、前記水素イオン照射領域から結晶性半導体層が分離され、大型絶縁基板上に貼り合わせられていくことを特徴とする結晶性半導体層の形成方法に関する。

【0016】

また本発明は、円柱状の結晶性半導体インゴットを回転させながら、前記結晶性半導体インゴットに水素イオンを照射して、円状に水素イオン照射領域を形成し、前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域と、大型絶縁基板を接触させ、かつ、前記大型絶縁基板が前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域を包み込むように貼り合わせ、前記大型絶縁基板及び前記結晶性半導体インゴットを加熱しながら、前記水素イオン照射領域から、前記水素イオン照射領域の外側の領域であ

10

20

30

40

50

る結晶性半導体層を分離し、前記結晶性半導体層を前記大型絶縁基板への貼り合わせることを特徴とする結晶性半導体層の形成方法に関する。

【0017】

また本発明は、角形多結晶半導体インゴットに、水素イオンを照射して、前記角形多結晶半導体インゴット中に水素イオン照射領域を形成し、大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第3の絶縁膜を形成し、前記第3の絶縁膜と、前記角形多結晶半導体インゴットの多結晶半導体層となる領域を向かい合わせ、加熱して、前記水素イオン照射領域から前記多結晶半導体層を分離し、前記大型絶縁基板上に前記多結晶半導体層を貼り合わせることを特徴とする多結晶半導体層の形成方法に関する。

10

【0018】

また本発明は、単結晶半導体インゴットの側面に陽極化成を行い、第1の多孔層を形成し、前記陽極化成の条件を変えることにより、前記第1の多孔層上に第2の多孔層を形成し、前記第2の多孔層上の一とに、溝を形成し、前記第2の多孔層上の前記溝以外の領域に、エピタキシャル成長した単結晶半導体層を形成し、大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第3の絶縁膜を形成し、前記大型絶縁基板上の前記第3の絶縁膜上に、前記単結晶半導体インゴット上の前記溝を貼り合わせ、前記第1の多孔層と前記第2の多孔層の界面に、ウォータージェットを当て、前記単結晶半導体インゴットを回転させながら、前記単結晶半導体層及び前記第2の多孔層を、前記単結晶半導体インゴットから分離し、前記単結晶半導体層を前記第3の絶縁膜に貼り合わせ、前記大型絶縁基板上に、前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、前記単結晶半導体層、前記第2の多孔層が形成され、前記第2の多孔層が除去され、前記単結晶半導体層を、エッチングして島状半導体領域を形成し、前記島状半導体領域上に、ゲート絶縁膜を形成し、前記ゲート絶縁膜上に、ゲート電極を形成し、前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法に関する。

20

【0019】

本発明において、前記単結晶半導体インゴットは、単結晶シリコンインゴットであり、前記単結晶半導体層は、単結晶シリコン層である。

30

【0020】

また本発明において、結晶性半導体インゴットの側面から、前記結晶性半導体インゴットを回転させながら、前記結晶性半導体インゴットの中心軸に垂直な方向に水素イオンを照射し、前記結晶性半導体インゴット中に円状に水素イオン照射領域を形成し、前記結晶性半導体インゴットの中心軸に垂直な方向に移動させ、前記水素イオン照射領域から結晶性半導体層が分離され、大型絶縁基板上に貼り合わせられ、前記結晶性半導体層を、エッチングして島状半導体領域を形成し、前記島状半導体領域上に、ゲート絶縁膜を形成し、前記ゲート絶縁膜上に、ゲート電極を形成し、前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法に関する。

40

【0021】

本発明において、前記結晶性半導体インゴットを、加熱しながら、円周に沿った方向に回転させる。

【0022】

また本発明は、円柱状の結晶性半導体インゴットを回転させながら、前記結晶性半導体インゴットに水素イオンを照射して、円状に水素イオン照射領域を形成し、前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域と、大型絶縁基板を接触させ、かつ、前記大型絶縁基板が前記結晶性半導体インゴットの前記水素イオン照射領域の外側の領域を包み込むように貼り合わせ、前記大型絶縁基板及び前記結晶性半導体インゴットを

50

加熱しながら、前記水素イオン照射領域から、前記水素イオン照射領域の外側の領域である結晶性半導体層を分離し、前記結晶性半導体層を前記大型絶縁基板へ貼り合わせ、前記結晶性半導体層を、エッティングして島状半導体領域を形成し、前記島状半導体領域上に、ゲート絶縁膜を形成し、前記ゲート絶縁膜上に、ゲート電極を形成し、前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法に関する。

【0023】

本発明において、前記大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第3の絶縁膜が形成されている。 10

【0024】

本発明において、前記結晶性半導体インゴットは、結晶性シリコンインゴットであり、前記結晶性半導体層は、結晶性シリコン層である。

【0025】

本発明において、前記結晶性半導体インゴットは、単結晶半導体インゴットまたは多結晶半導体インゴットであり、前記結晶性半導体層は、単結晶半導体層または多結晶半導体層である。

【0026】

また本発明は、角形多結晶半導体インゴットに、水素イオンを照射して、前記角形多結晶半導体インゴット中に水素イオン照射領域を形成し、大型絶縁基板上に、第1の絶縁膜、第2の絶縁膜、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いて第3の絶縁膜を形成し、前記第3の絶縁膜と、前記角形多結晶半導体インゴットの多結晶半導体層となる領域を向かい合わせ、加熱して、前記水素イオン照射領域から前記多結晶半導体層を分離し、前記大型絶縁基板上に前記多結晶半導体層を貼り合わせ、前記多結晶半導体層を、エッティングして島状半導体領域を形成し、前記島状半導体領域上に、ゲート絶縁膜を形成し、前記ゲート絶縁膜上に、ゲート電極を形成し、前記ゲート電極をマスクとして、前記島状半導体領域に一導電性を付与する不純物元素を添加し、前記島状半導体領域中に、ソース領域、ドレイン領域、チャネル形成領域を形成することを特徴とする半導体装置の作製方法に関する。 20

【0027】

本発明において、前記角形多結晶半導体インゴットは、角形多結晶シリコンインゴットであり、前記多結晶半導体層は、多結晶シリコン層である。 30

【0028】

本発明において、前記第1の絶縁膜は、酸素を含む窒化珪素膜を用いて形成され、前記第2の絶縁膜は、窒素を含む酸化珪素膜を用いて形成される。

【0029】

なお本発明において、テトラエチルオルソシリケートを原料とした酸化珪素膜を用いる代わりに、珪素膜を熱酸化して得られた熱酸化膜（酸化珪素膜）を第3の絶縁膜としてもよい。

【発明を実施するための最良の形態】

【0030】

本発明の実施の形態について、図面を用いて以下に説明する。ただし、本発明は以下の説明に限定されない。本発明の趣旨およびその範囲から逸脱することなく、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。 40

【0031】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能し得る装置全般を示し、液晶、エレクトロルミネンス（EL）等を用いた表示装置、半導体回路

及び電子機器は全て半導体装置とする。

【0032】

[実施の形態1]

本実施の形態を、図1(A)～図1(C)、図2(A)～図2(D)、図7(A)～図7(E)を用いて説明する。

【0033】

本実施の形態では、単結晶半導体インゴットとして、シリコンインゴットを用い、大面積を有する単結晶半導体層として、単結晶シリコン層を、シリコンインゴットから分離して、大型絶縁基板、例えば大型ガラス基板に貼り合わせる例について述べる。

【0034】

まず、シリコンインゴット100の側面全体に陽極化成を行い、第1の多孔層及び第2の多孔層として、第1のポーラスシリコン層101及び第2のポーラスシリコン層102を形成する。本実施の形態では、シリコンインゴット100は直径30cm、長さ100cm以上のものを使用する。

【0035】

ただし本発明では、半導体としてシリコンに限定されるものではなく、可能であれば他の半導体、例えばゲルマニウム、シリコンゲルマニウム等、並びに、酸化物半導体等を用いてもよい。このような、半導体インゴットを用いて、大面積を有する単結晶半導体層を形成すればよい。また多孔層もその半導体に応じた多孔層となる。

【0036】

図1(C)に示すように、容器111中にフッ酸とエタノールの混合溶液113を満たし、その中にシリコンインゴット100を設置する。シリコンインゴット100を陽極、容器111の内側に設置された電極112を陰極として、電流源115につなげ電流を印加する。電極112は、白金(Plt)等を用いればよい。

【0037】

電流を印加すると、シリコンインゴット100の表面に、数nm径の微細孔が数十nmの間隔でポーラスシリコン層が形成される。

【0038】

ポーラスシリコン層形成の際に、形成条件、例えば電流密度を変えることにより、第1のポーラスシリコン層101と第2のポーラスシリコン層102を形成することができる。

【0039】

第1のポーラスシリコン層101と第2のポーラスシリコン層102の界面にはひずみが局在する。第2のポーラスシリコン層102の孔の大きさが大きい程、ひずみが大きくなる。

【0040】

その後、水素雰囲気中で1000～1100程度で加熱する。この加熱工程によって、第1のポーラスシリコン層101と第2のポーラスシリコン層102それぞれの表面に形成された孔が封止され、平坦化される。

【0041】

次いで、第2ポーラスシリコン層102上に、CVD法等によりシリコンエピタキシャル層103(単結晶シリコン層)を成長させる。この時、第2ポーラスシリコン層102の側面に、溝104を形成してもよい。溝104を形成しなくても、後の工程でウォータージェット130を当てることにより、第1のポーラスシリコン層101と第2のポーラスシリコン層102を分離することができる。

【0042】

溝104を形成する場合は、エピタキシャル層103を成長させる際に、第2ポーラスシリコン層102の一部にマスクを形成し、エピタキシャル成長させないことで形成してもよい。

【0043】

10

20

30

40

50

また溝 104 を形成する場合は、エピタキシャル層 103 を第 2 ポーラスシリコン層 102 の全面に形成してから、レーザやブレード等のダイサーでエピタキシャル層 103 の一部を除去することにより形成してもよい。

#### 【0044】

以上のように、シリコンインゴット 100 上に、第 1 のポーラスシリコン層 101、第 2 のポーラスシリコン層 102、シリコンエピタキシャル層 103、溝 104 を形成し、これら全部を合わせたものをインゴット 105 とする。図 1 (A) はインゴット 105 の断面図、図 1 (B) はインゴット 105 の斜視図である。

#### 【0045】

また、本実施の形態では、大型絶縁基板 120 としてガラス基板を用い、大型絶縁基板 120 上に、第 1 の絶縁膜 121、第 2 の絶縁膜 122、第 3 の絶縁膜 123 を形成する。本実施の形態では、プラズマ CVD 法により、第 1 の絶縁膜 121 として酸素を含む窒化珪素膜、第 2 の絶縁膜 122 として窒素を含む酸化珪素膜を形成する。さらに第 3 の絶縁膜 123 としては、プラズマ CVD 法により、TEOS (テトラエチルオルソシリケート) を原料として、50 ~ 100 nm の膜厚になるように酸化珪素膜を形成する。また第 3 の絶縁膜 123 として、まず珪素膜を形成し、それを熱酸化して得られた熱酸化膜 (酸化珪素膜) を用いてもよい。また、大型絶縁基板 120、第 1 の絶縁膜 121、第 2 の絶縁膜 122、第 3 の絶縁膜 123 を合わせて、基板 124 と呼ぶ (図 2 (A) 参照)。

#### 【0046】

大型絶縁基板 120 としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのようなガラス基板、あるいはそのようなガラス基板以外にも、石英ガラスのような半導体基板の他、プラスチック基板等を適用することができる。

#### 【0047】

次いで、インゴット 105 の溝 104 を基板 124 に貼り合わせる。溝 104 を形成しない場合は、エピタキシャル層 103 の一部を基板 124 に接触させる。

#### 【0048】

さらに、第 1 のポーラスシリコン層 101 と第 2 のポーラスシリコン層 102 との界面の歪みの大きな場所に、ウォータージェット 130 を当てるにより、第 1 のポーラスシリコン層 101 と第 2 のポーラスシリコン層 102 との界面のゆがみの大きな箇所で分離する。

#### 【0049】

図 2 (B) は、基板 124 とインゴット 105 を、インゴット 105 の側面から見た側面図、図 2 (C) は、基板 124 とインゴット 105 を、インゴット 105 の断面から見た断面図である。

#### 【0050】

図 2 (B) に示すように、ウォータージェット 130 は、インゴット 105 の断面に対して当たられる。また、図 2 (C) においては図示されていないが、ウォータージェット 130 は、紙面の表面から裏面に向かう方向に当たられている。

#### 【0051】

インゴット 105 は、基板 124 上で、インゴット 105 の中心軸に対して垂直な方向に回転され、矢印 135 が示す移動方向に進みながら、溝 104 をきっかけとして、シリコンエピタキシャル層 103 及び第 2 のポーラスシリコン層 102 が分離される (図 2 (D) 参照)。

#### 【0052】

本実施の形態では、シリコンインゴット 100 として直径 30 cm、長さ 100 cm 以上のものを用いているので、94.2 cm × 100 cm 以上という大面積を有するシリコンエピタキシャル層 103 を、基板 124 上に形成することができる。

#### 【0053】

さらに、基板 124 上のシリコンエピタキシャル層 103 と、第 2 のポーラスシリコン層 102 から、選択エッチングにより第 2 のポーラスシリコン層 102 を除去する (図 7

10

20

30

40

50

(A) 参照)。ポーラスシリコンは表面積が非常に大きいため(例えば、約 $100\text{ m}^2/\text{cm}^3$ )、エッティング速度が速い。従って、第2のポーラスシリコン層102のみが選択的にエッティングされ、シリコンエピタキシャル層103のみが基板124上に残存する。

#### 【0054】

さらに、エッティング後は、水素アニール法により表面シリコン原子の移動を促進させて、シリコンエピタキシャル層103を、原子レベルで平坦化する。

#### 【0055】

以上のように大面積を有する基板124の全面に、シリコンエピタキシャル層103を形成することができる。

#### 【0056】

また、第2のポーラスシリコン層102とシリコンエピタキシャル層103を分離したシリコンインゴット100及び第1のポーラスシリコン層101(図7(B)参照)は、第2のポーラスシリコン層102を形成するところから同様の手順をふむことにより、再利用可能である(図7(C)参照)。

#### 【0057】

あるいは、残存する第1のポーラスシリコン層101をシリコンインゴット100から一度除去し(図7(D)参照)、新たに第1のポーラスシリコン層101及び第2のポーラスシリコン層102を形成してもよい(図7(E)参照)。

#### 【0058】

また、シリコンインゴット100の直径が小さくなつた場合、シリコンウェハとしての使用も可能である。

#### 【0059】

本実施の形態により、大面積を有する絶縁基板上に、大面積を有する単結晶シリコン層を形成することが可能となる。さらに、単結晶シリコン層を形成する材料であるシリコンインゴットを繰り返し用いることができ、大面積を有する単結晶シリコン層の量産が可能である。

#### 【0060】

#### [実施の形態2]

本実施の形態では、実施の形態1とは異なる方法で、大面積を有する単結晶シリコン層を得る方法、並びに、得られた単結晶シリコン層を用いて半導体装置を作製する方法について、図3(A)～図3(B)、図4(A)～図4(D)、図8(A)～図8(C)を用いて説明する。

#### 【0061】

また本実施の形態では、実施の形態1と同様に、単結晶半導体インゴットとして、シリコンインゴットを用い、大面積を有する単結晶半導体層として、単結晶シリコン層を、シリコンインゴットから分離して、大型絶縁基板、例えば大型ガラス基板に貼り合わせる例について述べる。

#### 【0062】

まず実施の形態1を基にして、大型絶縁基板120上に、第1の絶縁膜121、第2の絶縁膜122、第3の絶縁膜123を形成した、基板124を用意する。

#### 【0063】

本実施の形態では、大型絶縁基板120として、 $680\text{ mm} \times 880\text{ mm}$ 、または、 $730\text{ mm} \times 920\text{ mm}$ のガラス基板を用いる。

#### 【0064】

一方、シリコンインゴット100は、例えば、直径 $300\text{ mm}$ (円周は約 $942\text{ mm}$ )、長さ $1000\text{ mm}$ のものを用いる。

#### 【0065】

基板124にシリコンインゴット100を設置し、基板124の、シリコンインゴット100が設置されていない面に圧着用ローラ141を設置する。圧着用ローラ141とシリコンインゴット100はそれぞれ点線の矢印142及び143の向きに回転する(図3

10

20

30

40

50

(A) 参照)。なお、図3(A)は、シリコンインゴット100の断面方向から見た断面図であり、図3(B)はシリコンインゴット100が設置されている基板124の面側から見た斜視図である。

#### 【0066】

シリコンインゴット100の表面には、シリコンインゴット100表面を平坦化する平坦化処理装置147が設置されている。

#### 【0067】

シリコンインゴット100の表面から、シリコンインゴット100の中心軸に垂直な方向に水素イオンを照射する。具体的には、シリコンインゴット100に、水素イオン145のイオンドーピングまたはイオン注入を行う。これにより、シリコンインゴット100の内部に螺旋状に水素イオン照射領域146が形成される。10

#### 【0068】

シリコンインゴット100を基板124に設置後、シリコンインゴット100を、加熱しながら、シリコンインゴット100の円周に沿った方向である点線の矢印143に沿って回転しながら、かつ、実線の矢印144に示す、シリコンインゴット100の中心軸に垂直な方向である移動方向に進ませる。これにより、水素イオン照射領域146から単結晶シリコン層151が分離し、基板124上に貼り合わせられてゆく。

#### 【0069】

シリコンインゴット100の半径方向に垂直な方向(中心軸方向)の結晶方位161、並びに、基板124上に形成された単結晶シリコン層151の結晶方位162は等しくなる(図4(A)参照)。また、単結晶シリコン層151の結晶方位162は、シリコンインゴット100の移動方向(実線の矢印144)に垂直、かつ、基板124の法線方向に垂直である。20

#### 【0070】

従って、単結晶シリコン層151を基板124全面に形成後(図4(B)参照)、単結晶シリコン層151を用いて半導体装置、例えば、トランジスタを形成する場合、矢印163に示されるトランジスタのキャリアの流れる方向を、単結晶シリコン層151の結晶方位162と等しくなるように回路を設計すれば、バラツキが低減された半導体装置が作製できる(図4(C)及び図4(D)参照)。

#### 【0071】

なお図4(C)及び図4(D)に示すトランジスタは、単結晶シリコン層151から形成される活性層171と、ゲート電極172を有している。さらに活性層171中には、ソース領域またはドレイン領域の一方である領域181、ソース領域またはドレイン領域の他方である領域182、並びに、領域181及び領域182に挟まれ、ゲート絶縁膜を介してゲート電極172と重なっているチャネル形成領域183が形成されている。30

#### 【0072】

図8(A)に示すように、シリコンインゴット100の半径をr、シリコンインゴット100の長さをW、単結晶シリコン層151の長さをLとする。シリコンインゴット100の側面に水素イオンを注入して水素イオン照射領域146を形成後、基板124を貼り合わせると、Lの最大値は $2\pi r$ となる。また単結晶シリコン層151の面積は、 $W \times (2\pi r)$ となる(図8(B)参照)。ただし実施の形態1で述べたとおり、一度単結晶シリコン層151を分離したシリコンインゴット100は、再使用可能であるので、新たな大面積を有する単結晶シリコン層を形成することができる。40

#### 【0073】

一方、本実施の形態に示すように、水素イオン注入により水素イオン照射領域146形成と、貼り合わせを同時に行うと、単結晶シリコン層151の長さLは、 $2\pi r$ よりも長く、かつ、好きな長さにできる。シリコンインゴット100がなくなるまでは、大面積を有する単結晶シリコン層を分離し続けることが可能である。

#### 【0074】

なお単結晶のシリコンインゴット100の代わりに多結晶シリコンインゴットを用いて

10

20

30

40

50

、単結晶シリコン層1151の代わりに多結晶シリコン層を分離してもよい。すなわち、本実施の形態により、単結晶シリコンインゴットあるいは多結晶シリコンインゴットである結晶性シリコンインゴットから、単結晶シリコン層あるいは多結晶シリコン層である結晶性シリコン層を分離することが可能である。

#### 【0075】

本実施の形態では、実施の形態1と同様に、半導体としてシリコンに限定されるものではなく、可能であれば他の半導体、例えばゲルマニウム、シリコンゲルマニウム等、並びに、酸化物半導体等を用いてもよい。すなわち、実施の形態により、結晶性半導体インゴットから、結晶性半導体層を分離することが可能である。

#### 【0076】

#### [実施の形態3]

本実施の形態では、実施の形態1及び実施の形態2とは異なる方法で大面積を有する結晶性シリコン層を得る方法について、図5(A)～図5(D)、図6(A)～図6(B)を用いて説明する。

#### 【0077】

まず、円柱状の結晶性シリコンインゴット1100を回転させながら、水素イオン145を照射する(図5(A)及び図5(B)参照)。なお図5(A)は、結晶性シリコンインゴット1100の断面方向から見た断面図、図5(B)は、結晶性シリコンインゴット1100の側面方向から見た斜視図である。

#### 【0078】

本実施の形態では、結晶性シリコンインゴット1100として、直径880mm、長さ300mmのものを用いる。結晶性シリコンインゴット1100としては、単結晶シリコンインゴットあるいは多結晶シリコンインゴットのいずれかを用いることができる。

#### 【0079】

結晶性シリコンインゴット1100に水素イオン145を注入することにより、結晶性シリコンインゴット1100内に、円状、より詳しくは同心円状に水素イオン照射領域146が形成される。また水素イオン照射領域146の外側の領域は、後の工程で分離されて、結晶性シリコン層1151となる。結晶性シリコン層1151は、結晶性シリコンインゴット1100が単結晶シリコンインゴットの場合は単結晶シリコン層となり、結晶性シリコンインゴット1100が多結晶シリコンインゴットの場合は多結晶シリコン層となる。

#### 【0080】

次いで、基板124を結晶性シリコン層1151となる領域を包み込むように貼り合わせる(図5(C)及び図5(D)参照)。なお図5(C)は、結晶性シリコンインゴット1100の断面方向から見た断面図、図5(D)は、結晶性シリコンインゴット1100の側面方向から見た斜視図である。

#### 【0081】

基板124は、実施の形態1の基板124と同じものであり、大型絶縁基板120、第1の絶縁膜121、第2の絶縁膜122、第3の絶縁膜123を有している。第3の絶縁膜123と結晶性シリコン層1151となる領域を接触させる。

#### 【0082】

大型絶縁基板120は、比較的曲げることの容易な薄いガラス基板を用いるとよい。

#### 【0083】

次いで、基板124及び結晶性シリコンインゴット1100を加熱しながら、水素イオン照射領域146から、結晶性シリコン層1151の分離及び基板124への貼り合わせを行う(図6(A)参照)。

#### 【0084】

以上により、基板124全面に結晶性シリコン層1151が形成される。本実施の形態では、結晶性シリコンインゴット1100として、直径880mm、長さ300mmのものを用いているので、最大で(880)×300mm<sup>2</sup>の面積を有する結晶性シリコン

10

20

30

40

50

層 1 1 5 1 を得ることが可能である。

【 0 0 8 5 】

なお、本実施の形態では、図 8 ( B ) と同様に、結晶性シリコンインゴット 1 1 0 0 の半径を  $r$  、結晶性シリコンインゴット 1 1 0 0 の長さを  $W$  、結晶性シリコン層 1 1 5 1 の長さを  $L$  とすると、結晶性シリコン層 1 1 5 1 の面積は、最大で  $W \times (2r)$  となる。

【 0 0 8 6 】

ただし実施の形態 1 と同様に、一度結晶性シリコン層 1 1 5 1 を分離した結晶性シリコンインゴット 1 1 0 0 は、再使用可能であるので、新たな大面積を有する結晶性シリコン層を形成することができる。

【 0 0 8 7 】

[ 実施の形態 4 ]

本実施の形態では、実施の形態 1 ~ 実施の形態 3 とは異なる方法で、大面積を有する結晶性シリコン層を、大面積を有する基板上に形成する方法について、図 9 ( A ) ~ 図 9 ( E ) 、図 10 ( A ) ~ 図 10 ( D ) 、図 11 ( A ) ~ 図 11 ( B ) を用いて説明する。

【 0 0 8 8 】

るつぼ 2 0 1 に原材料 2 0 2 を入れ ( 図 9 ( A ) 参照 ) 、加熱してシリコンの原材料 2 0 2 を溶解して、溶解液 2 0 3 とする ( 図 9 ( B ) 参照 ) 。その後、溶解液 2 0 3 を冷却し、るつぼ 2 0 1 の下部から上部に向かって結晶成長を開始させ、矢印 2 1 1 に示す一方の結晶成長を有するシリコンインゴットを形成する ( 図 9 ( C ) 参照 ) 。るつぼ 2 0 1 が角形の場合、角形シリコンインゴット 2 0 5 が ( 国 9 ( D ) 参照 ) 、るつぼ 2 0 1 が円柱状の場合、円柱状シリコンインゴット 2 0 6 が形成される ( 国 9 ( E ) 参照 ) 。

【 0 0 8 9 】

なお、半導体としてシリコンではなく、その他の半導体例えばゲルマニウム、シリコングルマニウム等、並びに、酸化物半導体等を用いる場合は、それらの原材料を原材料 2 0 2 とする。

【 0 0 9 0 】

なお、溶解液 2 0 3 を冷却し、るつぼ 2 0 1 の下部から上部に向かって結晶成長を開始させる際に、るつぼ 2 0 1 に、矢印 2 1 1 に示す結晶成長方向に向かって、仕切り 2 0 4 を設置する ( 国 9 ( C ) 参照 ) 。溶解液 2 0 3 を冷却すると、るつぼ 2 0 1 の最下部にまず種結晶が発生するが、種結晶から仕切り 2 0 4 に沿って結晶成長が進み、多結晶シリコンインゴットが形成される。

【 0 0 9 1 】

このようにして形成された多結晶シリコンインゴットのうち、角形シリコンインゴット 2 0 5 は、縦の長さ  $b$  、横の長さ  $a$  、高さ  $c$  を有し、また円柱状シリコンインゴット 2 0 6 は、直径  $d$  、高さ  $e$  を有する。

【 0 0 9 2 】

角形シリコンインゴット 2 0 5 を用いて、大面積を有する多結晶シリコン層を形成する方法について、図 10 ( A ) ~ 国 10 ( D ) を用いて説明する。

【 0 0 9 3 】

国 10 ( A ) に示すように、結晶成長方向である矢印 2 1 1 に対して垂直に、すなわち紙面の表面から裏面に向かう方向に、水素イオン 1 4 5 を注入し、角形シリコンインゴット 2 0 5 内に水素イオン照射領域 1 4 6 を形成する。

【 0 0 9 4 】

国 2 ( A ) と同様に、大型絶縁基板 1 2 0 上に、第 1 の絶縁膜 1 2 1 、第 2 の絶縁膜 1 2 2 、第 3 の絶縁膜 1 2 3 を形成した基板 1 2 4 を、水素イオン照射領域 1 4 6 を形成した角形シリコンインゴット 2 0 5 に対向させる ( 国 10 ( C ) 参照 ) 。

【 0 0 9 5 】

次いで加熱により水素イオン照射領域 1 4 6 から多結晶シリコン層 1 2 5 1 を分離し、基板 1 2 4 に貼り合わせる ( 国 10 ( D ) 参照 ) 。角形シリコンインゴット 2 0 5 は、再び水素イオンを照射し、多結晶シリコン層を分離するのに再利用される。

## 【0096】

例えば、縦の長さ b が 880 mm、横の長さ a が 880 mm、高さ c が 205 mm の角形シリコンインゴット 205 が得られたとすると、結晶成長方向である矢印 211 に沿って切断すると、最大で 880 mm × 205 mm の多結晶シリコン層 1251 を得ることができる。

## 【0097】

また上記の多結晶シリコン層 1251 では、多結晶シリコン層 1251 の結晶成長方向と、半導体装置、例えばトランジスタの活性層のキャリア移動方向が同じ方向になるように、半導体装置を作製することができる。

## 【0098】

また、図 10 (B) に示すように、結晶成長方向である矢印 211 に沿って、水素イオン 145 を注入し、角形シリコンインゴット 205 内に水素イオン照射領域 146 を形成する。

10

## 【0099】

第 3 の絶縁膜 123 と、多結晶シリコン層 1251 となる領域を向かい合わせ、加熱して、水素イオン照射領域 146 から多結晶シリコン層 1251 を、結晶成長方向である矢印 211 と垂直な方向に分離し、基板 124 上に多結晶シリコン層 1251 を貼り合わせる(図 10 (C) 及び図 10 (D) 参照)。

## 【0100】

この場合は、縦の長さ b × 横の長さ a の面積を有する多結晶シリコン層 1251 を得ることが可能である。例えば、縦の長さ b が 880 mm、横の長さ a が 880 mm、高さ c が 205 mm である場合、最大で 880 mm × 880 mm の多結晶シリコン層 1251 を得ることができる。

20

## 【0101】

さらに縦の長さ b が 1250 mm、横の長さ a が 1250 mm、高さ c が 500 mm の角形シリコンインゴット 205 が得られた場合、結晶成長方向である矢印 211 に沿って分離すると、最大で 1250 mm × 500 mm の多結晶シリコン層 1251、矢印 211 と垂直な方向に沿って分離すると、最大で 1250 mm × 1250 mm の多結晶シリコン層 1251 を得ることが可能である。

## 【0102】

30

また、図 9 (C) の工程において、仕切り 204 の代わりに、基板 124 を設置すると(図 11 (A) 参照)、分離及び貼り合わせの工程なしで、大面積を有する多結晶シリコン層 1251 を、基板 124 上に形成することが可能である(図 11 (B) 参照)。また、矢印 211 に示す結晶成長方向に沿って、活性層のキャリア移動方向が同じ方向になるように、半導体装置を作製することができる。これにより半導体装置のバラツキを低減できる。

## 【0103】

## [実施の形態 5]

本実施の形態では、実施の形態 1 ~ 実施の形態 4 により得られた、大面積を有する結晶性半導体層を用いて、半導体装置を作製する例を、図 12 (A) ~ 図 12 (E)、図 13 (A) ~ 図 13 (D)、図 14 (A) ~ 図 14 (B)、図 15 (A) ~ 図 15 (C)、図 16、図 17、図 27 を用いて説明する。

40

## 【0104】

まず、実施の形態 1 ~ 実施の形態 4 を基にして、基板 301 上に、結晶性半導体層として結晶性シリコン層 302 を形成する(図 12 (A) 参照)。基板 301 は、基板 124 と同じものを用いてよく、結晶性シリコン層 302 は、シリコンエピタキシャル層 103、単結晶シリコン層 151、結晶性シリコン層 1151、多結晶シリコン層 1251 を用いればよい。

## 【0105】

次いで結晶性シリコン層 302 をエッティングして、島状半導体領域 304、島状半導体

50

領域 305 及び島状半導体領域 306 を形成する（図 12（B）参照）。

【0106】

なお、実施の形態 2 でも述べたように、結晶性シリコン層 302 の結晶成長方向と、島状半導体領域 306 中のキャリアの流れる方向が等しくなるようにすると、バラツキが低減された半導体装置が作製できる。

【0107】

次に、島状半導体領域 304、島状半導体領域 305 及び島状半導体領域 306 上に、ゲート絶縁膜 308 を形成する。ゲート絶縁膜 308 は 5 nm 以上 50 nm 以下の厚さに形成する。なお、ゲート絶縁膜 308 は、酸化シリコン膜もしくは酸素を含む窒化シリコン膜で形成することが好ましい。

10

【0108】

本実施の形態では、気相成長法によりゲート絶縁膜 308 を形成する。なお、450 以下の温度で良質なゲート絶縁膜 308 を形成する場合にはプラズマ CVD 法を適用することが好ましい。特にマイクロ波プラズマ CVD 法によるものであって、電子密度が  $1 \times 10^{11} \text{ cm}^{-3}$  以上  $1 \times 10^{13} \text{ cm}^{-3}$  以下であり、電子温度が 0.2 eV 以上 2.0 eV 以下（より好ましくは 0.5 eV 以上 1.5 eV 以下）程度であるものを用いることが好ましい。電子密度が高く、電子温度が低いと活性種の運動エネルギーが低いプラズマを利用するとプラズマダメージが少なく欠陥が少ない膜を形成することができる。

【0109】

ゲート絶縁膜 308 形成後、島状半導体領域 304、島状半導体領域 305 及び島状半導体領域 306 に、p 型を付与する不純物元素 321 を添加してもよい（図 12（C）参照）。なお本実施の形態では、ゲート絶縁膜 308 形成後に不純物元素 321 を添加しているが、ゲート絶縁膜 308 形成前でもよい。また、島状半導体領域 304 ~ 306 を形成する前、結晶性シリコン層 302 に不純物元素 321 を添加してもよい。

20

【0110】

p 型を付与する不純物元素 321 の添加は、後の工程で完成されるトランジスタのしきい値制御のためであるが、必要でなければ p 型を付与する不純物元素 321 を添加しなくてもよい。

【0111】

ゲート絶縁膜 308 を形成した後、ゲート絶縁膜 308 上に導電膜を形成し、エッチングしてゲート電極を形成する。本実施の形態では、ゲート絶縁膜 308 上に第 1 の導電膜及び第 2 の導電膜を形成し、エッチングして積層構造を有するゲート電極を形成する。ゲート電極形成に用いる導電膜としては、例えば、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）、白金（Pt）、パラジウム（Pd）、イリジウム（Ir）、ロジウム（Rh）、タンクステン（W）、アルミニウム（Al）、タンタル（Ta）、モリブデン（Mo）、カドミウム（Cd）、亜鉛（Zn）、鉄（Fe）、チタン（Ti）、シリコン（Si）、ゲルマニウム（Ge）、ジルコニア（Zr）、バリウム（Ba）、ネオジム（Nd）等の金属元素、または前記金属元素を主成分とする合金材料、前記金属元素を含む金属窒化物等の化合物材料または、これらを複数用いた材料を用いることができる。

30

【0112】

本実施の形態では、第 1 の導電膜としてモリブデン（Mo）、第 2 の導電膜として、タンクステン（W）を用いる。

40

【0113】

島状半導体領域 304 上にゲート絶縁膜 308 を介して、ゲート電極 311 及びゲート電極 315 を、島状半導体領域 305 上にゲート絶縁膜 308 を介して、ゲート電極 312 及びゲート電極 316 を、島状半導体領域 306 上にゲート絶縁膜 308 を介して、ゲート電極 313 及びゲート電極 317 を形成する（図 12（D）参照）。本実施の形態では、ゲート電極 311 ~ ゲート電極 313 がモリブデンを用いて形成されており、ゲート電極 315 ゲート電極 ~ 317 はタンクステンから形成されている。

【0114】

50

なお、本実施の形態では、ゲート電極311及びゲート電極315、ゲート電極312及びゲート電極316、並びに、ゲート電極313及びゲート電極317と、二層の積層構造を有するゲート電極を形成したが、これに限定されるものではない。ゲート電極は、単層の導電膜を用いて形成してもよいし、また三層以上の積層構造を有していてもよい。

#### 【0115】

次に、島状半導体領域305の上にレジストマスク337を形成し、n型を付与する不純物元素322、例えばリン(P)を第1の濃度で添加する。n型を付与する不純物元素322は、島状半導体領域305には添加されない。また、島状半導体領域304においては、ゲート電極311及びゲート電極315がマスクとなり、ゲート電極311及びゲート電極315の下の領域にはn型を付与する不純物元素322が添加されない。さらに、島状半導体領域306においては、ゲート電極313及びゲート電極317がマスクとなり、ゲート電極313及びゲート電極317の下の領域にはn型を付与する不純物元素322が添加されない。

10

#### 【0116】

これにより島状半導体領域304中に、不純物領域332a及び不純物領域332b、並びに、不純物領域332aと不純物領域332bの間にチャネル形成領域331が形成され、また島状半導体領域306中に、不純物領域336a及び不純物領域336b、並びに、不純物領域336aと不純物領域336bの間にチャネル形成領域335が形成される(図12(E)参照)。n型を付与する不純物元素322としては、リン(P)以外にヒ素(As)を用いてもよい。

20

#### 【0117】

次いで、島状半導体領域304上にレジストマスク338、島状半導体領域306上にレジストマスク339を形成し、島状半導体領域304及び島状半導体領域306にp型を付与する不純物元素324、例えばホウ素(B)を第2の濃度で添加する。p型を付与する不純物元素324は、島状半導体領域304及び島状半導体領域306には添加されない。また、島状半導体領域305においては、ゲート電極312及びゲート電極316がマスクとなり、ゲート電極312及びゲート電極316の下の領域にはp型を付与する不純物元素324が添加されない。

#### 【0118】

これにより、島状半導体領域305中に、不純物領域334a及び不純物領域334b、並びに、不純物領域334aと不純物領域334bの間にチャネル形成領域333が形成される(図13(A)参照)。

30

#### 【0119】

次いで、ゲート絶縁膜308、ゲート電極311～ゲート電極313、ゲート電極315～ゲート電極317上に絶縁膜を成膜し、異方性エッチングにてエッチングし、ゲート電極311及びゲート電極315の側面にサイドウォール381a及びサイドウォール381bを、ゲート電極312及びゲート電極316の側面にサイドウォール382a及びサイドウォール382bを、ゲート電極313及びゲート電極317の側面にサイドウォール383a及びサイドウォール383bを形成する(図13(B)参照)。サイドウォール381a、サイドウォール381b、サイドウォール382a、サイドウォール382b、サイドウォール383a、サイドウォール383bの材料となる絶縁膜は、酸化珪素膜、窒素を含む酸化珪素膜、窒化珪素膜、酸素を含む窒化珪素膜のうちのいずれか1つ、あるいは2つ以上の積層膜を用いればよい。

40

#### 【0120】

次いで、島状半導体領域305の上にレジストマスク355を形成し、n型を付与する不純物元素325を第3の濃度で添加する。n型を付与する不純物元素325は、島状半導体領域305には添加されない。また、島状半導体領域304においては、ゲート電極311及びゲート電極315、並びに、サイドウォール381a及びサイドウォール381bがマスクとなり、ゲート電極311及びゲート電極315、並びに、サイドウォール381a及びサイドウォール381bの下の領域には、n型を付与する不純物元素325

50

が添加されない。

【0121】

不純物元素325は、不純物元素322と同じでも異なってもよいが、第3の濃度を第1の濃度より大きくして、不純物領域332a、不純物領域332b、不純物領域336a、不純物領域336bのそれぞれの領域内に、より高濃度の不純物領域が形成されることとなる。

【0122】

n型を付与する不純物元素325の添加により、島状半導体領域304内に、高濃度不純物領域342a及び高濃度不純物領域342b、低濃度不純物領域343a及び低濃度不純物領域343b、チャネル形成領域331が形成される。また島状半導体領域306内に、高濃度不純物領域346a及び高濃度不純物領域346b、低濃度不純物領域347a及び低濃度不純物領域347b、チャネル形成領域335が形成される(図13(C)参照)。

10

【0123】

次いでレジストマスク355を除去し、島状半導体領域304上にレジストマスク356、島状半導体領域306上にレジストマスク357を形成する。p型を付与する不純物元素326を、島状半導体領域305に第4の濃度で添加する。p型を付与する不純物元素326は、p型を付与する不純物元素324と同じであっても違っていてもよいが、第4の濃度は第2の濃度より大きくして、不純物領域334a及び不純物領域334b内に、より高濃度の不純物領域を形成する。

20

【0124】

島状半導体領域305において、ゲート電極312及びゲート電極316、サイドウォール382a及びサイドウォール382bをマスクにして、p型を付与する不純物元素326を添加することにより、島状半導体領域305内に、高濃度不純物領域344a及び高濃度不純物領域344b、低濃度不純物領域345a及び低濃度不純物領域345b、チャネル形成領域333を形成する(図13(D)参照)。

【0125】

また、図12(E)及び図13(A)～図13(D)に示す作製工程と別 の方法で、不純物領域を形成する方法について、図15(A)～図15(C)を用いて説明する。

30

【0126】

まず、図12(D)に示す、ゲート電極311～313及び315～317を形成するまでの作製工程を行った後、図13(B)の作製工程に基づいて、ゲート電極311及びゲート電極315の側面にサイドウォール381a及びサイドウォール381bを、ゲート電極312及びゲート電極316の側面にサイドウォール382a及びサイドウォール382bを、ゲート電極313及びゲート電極317の側面にサイドウォール383a及びサイドウォール383bを形成する(図15(A)参照)。

【0127】

島状半導体領域305上にレジストマスク355を形成し、n型を付与する不純物元素325を、島状半導体領域304及び島状半導体領域306に添加する。n型を付与する不純物元素325は、サイドウォール381a及びサイドウォール381bを通過して島状半導体領域304に添加されるので、島状半導体領域304内のサイドウォール381a及びサイドウォール381bの下の領域は、サイドウォール381a及びサイドウォール381bが形成されていない領域よりも濃度が小さくなる。島状半導体領域306においても同様である。

40

【0128】

n型を付与する不純物元素325の添加により、島状半導体領域304内に、高濃度不純物領域392a及び高濃度不純物領域392b、低濃度不純物領域393a及び低濃度不純物領域393b、チャネル形成領域331が形成される。また島状半導体領域306内に、高濃度不純物領域396a及び高濃度不純物領域396b、低濃度不純物領域397a及び低濃度不純物領域397b、チャネル形成領域335が形成される(図15(B)参照)。

50

) 参照)。

**【0129】**

次いで、レジストマスク 355 を除去し、島状半導体領域 304 上にレジストマスク 356、島状半導体領域 306 上にレジストマスク 357 を形成し、p 型を付与する不純物元素 326 を島状半導体領域 305 に添加する。p 型を付与する不純物元素 326 は、サイドウォール 382a 及びサイドウォール 382b を通過して島状半導体領域 305 に添加されるので、島状半導体領域 305 内のサイドウォール 382a 及びサイドウォール 382b の下の領域は、サイドウォール 382a 及びサイドウォール 382b が形成されていない領域よりも濃度が小さくなる。

**【0130】**

p 型を付与する不純物元素 326 の添加により、島状半導体領域 305 内に、高濃度不純物領域 394a 及び高濃度不純物領域 394b、低濃度不純物領域 395a 及び低濃度不純物領域 395b、チャネル形成領域 335 が形成される(図 15(C) 参照)。

**【0131】**

図 13(D) あるいは図 15(C) に示す作製工程終了後、レジストマスク 356 及びレジストマスク 357 を除去する。島状半導体領域 304 ~ 島状半導体領域 306、ゲート電極 311 ~ ゲート電極 313 及びゲート電極 315 ~ ゲート電極 317、サイドウォール 381a、サイドウォール 381b、サイドウォール 382a、サイドウォール 382b、サイドウォール 383a 及びサイドウォール 383b を覆って、保護膜 351 を形成する。

**【0132】**

保護膜 351 には、窒化シリコン膜または酸素を含む窒化シリコン膜を用いることができる。保護膜 351 上には、層間絶縁膜 352 を形成する。層間絶縁膜 352 として、酸化シリコン膜、窒化シリコン膜、窒素を含む酸化シリコン膜、酸素を含む窒化シリコン膜などの無機絶縁膜や、BPSG (Borophosphosilicate Glass) 膜やポリイミドに代表される有機樹脂膜の単層膜、あるいは 2 つ以上の層を積層した積層膜を用いることが可能である(図 14(A) 参照)。

**【0133】**

層間絶縁膜 352 にはコンタクトホールを形成し、層間絶縁膜 352 及びコンタクトホールを覆って導電膜を形成し、導電膜をエッチングして、配線 361 ~ 配線 365 を形成する。

**【0134】**

配線 361 ~ 配線 365 を形成するための導電膜として、下層にモリブデン、クロム、チタンなどの金属膜、中層にアルミニウム膜あるいはアルミニウム合金膜、上層にモリブデン、クロム、チタンなどの金属膜を積層した導電膜を用いてもよい。モリブデン、クロム、チタンなどの金属膜は、アルミニウム膜あるいはアルミニウム合金膜のバリアメタルとして機能する。

**【0135】**

層間絶縁膜 352 及び保護膜 351 中に設けられたコントクトホールを介して、配線 361 は、高濃度不純物領域 342a あるいは高濃度不純物領域 392a に電気的に接続されている。配線 362 は、高濃度不純物領域 342b あるいは高濃度不純物領域 392b、並びに、高濃度不純物領域 344a あるいは高濃度不純物領域 394a に電気的に接続されている。配線 363 は、高濃度不純物領域 344b あるいは高濃度不純物領域 394b に電気的に接続されている。配線 364 は、高濃度不純物領域 346a あるいは高濃度不純物領域 396a に電気的に接続されている。配線 365 は、高濃度不純物領域 346b あるいは高濃度不純物領域 396b に電気的に接続されている(図 14(B) 参照)。

**【0136】**

ソース領域及びドレイン領域である高濃度不純物領域 342a 及び高濃度不純物領域 342b、低濃度不純物領域 343a 及び低濃度不純物領域 343b、チャネル形成領域 331 を有する島状半導体領域 304、ゲート絶縁膜 308、ゲート電極 311 及びゲート

10

20

30

40

50

電極 315 を有するトランジスタ 371 は、n チャネル型トランジスタである。ソース領域及びドレイン領域である高濃度不純物領域 344a 及び高濃度不純物領域 344b、低濃度不純物領域 345a 及び低濃度不純物領域 345b、チャネル形成領域 333 を有する島状半導体領域 305、ゲート絶縁膜 308、ゲート電極 312 及びゲート電極 316 を有するトランジスタ 372 は、p チャネル型トランジスタである。ソース領域及びドレイン領域である高濃度不純物領域 346a 及び高濃度不純物領域 346b、低濃度不純物領域 347a 及び低濃度不純物領域 347b、チャネル形成領域 335 を有する島状半導体領域 306、ゲート絶縁膜 308、ゲート電極 313 及びゲート電極 317 を有するトランジスタ 374 は、n チャネル型トランジスタである。トランジスタ 371 とトランジスタ 372 は CMOS 回路 373 を構成している。

10

## 【0137】

同様に、ソース領域及びドレイン領域である高濃度不純物領域 392a 及び高濃度不純物領域 392b、低濃度不純物領域 393a 及び低濃度不純物領域 393b、チャネル形成領域 331 を有する島状半導体領域 304、ゲート絶縁膜 308、ゲート電極 311 及びゲート電極 315 を有するトランジスタ 371 は、n チャネル型トランジスタである。ソース領域及びドレイン領域である高濃度不純物領域 394a 及び高濃度不純物領域 394b、低濃度不純物領域 395a 及び低濃度不純物領域 395b、チャネル形成領域 333 を有する島状半導体領域 305、ゲート絶縁膜 308、ゲート電極 312 及びゲート電極 316 を有するトランジスタ 372 は、p チャネル型トランジスタである。ソース領域及びドレイン領域である高濃度不純物領域 396a 及び高濃度不純物領域 396b、低濃度不純物領域 397a 及び低濃度不純物領域 397b、チャネル形成領域 335 を有する島状半導体領域 306、ゲート絶縁膜 308、ゲート電極 313 及びゲート電極 317 を有するトランジスタ 374 は、n チャネル型トランジスタである。トランジスタ 371 とトランジスタ 372 は CMOS 回路 373 を構成している。

20

## 【0138】

ただし、p チャネル型トランジスタであるトランジスタ 372 については、低濃度不純物領域 345a 及び低濃度不純物領域 345b、あるいは、低濃度不純物領域 395a 及び低濃度不純物領域 395b を形成せず、ソース領域及びドレイン領域である高濃度不純物領域のみを形成してもよい。その場合には、島状半導体領域 305 内には、ゲート電極 312 及びゲート電極 316 の下の領域にチャネル形成領域 333、それ以外の領域に高濃度不純物領域が形成される。このような構造を得るには、島状半導体領域 305 上にゲート電極 312 及びゲート電極 316 形成後、p 型を付与する不純物元素を高濃度で添加すればよい。

30

## 【0139】

また、p チャネル型トランジスタを単独で用いる場合には、配線 362 を n チャネル型トランジスタ 372 に接続しなければよい。

## 【0140】

また、本実施の形態ではサイドウォールを形成したが、必要でなければサイドウォールを形成せず、ゲート電極のみを形成すればよい。その場合には、一導電性を付与する不純物を添加する際のマスクとして、ゲート電極、ゲート絶縁膜、または新たに形成するレジストマスクのうちのいずれか 1 つ、あるいはこれらを 2 つ以上組み合わせたものを用いればよい。

40

## 【0141】

本実施の形態により形成された CMOS 回路 373 及びトランジスタ 374 を、液晶表示装置に適用した例を、図 16、図 17、図 27 を用いて説明する。

## 【0142】

図 16 に、液晶表示装置の画素部の断面を示す。画素トランジスタとして機能するトランジスタ 374、層間絶縁膜 352、画素電極 401 を覆うように、配向膜 402 を形成する。なお、配向膜 402 は、液滴吐出法やスクリーン印刷法やオフセット印刷法を用いればよい。その後、配向膜 402 の表面にラビング処理を行う。

50

## 【0143】

そして、対向基板411には、遮光層412（ブラックマトリクスともいう）、着色層413、及びオーバーコート層414からなるカラーフィルタを設け、さらに透光性を有する電極からなる対向電極415と、その上に配向膜416を形成する。対向電極415が透光性を有する電極で形成されることにより、本実施の形態の液晶表示装置は透過型液晶表示装置となる。なお対向電極415を反射電極で形成すると、本実施の形態の液晶表示装置は反射型液晶表示装置となる。なお図27は、図16に示すトランジスタ374及び画素電極401の位置関係を示す上面図である。

## 【0144】

図17に、図16に示す画素部を有する液晶表示装置を示す。図17に示す液晶表示装置は、複数の画素が設けられた画素部422と、走査線駆動回路423、選択された画素にビデオ信号を供給する信号線駆動回路424を有する液晶表示パネル421、並びに、コントロール回路432や信号分割回路433などが形成された回路基板431を有している。液晶表示パネル421と回路基板431は、接続配線434によって電気的に接続されている。

10

## 【0145】

以上により、大面積化された単結晶半導体膜を有するSOI基板を用いてトランジスタ、並びに、液晶表示装置を作製することができる。

## 【0146】

本実施の形態では、実施の形態1～実施の形態4に示した方法により形成される大面積の単結晶シリコン層を用いて形成されており、結晶方位が一定の単結晶シリコン層によって形成されているため、均一で高性能なトランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。

20

## 【0147】

## [実施の形態6]

本実施の形態では、実施の形態1～実施の形態4の結晶性半導体層及び実施の形態5のトランジスタを用いて作製される発光装置について、図26(A)～図26(B)を用いて説明する。

## 【0148】

30

図26(A)は発光装置の画素の平面図であり、信号線882に接続する選択用トランジスタ851と、電流供給線852に接続する表示制御用トランジスタ853を有している。発光装置は、一対の電極間にエレクトロルミネセンス材料を含んで形成される発光層(EL層ともいう)を挟んでなる発光素子が各画素に設けられる構成となっている。発光素子を構成する一方の電極が画素電極883であり、画素電極883は表示制御用トランジスタ853に接続されている。図26(B)はこのような画素の要部を示す断面図である。

## 【0149】

図26(B)において、基板871上に半導体膜879、ゲート絶縁膜884、ゲート電極885が積層して形成された部分があり、選択用トランジスタ851及び表示制御用トランジスタ853はそのような領域を含んで構成されている。半導体膜879を、実施の形態1～実施の形態4の結晶性半導体層としてもよいし、選択用トランジスタ851と表示制御用トランジスタ853を、実施の形態5のトランジスタとしてもよい。

40

## 【0150】

また、表示制御用トランジスタ853のゲート電極885を覆って、層間絶縁膜887が形成されている。層間絶縁膜887上に、信号線882、電流供給線852、電極859、860などが形成されている。また、層間絶縁膜887上には、電極860に電気的に接続されている画素電極883が形成されている。画素電極883は周辺部が絶縁性の隔壁層854で囲まれている。画素電極883上には発光層855が形成されている。発光層855上には対向電極856が形成されている。画素部は封止樹脂857が充填され

50

、補強板として対向基板 858 が設けられている。

【0151】

選択用トランジスタ 851 のソース領域及びドレイン領域の一方は、上述の通り信号線 882 と電気的に接続されている。また、選択用トランジスタ 851 のソース領域及びドレイン領域の他方は、電極 859 を介して、表示制御用トランジスタ 853 のゲート電極 885 と電気的に接続されている。また選択用トランジスタ 851 はゲート電極と連続してつながっているゲート配線 880 を有する。

【0152】

本実施の形態の発光装置は、大面積の結晶性半導体層を用いて形成されており、結晶方位が一定の結晶性半導体層によって形成されているため、各トランジスタ間での特性バラツキを抑えることができる。なお、結晶性半導体層で形成されるトランジスタは、例えばアモルファスシリコントランジスタよりも電流駆動能力など全ての動作特性が優れているので、トランジスタのサイズを小型化することができるため、表示パネルにおける画素部の開口率を向上させることができる。従って、高画質な表示を行うことができる。

10

【0153】

[実施の形態 7 ]

本実施の形態では、実施の形態 1 ~ 実施の形態 4 の結晶性半導体層及び実施の形態 5 のトランジスタを用いて作製される半導体装置の一例として、マイクロプロセッサについて、図 24 を用いて説明する。

20

【0154】

図 24 に示すマイクロプロセッサ 800 は、演算回路 801 (Arithmetic logic unit ; ALUともいう)、演算回路制御部 802 (ALU Controller)、命令解析部 803 (Instruction Decoder)、割り込み制御部 804 (Interrupt Controller)、タイミング制御部 805 (Timing Controller)、レジスタ 806 (Register)、レジスタ制御部 807 (Register Controller)、バスインターフェース 808 (Bus I/F)、読み出し専用メモリ 809、及びメモリインターフェース 810 (ROM I/F) を有している。

30

【0155】

実施の形態 1 ~ 実施の形態 4 の結晶性半導体層及び実施の形態 5 のトランジスタを用いて、演算回路 801、演算回路制御部 802、命令解析部 803、割り込み制御部 804、タイミング制御部 805、レジスタ 806、レジスタ制御部 807、バスインターフェース 808、読み出し専用メモリ 809、メモリインターフェース 810 のそれぞれ、もしくは、少なくとも 1 つ、または 2 つ以上が形成される。

30

【0156】

バスインターフェース 808 を介してマイクロプロセッサに入力された命令は命令解析部 803 に入力され、デコードされた後に演算回路制御部 802、割り込み制御部 804、レジスタ制御部 807、タイミング制御部 805 に入力される。演算回路制御部 802、割り込み制御部 804、レジスタ制御部 807、タイミング制御部 805 は、デコードされた命令に基づき各種制御を行う。

40

【0157】

具体的に演算回路制御部 802 は、演算回路 801 の動作を制御するための信号を生成する。また、割り込み制御部 804 は、マイクロプロセッサのプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度やマスク状態から判断して処理する。レジスタ制御部 807 は、レジスタ 806 のアドレスを生成し、マイクロプロセッサの状態に応じてレジスタ 806 の読み出しや書き込みを行う。タイミング制御部 805 は、演算回路 801、演算回路制御部 802、命令解析部 803、割り込み制御部 804、レジスタ制御部 807 の動作のタイミングを制御する信号を生成する。例えばタイミング制御部 805 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、クロック信号 CLK2 を上記各種回路に供給す

50

る。なお、図24に示すマイクロプロセッサ800は、その構成を簡略化して示した一例にすぎず、実際にはその用途によって多種多様な構成を備えることができる。

#### 【0158】

本実施の形態のマイクロプロセッサ800は、実施の形態1～実施の形態4に示した方法により形成される大面積の単結晶シリコン層を用いて作製されており、結晶方位が一定の単結晶シリコン層によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。

#### 【0159】

##### [実施の形態8]

本実施の形態では、実施の形態1～実施の形態4の結晶性半導体層及び実施の形態5のトランジスタを用いて作製される半導体装置の一例として、非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置について、図25を用いて説明する。

#### 【0160】

図25は無線通信により外部装置と信号の送受信を行って動作するコンピュータ（以下、「RFCPU」という）の一例を示す。RFCPU821は、アナログ回路部822とデジタル回路部823を有している。アナログ回路部822として、共振容量を有する共振回路824、整流回路825、定電圧回路826、リセット回路827、発振回路828、復調回路829と、変調回路830を有している。デジタル回路部823は、RFインターフェース831、制御レジスタ832、クロックコントローラ833、CPUインターフェース834、中央処理ユニット(CPU)835、ランダムアクセスメモリ(RAM)836、読み出し専用メモリ(ROM)837を有している。

#### 【0161】

実施の形態1～実施の形態4の結晶性半導体層及び実施の形態5のトランジスタを用いて、共振回路824、整流回路825、定電圧回路826、リセット回路827、発振回路828、復調回路829と、変調回路830、RFインターフェース831、制御レジスタ832、クロックコントローラ833、CPUインターフェース834、CPU835、RAM836、ROM837のそれぞれ、もしくは、少なくとも1つ、または2つ以上が形成される。

#### 【0162】

このような構成のRFCPU821の動作は以下の通りである。アンテナ838が受信した信号は共振回路824により誘導起電力を生じる。誘導起電力は整流回路825を経て容量部839に充電される。この容量部839はセラミックコンデンサや電気二重層コンデンサなどのキャパシタで形成されていることが好ましい。容量部839はRFCPU821と一緒に形成されている必要はなく、別部品としてRFCPU821を構成する絶縁表面を有する基板に取り付けられていれば良い。

#### 【0163】

リセット回路827は、デジタル回路部823をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路828は定電圧回路826により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。ローパスフィルタで形成される復調回路829は、例えば振幅変調ASK方式の受信信号の振幅の変動を二値化する。変調回路830は、送信データを振幅変調ASK方式の送信信号の振幅を変動させて送信する。変調回路830は、共振回路824の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ833は、電源電圧又はCPU835における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路840が行っている。

#### 【0164】

アンテナ838からRFCPU821に入力された信号は復調回路829で復調された後、RFインターフェース831で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ832に格納される。制御コマンドには、ROM837に記憶されてい

10

20

30

40

50

るデータの読み出し、RAM836へのデータの書き込み、CPU835への演算命令などが含まれている。CPU835は、CPUインターフェース834を介してROM837、RAM836、制御レジスタ832にアクセスする。CPUインターフェース834は、CPU835が要求するアドレスより、ROM837、RAM836、制御レジスタ832のいずれかに対するアクセス信号を生成する機能を有している。

#### 【0165】

CPU835の演算方式は、ROM837にOS（オペレーティングシステム）を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算をプログラムを使ってCPU835が実行する方式を適用することができる。10

#### 【0166】

本実施の形態のRFCPU821は、実施の形態1～実施の形態4に示した方法により形成される大面積の結晶性半導体層を用いて作製されており、結晶方位が一定の結晶性半導体層によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部839を小型化しても長時間の動作を保証することができる。図25ではRFCPUの形態について示しているが、通信機能、演算処理機能、メモリ機能を備えたものであれば、I Cタグのようなものであっても良い。20

#### 【0167】

##### [実施の形態9]

本実施の形態では、実施の形態1～実施の形態4の結晶性半導体層及び実施の形態5の液晶表示装置を適用した電子機器について、図18、図19、図20(A)～図20(B)、図21、図22(A)～図22(E)、図23(A)～図23(B)、図28(A)～図28(C)を用いて説明する。

#### 【0168】

図18は、液晶テレビ受像機の主要な構成を示すブロック図である。図18に示す液晶テレビ受像機は、画素部502、走査線駆動回路503、信号線駆動回路504を有する液晶表示パネル501を有している。液晶表示パネル501は、実施の形態4に基づいて作製すればよい。画素部502、走査線駆動回路503、信号線駆動回路504はそれぞれ、図17に示す画素部422、走査線駆動回路423、信号線駆動回路424に基づいて作製すればよい。30

#### 【0169】

液晶表示パネル501は、コントロール回路512及び信号分割回路513に電気的に接続されている。コントロール回路512及び信号分割回路513はそれぞれ、図17に示すコントロール回路432や信号分割回路433に基づいて作製すればよい。また、液晶表示パネル501、並びに、コントロール回路512及び信号分割回路513との電気的接続は、接続配線434と同様の配線で行えばよい。

#### 【0170】

チューナ521は映像信号と音声信号を受信する。映像信号は、映像信号增幅回路522と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路523と、その映像信号をドライバI Cの入力仕様に変換するためのコントロール回路512により処理される。コントロール回路512は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路513を設け、入力デジタル信号をm個に分割して供給する構成としても良い。40

#### 【0171】

チューナ521で受信した信号のうち、音声信号は音声信号增幅回路525に送られ、その出力は音声信号処理回路526を経てスピーカ527に供給される。制御回路528は受信局（受信周波数）や音量の制御情報を入力部529から受け、チューナ521や音

声信号処理回路 526 に信号を送出する。

【0172】

図19(A)に示すように、図18に示す液晶表示装置を筐体531に組みこんで、テレビ受像機を完成させることができる。図18に示す液晶表示装置により、表示画面532が形成される。また、スピーカ533、操作スイッチ534などが適宜備えられている。

【0173】

また図19(B)に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体542にはバッテリ及び信号受信器が内蔵されており、そのバッテリで表示部543やスピーカ部547を駆動させる。バッテリは充電器541で繰り返し充電が可能となっている。また、充電器541は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体542は操作キー546によって制御する。また、図19(B)に示す装置は、操作キー546を操作することによって、筐体542から充電器541に信号を送ることも可能であるため映像音声双方通信装置とも言える。また、操作キー546を操作することによって、筐体542から充電器541に信号を送り、さらに充電器541が送信できる信号を他の電子機器に受信されることによって、他の電子機器の通信制御も可能であり、汎用遠隔制御装置とも言える。

【0174】

本発明を図18、図19(A)～図19(B)に示すテレビ受像器に使用することにより、品質のよい表示装置を備えたテレビ受像器を得ることが可能となる。

【0175】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0176】

図20(A)は本発明を用いて形成された液晶表示パネル601とプリント配線基板602を組み合わせたモジュールを示している。液晶表示パネル601は、複数の画素が設けられた画素部603と、第1の走査線駆動回路604、第2の走査線駆動回路605と、選択された画素にビデオ信号を供給する信号線駆動回路606を備えている。液晶表示パネル601は、実施の形態5に基づいて作製すればよい。

【0177】

プリント配線基板602には、コントローラ607、中央処理装置(CPU)608、メモリ609、電源回路610、音声処理回路611及び送受信回路612などが備えられている。プリント配線基板602と液晶表示パネル601は、フレキシブル・プリント・サーキット(FPC)613により接続されている。プリント配線基板602には、容量素子、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ607、音声処理回路611、メモリ609、CPU608、電源回路610などは、COG(Chip On Glass)方式を用いて液晶表示パネル601に実装することもできる。COG方式により、プリント配線基板602の規模を縮小することができる。

【0178】

プリント配線基板602に備えられたインターフェース614を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート615が、プリント配線基板602に設けられている。

【0179】

図20(B)は、図20(A)に示したモジュールのブロック図を示す。このモジュールは、メモリ609としてVRAM616、DRAM617、フラッシュメモリ618などが含まれている。VRAM616にはパネルに表示する画像のデータが、DRAM617には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。

10

20

30

40

50

## 【0180】

電源回路610は、液晶表示パネル601、コントローラ607、CPU608、音声処理回路611、メモリ609、送受信回路612を動作させる電力を供給する。またパネルの仕様によっては、電源回路610に電流源が備えられている場合もある。

## 【0181】

CPU608は、制御信号生成回路620、デコーダ621、レジスタ622、演算回路623、RAM624、CPU608用のインターフェース619などを有している。インターフェース619を介してCPU608に入力された各種信号は、一旦レジスタ622に保持された後、演算回路623、デコーダ621などに入力される。演算回路623では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ621に入力された信号はデコードされ、制御信号生成回路620に入力される。制御信号生成回路620は入力された信号に基づき、各種命令を含む信号を生成し、演算回路623において指定された場所、具体的にはメモリ609、送受信回路612、音声処理回路611、コントローラ607などに送る。  
10

## 【0182】

メモリ609、送受信回路612、音声処理回路611、コントローラ607は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

## 【0183】

入力手段625から入力された信号は、インターフェース614を介してプリント配線基板602に実装されたCPU608に送られる。制御信号生成回路620は、ポインティングデバイスやキーボードなどの入力手段625から送られてきた信号に従い、VRA M616に格納してある画像データを所定のフォーマットに変換し、コントローラ607に送付する。  
20

## 【0184】

コントローラ607は、パネルの仕様に合わせてCPU608から送られてきた画像データを含む信号にデータ処理を施し、液晶表示パネル601に供給する。またコントローラ607は、電源回路610から入力された電源電圧やCPU608から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)、切り替え信号L/Rを生成し、液晶表示パネル601に供給する。

## 【0185】

送受信回路612では、アンテナ628において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路612において送受信される信号のうち音声情報を含む信号が、CPU608からの命令に従って、音声処理回路611に送られる。  
30

## 【0186】

CPU608の命令に従って送られてきた音声情報を含む信号は、音声処理回路611において音声信号に復調され、スピーカ627に送られる。またマイク626から送られてきた音声信号は、音声処理回路611において変調され、CPU608からの命令に従って、送受信回路612に送られる。  
40

## 【0187】

コントローラ607、CPU608、電源回路610、音声処理回路611、メモリ609を、本実施の形態のパッケージとして実装することができる。本実施の形態は、アイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路以外であれば、どのような回路にも応用することができる。

## 【0188】

図21は、図20(A)～図20(B)に示すモジュールを含む携帯電話機の一態様を示している。液晶表示パネル601はハウジング630に脱着自在に組み込まれる。ハウ  
50

ジング 630 は液晶表示パネル 601 のサイズに合わせて、形状や寸法を適宜変更することができる。液晶表示パネル 601 を固定したハウジング 630 はプリント基板 631 に嵌着されモジュールとして組み立てられる。

【0189】

液晶表示パネル 601 は FPC 613 を介してプリント基板 631 に接続される。プリント基板 631 には、スピーカ 632、マイクロフォン 633、送受信回路 634、CPU 及びコントローラなどを含む信号処理回路 635 が形成されている。このようなモジュールと、入力手段 636、バッテリ 637、アンテナ 640 を組み合わせ、筐体 639 に収納する。液晶表示パネル 601 の画素部は筐体 639 に形成された開口窓から視認できるように配置する。

10

【0190】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、表示パネルを複数備えたり、筐体を適宜複数に分割して蝶番により開閉式とした構成としても、上記した作用効果を奏すことができる。

【0191】

本発明を図 20(A)～図 20(B)、図 21 に示す携帯電話に使用することにより、品質のよい表示装置を備えた携帯電話を得ることが可能となる。

【0192】

図 22(A) は液晶ディスプレイであり、筐体 701、支持台 702、表示部 703 などによって構成されている。表示部 703 は、実施の形態 5 に述べた液晶表示装置を用いて作製される。本発明を使用することにより、品質のよい表示装置を備えた液晶ディスプレイを得ることが可能となる。

20

【0193】

また実施の形態 5 で述べたトランジスタや CMOS 回路を、制御用回路部等に適用することができる。

【0194】

図 22(B) はコンピュータであり、本体 711、筐体 712、表示部 713、キーボード 714、外部接続ポート 715、ポインティングデバイス 716 等を含む。表示部 713 は、実施の形態 5 に述べた液晶表示装置を用いて作製される。本発明を使用することにより、品質のよい表示装置を備えたコンピュータを得ることが可能となる。

30

【0195】

また実施の形態 5 で述べたトランジスタや CMOS 回路を、制御用回路部等に適用することができる。

【0196】

図 22(C) は携帯可能なコンピュータであり、本体 721、表示部 722、スイッチ 723、操作キー 724、赤外線ポート 725 等を含む。表示部 722 は、実施の形態 5 に述べた液晶表示装置を用いて作製される。本発明を使用することにより、品質のよい表示装置を備えたコンピュータを得ることが可能となる。

【0197】

また実施の形態 5 で述べたトランジスタや CMOS 回路を、制御用回路部等に適用することができる。

40

【0198】

図 22(D) は携帯型のゲーム機であり、筐体 731、表示部 732、スピーカ部 733、操作キー 734、記録媒体挿入部 735 等を含む。表示部 732 は、実施の形態 5 に述べた液晶表示装置を用いて作製される。本発明を使用することにより、品質のよい表示装置を備えたゲーム機を得ることが可能となる。

【0199】

また実施の形態 5 で述べたトランジスタや CMOS 回路を、制御用回路部等に適用することができる。

【0200】

50

図22(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体741、筐体742、表示部A743、表示部B744、記録媒体読込部745、操作キー746、スピーカ部747等を含む。記録媒体とは、DVD等を指す。表示部A743は主として画像情報を表示し、表示部B744は主として文字情報を表示する。表示部A743及び表示部B744は、実施の形態5に述べた液晶表示装置を用いて作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明を使用することにより、品質のよい表示装置を備えた画像再生装置を得ることが可能となる。

#### 【0201】

また実施の形態5で述べたトランジスタやCMOS回路を、制御用回路部等に適用することができる。

#### 【0202】

図23(A)及び図23(B)は、本発明の液晶表示装置をカメラ、例えばデジタルカメラに組み込んだ例を示す図である。図23(A)は、デジタルカメラの前面方向から見た斜視図、図23(B)は、後面方向から見た斜視図である。図23(A)において、デジタルカメラには、リリースボタン751、メインスイッチ752、ファインダ窓753、フラッシュ754、レンズ755、鏡胴756、筐体757が備えられている。

#### 【0203】

また、図23(B)において、ファインダ接眼窓761、モニタ762、操作ボタン763が備えられている。

#### 【0204】

リリースボタン751は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。

#### 【0205】

メインスイッチ752は、押下又は回転によりデジタルカメラの電源のON/OFFを切り替える。

#### 【0206】

ファインダ窓753は、デジタルカメラの前面のレンズ755の上部に配置されており、図23(B)に示すファインダ接眼窓761から撮影する範囲やピントの位置を確認するための装置である。

#### 【0207】

フラッシュ754は、デジタルカメラの前面上部に配置され、被写体輝度が低いときに、リリースボタン751が押下されてシャッターが開くと同時に補助光を照射する。

#### 【0208】

レンズ755は、デジタルカメラの正面に配置されている。レンズは、フォーカシングレンズ、ズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、CCD(Charge Coupled Device)等の撮像素子が設けられている。

#### 【0209】

鏡胴756は、フォーカシングレンズ、ズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ755を手前に移動させる。また、携帯時は、レンズ755を沈銅させてコンパクトにする。なお、本実施の形態においては、鏡胴を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、筐体757内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

#### 【0210】

ファインダ接眼窓761は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。

#### 【0211】

操作ボタン763は、デジタルカメラの後面に設けられた各種機能ボタンであり、セッ

10

20

30

40

50

トアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。

【0212】

図23(A)及び図23(B)に示すカメラのモニタ762に、実施の形態5で述べた液晶表示装置を組み込むことができる。これにより品質のよい表示装置を備えたデジタルカメラを得ることが可能となる。

【0213】

また実施の形態5で述べたトランジスタやCMOS回路を、制御用回路部等に適用することができる。

【0214】

図28(A)はビデオカメラであり、本体901、表示部902、筐体903、外部接続ポート904、リモコン受信部905、受像部906、バッテリ907、音声入力部908、操作キー909、接眼部910等を含む。

10

【0215】

表示部902には、実施の形態5で説明した液晶表示装置や実施の形態6で説明した発光装置を適用することができ、高画質な表示を行うことができる。

【0216】

また実施の形態5で述べたトランジスタやCMOS回路を、制御用回路部等に適用することができる。

20

【0217】

図28(B)は、電子ブックであり、本体911、表示部912、筐体913、操作スイッチ914等を含む。またモデムが内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。なお、電子ブックのメモリ部は、記録容量が20～200ギガバイト(GB)のNOR型不揮発性メモリを用い、映像や音声(音楽)を記録、再生することができる。

30

【0218】

電子ブックの情報を記憶するメモリ部や、電子ブックを機能させるマイクロプロセッサに、実施の形態7で説明したマイクロプロセッサや、実施の形態8で説明したRFCPU等を適用することができる。また、表示部912には、実施の形態5で説明した液晶表示装置や実施の形態6で説明した発光装置を適用することができ、高画質な表示を行うことができる。

30

【0219】

また実施の形態5で述べたトランジスタやCMOS回路を、制御用回路部等に適用することができる。

【0220】

図28(C)は、デジタルプレーヤであり、オーディオ装置の1つの代表例である。本体921、表示部922、筐体923、操作スイッチ924、イヤホン925などを含んでいる。イヤホン925の代わりにヘッドホンや無線式イヤホンを用いることができる。

40

【0221】

デジタルプレーヤの音楽情報を記憶するメモリ部や、デジタルプレーヤを機能させるマイクロプロセッサに、実施の形態7で説明したマイクロプロセッサや、実施の形態8で説明したRFCPU等を適用することができる。デジタルプレーヤは小型軽量化が可能であるが、表示部922において、実施の形態5で説明した液晶表示装置や実施の形態6で説明した発光装置を適用することで、画面サイズが0.3インチから2インチ程度の場合であっても高精細な画像若しくは文字情報を表示することができる。

【図面の簡単な説明】

【0222】

【図1】本発明の結晶性半導体層を形成する工程を示す図。

【図2】本発明の結晶性半導体層を形成する工程を示す図。

【図3】本発明の結晶性半導体層を形成する工程を示す図。

50

- 【図 4】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 5】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 6】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 7】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 8】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 9】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 10】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 11】本発明の結晶性半導体層を形成する工程を示す図。  
 【図 12】本発明の結晶性半導体層を用いた半導体装置を作製する工程を示す図。  
 【図 13】本発明の結晶性半導体層を用いた半導体装置を作製する工程を示す図。  
 【図 14】本発明の結晶性半導体層を用いた半導体装置を作製する工程を示す図。  
 【図 15】本発明の結晶性半導体層を用いた半導体装置を作製する工程を示す図。  
 【図 16】本発明の結晶性半導体層を用いた半導体装置を作製する工程を示す図。  
 【図 17】本発明の電子機器を示す図。  
 【図 18】本発明の電子機器のブロック図。  
 【図 19】本発明の電子機器を示す図。  
 【図 20】本発明の電子機器及びそのブロック図。  
 【図 21】本発明の電子機器を示す図。  
 【図 22】本発明の電子機器を示す図。  
 【図 23】本発明の電子機器を示す図。  
 【図 24】本発明の電子機器のブロック図。  
 【図 25】本発明の電子機器のブロック図。  
 【図 26】本発明の結晶性半導体層を用いた半導体装置を作製する工程を示す図。  
 【図 27】本発明の1画素の上面図。  
 【図 28】本発明の電子機器を示す図。

## 【符号の説明】

## 【0223】

- 100 シリコンインゴット  
 101 ポーラスシリコン層  
 102 ポーラスシリコン層  
 103 エピタキシャル層  
 104 溝  
 105 インゴット  
 111 容器  
 112 電極  
 113 混合溶液  
 115 電流源  
 120 大型絶縁基板  
 121 絶縁膜  
 122 絶縁膜  
 123 絶縁膜  
 124 基板  
 130 ウォータージェット  
 135 矢印  
 141 圧着用ローラ  
 142 矢印  
 143 矢印  
 144 矢印  
 145 水素イオン  
 146 水素イオン照射領域

10

20

30

40

50

1 4 7	平坦化処理装置	
1 5 1	単結晶シリコン層	
1 6 1	結晶方位	
1 6 2	結晶方位	
1 6 3	矢印	
1 7 1	活性層	
1 7 2	ゲート電極	
1 8 1	領域	
1 8 2	領域	
1 8 3	チャネル形成領域	10
2 0 1	シリコン原材料	
2 0 2	原材料	
2 0 3	溶解液	
2 0 4	仕切り	
2 0 5	角形シリコンインゴット	
2 0 6	円柱状シリコンインゴット	
2 1 1	矢印	
3 0 1	基板	
3 0 2	結晶性シリコン層	
3 0 4	島状半導体領域	20
3 0 5	島状半導体領域	
3 0 6	島状半導体領域	
3 0 8	ゲート絶縁膜	
3 1 1	ゲート電極	
3 1 2	ゲート電極	
3 1 3	ゲート電極	
3 1 5	ゲート電極	
3 1 6	ゲート電極	
3 1 7	ゲート電極	
3 2 1	不純物元素	30
3 2 2	不純物元素	
3 2 4	不純物元素	
3 2 5	不純物元素	
3 2 6	不純物元素	
3 2 6	不純物元素	
3 3 1	チャネル形成領域	
3 3 2 a	不純物領域	
3 3 2 b	不純物領域	
3 3 3	チャネル形成領域	
3 3 4 a	不純物領域	40
3 3 4 b	不純物領域	
3 3 5	チャネル形成領域	
3 3 6 a	不純物領域	
3 3 6 b	不純物領域	
3 3 7	レジストマスク	
3 3 8	レジストマスク	
3 3 9	レジストマスク	
3 4 2 a	高濃度不純物領域	
3 4 2 b	高濃度不純物領域	
3 4 3 a	低濃度不純物領域	50

3 4 3 b	低濃度不純物領域	
3 4 4 a	高濃度不純物領域	
3 4 4 b	高濃度不純物領域	
3 4 5 a	低濃度不純物領域	
3 4 5 b	低濃度不純物領域	
3 4 6 a	高濃度不純物領域	
3 4 6 b	高濃度不純物領域	
3 4 7 a	低濃度不純物領域	
3 4 7 b	低濃度不純物領域	
3 5 1	保護膜	10
3 5 2	層間絶縁膜	
3 5 5	レジストマスク	
3 5 6	レジストマスク	
3 5 7	レジストマスク	
3 6 1	配線	
3 6 2	配線	
3 6 3	配線	
3 6 4	配線	
3 6 5	配線	
3 7 1	トランジスタ	20
3 7 2	トランジスタ	
3 7 3	C M O S回路	
3 7 4	トランジスタ	
3 8 1 a	サイドウォール	
3 8 1 b	サイドウォール	
3 8 2 a	サイドウォール	
3 8 2 b	サイドウォール	
3 8 3 a	サイドウォール	
3 8 3 b	サイドウォール	
3 9 2 a	高濃度不純物領域	30
3 9 2 b	高濃度不純物領域	
3 9 3 a	低濃度不純物領域	
3 9 3 b	低濃度不純物領域	
3 9 4 a	高濃度不純物領域	
3 9 4 b	高濃度不純物領域	
3 9 5 a	低濃度不純物領域	
3 9 5 b	低濃度不純物領域	
3 9 6 a	高濃度不純物領域	
3 9 6 b	高濃度不純物領域	
3 9 7 a	低濃度不純物領域	40
3 9 7 b	低濃度不純物領域	
4 0 1	画素電極	
4 0 2	配向膜	
4 1 1	対向基板	
4 1 2	遮光層	
4 1 3	着色層	
4 1 4	オーバーコート層	
4 1 5	対向電極	
4 1 6	配向膜	
4 2 1	液晶表示パネル	50

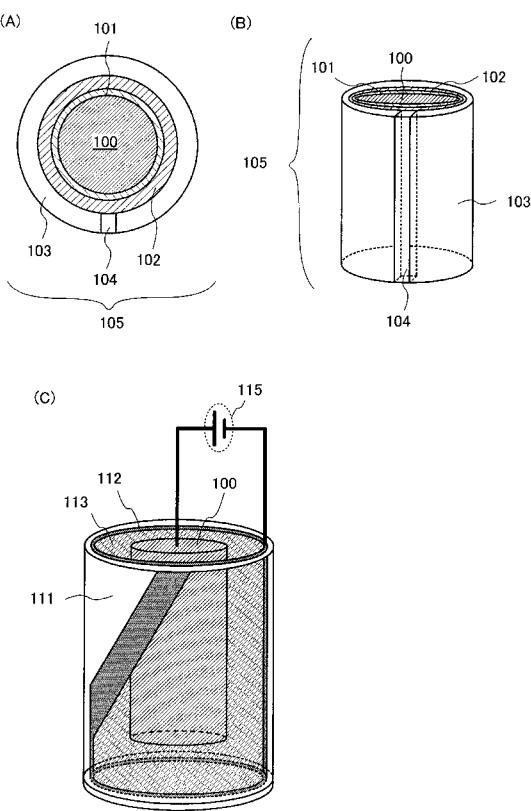
4 2 2	画素部	
4 2 3	走査線駆動回路	
4 2 4	信号線駆動回路	
4 3 1	回路基板	
4 3 2	コントロール回路	
4 3 3	信号分割回路	
4 3 4	接続配線	
5 0 1	液晶表示パネル	
5 0 2	画素部	
5 0 3	走査線駆動回路	10
5 0 4	信号線駆動回路	
5 1 2	コントロール回路	
5 1 3	信号分割回路	
5 2 1	チューナ	
5 2 2	映像信号增幅回路	
5 2 3	映像信号処理回路	
5 2 5	音声信号增幅回路	
5 2 6	音声信号処理回路	
5 2 7	スピーカ	
5 2 8	制御回路	20
5 2 9	入力部	
5 3 1	筐体	
5 3 2	表示画面	
5 3 3	スピーカ	
5 3 4	操作スイッチ	
5 4 1	充電器	
5 4 2	筐体	
5 4 3	表示部	
5 4 6	操作キー	
5 4 7	スピーカ部	30
6 0 1	液晶表示パネル	
6 0 2	プリント配線基板	
6 0 3	画素部	
6 0 4	走査線駆動回路	
6 0 5	走査線駆動回路	
6 0 6	信号線駆動回路	
6 0 7	コントローラ	
6 0 8	C P U	
6 0 9	メモリ	
6 1 0	電源回路	40
6 1 1	音声処理回路	
6 1 2	送受信回路	
6 1 3	F P C	
6 1 4	インターフェース	
6 1 5	アンテナ用ポート	
6 1 6	V R A M	
6 1 7	D R A M	
6 1 8	フラッシュメモリ	
6 1 9	インターフェース	
6 2 0	制御信号生成回路	50

6 2 1	デコーダ	
6 2 2	レジスタ	
6 2 3	演算回路	
6 2 4	R A M	
6 2 5	入力手段	
6 2 6	マイク	
6 2 7	スピーカ	
6 2 8	アンテナ	
6 3 0	ハウジング	
6 3 1	プリント基板	10
6 3 2	スピーカ	
6 3 3	マイクロフォン	
6 3 4	送受信回路	
6 3 5	信号処理回路	
6 3 6	入力手段	
6 3 7	バッテリ	
6 3 9	筐体	
6 4 0	アンテナ	
7 0 1	筐体	
7 0 2	支持台	20
7 0 3	表示部	
7 1 1	本体	
7 1 2	筐体	
7 1 3	表示部	
7 1 4	キーボード	
7 1 5	外部接続ポート	
7 1 6	ポインティングデバイス	
7 2 1	本体	
7 2 2	表示部	
7 2 3	スイッチ	30
7 2 4	操作キー	
7 2 5	赤外線ポート	
7 3 1	筐体	
7 3 2	表示部	
7 3 3	スピーカ部	
7 3 4	操作キー	
7 3 5	記録媒体挿入部	
7 4 1	本体	
7 4 2	筐体	
7 4 3	表示部 A	40
7 4 4	表示部 B	
7 4 5	記録媒体読込部	
7 4 6	操作キー	
7 4 7	スピーカ部	
7 5 1	リリースボタン	
7 5 2	メインスイッチ	
7 5 3	ファインダ窓	
7 5 4	フラッシュ	
7 5 5	レンズ	
7 5 6	鏡胴	50

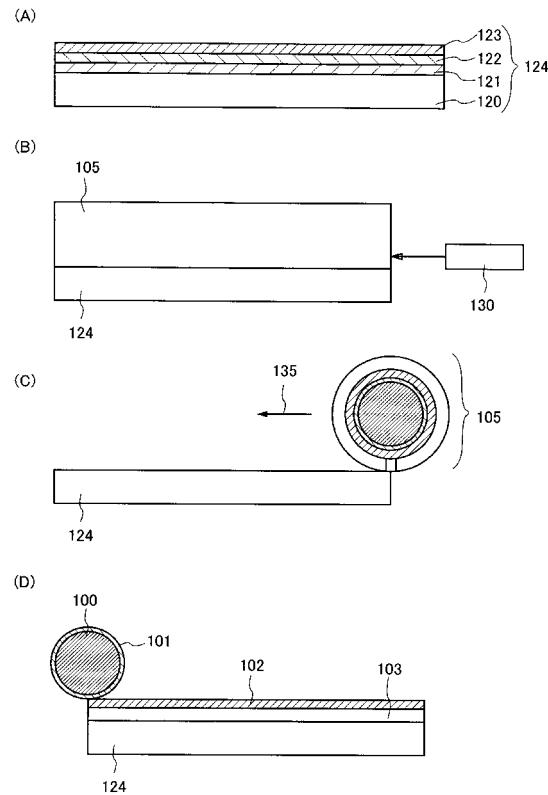
7 5 7	筐体	
7 6 1	ファインダ接眼窓	
7 6 2	モニタ	
7 6 3	操作ボタン	
8 0 0	マイクロプロセッサ	
8 0 1	演算回路	
8 0 2	演算回路制御部	
8 0 3	命令解析部	
8 0 4	制御部	
8 0 5	タイミング制御部	10
8 0 6	レジスタ	
8 0 7	レジスタ制御部	
8 0 8	バスインターフェース	
8 0 9	専用メモリ	
8 1 0	メモリインターフェース	
8 2 1	R F C P U	
8 2 2	アナログ回路部	
8 2 3	デジタル回路部	
8 2 4	共振回路	
8 2 5	整流回路	20
8 2 6	定電圧回路	
8 2 7	リセット回路	
8 2 8	発振回路	
8 2 9	復調回路	
8 3 0	変調回路	
8 3 1	R F インターフェース	
8 3 2	制御レジスタ	
8 3 3	クロックコントローラ	
8 3 4	C P Uインターフェース	
8 3 5	C P U	30
8 3 6	R A M	
8 3 7	R O M	
8 3 8	アンテナ	
8 3 9	容量部	
8 4 0	電源管理回路	
8 5 1	選択用トランジスタ	
8 5 2	電流供給線	
8 5 3	表示制御用トランジスタ	
8 5 4	隔壁層	
8 5 5	発光層	40
8 5 6	対向電極	
8 5 7	封止樹脂	
8 5 8	対向基板	
8 5 9	電極	
8 6 0	電極	
8 7 1	基板	
8 7 9	半導体膜	
8 8 0	ゲート配線	
8 8 2	信号線	
8 8 3	画素電極	50

8 8 4 ゲート絶縁膜  
 8 8 5 ゲート電極  
 8 8 7 層間絶縁膜  
 9 0 1 本体  
 9 0 2 表示部  
 9 0 3 筐体  
 9 0 4 外部接続ポート  
 9 0 5 リモコン受信部  
 9 0 6 受像部  
 9 0 7 バッテリ  
 9 0 8 音声入力部  
 9 0 9 操作キー  
 9 1 0 接眼部  
 9 1 1 本体  
 9 1 2 表示部  
 9 1 3 筐体  
 9 1 4 操作スイッチ  
 9 2 1 本体  
 9 2 2 表示部  
 9 2 3 筐体  
 9 2 4 操作スイッチ  
 9 2 5 イヤホン  
 1 1 0 0 結晶性シリコンインゴット  
 1 1 5 1 結晶性シリコン層  
 1 2 5 1 多結晶シリコン層

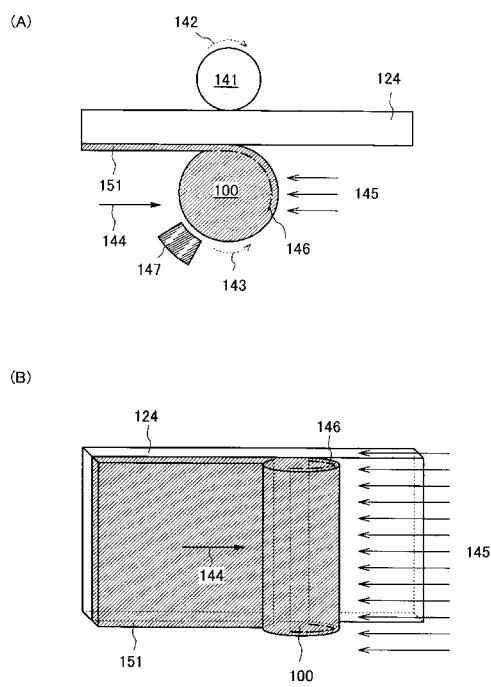
## 【図1】



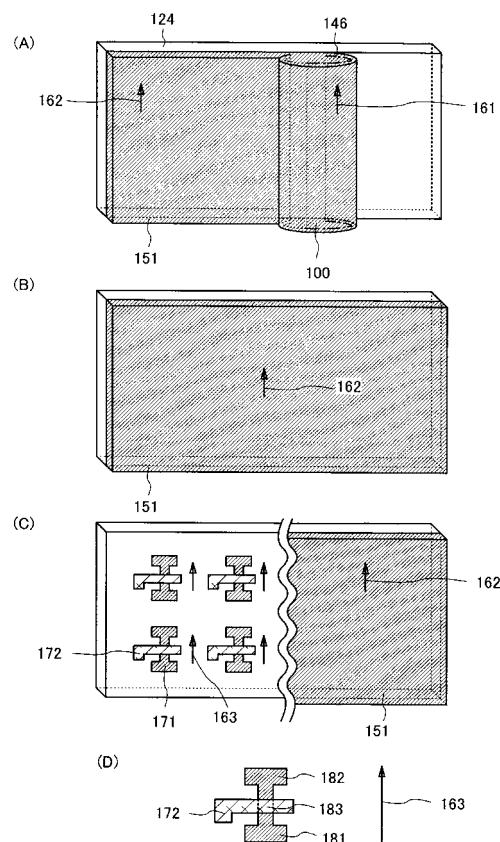
## 【図2】



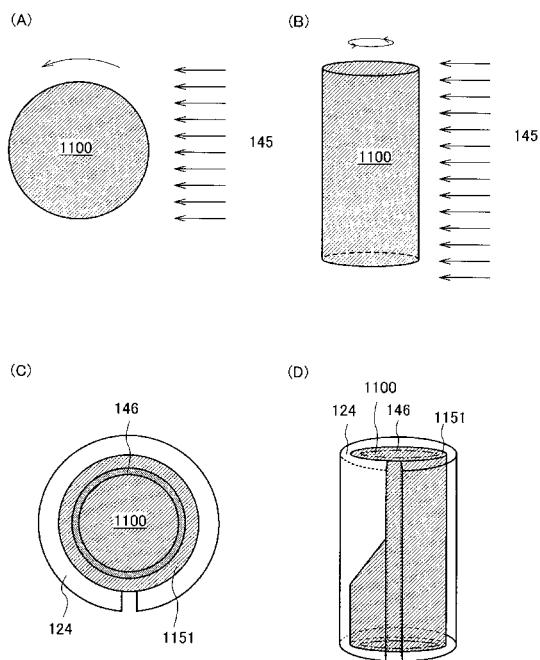
【図3】



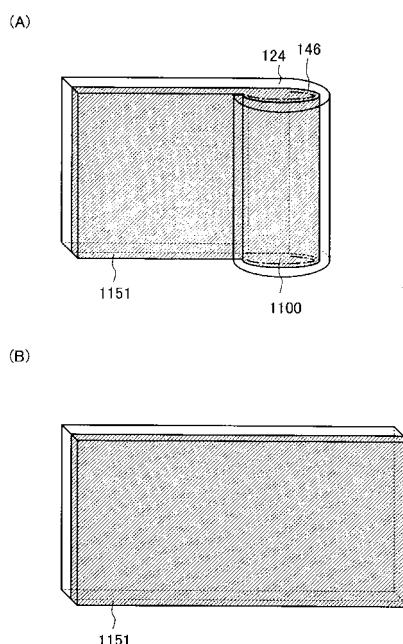
【図4】



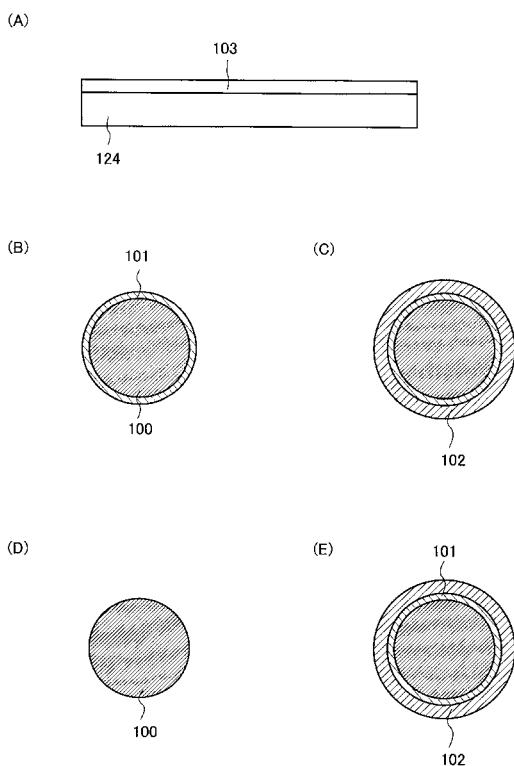
【図5】



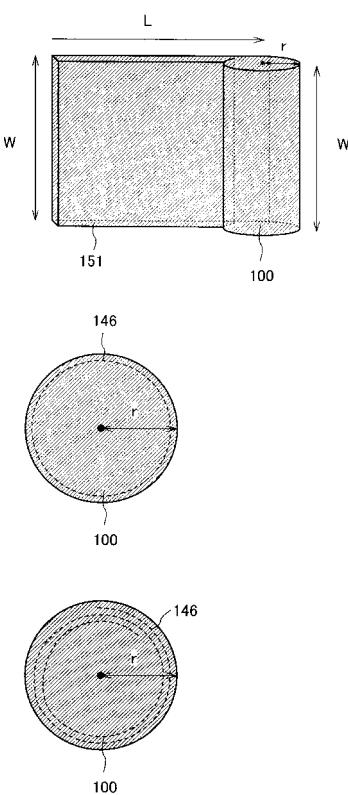
【図6】



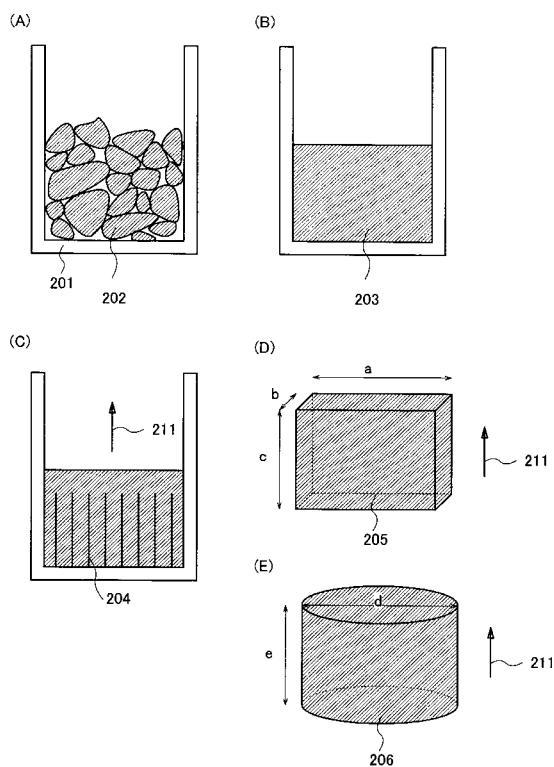
【図7】



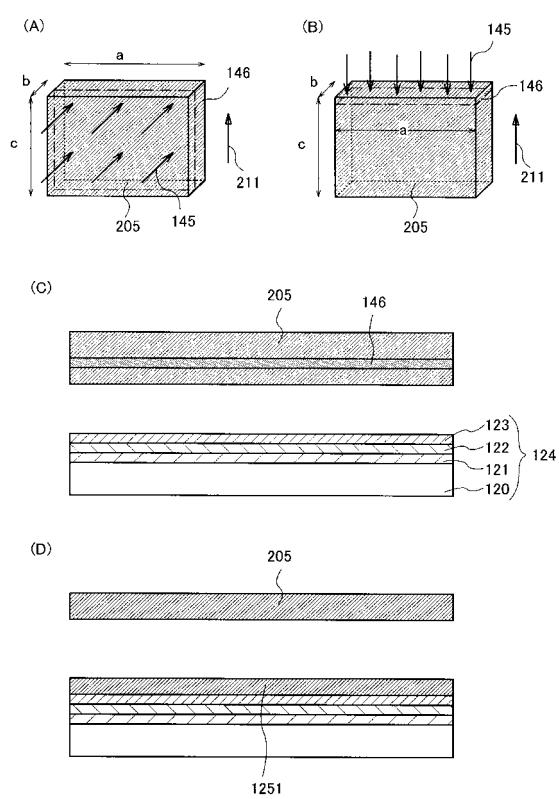
【図8】



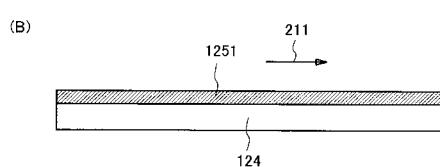
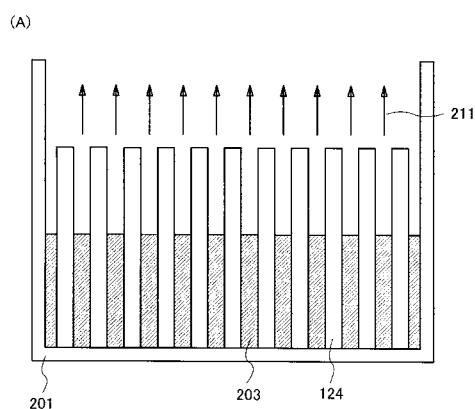
【図9】



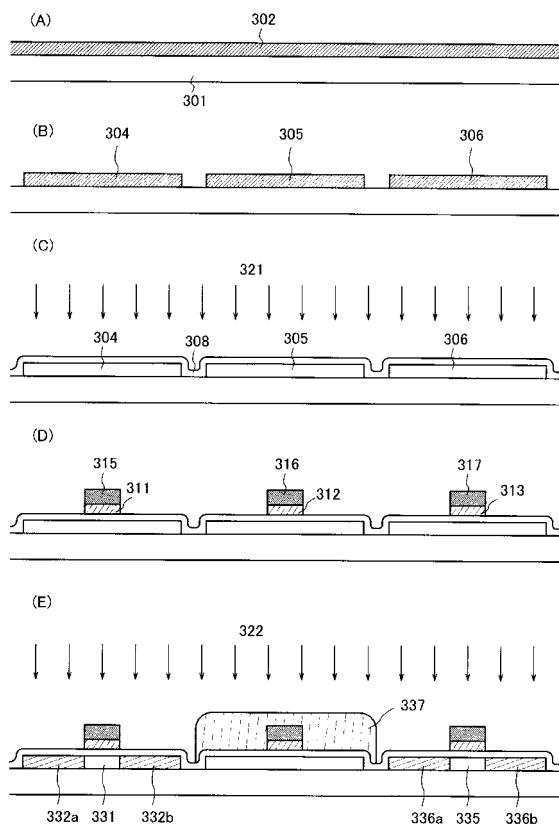
【図10】



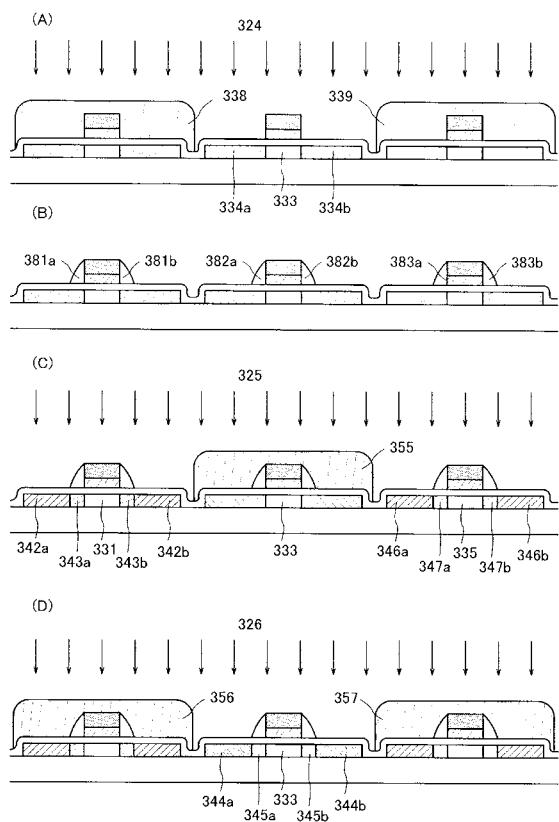
【図 1 1】



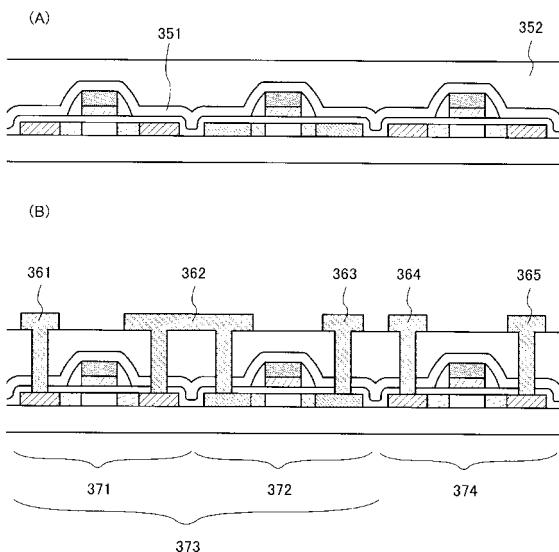
【図 1 2】



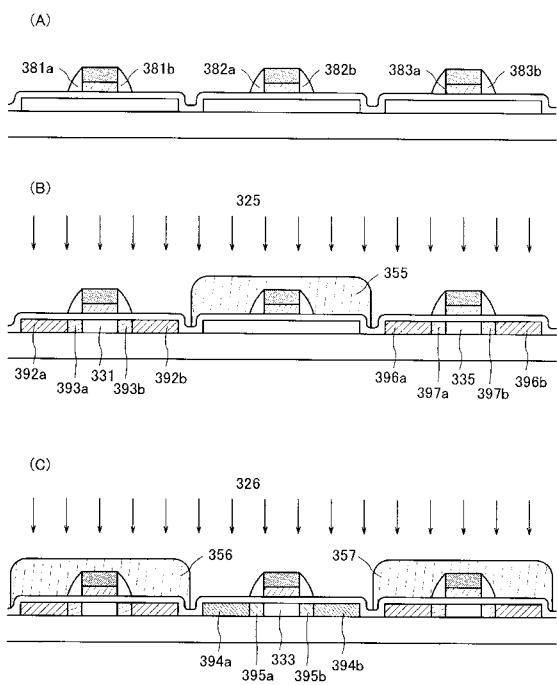
【図 1 3】



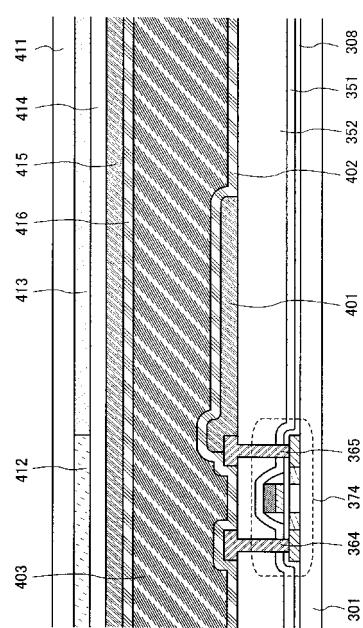
【図 1 4】



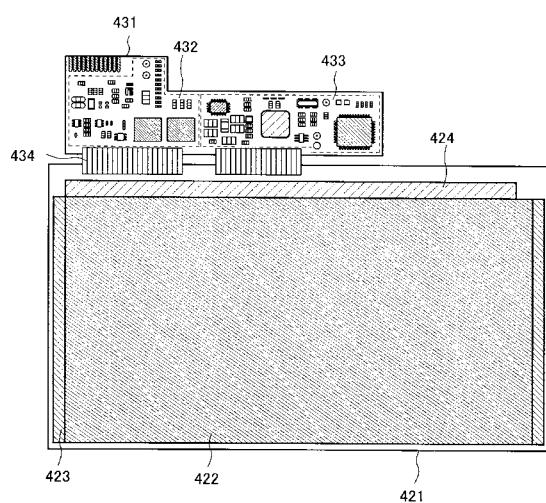
【図 15】



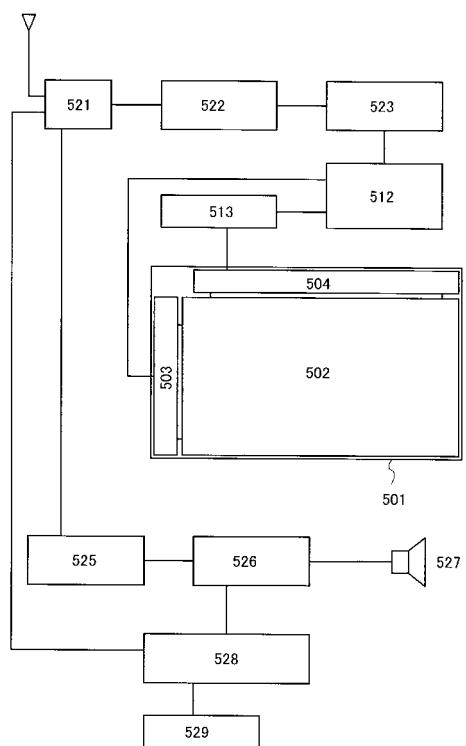
【図 16】



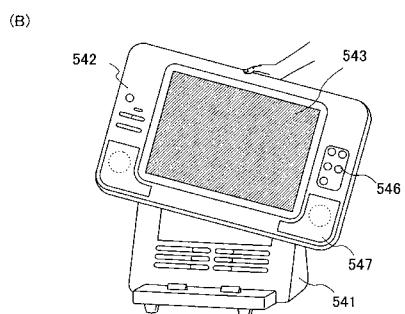
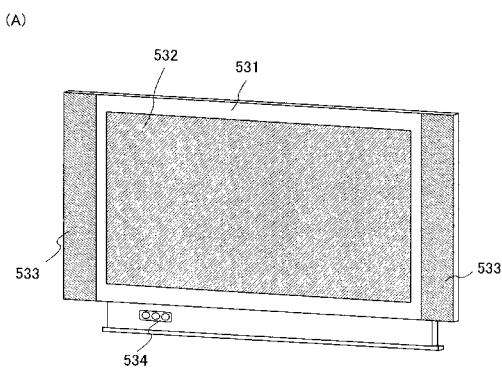
【図 17】



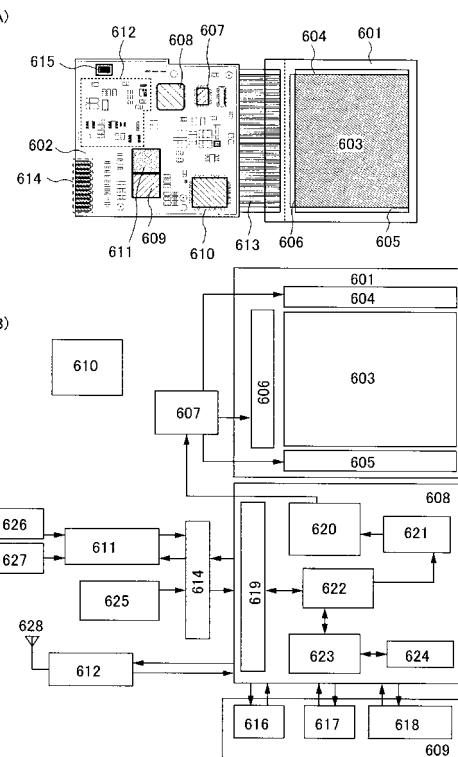
【図 18】



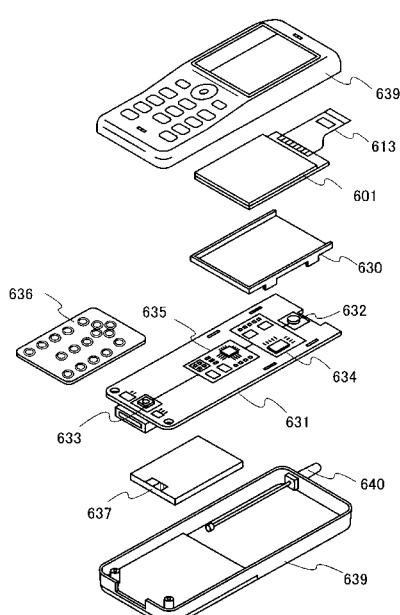
【図 19】



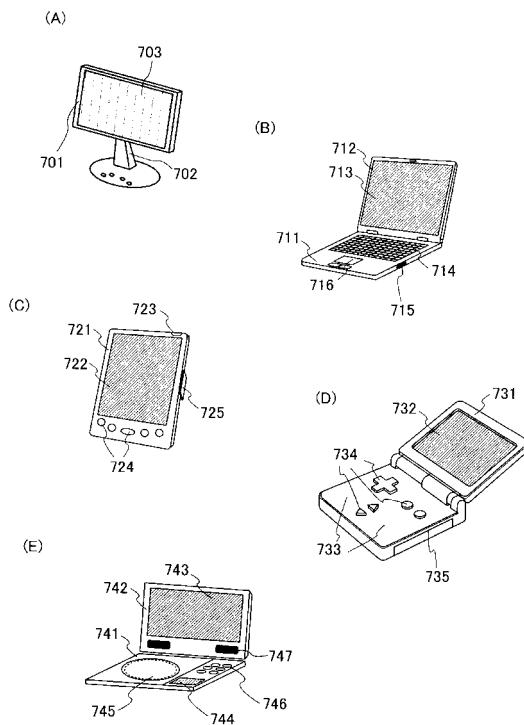
【図 20】



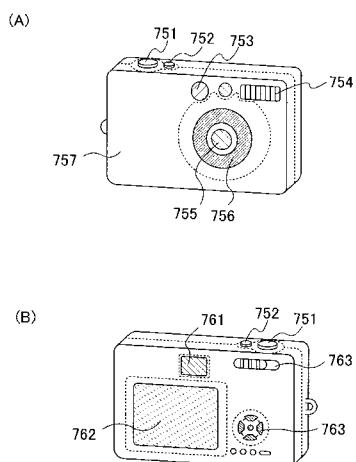
【図 21】



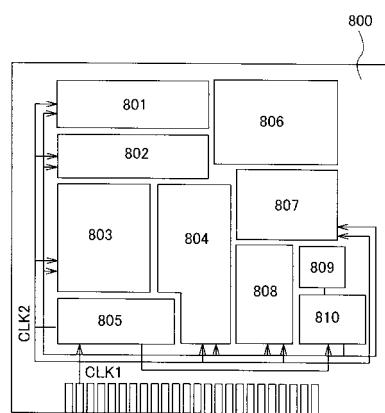
【図 22】



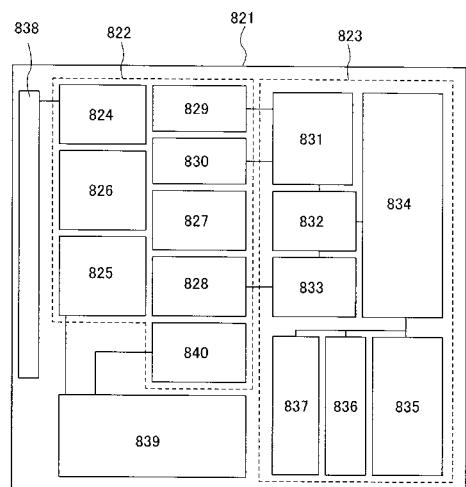
【図23】



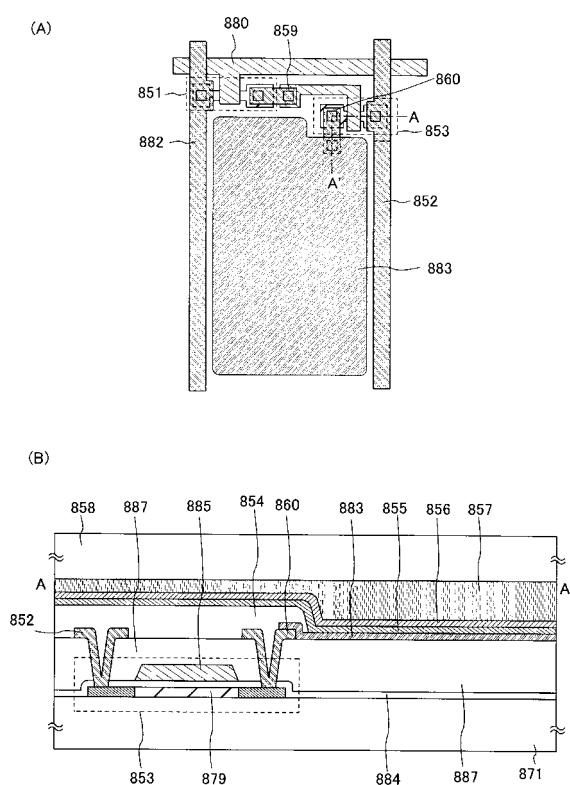
【図24】



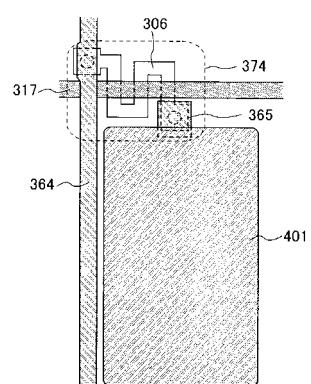
【図25】



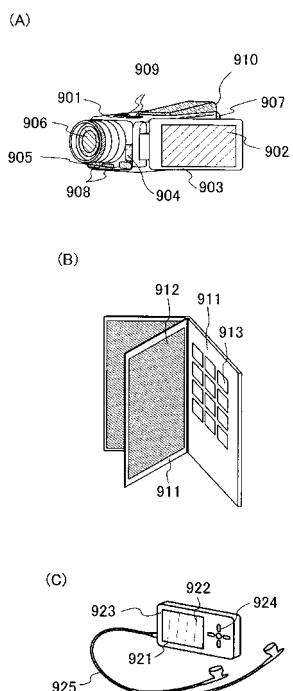
【図26】



【図27】



【図28】



---

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 27/08 (2006.01)	H 01 L 21/265	Q
H 01 L 51/50 (2006.01)		
H 01 L 21/265 (2006.01)		

F ターム(参考) 5F110 AA28 BB02 CC02 DD01 DD02 DD03 DD13 DD15 EE01  
EE02 EE03 EE04 EE06 EE14 EE15 EE28 EE32 FF02 FF04  
FF30 GG01 GG02 GG03 GG12 GG13 GG30 HJ01 HL03 HL04  
HL06 HL12 HM15 NN03 NN22 NN23 NN24 NN27 NN71 NN72  
QQ11 QQ17  
5F152 LL03 LM09 LP01 LP07 LP09 MM04 NN14 NN16 NN20 NP13  
NP14 NQ03 NQ04